(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/31

(45) 공고일자 2002년11월01일
(11) 등록번호 10-0329143
(24) 등록일자 2002년03월06일

(21) 출원번호 10-1996-0006215
(22) 출원일자 1996년03월09일

(65) 공개번호 특1996-0035884
(43) 공개일자 1996년10월28일

(30) 우선권주장 95-051284 1995년03월10일 일본(JP)
95-072667 1995년03월30일 일본(JP)
96-039272 1996년02월27일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 무라오카 고우이치
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
구니시마 이와오
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
니시노 히로타카
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내

(74) 대리인 김윤배
이세진

심사관 : 신창우

# (54) 반도체장치제조방법

요약

본 발명에 따른 반도체장치 제조방법은 실리콘 영역의 표면 상에 실리콘 산화막을 형성하는 단계와, 실리콘 산화막에 무수불화수소산 가스를 공급하는 단계를 포함함으로써, 실리콘 산화막을 제거한다. 실리콘 산화막중에 Si-H결합, Si-O-H결합 및 $H_2O$ 분자의 농도의 총합은 $1 \times 10^{13}$ 개/㎠ 이상이다.

대표도
도 1

# 명세서

## 도면의 간단한 설명

제1도(A) (D)는 본 발명의 제1실시예에 따른 터널 산화막을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제2도는 실리콘 산화막에 있어서의 Si-H결합, Si-O-H결합 및 $H_2O$분자의 총 농도와 그 산화막의 에칭속도와의 관계를 나타낸 그래프,

제3도(A)-(C)는 본 발명의 제2실시예에 따른 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 반도체장치의 단면도,

제4도는 각각의 건식 산화막과 습식 산화막의 물의 이탈량과 가열온도간의 관계를 나타낸 그래프,

제5도(A) 및 제5도(B)는 산화막에서 수소의 결합상태를 나타낸 도식적인 단면도로서, 제5도(A)는 건식 산화막의 경우를 나타내고, 제5도(B)는 습식 산화막의 경우를 나타낸 도면,

제6도는 SH처리 전후에 BPSG막의 물의 이탈량의 변화를 나타낸 그래프,

제7도(A) (D)는 본 발명의 제3실시예에 따라 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제8도(A) (E)는 본 발명의 제4실시예에 따라 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제9도(A) (C)는 본 발명의 제5실시예에 따라 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제10도는 무수불화수소산 가스의 분압과 화학전 산화막의 에칭율간의 관계를 나타낸 그래프,

제11도(A) (C)는 본 발명의 제6실시예에 따라 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제12도(A) (C)는 본 발명의 제7실시예에 따라 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제13도(A) (D)는 본 발명의 제8실시예에 따라 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제14도(A) 도(D)는 본 발명의 제9실시예에 따라 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제15도(A) (D)는 본 발명의 제10실시예에 따라 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제16도(A) (C)는 본 발명의 제11실시예에 따라 콘택트 전극을 형성하는 방법을 순차적인 방법으로 나타낸 단면도,

제17도는 본 발명의 제12실시예에 따라 반도체장치 제조장치의 배치를 간략하게 나타낸 도식적인 평면도,

제18도는 제17도에 나타낸 반도체장치 제조장치의 처리실의 상세한 배치를 나타낸 도식적인 단면도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

[산업상의 이용분야]

본 발명은 반도체장치 제조방법에 관한 것으로, 특히 실리콘 영역 또는 규화물의 영역 상의 실리콘 산화막을 제거하기 위한 방법에 관한 것이다.

[종래의 기술 및 그 문제점]

실리콘 디바이스의 패킹(packing) 밀도의 증가에 따라, 희불산(希弗酸) 처리 등의 수용액중에서 처리를 수행하는 습식(wet)처리에 의한 실리콘 기판 표면의 청정화 대신에, 건식(dry)처리에 의한 청정화, 예컨대 진공중에서 처리를 수행하는 건식에칭이 주목되고 있다. 습식처리에 있어서는 기판을 대기중에 노출할 필요가 있기 때문에, 미립자 오염과, 유기질 오염, 기판 표면의 재산화 등의 문제를 야기한다. 이와는 반대로, 거닉처리에 있어서는 높은 진공중에서 연속하여 처리를 행하는 것이 용이하기 때문에, 청정표면이 유지되어 습식 처리의 문제를 해결할 수 있다.

예컨대, NAND형 EEPROM에 있어서 터널 산화막의 고신뢰성이 강하게 요구된다. 이런 경우, 기판의 전처리와, 산화막의 형성 및, 폴리-Si의 형성을 포함하는 공정에 있어서, 산화막 형성전의 기판 표면의 세정이 중요해지고, 전처리를 건식 공정으로 함으로써 신뢰성 향상이 기대된다.

실온에서 실리콘 산화막을 제거하는 방법으로서는, HF-Vapor(HF/$H_2O$ 증기) 처리가 보고되어 있다. 이 방법에 따른 산화막이, 예컨대 다음의 공정에 의해 제거된다. 우선, 800㎚ 두께의 필드 산화막을 (100)면을 주면으로 하는 n형 실리콘 기판의 표면 상에 열산화에 의해 형성한다. 다음에, 실리콘 기판의 표면 상에 유기물을 제거하기 위해, 유황산과 과산화수소의 혼합용액에 의한 처리(이하, SH처리라 칭함)를 행한다. 화학적 산화물이 SH처리에 의해 실리콘 기판의 표면 상에 형성되기 때문에, 희불산 처리에 의해 이 화학적 산화물이 제거된다.

다음에, 실리콘 기판의 노출된 표면 상에 금속 오염을 제거하기 위해, 염산 및 과산화수소의 혼합용액에 의한 처리(이하, SC2처리라 칭함)를 행한다. 이 SC2처리에 의해, 실리콘 기판의 표면은 다시 화학적 산화물로 덮여진다.

이들 용액 처리후, 기판을 실(챔버)내로 반송하여 HF-Vapor(HF/$H_2O$ 증기) 처리에 의해 화학적 산화물을 제거한다. HF-증기 처리에 있어서, $N_2$가스를 버블링 (bubbling)에 의해 완충 불산 수용액중에 공급하여 얻어진 HF/$H_2O$ 증기를 함유하는 $N_2$가스를 실온에 유지한 기판 상에 분출한다.

그 후, 터널 산화막과 폴리-Si층이 동일한 실에서 각 $O_2/H_2$와 $SiH_4$가스를 이용하여 연속적으로 연소산화(incineration oxidation)에 의해 형성되고, 실리콘 기판이 실 밖으로 반출된다. 이런 처리에 의해, 예컨대 유기물의 불순물의 농도가 폴리-Si층/$SiO_2$층(터널 산화막)/Si기판 적층구조의 경계면에서 감소될 수 있다.

그러나, 최근 활발한 연구에 의해 상기 방법은 다음과 같은 문제가 발생하는 것으로 밝혀졌다. 화학적 산화물이 HF-증기 처리에 의해 제거될 때, HF의 수용액을 이용하기 때문에, 실리콘 산화막과 물의 반응 생성물인 $Si(OH)_x$ 입자가 잔류하여, 그 후의 터널 산화막과 폴리-Si층의 형성시에 형태학상(morphological)의 열화를 일으킨다. 이 문제를 해결하기 위해서는, 파티클(particle) 제거공정으로서 물 샤워 등에 의한 물 헹굼이 필요하다.

자연산화막이 희불산 처리를 이용하여 종래의 습식처리 또는 상술한 HF-증기에 의해 제거될 때, 열산화막에 대한 선택성이 없다. 따라서, 콘택트 영역과 같은 다른 산화막이 기판상에 존재할 경우, 자연산화막 뿐만 아니라 다른 산화막도 모두 에칭되지 않아 콘택트 직경과, 어스팩트비(aspet ratio) 등이 변화되어 버린다는 문제가 발생한다.

더욱이, HF의 수용액이 금속에 노출되면, 금속의 표면 상에 HF가 활성한 ($HF_2^-$ 및 $HF^-$) 것으로 되고, 이에 의해 금속의 불화가 급속하게 진행하여 금속을 부식시킨다. 이 현상은 실(챔버) 내부와, 배관, 배기계통 등에 큰 손상을 준다.

챔버내의 백그라운드(background) 수분압(partial pressure of water)이 높기 때문에, 다음의 공정, 예컨대 산화공정에서 처리가스중에 $H_2O$가 혼합된다. 그 후, 형성된 막중에 산소 및 수소가 포함되어 막의 질이 열화되어 버리는 문제가 발생한다. 이런 이유에서, 분위기중의 수분압을 낮춰 다음 처리로 이행하기 위한 진공상태의 시간을 길게 해야만 하기 때문에, 공정시간의 증대라는 문제가 발생한다.

상기한 바와 같이, 종래의 산화물 제거방법에 있어서, 형태학상의 열화를 야기시키는 파티클이 실리콘 기판의 표면 상에 형성되고, 진공상태 시간이 길어짐으로써 공정시간이 증대한다.

작업속도와 LSI의 집적도가 증가함에 따라 전극과 배선의 패킹밀도가 증가한다. 전극과 배선의 패킹밀도의 증가는 저항의 증가를 수반한다. 이런 이유 때문에, 현재 금속 규화물이 전극과 배선의 재료로 널리 사용되고 있다.

예컨대, 금속 규화물을 이용한 종래 콘택트 전극 형성은 다음의 방법으로 수행된다. 우선, (100)면을 주면으로 하는 n형 실리콘 기판의 표면 상에 열산화에 의해 800㎚ 두께의 필드 산화막이 형성된다. $BF_2^+$ 이온을 가속전압 35eV와 도즈량 $5 \times 10^{15}$ /$cm^{-2}$ 의 조건으로 필드 산화막으로 둘러싸인 소자형성영역의 n형 실리콘 기판의 표면에 주입한다. 다음에, n형 실리콘 기판을 $N_2$ 분위기중에 20초 동안 1000℃로 가열하여 약 0.1㎛의 두께를 갖는 얕은 $P^+$ 형 확산층을 형성한다.

CVD-$SiO_2$ 막과 BPSG막으로 이루어진 적층막이 1.0㎛의 두께로 전면에 층간 절연막으로서 퇴적된다. 이 적층막은 $p^+$ 형 확산층 상에 콘택트홀을 형성하도록 에칭된다. 그 후, n형 실리콘 기판은 $p^+$ 형 확산층의 표면 상에 자연산화막을 박리하기 위해 희불산 수용액으로 세정된다.

n형 실리콘 기판이 진공장치내로 반송된다. 30㎚ 두께의 Ti막과 70㎚ 두께의 TiN막으로 이루어진 적층막이 연속 스퍼터링(sputtering)에 의해 실리콘 기판 상에 형성된다. RTA(Rapid Thermal Anncal)처리에 의한 규화물화(silicidation)가 30초 동안 750℃에서 수행된다. 미반응의 Ti막 및 TiN막이 유황산과 과산화수소의 혼합용액으로 처리함으로써 제거된다. 결과적으로, 60㎚ 두께의 $TiSi_2$ 층이 자기정합적으로 $p^+$ 형 확산층 상에만 형성된다. 이 때, 약 4㎚의 두께를 갖는 $SiO_x$ 층이 $TiS_2$ 층 상에 형성된다. 이것은 실리콘 산화물등이 분위기중의 물, 산소 또는 유황산과 과산화수소의 혼합용액 등이 약액처리 의해 금속 규화물의 표면 상에 쉽게 형성될 수 있기 때문이다.

$SiO_x$ 층은 콘택트 저항의 증가나 다음의 단계에서 형성되는 W막의 박리를 야기하기 때문에 제거되어야만 한다. 따라서, $SiO_x$ 층을 $BCl_3$ 가스를 이용한 RIE(반응성 이온에칭)에 의해 제거한다.

다음에, $TiS_2$ 층을 350℃로 가열한 후, 모노실란($SiH_4$)과 6불화 텅스텐($WF_6$)을 n형 실리콘 기판에 공급함으로써, $TiSl_2$ 층 상에 W층을 선택적으로 형성한다. 예컨대, 모노실란과 6불화 텅스텐의 유량과, 전압력 및 공급시간은 각각 10 sccm과, 0.15Torr 및 60초이다.

그러나, 최근 활발한 연구에 의해 상기 방법에는 이하와 같은 문제가 있는 것으로 밝혀졌다. $BCl_3$ 가스를 이용한 RIE에 의한 $SiO_x$ 층의 제거에 있어서, 콘택트홀의 어스팩트비가 높으면, $SiO_2$ 막과 BPSG막의 차아지-업(Charge-up)에 의한 콘택트홀의 측벽에 이온이 부딪치는 마이크로로딩 효과가 발생한다. 이 결과, 에천트 (etchant)로서 제공하는 이온(B이온과 Cl이온)의 궤도가 만곡하여 콘택트홀의 저부에까지 도달하는 이온의 량이 감소한다. $SiO_x$ 층이 콘택트홀의 저부표면의 엣지영역에 남아 있기 때문에, W층의 박리가 쉽게 일어난다.

더욱이, 상술한 $SiO_x$ 층의 제거에 있어서, $BCl_3$ 플라즈마중의 B이온과 Cl이온 등의 고에너지 이온이 $TiSi_2$ 층에 주입되기 때문에, $TiSi_2$ 층이 손상되어 콘택트 저항이 증가한다.

상기한 바와 같이, 규화물층을 사용한 종래의 콘택트 전극 형성에 있어서는 규화물층의 표면 상에 산화물이 불완전하게 제거되기 때문에, 규화물층 상에 형성된 도전막이 쉽게 박리한다 또한, 산화물의 제거동안 규화물층이 손상되어 콘택트 저항의 증가를 야기한다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 터널 산화막 등의 산화막의 형성과 콘택트의 형성을 위한 전처리를 개선함으로써 높은 신뢰성과 빠른 작업속도를 갖는 반도체장치의 제조방법을 제공하는 것에 그 목적이 있다.

또한, 본 발명은 규화물층의 손상없이 규화물층의 표면 상의 산화물을 충분히 제거할 수 있는 반도체장치의 제조방법을 제공하는 것에 그 목적이 있다.

더욱이, 본 발명은 배선의 신뢰성을 증가시키기 위해 콘택트홀의 상단부를 둥글게 하는 제조방법을 제공하는 것에 그 목적이 있다.

## 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 제1특징에 따른 반도체장치 제조방법은, 막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎤ 이상인 실리콘 산화막을 실리콘 영역의 표면 상에 형성하는 단계와,

실리콘 산화막을 제거하도록 실리콘 산화막 상에 무수불화수소산 가스를 공급하는 단계를 구비하여 이루어진다.

실리콘 산화들을 형성하는 단계는;

막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 분자의 농도의 총합에 있어서 실리콘 산화막보다도 적은 값을 갖는 임시의 실리콘 산화막을 형성하는 단계와,

임시의 실리콘 산화막을 제거하고 활성산소를 함유하는 용액으로 실리콘 산화막을 새롭게 형성하는 단계를 포함한다.

바람직하게는, 활성산소를 함유하는 용액은 염화수소산과 과산화수소의 혼합용액 또는 유황산과 과산화수소의 혼합용액 또는 오존수로 이루어진 그룹으로부터 하나의 멤버(member)가 선택된다.

막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 분자의 농도의 총합에 있어서 실리콘 산화막보다도 적은 값을 갖는 제1실리콘 산화막이 건식처리에 의해 실리콘 영역의 표면 상에 형성된 자연산화막이다.

바람직하게는, 실리콘 산화막을 제거하는 단계는 실리콘 영역을 가열하는 단계를 포함한다.

실리콘 산화막을 제거하는 단계 후에, 게이트 산화막 또는 터널 산화막중 어느 하나가 실리콘 산화막이 제거된 실리콘 영역의 표면 상에 형성된다.

실리콘 산화막을 형성하는 단계는;

실리콘 영역 상에 실리콘 산화물로 이루어진 층간절연막을 형성하는 단계와,

에칭에 의해 상기 층간절연막에 실리콘 영역과 접속을 이루는 콘택트홀을 형성하는 단계 및,

막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎤ 이상인 제1실리론 산화막을 콘택트홀의 저면의 상기 실리콘 영역의 표면 상에 형성하는 단계를 포함한다.

보다 바람직하게는, 실리콘 산화막의 형성단계는 실리콘 영역의 표면 상에 제1실리콘 산화막을 형성하는 단계 후에, 막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎤ 이상인 제2실리콘막을, 상기 콘택트홀의 단차를 피복하도록 형성하는 단계를 더 포함한다.

제2실리콘 산화물을 형성하는 단계는, 콘택트홀의 단차를 피복하도록 CVD에 의해 불소를 함유하는 실리콘 산화막을 형성하여 $H_2O$를 흡수하는 단계를 포함한다.

바람직하게, $H_2O$를 흡수하는 단계는 수증기 또는 순수한 물에 실리콘 산화막을 노출하는 단계를 포함한다.

이 경우에, 실리콘 산화막을 제거하는 단계 후에, 실리콘 산화막이 제거된 실리콘 영역의 표면 상에 콘택트 전극이 형성된다.

바람직하게, 실리콘 산화막을 제거하는 단계는 $10^{-3}$ Torr 이하의 $H_2O$ 분압을 갖는 분위기에서 수행된다.

본 발명의 제2특징에 따른 반도체장치 제조방법은;

실리콘 영역 상에 표면층이 물 흡수성(水吸收性, water absorption proper ties)을 갖는 실리콘 산화막인 층간절연막을 형성하는 단계와,

에칭에 의해, 상기 층간절연막에 실리콘 영역과 접속을 이루는 콘택트홀을 형성하는 단계 및,

무수불화수소산 가스를 이용함으로써 층간절연막의 개구부의 상단을 둥글게 하는 단계를 포함한다.

상기 반도체장치 제조방법은 막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎠ 이상인 제1실리콘 산화막을 콘택트홀의 저면의 상기 실리콘 영역의 표면에 형성하는 단계와,

층간절연막의 개구부의 상단을 둥글게 하는 단계는, 무수불화수소산 가스를 이용함으로써 실리콘 영역의 표면 상에 형성된 제1실리콘 산화막을 제거하는 단계를 포함한다.

실리콘 영역의 표면 상에 제1실리콘 산화막을 형성하는 단계는 활성산소를 함유하는 용액에 콘택트홀의 하부를 노출하는 단계를 포함한다.

바람직하게, 실리콘 영역의 표면 상에 제1실리콘 산화막을 형성하는 단계 후에, 콘택트홀의 단차를 피복하도록, 막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎠ 이상인 제2실리콘 산화막을 콘택트홀의 저면의 실리콘 영역의 표면에 형성하고, 무수분화수소산 가스를 이용하여 제1 및 제2실리콘 산화막을 제거하는 단계를 더 구비하여 이루어진다.

상기 방법은 콘택트홀의 예상 형성지역 상에 불소-도프된 실리콘 산화막을 퇴적한 후, 콘택트홀의 단차를 피복하기 위해 실리콘 산화막을 형성하는 단계에서 $H_2O$를 흡수하는 합성구조를 만드는 단계를 더 구비하여 이루어진다.

바람직하게, $H_2O$를 흡수하는 단계는 실리콘 산화막을 수증기 또는 순수한 물에 노출하는 단계를 포함한다.

이하, 본 발명에 사용된 무수불화수소산(無水弗化水素酸, anhydrous hydro fluoric acid) 가스는 AHF가스로 언급된다.

본 발명의 반도체장치 제조방법에 따른 실리콘 영역의 표면에 형성된 실리콘 산화막 또는 산화막, 예컨대 화학적 산화막에 함유된 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎠ 이상이다. HF-증기 처리와는 다르게, 에칭은 외부로부터 물을 공급하지 않고 실리콘 산화막에 포함된 Si-H결합, Si-O-H결합 및 $H_2O$분자를 이용하여 수행됨으로써, 실리콘 산화막과 물의 반응 생성물인 파티클의 량을 감소시킬 수 있다, 더욱이, 막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 총 농도가 화학적 산화막 등의 산화막보다 적은 실리콘 산화막, 예컨대 필드 산화막 또는 게이트 산화막 등의 열산화막이나, 콘택트가 형성되는 산화막 등의 CVD 산화막에 있어서는, 특히 상기 농도의 총합이 $1 \times 10^{13}$ 개/㎠ 미만일 경우에, 산화막 표면의 1분자층만이 Si-F곁합으로 되어 AHF가스에 대하여 안정하게 된다. 따라서, 상술한 화학적 산화막 등의 산화막 만이 선택적으로 에칭된다. 특히, 막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎠ 미만이면 에칭은 진행되지 않는다.

AHF가스가 흐를 때 실리콘 기판 온도가 증가하면, 기판의 표면 상에 남는 불화물을 확실하게 승화시켜, 잔류 불화물의 량을 감소시킬 수 있다. 더욱이, 물을 도입하지 않기 때문에, 챔버내의 부식이 적고, 상기 장치의 단순한 유지보수를 실현할 수 있다. 백그라운드 물 분압이 감소될 수 있기 때문에, 배기시간을 단축할 수 있어 드로우풋(throughput)을 향상시킬 수 있다.

이와 같이 물을 공급하지 않기 때문에, 파티클의 생성을 억제하고, 또 필드 산화막 등의 선택성을 유지할 수 있다. 더욱이, 다음의 공정, 예컨대 산화 단계까지 진공흡인이 단시간 내에 종료될 수 있다. 그러므로, 공정의 수와 공정시간이 감소되어, 고신뢰성과 고속성을 갖는 반도체장치를 제조하는 방법을 제공할 수 있다.

본 발명의 제3특징에 따른 반도체장치 제조방법은;

무수불화수소산 가스를 이용함으로써 규화물층의 표면 상에 형성된 산화물을 제거하는 단계와,

산화물을 제거하는 동안에 상기 규화물층 위에 형성된 불화물을 가열하여 제거하는 단계를 구비하여 이루어진다.

상기 산화물을 제거하는 단계는 무수불화수소산 가스에 활성 불소기를 첨가하여 얻어진 가스를 이용한다.

바람직하게, 상기 산화물을 제거하는 단계는 규화물층을 가열하는 동안 수행된다.

바람직하게, 불화물을 제거하는 단계는 진공 분위기중, 불활성가스 분위기중, 수소분자가스 분위기중, 수소 플라즈마 분위기중 및, 수소원자가스 분위기 중에서 수행된다.

산화물을 제거하는 단계는 규화물층을 활성산소를 함유하는 용액에 노출하여, 생성된 산화물을 제거하는 단계를 포함한다.

산화물을 제거하는 단계와, 불화물을 제거하는 단계는 제1처리실에서 연속적으로 수행되고,

바람직하게, 상기 방법은 산화물 및 불화물이 제거된 제1처리실내의 규화물층을 외부의 대기에 노출시키지 않고 또 잔류분압이 $1 \times 10^{-7}$ Torr 이하의 분위기를 매개로 제2처리실내로 반송하는 단계와, 상기 제2처리실에서 규화물층상에 도전막을 형성하는 단계를 더 구비하여 이루어진다.

제1처리실내의 규화물층을 제2처리실로 반송할 때, 제1 및 제2처리실의 내부는 점성류(粘性流, viscous flow)영역내의 압력에 있는 것이 바람직하다.

본 발명자들은 규화물층 상에 형성된 산화물을 제거하는 방법을 연구했고, 다음과 같은 새로운 사실을 발견했다. 특히, 본 발명자 등의 연구에 의하면, 무수불화수소산 가스가 규화물층 상에 형성된 산화물을 제거하기 위한 에칭 가스로서 이용될 경우, 규화물층을 에칭하지 않고 산화물을 충분히 제거할 수 있는 것을 알 수 있었다.

이 방법은 고에너지 이온을 사용하지 않기 때문에, RIE를 이용한 방법의 경우와는 달리 규화물층에 손상은 원리적으로 발생하지 않는다. 비록 불화물이 산화물의 제거동안 규화물층 상에 형성되어도, 이 불화물은 낮은 증기압을 갖기 때문에, 가열에 의해 쉽게 제거될 수 있다. 따라서, 상기 결과에 기초한 본 발명에 의하면, 규화물층에 손상을 주지않고, 규화물층의 표면의 산화물이 충분히 제거될 수 있다.

(실시예)

이하, 예시도면을 참조하면서 본 발명에 따른 실시예를 상세히 설명한다.

제1실시예

제1도(A) 제1도(D)는 본 발명의 제1실시예에 따른 반도체장치를 제조하는 단계를 나타낸 단면도이다.

제1도(A)에 나타낸 바와 같이, 800nm 필드 산화막(2)이 (100)면을 주면으로 하는 n형 실리콘 기판의 표면 상에 열산화에 의해 형성된다. 실리콘 기판(1)의 표면 상에 유기물(3)을 제거하기 위해 $H_2SO_4/H_2O_2$를 이용한 SH처리가 수행된다. 이 SH처리에 의해, 약 0.5nm의 두께를 갖는 화학적 산화막이 실리콘기판(1)의 표면 상에 형성된다. 화학적 산화막은 희불산 처리에 의해 제거된다.

노출된 실리콘 기판(1)의 표면 상의 금속오염(4)을 제거하기 위해 $HCl/H_2O_2/H_2O$를 이용한 SC2처리가 수행된다. 이 SC2처리에 의해, 실리콘 기판의 표면은 Si-H결합, Si-O-H결합 및 $H_2O$분자를 함유하는 약 0.5nm의 화학적 산화막(5)으로 또 덮여진다.

이들 용액을 이용한 처리후에, 실리콘 기판(1)이 진공실로 반송된다. 실리콘 기판(1)이 적외선 가열에 의해 100℃로 가열된 후에, 기판이 이 온도로서 유지되는 동안 AHF가스가 10분 동안 4Torr의 분압으로 공급된다. 결과적으로, 약 0.5nm의 두께를 갖는 화학적 산화막(5)이 제거되어 청정한 실리콘면이 노출된다(제1도(C)). 필드 산화막(2)의 두께는 약 0.1nm 감소할 뿐이고, AHF가스를 10분 이상 공급해도 막 두께의 감소는 확인되지 않는다. AHF가스의 압력이 4Torr이면, 약 0.5nm의 두께를 갖는 화학적 산화막(5)을 1분의 처리로, 0.4Torr이면 30분의 처리로 제거할 수 있다.

동일한 실(챔버)내에서 연속적으로 $O_2$와 $H_2$를 이용한 연소산화에 의해 터널 산화막(6)이 형성되고, $SiH_4$가스를 이용하여 폴리-Si층(7)이 형성된 후, 실리콘 기판(1)이 실로부터 반출된다. 이러한 연속적인 처리에 의해, 대기중에 노출하지 않고 폴리-Si층(7)과, $SiO_2$막(6) 및, 실리콘 기판(1)으로 이루어진 적층구조가 형성될 수 있고, 각각의 경계면의 유기물 등의 불순물 농도가 감소될 수 있어 신뢰성이 높은 터널 산화막을 형성할 수 있다.

AHF가스 공급시의 기판온도가 500℃ 이상일 경우에는, 백그라운드중에 존재하고 있던 물, 또는 반응 생성물인 물에 의해, 화학적 산화물의 제거 후에 실리콘 표면의 재산화가 생겨, $SiO_x$가 형성되어 버린다. 또한, 이것은 바람직하지 않게 $SiO_x$의 형성 또는 $SiO_x$중에 불소의 유입을 야기시킨다. 이 때문에, AHF가스 공급시의 기판온도의 범위는 실리콘 표면의 재산화가 일어나지 않는 50℃ 이상 500℃ 미만의 범위가 유효하다. 보다 바람직하게는 100℃ 이상 300℃ 미만의 기판온도범위에서 보다 양호한 결과를 얻을 수 있다.

본 실시예는 감압(reduced pressure)처리에 한정하지 않고, 희가스(예컨대, 아르곤)로 희석한 AHF가스를 이용한 상압(normal pressure)처리에서도 유효하다. 처리중의 백그라운드 수분압(partial pressure of water)은 $1 \times 10^{-5}$ Torr 이하에서 양호한 결과가 얻어진다. 보다 바람직하게는, 수분압 $1 \times 10^{-6}$ Torr 이하에서 특히 양호한 터널 산화막 특성이 얻어진다.

상기 실시예에서 화학적 산화막중에 포함된 Si-H결합과, Si-O-H결합 및 $H_2O$분자의 농도를 제어하고, AHF가스를 이용함으로써 선택적으로 화학적 산화막이 에칭된다. 예컨대, SC2처리에 의해 형성되는 화학적 산화막중의 Si-H결합의 수는 적외선 흡수측정에 의해 약 $0.3 \times 10^{14}$ 개/㎠이고, 열초산처리(60℃ $HNO_3$)한 화학적 산화막중에서의 Si-H결합의 수는 약 $1.5 \times 10^{14}$ 개/㎠이다. 또한, 열산화막 또는 플라즈마 CVD막 등의 막중에 Si-H결합의 수는 약 $1 \times 10^{13}$ 개/㎠ 미만이다.

제2도는 실리콘 산화막중에서의 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합과 그 산화막의 에칭속도간의 관계를 나타린 그래프이다. 제2도에 나타낸 바와 같이, 열산화막이나 플라즈마 CVD막 등과 같이 막중의 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎠ 이하일 경우에는 AHF가스에 의한 에칭은 거의 진행되지 않는다. 이에 반해, 상술한 화학적 산화막과 같이 상기 총 농도가 $1 \times 10^{13}$ 개/㎠ 이상일 경우에는, AHF가스에 의한 에칭이 현저해진다.

막중에 Si-H결합, Si-O-H결합 및 $H_2O$분자가 많이 함유되는 막으로서 다음에 기술되는 용액처리에 의해 얻어진 BPSG(born-doped phospho-silicate glass)막과, 열초산처리 또는 열초산/암모니아 처리에 의해 얻어진 화학적 산화막 등이 있다. Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎠, 또는 이 보다 약간 많은 정도의 것으로서, 오존수 처리 또는 암모니아수 처리에 의한 화학적 산화막 등이 있다.

하지층의 종류와 결정성에 의해서도 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도는 다르다. 예컨대, Si(100), (111)면 상에 SC2처리에 의해 형성한 화학적 산화막에 있어서는 Si(100)면의 쪽이 Si-H결합, Si-O-H결합의 농도가 Si(111)면 보다 크다. Si(100)면 상에 SH처리에 의해 형성된 화학적 산화학과 $TiSi_2$상에 SH처리에 의해 형성된 화학적 산화막을 비교하면, Si-H결합, Si-O-H결합 및 $H_2O$분자의 총 농도는 Si(100)면 상에서 보다 $TiSi_2$상에서 더 크다. 또한, 화학적 산화막의 형성시간과 형성 이후에 물 흐름시간을 변경함으로써 막중의 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도를 변경하는 것이 가능하다.

예컨대, 상기 실시예에서 SC2처리($HCl/H_2O_2/H_2O$)의 처리시간을 10분 30분으로 조정함으로써 상기 농도가 제어될 수 있다. 이 경우, 처리시간이 증가하면, 농도는 증가한다.

또한, SC2처리($HCl/H_2O_2/H_2O$)를 행한 후에, 산소농도가 10ppb 이하의 초순수 (ultra-pure water)를 화학적 산화막에 노출시키고, 그 물의 흐름시간을 10분 30분으로 조정하는 것에 의해서도 제어할 수 있다. 이 경우, 물의 흐름시간이 증가하면, 농도는 증가한다.

상술한 바와 같이, AHF가스를 이용하여 선택적으로 산화막을 남길 경우, 또는 산화막을 제거할 경우에, 그 선택성을 제어하는 것은 화학적 산화막의 종류, 하지층의 종류, 또는 화학적 산화막의 형성시간, 물의 흐름시간을 변경함으로써 가능하다.

상기 실시예에서, 연속적인 처리는 동일한 챔버내에서 수행된다. 그러나, 본 발명은 이에 한정되지 않는다. 기판을 외부 대기에 노출하지 않고, 반송실을 통해 서로 연결된 또 다른 다수의 실을 이용하여 다수의 처리단계를 수행함으로써 동일한 효과를 제공한다.

본 발명은 터널산화막 형성의 전처리단계 뿐만 아니라, 게이트 산화막 형성의 전처리단계에서도 이용된다. 더욱이, 실리콘 영역은 단결정 실리콘, 다결정 실리콘 또는 최대 20%의 게르마늄을 함유하는 다결정 실리콘 또는 단결정 실리콘으로 이루어진 영역일 수 있다.

상기 실시예에서, SC2처리($HCl/H_2O_2/H_2O$)가 수행된 후, 이 처리에 의해 형성된 화학적 산화막이 AHF처리에 의해 제거된다. 그러나, SH처리($H_2SO_4/H_2O_2$)가 수행된 후, 이 처리에 의해 형성된 화학적 산화막이 AHF처리에 의해 제거된다.

제2실시예

본 발명의 제2실시예에 따른 반도체장치 제조방법을 제3도(A) (C)를 참조하여 기술한다.

본 실시예의 방법에 의하면, 상술한 산화막, 예컨대 화학적 산화막과는 다른 절연막에 콘택트홀을 형성하는 경우에 있어서, 이 절연막의 에칭을 억제하면서 콘택트홀의 저부의 자연산화막만이 선택적으로 에칭된다.

800㎚ 두께의 필드 산화막(32)과 10㎚ 두께의 게이트 산화막(34)이 (100)면을 주면으로 하는 n형 실리콘 기판(31) 상에 열산화에 의해 연속적으로 형성된다. 필드 산화막(32)으로 둘려쌓인 소자형성영역에 $BF_2^+$ 이온이 35eV의 가속전압과 $5 \times 10^{15}$ 개/㎠의 도즈(dose)량으로 주입된다. 그 후, n형 실리콘 기판(31)이 $N_2$ 분위기중에서 1,000℃, 20초동안 가열됨으로써, 약 0.1㎛의 두께를 갖는 얕은 $p^+$ 형 확산층(33)이 형성된다. 다음에, 층간절연막으로서의 CVD-$SiO_2$막(35)과 BPSG의 적층막(36)이 1.0㎛의 막 두께로 전면에 퇴적된 후, 콘택트홀이 확산층(33) 상에 형성된다(제3도(A)). 이 때, 확산층(33)의 표면에는 대기방치에 의해 자연산화막(37)이 형성된다.

다음에, 확산층 상의 자연산화막(37)을 제거하기 위해 진공실로 실리콘 기판(31)이 반송된다. 기판(31)이 적외선 가열에 의해 100℃로 가열된 상태에서 AHF가스가 10분 동안 4Torr의 압력으로 공급된다. 대기중의 물 및 산소에 의해 형성된 자연산화막(37)은 그 막중에 Si-O-H결합 등을 다량 함유하고 있기 때문에, 선택적으로 제거되어 청정한 확산층(33)이 노출된다(제3도(B)).

이 경우, 게이트 산화막(34), CVD-$SiO_2$막(35) 및 BPSG막(36)은 약 0.1㎚ 0.5㎚ 막 두께가 감소할 뿐이고, 게이트 산화막(34)의 후퇴에 의한 콘택트홀 저부의 직경의 증대는 관찰되지 않는다. Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합은 게이트 산화막(34), CVD-$SiO_2$막(35) 및 BPSG막(36)의 순으로 높고, AHF가스에 의한 에칭율이 커지게 된다. 따라서, AHF가스에 의한 처리에 의해 테이퍼 형상의 콘택트홀이 형성될 수 있고, 또 콘택트홀의 쇼울더(shoulder)도 둥글게 된다.

더욱이, Ti층(38; 30㎚의 두께)과 TiN층(39; 70㎚의 두께)이 스퍼터링에 의해 기판(31)의 표면 상에 연속적으로 형성된다 그 후, $TiSi_2$층(40)이 30초동안 750℃로 RTA(Rapid Thermal Anneal)처리에 의해 콘택트홀의 저부의 기판(31)의 표면 상에 형성되고, 블랭킷(blanket) 형상의 W층(41)이 전면에 형성된다(제3도(C)).

이 AHF처리에 의해, 콘택트홀의 저부의 자연산화막이 선택적으로 제거되어 콘택트 저항의 상승을 방지할수 있다. 콘택트홀이 형성된 층간절연막의 에칭량을 적게할 수 있어 콘택트 저항의 오차를 방지할 수 있다. 더욱이, 콘택트홀의 개구부가 둥글게 되어 있어, 콘택트 형상을 테이퍼 형상으로 할 수 있기 때문에, Ti막/TiN막을 스퍼터법에 의해 연속적으로 형성하는 공정에서 콘택트홀의 측벽의 Ti막/TiN막의 커버릿지(coverage)가 개선되어 W층(41)의 매립형상이 양호해진다. 결과적으로, 양호한 콘택트 특성을 갖는 고신뢰성, 고속성의 반도체장치 제조방법이 제공된다.

상기 실시예에 있어서, AHF가스에 의해 제거된 산화막으로서, 대기중의 물과 산소에 의해 형성된 자연산화막이 이용된다. 그러나, 제1실시예에서와 같이 동일한 방범으로 SH처리와 SC2처리에 의해 계획적으로 형성된 화학적 산화막이 이용될 수 있다.

본 실시예에 있어서, 여러가지 산화막의 표면이나 산화막중에 함유된 미량의 수소 및 물을 분석하기 위해, 검출감도가 높은 TDS(Thermal Desorption Spectroscopy)분석이 이용된다. 이 분석법은, 승온속도 60℃/분의 조건으로 실리콘 산화막을 실온에서 700℃까지 약 $1 \times 10^{-9}$ Torr의 고진공중에서 가열하고, 실리콘 기판으로부터 이탈하는 수소와 산소량을 2중수속형 질량분석시스템(double focus type mass analyzing sysstem)에 의해 측정한다. 따라서, 산화막중에 함유된 수소와 산소량이 분석된다. 산화막 표면 또는 산화막내의 수소와 물의 결합상태는 수소와 물이 기판으로부터 이탈하는 온도로부터 얻어질 수 있다.

예로서, 제4도는 0.5㎛ 두께의 건식(dry) 산화막(건식 산소에 의해 산화된 산화막)과 1.2㎛ 두께의 습식(wet) 산화막(수증기에 의해 산화된 산화막)의 TDS분석의 결과를 나타낸다 종측은 물의 이탈량 나타내고, 횡축은 기판온도를 나타낸다. 200℃ 450℃의 온도범위에서, 저온 이탈성분은 양쪽 산화막에 존재한다. 습식 산화막에서, 고온 이탈성분은 550℃ 이상의 온도범위에 존재한다. 점선은 백그라운드에 함유된 물의 이탈량을 나타낸다.

제5도(A) 및 제5도(B)는 각각 0.5㎛ 두께의 건식 산화막과 1.2㎛ 두께의 습식 산화막에 Si, O, H 및 OH의 결합상태를 나타내는 단면도이다. 제5도(A)및 제5도(B)에 나타낸 바와 같이, 저온 이탈성분은 산화막 표면에 흡착하고 있는 Si-OH결합에 기인한 것이고, 고온 이탈성분은 산화막중에 존재하는 Si-OH결합에 기인한 것이다. 고온 및 저온 이탈성분의 총량은 도 4에 있어서의 기준선과 커브에 의해 둘러싸인 영역을 통합함으로써 얻어질 수 있다.

TDS 스펙트럼에 변화를 제2실시예에 이용된 BPSG막의 SH처리 전후에 검사했다. 제6도는 물의 이탈량의 스펙트럼을 나타낸다. 제6도로부터, SH처리전에 비해 SH처리후에 저온 이탈성분이 증가하는 것을 알 수 있다. 이것은 BPSG 막의 표면이 SH처리에 의해 Si-OH결합으로 종단되어 있는 것을 나타낸다. Si-OH밀도는 약 $5 \times 10^{13}$ 개/$cm^{-2}$ 이상으로 추정되고, BPSG막의 표면만이 AHF가스에 의해 에칭된다. 제2실시예에 있어서, 콘택트 영역의 BFSG막의 형상은 상기 이유 때문에 원형을 갖는다.

SH처리 뿐만이 아니라, SC2처리와 같은 용액처리 전반에 의하거나, 또는 상술한 예컨대, 습도 20% 이상의 분위기중에 방치해도 BPSG막의 표면 상에 Si-OH결합이 형성될 수 있다. Si-OH결합의 농도는 용액 처리시간과 대기 방치시간에 비례하여 증가한다.

제3실시예

본 발명의 제3실시예에 따른 반도체장치의 제조공정을 제7도(A) (D)를 참조하여 설명한다.

제3실시예의 방법에 따르면, 산화막, 예컨대 상술한 화학적 산화막과 다른 절연막에 콘택트홀을 형성하는 경우에 있어서, 콘택트의 저부 상의 실리콘 기판의 표면을, 절연막을 에칭하는 것 없이 청정화 한다.

800㎚ 두께의 필드 산화막(32)과 10㎚ 두께의 게이트 산화막(34)이 (100)면을 주면으로 하는 n형 실리콘 기판(31) 상에 열산화에 의해 연속적으로 형성된다. 필드 산화막(32)으로 둘려쌓인 소자형성영역에 $BF_2^+$ 이온이 $5 \times 10^{15}$ 개/$cm^{-2}$ 의 도즈량과 35eV의 가속전압 조건으로 주입된다. 그 후, n형 실리콘 기판(31)이 $N_2$ 분위기중에서 20초 동안 1000℃로 가열됨으로써 약 0.1㎛의 두께를 갖는 얕은 $P^+$ 형 확산층(33)이 형성된다. 다음에, 층간절연막으로서의 CVD-$SiO_2$막(35)과 BPSG막(36)의 적층막이 1.0㎛의 막 두께로 전면에 퇴적된 후, 콘택트홀이 확산층(33) 상에 형성된다(제7도(A)). 물을 흡수하는 자연산화막(37)이 확산층(33)의 표면 상에 형성된다. 물을 흡수하는 자연산화막은 그 안에 함유된 Si-H결합, Si-O-H결합 및 $H_2O$ 분자의 총 농도가 적어도 $1 \times 10^{13}$ 개/㎠ 이상으로 되도록 처리한다. 예컨대, 확산층(33)의 표면을 습도 20% 이상의 분위기중에 1시간 이상 방치함으로써 얻어진다. 불소도핑 실리콘 산화막(42)이 플라즈마 CVD에 의해 콘택트 전면에 형성된다(제7도(B)). 재료가스로서는 $O_2$, $O_3$, $SiH_4$, $SiH_2H_6$, $CF_4$, $NF_3$ 중 어느것이라도 이용될 수 있다. 이때, 콘택트홀의 저부에 형성된 불소도핑 실리콘 산화막(42) 부분의 두께는 콘택트홀의 측면 및 BPSG막(36)의 표면에 형성된 부분의 두께보다 더 얇다. 불소도핑 실리콘 산화막(42)이 형성된 후, 합성구조를 외부대기에 방치함으로써 막(42)중에 물이 과잉 트랩핑(trapping) 한다.

다음에, 확산층 상의 자연산화막(37)과 불소도핑 실리콘 산화막(42)을 제거하기 위해 진공실내로 실리콘 기판(31)을 반송한다. 기판(31)을 적외선 열처리에 의해 100℃로 승온한 상태로, AHF가스를 4Torr의 압력으로 10분동안 챔버에 공급한다. 상술한 바와 같이 형성된 자연산화막(37)과, 대기중에 방치함으로써 물을 흡수한 불소도핑 실리콘 산화막(42)이 다량의 Si-O-H결합 등을 포함하기 때문에, 그들을 제거하여 청정한 확산층(33)을 노출시킨다(제7도(C)).

이 경우에 있어서, 게이트 산화막(34), CVD-$SiO_2$막(35) 및 BPSG막(36)이 불소도핑 실리콘 산화막(42)으로 덮여짐으로써 그들 두께는 증가하지 않고, 콘택트홀의 직경의 증가도 관찰되지 않는다. 상술한 불소도핑 실리콘 산화막(42)은 AHF가스에 의해 제거되고, BPSG막(36)에 형성된 콘택트홀의 상부 엣지는 동시에 둥글게 된다.

더욱이, Ti층(38: 30㎚의 두께)과 TiN층(39: 70㎚의 두께)으로 구성되는 스택층이 연속 스퍼터링에 의해 기판(31)의 표면 상에 형성된다. 그 후, $TiSi_2$(40)이 30초 동안 750℃로 RTA처리에 의해 형성되고, 블랭킷 형성 W층(41)은 합성구조(제7도(D))의 전면에 형성된다.

이 AHF처리에 의해, 콘택트의 저부만이 청정화 되고, 콘택트를 형성하는 절연막은 에칭되지 않는다. 그래서, 콘택트홀 직경의 증가가 방지됨으로써, 콘택트 저항의 증가와 변동이 방지된다. 결과적으로, W층(41)이 양호한 매립형태를 가짐으로써, 양호한 콘택트 특성을 갖는 고속동작, 고신뢰성의 반도체 장치를 제공한다.

상기 실시예에 있어서, AHF가스에 의해 제거된 산화막으로서, 대기중의 물과 산소에 의해 형성된 자연산화막이 이용된다. 그러나, SC2처리와 SH처리에 의해 고의로 형성된 화학적 산화막이 제1실시예에서와 같이 동일한 방법으로 이용된다.

제4실시예

본 발명의 제4실시예에 따른 반도체장치 제조방법은 제8도(A) (E)를 참조하여 설명한다. 본 실시예의 방법에 따르면, 산화막, 예컨대 상술한 화학적 산화막과 다른 절연막에 콘택트홀을 형성하는 경우에 있어서, 콘택트는 절연막의 에칭을 제어함으로써 테이퍼된 형태로 형성되고, 콘택트의 저부의 실리콘 표면이 청정화 된다.

필드 산화막(32)과 게이트 산화막(34)이 (100)면을 주면으로 하는 n형 실리콘 기판(31) 상에 열산화에 의해 연속적으로 형성된다. $BF_2^+$ 이온이 필드 산화막 (32)에 의해 둘러싸여진 소자형성영역에 주입되고, n형 실리콘 기판(31)이 $N_2$ 분위기중에서 가열됨으로써 얕은 확산층(33)이 형성된다. 다음에, 층간 절연막으로서의 CVD-$SiO_2$막(35)과 BPSG막(36)으로 이루어진 적층막이 전면에 퇴적된 후, 콘택트홀이 확산층(33) 상에 형성된다(제8도(A)). 물을 흡수하는 자연산화막(37)이 제3실시예에서와 같이 동일한 방법으로 확산층(33) 상에 형성된다.

불소도핑 실리콘 산화막(42)이 플라즈마 CVD에 의해 콘택트홀의 전면에 형성된다(제8도(B)). 이때, 콘택트홀의 저부에 형성된 불소도핑 실리콘 산화막(42) 부분의 두께는 콘택트홀의 측면 및 BPSG막(36)의 표면에 형성된 부분의 두께보다 더 얇다. 불소도핑 실리론 산화막(42)이 형성된 후, 합성구조를 순수에 담금으로써 막(42)중에 물이 과잉 트랩핑한다.

다음에, 확산층 상의 자연산화막(37)과 불소도핑 실리콘 산화막(42)을 제거하기 위해 진공실내로 실리콘 기판(31)을 반송한다. 기판(31)을 적외선 열처리에 의해 100℃로 승온한 후, 기판이 이러한 온도로 유지되는 동안 AHF가스를 4 Torr의 압력으로 10분 동안 챔버에 공급한다. 상술한 바와 같이 형성된 자연산화막(37)과 순수에 담금에 따라 과도한 물을 흡수한 불소도핑 실리콘 산화막(42)이 다량의 Si-O-H결합 등을 포함하기 때문에, 그들을 선택적으로 제거하여 청정한 확산층(33) 표면을 노출시킨다(제8도(C)). 과다한 물이 불소도핑 실리콘 산화막(42)에 제공되므로, AFH가스와 반응하지 않는 물이 Si-O-H결합의 형태로 BPSG막(36)의 표면 상에 남는다. 이 상태에서 BPSG막(36)의 에칭 두께가 AHF가스 처리시간을 조절함으로써 제어되기 때문에, 개구에 둥근 상부 엣지를 갖춘 콘택트홀이 형성된다(제8도(D)).

이 경우에 있어서, 게이트 산화막(34)과 CVD-$SiO_2$막(35)의 표면에 물이 제공되어도, 막(34, 35)은 치밀하면서 Si-O결합이 강한 산화막이기 때문에, 이들 막에 Si-OH결합은 형성되기 어렵다. 그러므로, BPSG막(36) 이외의 산화막의 두께는 감소하지 않고, 콘택트홀의 저부의 직경에 증대는 관찰되지 않는다.

Ti층(38: 30㎚의 두께)과 TiN층(39: 70㎚의 두께)은 스퍼터링에 의해 기판 (31)의 전면에 연속적으로 형성된다. 그 후, $TiSi_2$ (40)이 30초 동안 750℃로 RTA(Rapid Thermal Anneal)처리에 의해 형성되고, 블랭킷 형성 W층(41)이 형성된다 (제8도(E)).

이 AHF처리에 의해, 콘택트 저부의 청정화와 콘택트홀의 테이퍼링 형성이 서로 독립적으로 제어 될 수 있고, 또 테이퍼 각도도 조절될 수 있다. 최적의 테이퍼 각을 갖는 콘택트홀은 Ti막/TiN막의 연속 스퍼터링의 조건을 조절함으로써 형성될 수 있고, 따라서 W층(41)은 양호한 매립형태를 갖는다. 결과적으로, 콘택트 저항의 증가와 변동이 방지됨으로써 고속동작, 고신뢰성의 반도체 장치 제조방법을 제공한다.

상기 실시예에 있어서, AHF가스에 의해 제거된 산화막으로서, 대기중의 물과 산소에 의해 형성된 자연산화막이 이용된다. 그러나, SH처리 또는 SC2처리에 의해 고의로 형성된 화학적 산화막이 제1실시예에서와 같이 동일한 방법으로 이용된다.

상술한 바와 같이, 본 발명의 반도체장치 제조방법에 의하면, 산화막 예컨대, 터널 산화막의 형성 또는 콘택트의 형성을 위한 전처리에 AHF가스가 이용되고, 따라서 실리콘 영역의 표면 상에 화학적 산화막 등의 절연막이 열산화막(필드 산화만, 게이트 산화막 등) 또는 콘택트가 형성된 CVD 산화막 등의 절연막으로부터 선택적으로 제거될 수 있다. 물이 외부적으로 공급되지 않는 처리가 가능하여 기판의 표면 상에 파티클 발생이 억제됨으로써, 백그라운드 분압을 감소시킬 수 있다. 따라서, 공정수 또는 처리시간을 감소시킴으로써, 높은 드로우풋을 갖는 고신뢰성의 반도체장치가 제조될 수 있다.

또한, AHF가스에 의한 화학적 산화막의 제거는 규화물을 이용하여 콘택트 전극 상에 형성된 $SiO_2$막의 제거에 효과적이다. 이를 예시하는 방법을 기술한다.

제5실시예

제9도(A) (C)는 본 발명의 제5실시예에 따른 반도체장치의 제조방법을 나타낸 공정 단면도이다. 특히, 제9도(A)(C)는 콘택트홀내에 W층을 선택적으로 형성하는 방법을 나타낸다.

제9도(A)에 나타낸 바와 같이, (100)면을 주면으로 하는 n형 실리콘 기판(101)의 표면을 열산화 하여 필드 산화막(102)을 형성한다. 이어서, 필드 산화막(102)에 의해 둘러싸인 소자형성영역에 $BF_2^+$ 이온이 주입되고, $N_2$ 분위기중에서 n형 실리콘 기판(101)을 열처리함으로써 소자형성영역의 표면 상에 약 0.1㎛의 두께를 갖는 얕은 $p^+$ 형 확산층(103)을 형성한다.

다음에, 층간걸연막으로서의 CVD-$SiO_2$막(104)과 BPSG막(105)으로 구성되는 적층막이 1.0㎛의 두께로 전면에 퇴적되어 에칭됨으로써, p+형 확산층(103) 상에 콘택트홀을 형성한다. 그후, p+형 확산층(103)의 표면 상에 자연산화막을 박리하기 위해 희불산 수용액으로 세정한다.

약 30nm의 두께를 갖는 Ti막과 약 70㎚의 두께를 갖는 TiN막이 스퍼터링에 의해 연속적으로 형성되고, RTA처리로 규화물화가 20초 동안 1000℃에서 수행된다. 그후, Ti막과 TiN막으로 이루어진 적층막을 유황산과 과산화수소를 미용하여 SH처리(10분)에 의해 제거한다. 이 결과, 약 60㎚의 두께를 갖는 $TiSi_2$층(106)이 p+형 확산층(103) 상에 형성되고, 또한 약 4㎚의 두께를 갖는 $SiO_x$층(107)이 $TiSi_2$층 (106) 상에 형성된다.

제9도(B)에 나타낸 바와 같이, 무수불화수소산 가스를 1Tnrr, 10분 동안 실온상태로 $TiSi_2$층(106) 상에 공급함으로써, $SiO_x$층(107)을 선택적으로 제거한다. 이때, 노출된 $TiSi_2$층(106)의 표면은 불화되고, 그 표면에는 저증기압을 갖는 $TiF_x$층 (108)이 형성된다.

만약, 무수불화수소산 가스의 압력이 4Torr이면, 4㎚의 두께를 갖는 $SiO_x$층 (107)은 1분의 처리로 제거되고, 만약 0.4Torr이면, 30분의 처리로 제거된다.

본 실시예에 있어서, 에천트로서 이용되는 것은 고에너지 이온이 아니라, 무수불화수소산이다. 따라서, $TiSi_2$층(106)은 손상받지 않는다.

제9도(c)에 나타낸 바와 같이, 남아있는 $TiF_x$층(108)은 수소분위기중에서 어닐링 함으로써 제거된다. 이것은, $TiF_x$층(108)이 잔류한 상태로 콘택트홀내에 W층을 형성하면 콘택트 저항이 증가하기 때문이다.

특히, 상기 어닐링에 있어서 가열은, $TiSi_2$층(106)의 온도 ($TiSi_2$온도)를 250℃로 유지하면서 0.035Torr의 수소 분압으로 10분 동안 수행한다. 상기 어닐링에 의해, $TiSi_2$층(1061 상에 $TiF_x$층(108)이 $TiSi_2$층(106)의 청정표면을 노출하기 위해 완전히 제거된다. 상기 어닐링을 이용하는 이유는 $TiF_x$층(108)의 감소와 백그라운드에 존재하는 산소, 물 등에 의해 $TiSi_2$층(106) 표면의 재산화를 방지하기 위해서이다.

상기 어닐링에 있어서의 수소 분압은 0.01Torr 이상이 바람직하다. 청정한 표면을 갖는 $TiSi_2$층(106)은 $TiSi_2$온도가 100℃ 500℃ 범위내에서 얻어졌다.

본 실시예에서 무수불화수소산 가스의 압력은 1Torr이고 가스 공급시간은 10분이다. 만약, 무수불화수소산 가스의 압력이 0.4Torr이면 공급시간을 30분보다 더 길게 설정하고, 1Torr이면 공급시간을 10분 보다 더 길게 설정하며, 4Torr이면 공급시간을 1분 보다 더 길게 설정하는 것을 알 수 있다. 그러면, 두꺼운 $TiF_x$층 (108)이 $TiF_2$보다도 존재비가 높은 $TiF_3$의 다량의 동위원소를 갖는 $TiSi_2$층 상에 형성될 수 있다. 특히, 상기 조건하에서 설사 어닐링이 동일한 수소분위기중에서 수행될 지라도 $TiF_x$층(108)이 제거되지 않는 것을 알 수 있다.

최후에, 제9도(C)에 나타낸 바와 같이 $TiSi_2$온도가 350℃로 유지되는 동안 콘택트 상에 모노실란($SiH_4$) 가스와 6불화 텅스텐($WF_6$) 가스(0.15Torr의 전체압력으로)를 모두 10sccm의 유량으로 60초간 공급하여, $TiSi_2$층(106) 상에 W층(109)을 선택적으로 형성한다. 이와 같이 하여, $TiSi_2$층(106)과 W층(109)으로 이루어진 콘택트 전극이 완성된다. $SiO_x$층(107)이 $TiSi_2$층(106) 상에 남아있지 않기 때문에, W층 (109)은 쉽게 분리되지 않는다.

더욱이, $TiSi_2$층(106)은 $SiO_x$층(107)의 제거동안 손상되지 않으므로 $TiSi_2$층 (106)과 W층(109)을 가로지르는 콘택트 저항이 충분히 저하된다. 따라서, 콘택트 전극과 $P^+$ 형 확산층(103)을 가로지르는 콘택트 저항도 충분히 저하된다.

제10도는 무수불화수소산 가스의 분압과 $SiO_x$층의 에칭율 사이의 관계를 나타낸다. 이것은, 기판온도가 실온으로 설정되는 경우를 나타낸다. $SiO_x$층(107)의 제거동안 가능한한 최대로 $TiSi_2$층(106)의 초과에칭을 억제하기 위해, 제6도로부터 계산되어 이용되는 무수불화수소산 가스의 분압에 대한 에칭율과 이 에칭율로부터 결정되는 에칭시간이 중요하다.

본 실시예와 같이, 규화물층이 $TiSi_2$층(106)인 경우, 가장 제거하기 쉬운 잔류 불화물은 $TiF_3$인 것을 알 수 있다. 이것은, $TiF_2$가 $TiF_x$(x= 1, 3, 4)보다 높은 증기압을 갖기 때문일 것이다. 만약, $TiSi_2$층이 장시간 동안 무수불수소산 가스에 노출되면, 티타늄의 불화가 진행한다. 그러면, $TiF_3$의 비율이 증가하여, 수소 가스처리를 수행해도 불화물의 제거가 어려워진다. 따라서, $TiSi_2$층을 무수불화수소산 가스에 노출하는 시간을 적당히 선택해 $TiSi_2$층의 표면의 잔류 불화를 형태가 $TiF_2$로 함으로써, 수소가스 처리에 의한 제거를 효과적으로 수행한다.

제6실시예

제11도(A) (C)는 본 발명의 제6실시예에 따른 콘택트 전극을 형성하는 방법을 나타낸 반도체장치의 단면도이다.

제11도(A)에 나타낸 바와 같이, (100)면을 주면으로 하는 n형 실리콘 기판 (111)의 표면을 열산화하여 필드 산화막(112)을 형성한다. 이어서, 이 필드 산화막 (112)에 둘러싸인 소자형성영역에 $BF_2^+$ 이온을 주입한 후, $N_2$ 가스분위기중에서 n형 실리콘 기판(111)을 열처리함으로써, 소자형성영역의 표면에 얕은 $P^+$ 형 확산층(103)을 형성한다.

다음에, 층간절연막으로서의 CVD-$SiO_2$막(114)과 BPSG막(115)으로 구성되는 적층막을 전면에 퇴적하고, 이 적층막을 에칭함으로써 $P^+$ 형 확산층(113) 상에 콘택트홀을 형성한다. 그후, n형 실리콘 기판(111)을 희불산 수용액으로 세정함으로써, p+형 확산층(113)의 표면에 자연산화막을 박리한다.

다음에, 스퍼퍼링에 의해 Ti막과 TiN막을 연속적으로 형성한 후, RTA처리에 의한 규화물화를 행한다. 그후, Ti막과 TiN막을 SH처리에 의해 제거한다. 이 결과, $TiSi_2$층(116)이 p+형 확산층(113) 상에 형성되고, 또한 $SiO_x$층(117)이 $TiSi_2$층(116) 상에 형성된다.

제11도(B)에 나타낸 바와 같이, n형 실리콘 기판(111)의 이면으로부터 적외선(A)을 조사하여 100℃에서 $TiSi_2$층(116)을 가열함과 더불어, 무수불화수소산 가스 (120)를 1Torr, 10분간 실온상태에서 $TiSi_2$층(106) 상에 공급함으로써 $SiO_x$층(117)을 제거한다.

이때, $TiSi_2$층(116)은 제5실시예의 경우와 같이 손상되지 않는다. 더욱이, 노출된 $TiSi_2$층(116)의 표면은 제5실시예의 경우와 같이 불화되고, 그 표면에는 저증기압을 갖는 $TiF_x$층(118)이 $TiSi_2$층(116)의 불화된 표면 상에 형성된다.

본 실시예에 있어서, $TiF_x$(118)은 적외선(A)에 의해 확실하게 승화되기 때문에, 잔류 불소농도가 충분히 낮아진다.

최후에, 제11도(c)에 나타낸 바와 같이, 남아있는 $TiF_x$층(118)은 $TiSi_2$층 (116)의 청정표면을 노출시키기 위해 수소분위기중에서 어닐링 함으로써 제거된다. 그후, $TiSi_2$층(116)을 350℃로 승온한 상태에서, $SiH_4$와 $WF_6$를 콘택트홀 상에 공급함으로써 , $TiSi_2$층이 $TiSi_2$층(116) 상에 W층(119)을 선택적으로 형성한다.

만약, 무수불화수소산 가스 공급시의 $TiSi_2$층의 온도가 500℃를 초과하면, 백그라운드중, 또는 반응 생성물인 물에 의해, 자연산화층 제거후의 $TiSi_2$층(116)의 표면이 재산화되고, 그 결과 $TiO_x$와 $SiO_x$가 형성되버린다. 이 때문에, 무수불화수소산 가스 공급시의 $TiSi_2$ 온도범위는 50℃ 500℃가 효과적이다. 보다 바람직하게는, 100℃ 300℃의 온도범위에서 보다 양호한 결과가 얻어진다.

제7실시예

재12도(A) (C)는 본 발명의 제7실시예에 따른 콘택트 전극을 형성하는 방법을 나타낸 반도체장치의 단면도이다.

제12도(A)에 나타낸 바와 같이, n형 실리콘 기판(121)의 표면은 필드 산화막 (122)을 형성하도록 열산화된다. 이어서, 필드 산화막(122)에 의해 둘러쌓인 소자영역에 $BF_2^+$ 이온을 주입한 후, $N_2$ 분위기중에서 n형 실리콘 기판(121)을 열처리 함으로써, 소자형성영역의 표면에 얕은 p+형 확산층(123)을 형성한다.

다음에, 층간절연막으로서의 CVD-$SiO_2$막(124)과 BPSG막(125)으로 구성되는 적층막을 전면에 퇴적하고, 이 적층막을 에칭함으로써 p+형 확산층(123) 상에 콘택트홀을 형성한다. 그후, n형 실리콘 기판(121)을 희불산 수용액으로 세정함으로써, p+형 확산층(123)의 표면에 자연산화막을 박리한다.

다음에, 스퍼터링에 의해 Ti막과 TiN막을 연속적으로 형성한 후, RTA처리에 의한 규화물화를 행한다. 그후, Ti막과 TiN막을 SH처리에 의해 제거한다. 이 결과, $TiSi_2$층(126)이 p+형 확산층(123) 상에 형성되고, 또한 $SiO_x$층(127)이 $TiSi_2$층(126) 상에 형성된다.

제12도(B)에 나타낸 바와 같이, 마이크로파 방전(2,450㎒)을 이용한 무수 불화수소산 다운플로우(down flow) 플라즈마 처리에 의해 발생하는 대량의 활성불소 래디칼(radical)에 의해 $SiO_x$층(127)이 제거된다. 이때, 노출된 $TiSi_2$층(126)의 표면은 불화되고, 저증기압을 갖는 $TiF_x$층(128)이 $TiSi_2$층(126)의 불화된 표면 상에 형성된다.

이 경우에 있어서, 무수불화수소산 다운플로우 플라즈마 처리는, 예컨대 1Torr의 무수불화수소산 가스, 100W의 전력, 5분의 처리시간으로 수행된다. 본 실시예에 있어서, 활성종인 다량의 불소 래디칼(130)이 다운플로우 플라즈마 처리에 의해 형성되므로, 저분압·단시간의 처리(0.4Torr로 15분, 0.2Torr로 30분)에서도, $SiO_x$층(127)을 제거할 수 있다.

이 처리에 있어서, 고에너지 이온의 입사가 RIE에 의한 에칭에 비해 적다. 따라서, $TiSi_2$층(126)에 손상이 작고, 그 결과 고신뢰성의 콘택트 형성이 가능해진다.

최후에, 제12도(c)에 나타낸 바와 같이, 남아있는 $TiF_x$층(128)은 $TiSi_2$층 (126)의 청정표면을 노출시키기 위해 수소분위기중에서 어닐링 함으로써 제거된다. 그후, $TiSi_2$층(126)을 350℃로 승온한 상태에서, $SiH_4$와 $WF_6$를 콘택트홀 상에 공급함으로써, $TiSi_2$층(126) 상에 W층(129)을 선택적으로 형성한다.

만약, 제6실시예에 기술한 적외선에 의한 기판 가열을 병용하면, $TiSi_2$층 (126) 상에 잔류 불화물을 더 감소시킬 수 있다. $TiSi_2$층(126)의 효과적인 온도범위는 제6실시예에 기술한 것과 동일하다.

제8실시예

제13도(A)~(D)는 본 발명의 제8실시예에 따른 콘택트 전극을 형성하는 방법을 나타낸 반도체장치의 단면도이다.

제13도(A)에 나타낸 바와 같이, 필드 산화막(132)이 n형 실리콘 기판(131)의 표면 상에 형성된다. 이어서, p+형 확산층(133)이 필드 산화막(132)에 의해 둘러싸인 소자형성영역의 표면 상에 형성된다.

다음에, 층간절연막으로서의 CVD-$SiO_2$막(134)과 BPSG막(135)으로 구성되는 적층막을 전면에 퇴적하고, 이 적층막을 에칭함으로써 $P^+$형 확산층(133) 상에 콘택트홀을 형성한다. 그후, p+형 확산층(133)의 표면 상에 자연산화막을 박리한다.

다음에, 스퍼터링에 의해 Ti막과 TiN막을 연속적으로 형성한 후, RTA처리에 의한 규화물화를 행한다. 그후, Ti막과 TiN막을 SH처리에 의해 제거한다. 이 결과, $TiSi_2$층(136)이 p+형 확산층(133) 상에 형성되고, 또한 $SiO_x$층(137)이 $TiSi_2$층(136) 상에 형성된다.

제13도(B)에 나타낸 바와 같이, 무수불화수소산 가스가 $SiO_x$층(137)을 제거하기 위해 1Torr, 10분간 실온에서 $TiSi_2$층(136) 상에 공급된다. 이때, 노출된 $TiSi_2$층(136)의 표면이 불화되고, 저증기압을 갖는 $TiF_x$층(138)이 $TiSi_2$층(136)의 불화된 표면 상에 형성된다.

이어서, 제13도(C)에 나타낸 바와 같이 $TiSi_2$층(136)을 가열하기 위해 n형 실리콘 기판(131)의 이런에 적외선(B)을 조사한다. 또한, 마이크로화 방전을 이용한 수소 다운플로우 플라즈마 처리에 의해 활성수소 래디칼(140)을 생성함으로써, $TiF_x$층(138)을 제거한다. 이를 위한 조건은, 예컨대 수소 분압이 0.01Torr, 전력이 100W, 처리시간이 10분이고 $TiSi_2$온도가 100℃이다.

최후에, 제13도(D)에 나타낸 바와 같이 $TiSi_2$층(136)이 350℃로 승온한 상태에서, $SiH_4$와 $WF_6$을 콘택트홀 상에 공급함으로써, $TiSi_2$층(136) 상에 W층(139)을 선택적으로 형성한다.

본 실시예에 있어서, $TiF_x$층(138)은 낮은 온도에서, 단시간내에 그리고 낮은 수소 분압으로 수소 다운플로우 플라즈마 처리에 의해 효과적으로 제거된다. 수소 분압이 0.001Torr 1Torr이고 $TiSi_2$층(136)의 온도가 400℃의 실온일 때 양호한 결과가 얻어진다. 수소가스와 희가스를 혼합하여 방전을 행함으로써, 보다 많은 활성수소 래디칼을 기판 표면에 제공할 수 있어, 보다 효과적인 $TiF_x$층(138)의 제거가 가능해진다.

제9실시예

제14도(A) (D)는 본 발명의 제9실시예에 따른 콘택트 전극을 형성하는 방법을 나타낸 반도체장치의 단면도이다.

제14도(A)에 나타낸 바와 같이, 필드 산화막(142)이 n형 실리콘 기판(141)의 표면 상에 형성된다. 이어서, p+형 확산층(14,1)이 필드 산화막(142)에 의해 둘러싸인 소자형성영역의 표면 상에 형성된다.

다음에, CVD-$SiO_2$막(144)과 BPSG막(145)이 전면에 연속적으로 퇴적되여 에칭됨으로써, p+형 확산층(143) 상에 콘택트홀이 형성된다. 그후, p+형 확산층(143)의 표면 상에 자연산화막이 박리된다.

Ti막과 TiN막이 연속적으로 형성되고, RTA처리에 의한 규화물화가 수행된다. 그후, Ti막과 TiN막이 SH처리에 의해 제거된다. 이 결과, $TiSi_2$층(146)이 p+형 확산층(143) 상에 형성되고, 또한 $SiO_x$층(147)이 $TiSi_2$층(146) 상에 형성된다.

제14도(B)에 나타낸 바와 같이, 무수불화수소산 가스가 $SiO_x$층(147)을 제거하기 위해 1Torr, 10분간 실온에서 $TiSi_2$층(146) 상에 공급된다. 이때, 노출된 $TiSi_2$층(146)의 표면은 불화되고, 저증기압을 갖는 $TiF_x$층(148)이 $TiSi_2$층(146)의 불차된 표면 상에 형성된다.

이어서, 제14도(C)에 나타낸 바와 같이 $TiSi_2$층(146)을 가열하기 위해 n형 실리콘 기판(141)의 이면에 적외선(C)을 조사한다. 또한, n형 실리콘 기판(141)에 수소원자(H; 150)가 공급됨으로써, $TiF_x$층(148)을 제거한다. 결과적으로, 청정표면을 갖는 $TiSi_2$층(146)을 얻을 수 있다.

수소원자(150)를 제공하기 위해, 예컨대 텅스텐 가열이 이용된다. 특히, 텅스텐을 가열하여 열전자를 방출시킨다. 이 열전자에 의해 수소분자($H_2$)를 해리함으로써, 수소원자를 형성한다.

특히, 예컨대 W필라멘트가 가열에 의해 에너지화 되고, 수소가스 W필라멘트에 공급됨으로써, 수소원자를 형성한다. 이 방법으로 형성된 수소원자는 기판의 표면에 공급된다. 이때, 예컨대 수소 분압은 0.01Torr이고 처리시간은 10분, $TiSi_2$온도는 100℃이다.

다음에, 제14도(D)에 나타낸 바와 같이, $TiSi_2$층(146)이 350℃로 승온된 상태에서, $SiH_4$와 $WF_6$을 콘택트홀 상에 공급함으로써, $TiSi_2$층(146) 상에 W층(149)을 선택적으로 형성한다.

본 실시예에 의하면, 다운플로우 플라즈마를 이용한 경우와 마찬가지로, 하지의 플라즈마에 의한 손상을 감소시킬 수 있으면서 낮은 온도로 불화물을 제거할 수 있다. 수소 분압과 $TiSi_2$온도의 효과적인 범위는 제6실시예에 나타낸 것과 동일하다.

제10실시예

제15도(A) (D)는 본 발명의 제10실시예에 따른 콘택트 전극을 형성하는 방법을 나타낸 반도체장치의 단면도이다.

제15도(A)에 나타낸 바와 같이, 필드 산화막(152)이 n형 실리콘 기판(151)의 표면 상에 형성된다. 이어서, p+형 확산층(153)이 필드 산화막(152)에 의해 둘러싸인 소자형성영역의 표면 상에 형성된다.

다음에, CVD-$SiO_2$막(154)과 BPSG막(155)이 전면에 연속적으로 퇴적되어 에칭됨으로써, p+형 확산층(153) 상에 콘택트홀이 형성된다. 그 후, p+형 확산층(153)의 표면 상에 자연산화막이 박리된다.

Ti막과 TiN막이 연속적으로 형성되고, RTA처리에 의한 규화물화가 수행된다. 그후, Ti막과 TiN막이 SH처리에 의해 제거된다. 이 결과, $TiSi_2$층(156)이 p+형 확산층(153) 상에 형성되고, 또한 $SiO_x$층(157)은 $TiSi_2$층(156) 상에 형성된다.

제15도(B)에 나타낸 바와 같이, 무수불화수소산 가스가 $SiO_x$층(157)을 제거하기 위해 1Torr, 10분간 실온에서 $TiSi_2$층(156) 상에 공급된다. 이때, 노출된 $TiSi_2$층(156)의 표면은 불화되고, 저증기압을 갖는 $TiF_x$층(158)이 $TiSi_x$층(158)이 $TiSi_2$층(156)의 불화된 표면 상에 형성된다.

이어서, 제15도(C)에 나타낸 바와 같이 $TiSi_2$층(156)을 가열하기 위해 n형 실리콘 기판(151)의 이면에 전외선(D)을 조사한다. 또한, n형 실리콘 기판(151)을 진공 또는 희가스(160), 예컨대 아르곤 가스의 분위기중에서 가열함으로써 $TiF_x$층 (158)을 제거한다.

이 경우에 있어서, 진공 또는 희가스(0.035Torr의 압력) 분위기에서의 백그라운드 물 분압은 $1 \times 10^{-6}$ Torr 이하이고, $TiSi_2$층(156)의 온도는 250℃이며, 처리시간은 10분이다.

다음에, 제15도(D)에 나타낸 바와 같이, $TiSi_2$층(156)이 350℃로 승온된 상태에서, $SiH_4$와 $WF_6$을 콘택트홀 상에 공급함으로써, $TiSi_2$층(156) 상에 W층(159)을 선택적으로 형성한다.

양호한 콘택트 특성을 얻기 위해, 수소 분압은 될 수 있으면 $1 \times 10^{-6}$ Torr 이하로 하고, $TiSi_2$온도는 될 수 있으면 100℃ 500℃의 범위내로 한다. 보다 바람직하게, 수분압은 $1 \times 10^{-6}$ Torr 이하로 하고, $TiSi_2$온도는 200℃ 300℃내로 한다.

제11실시예

제16도(A) (C)는 본 발명의 제11실시예에 따른 콘택트 전극을 형성하는 방법을 나타낸 반도체장치의 단면도이다.

제16도(A)에 나타낸 바와 같이, 필드 산화막(162)이 n형 실리콘 기판(161)의 표면 상에 형성된다. 이어서, p+형 확산층(163)이 필드 산화막(162)에 의해 둘러싸인 소자형성영역의 표면 상에 형성된다.

다음에, CVD-$SiO_2$막(164)과 BPSG막(165)이 전면에 연속적으로 퇴적되어 에칭됨으로써, p+형 확산층(163) 상에 콘택트홀이 형성된다 그 후, p+형 확산층(163)의 표면 상에 자연산화막이 박리된다.

Ti막과 TiN막은 연속적으로 형성되고, RTA처리에 의한 규화물화가 수행된다. 그후, Ti막과 TiN막이 SH처리에 의해 제거된다. 이 결과, $TiSi_2$층(166)이 p+형 확산층(163) 상에 형성되고, 또한 $SiO_x$층(167)은 $TiSi_2$층(166) 상에 형성된다.

제16도(B)에 나타낸 바와 같이, $SiO_x$층(167)을 감압하에서가 아니라, 상압하에서 무수불화수소산 가스를 이용하여 제거한다. 상압하에서 $SiH_6$층(167)을 제거하기 위해서는 아르곤 가스에 의해 무수불화수소산 가스 분압을 제어하면 된다. 아르곤 가스 이외의 희가스를 이용해도 된다. 예컨대, 분압등의 조건은 무수불화수소산 가스의 분압은 1Torr, 아르곤의 분압은 759Torr, 처리시간은 실온에서 10분이다. 무수불화수소산 가스의 분압과 처리시간은 제4실시예에 기술한 범위에서 유효하다.

$SiO_x$층(Iti7)의 제거동안, 노출된 $TiSi_2$층(166)의 표면이 불화되어 형성된 저증기압을 갖는 $TiF_x$층(168)을, 열처리에 의해 제거한다. 예컨대, $TiF_x$층(168)을 수소가스 분위기중 또는 희가스 분위기중에서 열처리 함으로써 제거한다.

특히, 무수불화수소산 가스의 공급을 중단하고, 아르곤 분위기중에 수소가스를 도입하여 기판 가열을 행함으로써, $TiF_x$층(168)을 상압하에서 제거한다. 수소가스 분압과 가열온도는 제4실시예에 기술한 범위에서 유효하다. 만약, 백그라운드 물 분압(수분압)이 $1 \times 10^{-6}$ Torr 미만이면 아르곤 분위기중에서의 가열처리에서도 $TiF_x$층(l68)의 제거는 가능하다.

최후에, 제16도(C)에 나타낸 바와 같이 상압분위기를 진공으로 하고, $TiSi_2$층(166)을 350℃로 승온한 상태에서, $SiH_4$와 $WF_6$을 콘택트홀 상에 공급함으로써, $TiSi_2$층이 $TiSi_2$층(166) 상에 W층(169)을 선택적으로 형성한다.

본 실시예에 있어서, 처리분위기, 예컨대 무수불화수소산 가스, 수소가스, 또는 희가스 분위기에서의 물 분압의 효과적인 범위는 $1 \times 10^{-3}$ Torr 이하이다. 보다 바람직하게, 양호한 좋은 결과는 물 분압이 $1 \times 10^{-6}$ Torr 이하일 때 얻을 수 있다.

제12실시예

제17도는 본 발명의 제12실시예에 따른 반도체장치 제조장치의 개략구성을 나타낸 평면도이고, 제18도는 상기 반도체장치 제조장치의 처리실(182)의 구체적인 구성을 나타낸 구성단면도이다.

본 실시예의 반도체장치 제조장치는 로드록(load-lock)실(181)과, 처리실 (182), 가열실(183), 성막실(184) 및 반송실(185)에 의해 구성된다.

로드록실(181), 처리실(182), 가열실(183) 및 성막실(184)은 각각 별개의 밸브(189)를 매개로 반송실(185)에 접속되어 있다. 이 반송실(185)에는 반송기구가 설치되어 있어, 각 실(181 184)간에서의 피처리기체의 반송이 가능하게 되어 있다.

로드록실(181), 처리실(182), 가열실(183), 성막실(184) 및 반송실(185)에는 각각 별개의 펌프(186)가 설치되어 있고, 이에 의해 각 실(181 185)의 진공도를 독립적으로 제어할 수 있도록 되어 있다. 성막실(184)에는 펌프(186) 외에 터보분자 펌프(188; turbo-molecular pump)가 설치되어 있다.

처리실(182), 가열실(183) 및 성막실(184)에는 각각 별개의 가스 도입관 (190)과 유량제어기(187: MFC)가 설치되어 있다. 따라서, 처리실(182)내에 원하는 량의 무수불화수소산 가스(AHF)와 Ar가스를 도입할 수 있고, 가열실(183)내에 원하는 량의 $H_2$가스와 Ar가스를 도입할 수 있으며, 성막실(184)내에 원하는 량의 $WF_6$, $H_2$가스 및 $SiH_4$를 도입할 수 있다.

제18도에 나타낸 바와 같이, 처리실(182)내에는 피처리기체를 가열하는 가열기구(192: 예컨대, 저항 가열기)가 설치되어 있다. 피처리기체(193)의 상방에는 피처리기체(193)와 대향하도록 다구멍형상 노즐(191)이 설치되어 있다. 가열실(183)내에는 피처리기체(193)를 소정의 온도로 가열하는 가열기구(도시하지 않았음)가 설치되어 있다. 가열기구로서, 예컨대 램프가열기구가 있다.

상기와 같이 구성된 반도체장치 제조장치를 이용한 콘택트 전극의 형성에 대해 기술한다. 피처리기체로서는, 상기 제4실시 제10실시예와 같이 콘택트홀에 $TiSi_2$층이 노출하여 이루어지는 실리콘 기판을 이용한다.

우선, 피처리기체를 로드록실(181)내로 도입한다. 다음에, 로드록실(181)의 내부를 $1 \times 10^{-2}$ Torr 이하의 압력까지 진공흡인한다.

300Torr로 로드록실내의 압력을 유지하기 위해 로드록실내에 Ar가스를 공급하고, 로드록실(181)내의 잔류 수분압을 $1 \times 10^{-5}$ Torr 이하로 한다.

로드록실(181)과 동일한 압력으로 유지되어 있는 반송실(185)을 매개로 피처리기체를 처리실(182)내로 반입한다. 이때, 처리실(182)내에 Ar가스를 도입하여, 처리실(182)내의 압력을 약 250Torr로 유지해 둔다. 특히, 피처리기체의 반송시에, 반송실(185)로부터 처리실(182)내로 Ar가스가 유입하도록 압력을 제어한다.

처리실(182)내에 무수불화수소산 가스를 분압이 1Torf로 되도록 도입하고, 실온에서 10분간의 산화물의 제거처리를 행한다. 이때, Ar가스의 유량을 10SLM 이상으로 제어하고, Ar가스와 무수불화수소산 가스를 다구멍형상 노즐(191)을 매개로 피처리기체로 뿜어냄으로써 $TiSi_2$층 상의 $SiO_x$막을 완전히 제거할 수 있다. 처리중의 분위기의 수분압은 $1 \times 10^{-7}$ Torr 이하로 설정한다.

무수불화수소산 가스의 도입을 정지하고, 처리실(182)내의 잔류 불소분압이 $1 \times 10^{-5}$ Torr에 도달할 때까지 Ar가스로 제거를 행한다. 다음에, 처리실(182)내의 퍼처리기체를 반송실(185)을 매개로 가열실(183)내로 반송한다.

이때, 반송실(185)내의 압력을 300Torr로 설정하고, 처리실(182)과 가열실 (183)내의 압력을 250Torr로 설정한다. 따라서, 피처리기체를 반송하는 동안 가스 순환방향이, 항상 반송실(185)로부터 처리실(182)과 가열실(183)내로 Ar가스가 도입되도록 제어한다.

가열실(183)에 도입한 피처리기판을 가열기구에 의해 가열한다. 이 결과, $SiO_x$막의 제거동안 TiSi2층의 표면에 형성된 $TiF_x$층이 제거되어 청정한 표면을 갖는 $TiSi_2$층이 얻어진다. 예컨대, 상기 가열은 약 300℃로 30초간 수행된다.

처리실(182)로부터 가열실(183)내로 피처리기체를 도입하는 경우도 마찬가지로 가열실(183)로부터 성막실(184)내로 피처리기체를 도입한다. 이때, 적어도 가열실(183)로부터 성막실(184)로 피처리기체를 도입하는 동안 반송실(185)내의 잔류 수분압이 $1 \times 10^{-7}$ Torr 이하로 반송실(185)내로 항상 Ar가스를 흐르게 함으로써, $TiSi_2$층의 표면은 오염되지 않는다.

성막실(184)내를 $1 \times 10^{-7}$ Torr까지 진공흡인한 후, $WF_6$가스, $SiH_4$ 및 수소가스를 도입하여 주지의 선택적기상성장법에 의해 콘택트홀의 내부에만 선택적으로 W층을 형성한다.

성막실(184)내의 잔류 불소분압이 $1 \times 10^{-5}$ Torr 이하가 될 때까지 감압한 후, Ar가스를 250Torr의 압력으로 되도록 도입하고, 상기와 같은 동일한 방법으로 피처리기체를 로드록실(181)까지 반송함으로써 프로세스가 완료한다.

본 실시예의 반도체장치 제조장치를 이용한 성막방법의 특징을 이루는 제1 특징은, 3개의 프로세스실(처리실(182), 가열실(183) 및 성막실(184))을 연속적으로 사용하여, 무수불화수소산 처리로부터 성막처리까지 피처리기체가 대기에 접촉되지 않도록 제어되는 것에 있다.

본 실시예의 반도체장치 제조장치를 이용한 성막방법의 특징을 이루는 제2 특징은, 피처리기체가 접촉하는 분위기의 잔류 수분압을 항상 $1 \times 10^{-7}$ Torr 이하로 제어하고 있는 것에 있다.

따라서, 산화물을 제거함으로써 얻어진 활성 $TiSi_2$층이 청정한 표면으로 장시간의 그 양호한 상태를 유지할 수 있다. 그 결과, 대규모의 미세한 콘택트홀내에 균일하게 W막이 선택적으로 형성될 수 있다.

본 실시예의 반도체장치 제조장치를 이용한 성막방법의 특징을 이루는 제3 특징은, 피처리기체의 반송시에 반송실(185)과 프로세스실의 압력을 점성류영역 압력으로 함과 더불어, 반송실(185)내의 압력을 프로세스실내의 압력보다도 높게하고 있는 것에 있다.

따라서, Ar가스(불활성 가스)가 반송실(185)로부터 프로세스실내로 흐르지 않는다. 처리실(192)과 성막실(184)내의 잔류 불소에 의한 프로세스실간 상호오염을 방지할 수 있어 제어성이 양호한 프로세스가 가능해진다.

종래 반도체장치 제조장치를 이용한 성막방법에 있어서는 로드록실, 반송실 및 프로세스실(처리실, 가열실 및 성막실)의 내부는 모두 진공상태로 설정한 후, 이 상태 그대로 피처리기체의 반송을 행하기 때문에, 각 실간의 압력차가 1Torr 미만으로 된다. 그래서, 처리실내의 잔류 불소가 반송실과 그 외의 프로세스실내로 확산된다. 따라서, 프로레스실간의 상호오염을 방지할 수 없고, 청정한 표면을 갖는 규화물층도 얻을 수 없으며, 막 떨어짐의 문제나 콘택트 저항 증가의 문제도 해결할 수 없다.

본 실시예에 있어서는 Ar가스를 이용했다. 그러나, 그 대신에 불활성 가스, 예컨대 He, $N_2$등을 이용할 수도 있다.

반송실(185)과 프로레스실내의 압력은 각각 300Torr과 250Torr로 한정하지 않는다. 가스 점성류영역의 압력으로, 실간의 압력차가 1Torr 이상으로 되어있으면 좋다.

본 실시예에 있어서는 기상성장법에 의한 W막의 선택형성방법에 대해 기술했다. 그러나, 본 발명은 무수불화수소산 가스를 이용하여 실리콘 기판(피처리기체)을 처리한 후, 실리콘막 또는 실리콘 산화막을 실리콘 기판 상에 형성하는 방법에도 적용할 수 있다.

본 발명은 상술한 실시예로 한정하지 않는다. 예컨대, 비록 티타늄 규화물층이 상기 실시예의 규화물층으로 이용될 지라도, 본 발명은 다른 규화물층에도 적용할 수 있다.

다른 규화물층의 예는, 예컨대 텅스텐 규화물층, 몰리브덴 규화물층, 백금 규화물층, 팔라듐 규화물층, 지르코늄 규화물층, 바나듐 규화물층, 하프늄 규화물층, 니켈 규화물층, 코발트 규화물층, 탄탈늄 규화물층 및 티타늄 규화물층을 포함한다.

상기 실시예에서, $TiSi_2$층 상의 TiN막이나 잔존 Ti막을 유황산/ 과산화수소(SH)처리에 의해 제거하는 동안 $TiSi_2$층 상의 산화막을 제거한다. 그러나, 통상 활성산소를 포함하는 용매에 대해 규화물을 쬐인 경우에 규화물 표면 상에 생기는 산화막을 제거하기 위해 본 발명이 폭넓게 적용될 수 있다. 활성산소를 포함하는 용액의 예는, 예컨대 $H_2O_2$ 또는 $O_3$라는 용질인 과산화물을 물 또는 유기용매(예컨대, 알콜) 등의 용매에 녹인 용액을 들 수 있다.

## 발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 규화물층 상에 형성된 산화물은 무수불화수소산 가스를 이용하여 제거된 후, 이 산화물의 제거동안 규화물층 상에 형성된 불화들을 열처리에 의해 제거함으로써, 청정표면을 가지면서 손상이 없는 규화물층을 얻을 수 있다. 따라서, 규화물층 상에 콘택트 저항이 낮고, 떨어짐이 발생하기 어려운 도전막을 형성할 수 있다.

## (57) 청구의 범위

### 청구항 1.

막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_20$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎠ 이상인 실리콘 산화막을 실리콘 영역의 표면 상에 형성하는 단계와,

100℃~300℃ 범위내의 온도에서 실리콘영역을 가열하는 동안 감압하에서, 실리콘 산화막을 제거하도록 상기 실리콘 산화막상에 본질적으로 무수불화수소산 가스로 구성된 조성의 에칭가스를 공급하는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체장치 제조방법.

### 청구항 2.

제1항에 있어서, 상기 실리콘 산화막을 형성하는 단계가,

막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_20$분자의 농도의 총합이 분자의 농도의 총합에 있어서 상기 실리콘 산화막 보다도 적은 값은 갖는 임시의 실리콘 산화막을 형성하는 단계와,

상기 임시의 실리콘 산화막을 제거하고 활성산소를 함유하는 용액으로 실리콘 산화막을 새롭게 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치 제조방법.

### 청구항 3.

제2항에 있어서, 상기 활성산소를 함유하는 용액은 염화수소산과 과산화수소의 혼합용액 또는 유황산과 과산화수소의 혼합용액 또는 오존수로 이루어진 그룹으로부터 하나의 멤버가 선택된 것을 특징으로 하는 반도체장치 제조방법.

### 청구항 4.

제2항에 있어서, 막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 분자의 농도의 총합에 있어서 상기 실리콘 산화막 보다도 적은 값을 갖는 임시의 실리콘 산화막이 실리콘 영역의 표면 상에 형성된 자연산화막인 것을 특징으로 하는 반도체장치 제조방법.

청구항 5.

제2항에 있어서, 임시의 실리콘 산화막을 형성하는 단계가, 유황산과 과산화수소의 혼합용액을 이용하는 단계를 포함하고,

임시의 실리콘 산화막을 제거하고 실리콘 산화막을 새롭게 형성하는 단계가, 염화수소산과 과산화수소의 혼합용액을 이용하는 단계를 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 6.

제1항에 있어서, 상기 실리콘 산화막을 제거하는 단계 후에, 실리콘 산화막이 제거된 실리콘 영역의 표면 상에 게이트 산화막과 터널 산화막중 어느 하나를 형성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 반도체장치 제조방법.

청구항 7.

제5항에 있어서, 실리콘 산화막을 제거하는 단계가, 대기에 실리콘 영역을 노출시키는 것 없이, 실리콘 영역의 표면상에 게이트 산화막과 터널 산화막중 어느 하나를 형성하는 단계에 의해 수행되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 8.

제1항에 있어서, 상기 실리콘 산화막을 제거하는 단계가 $10^{-3}$ Torr 이하의 $H_2O$ 분압을 갖는 분위기에서 수행되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 9.

제8항에 있어서, 상기 실리콘 산화막을 제거하는 단계가 $10^{-5}$ Torr 이하의 $H_2O$ 분압을 갖는 분위기에서 수행되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 10.

제1항에 있어서, 상기 실리콘 산화막을 형성하는 단계가, 암모니아 및 열초산중 하나의 부재를 이용하여 실리콘 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 11.

실리콘 영역의 표면상에 제1실리콘 산화막을 형성하는 단계와,

제1실리콘 산화막을 제거하고, 활성산소를 함유하는 용액으로 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도가 제1실리콘 산화막의 농도 보다 더 높으면서 $1 \times 10^{13}$ 개/㎠ 이상인 제2실리콘 산화막을 새롭게 형성하는 단계 및,

100℃ 300℃ 범위내의 온도에서 실리콘영역을 가열하는 동안 감압하에서, 제2실리콘 산화막을 제거하도록 제2실리콘 산화막상에 본질적으로 무수불화수소산 가스로 구성된 조성의 에칭가스를 공급하는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체장치 제조방법.

청구항 12.

제11항에 있어서, 제1실리콘 산화막이 실리콘 영역의 표면상에 형성된 자연산화막인 것을 특징으로 하는 반도체장치 제조방법.

청구항 13.

제11항에 있어서, 제2실리콘 산화막을 제거하는 단계 후에, 제2실리콘 산화막이 제거된 실리콘 영역의 표면 상에 게이트 산화막과 터널 산화막중 어느 하나를 형성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 반도체장치 제조방법.

청구항 14.

제11항에 있어서, 제2실리콘 산화막을 제거하는 단계가 $10^{-3}$ Torr 이하의 $H_2O$ 분압을 갖는 분위기에서 수행되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 15.

제11항에 있어서, 제2실리콘 산화막을 제거하는 단계가 $10^{-5}$ Torr 이하의 $H_2O$ 분압을 갖는 분위기에서 수행되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 16.

제11항에 있어서, 상기 활성산소를 함유하는 용액은 염화수소산과 과산화수소의 혼합용액 또는 유황산과 과산화수소의 혼합용액 또는 오존수로 이루어진 그룹으로부터 하나의 멤버가 선택된 것을 특징으로 하는 반도체장치 제조방법.

청구항 17.

막중에 함유되는 Si-H결합, Si-O-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎠ 이상인 실리콘 산화막을 실리콘 영역의 표면 상에 형성하는 단계와,

100℃ 300℃ 범위내의 온도에서 실리콘영역을 가열하는 동안 감압하에서, 실리콘 산화막을 제거하도록 상기 실리콘 산화막상에 본질적으로 무수불화수소산 가스로 구성된 조성의 에칭가스와, 캐리어 가스를 공급하는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체장치 제조방법.

청구항 18.

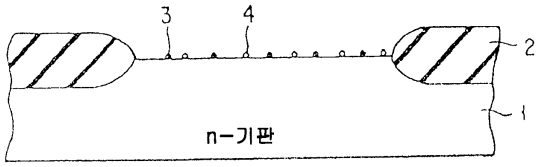
막중에 함유되는 Si-H결합, Si-0-H결합 및 $H_2O$분자의 농도의 총합이 $1 \times 10^{13}$ 개/㎠ 이상인 실리콘 산화막을 실리콘 영역의 표면 상에 형성하는 단계와,

100℃ 300℃ 범위내의 온도에서 실리콘영역을 가열하는 동안 감압하에서, 실리콘 산화막을 제거하도록 실리콘 산화막에 흡수층을 형성하는 것 없이 상기 실리콘 산화막상에 무수불화수소산 가스를 공급하는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체장치 제조방법.

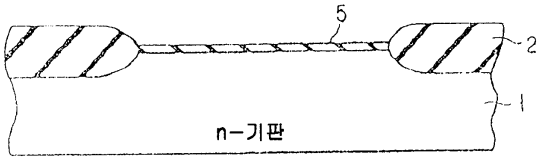
## 도면

### 도면 1

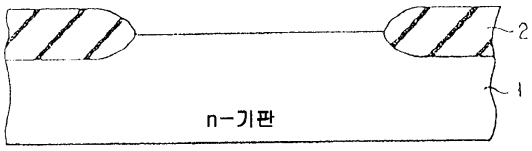
(A)



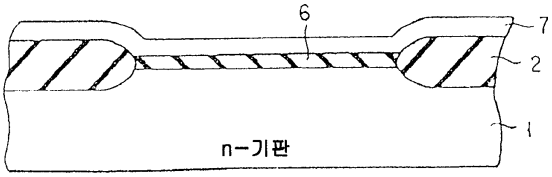

(B)



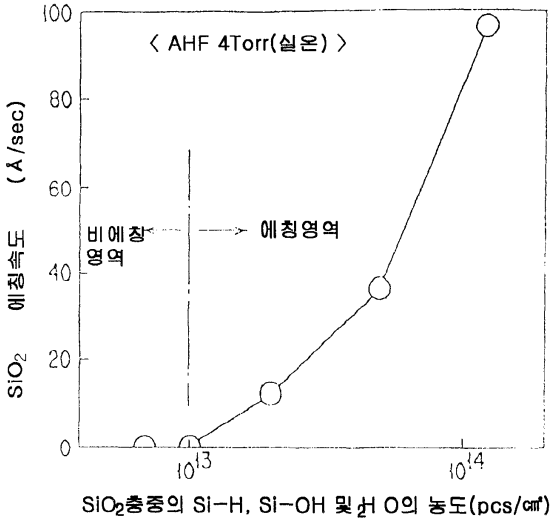

(C)



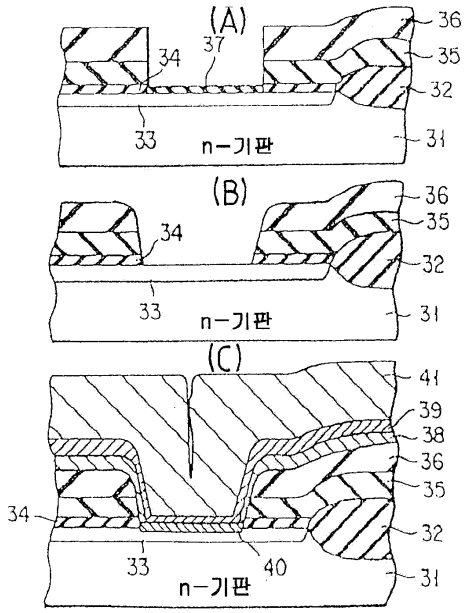

(D)



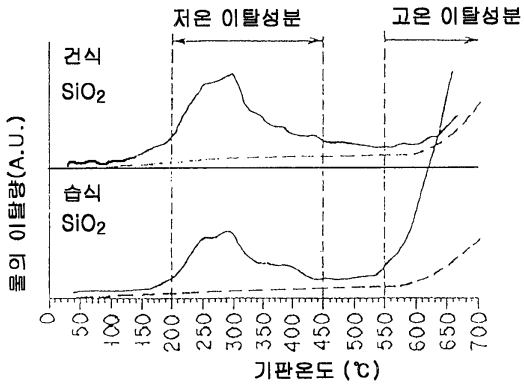
도면 2


〈 AHF 4Torr(실온) 〉
100
80
60
40
20
0
$SiO_2$ 에칭속도 (Å/sec)
비에칭 영역
에칭영역
$10^{13}$
$10^{14}$
$SiO_2$층중의 Si-H, Si-OH 및 H2O의 농도(pcs/㎠)

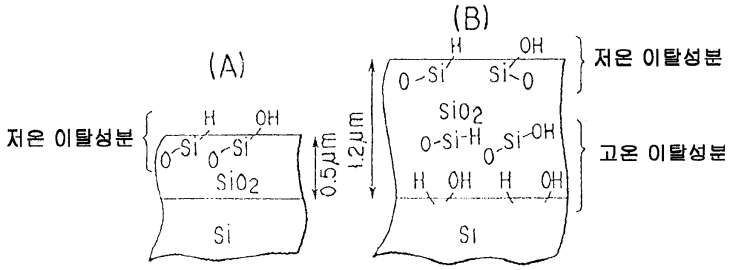
도면 3


(A)
36
35
34
37
32
33
n-기판
31
(B)
36
35
34
32
33
n-기판
31
(C)
41
39
38
36
35
34
32
33
40
n-기판
31

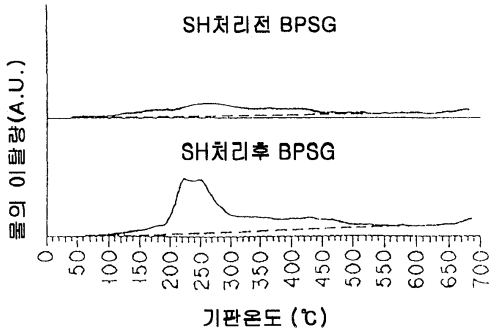
## 도면 4


저온 이탈성분
고온 이탈성분
건식
SiO2
습식
SiO2
물의 이탈량(A.U.)
0
50
100
150
200
250
300
350
400
450
500
550
600
650
700
기판온도 (℃)

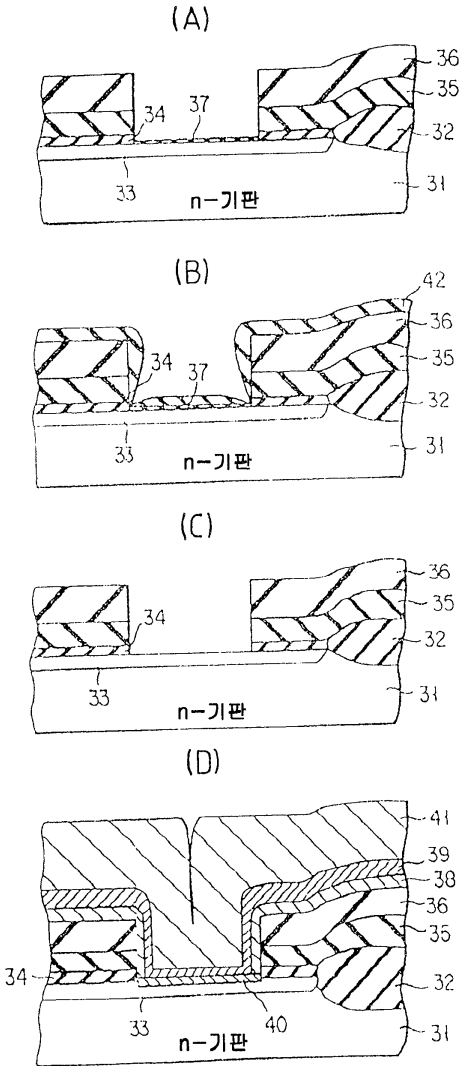
## 도면 5


(A)
(B)
저온 이탈성분
H
OH
O-Si
Si-O
SiO2
0.5μm
1.2μm
Si
고온 이탈성분
O-Si-H
Si-OH

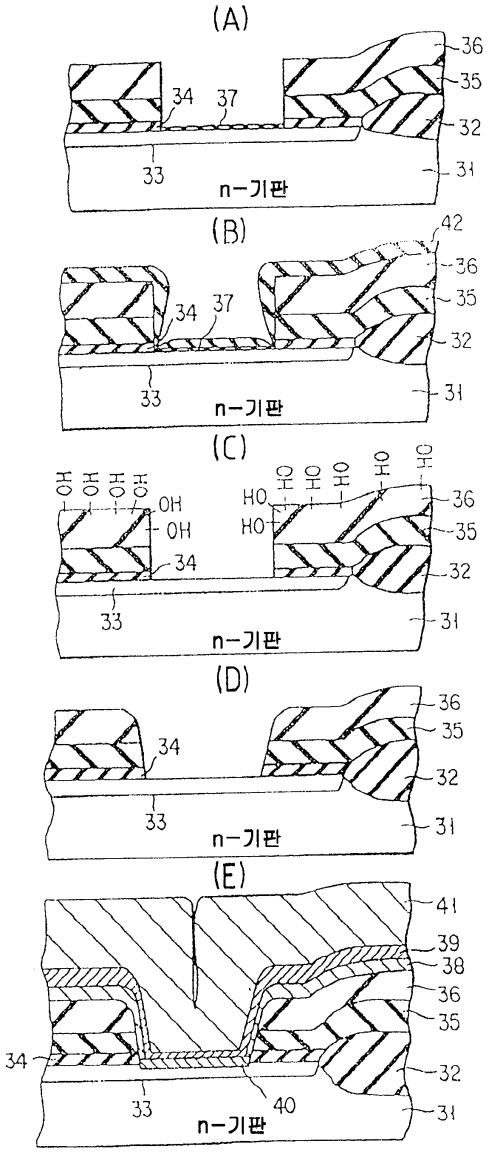
## 도면 6


SH처리전 BPSG
SH처리후 BPSG
물의 이탈량(A.U.)
0
50
100
150
200
250
300
350
400
450
500
550
600
650
700
기판온도 (℃)

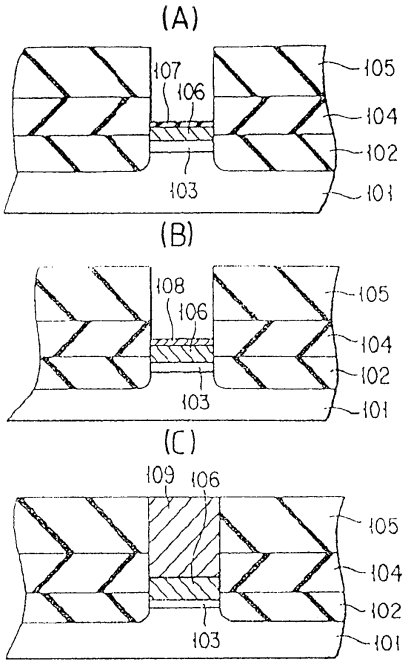
도면 7


(A)
36
35
34
37
32
33
n-기판
31
(B)
42
36
34
37
35
32
33
n-기판
31
(C)
36
34
35
32
33
n-기판
31
(D)
41
39
38
36
35
34
32
33
40
n-기판
31

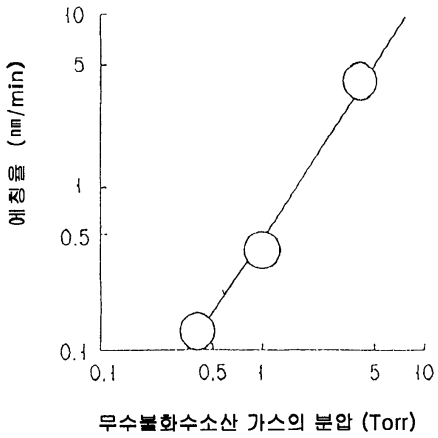
도면 8


(A)
36
35
34
37
32
33
31
n-기판
(B)
42
36
35
34
37
32
33
31
n-기판
(C)
OH
HO
36
35
34
32
33
31
n-기판
(D)
36
35
34
32
33
31
n-기판
(E)
41
39
38
36
35
34
32
33
40
31
n-기판

도면 9

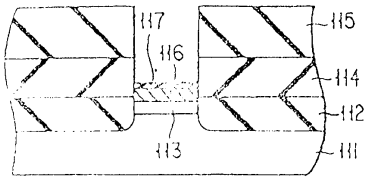

(A)
107
106
105
104
102
103
101
(B)
108
106
105
104
102
103
101
(C)
109
106
105
104
102
103
101

도면 10

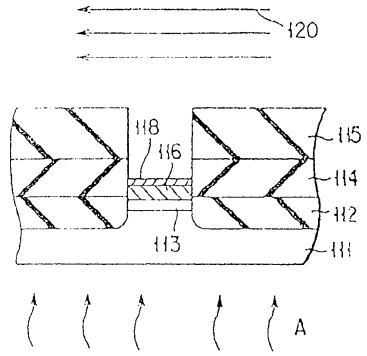

10
5
1
0.5
0.1
에칭율 (㎚/min)
0.1
0.5
1
5
10
무수불화수소산 가스의 분압 (Torr)

도면 11

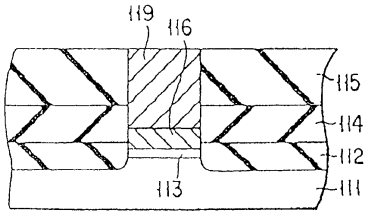
(A)


117
116
115
114
112
113
111

(B)

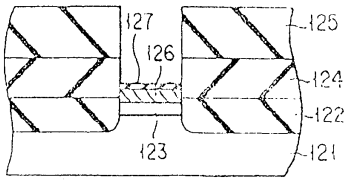

120
118
116
115
114
112
113
111
A

(C)

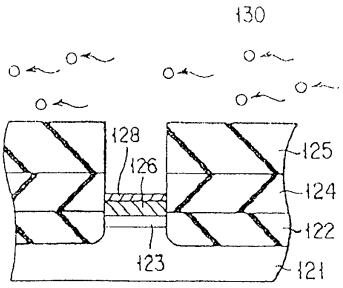

119
116
115
114
112
113
111

도면 12

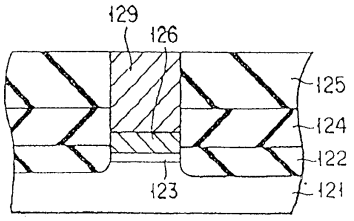
(A)


127
126
125
124
122
123
121

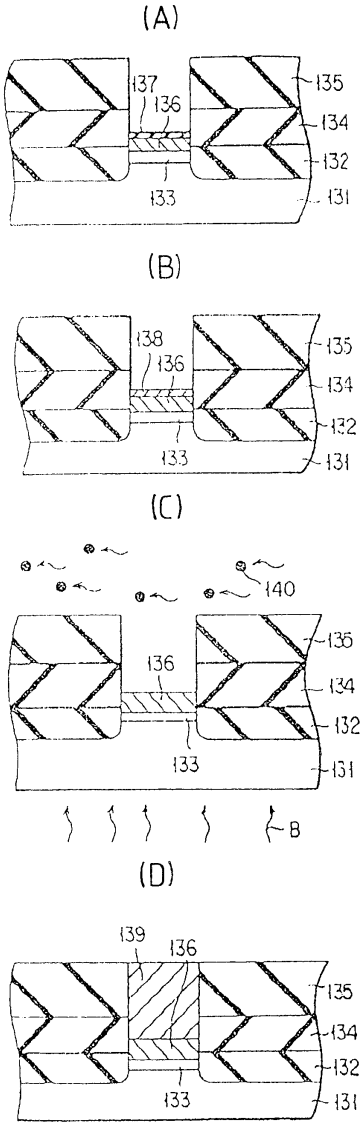
(B)


130
128
126
125
124
122
123
121

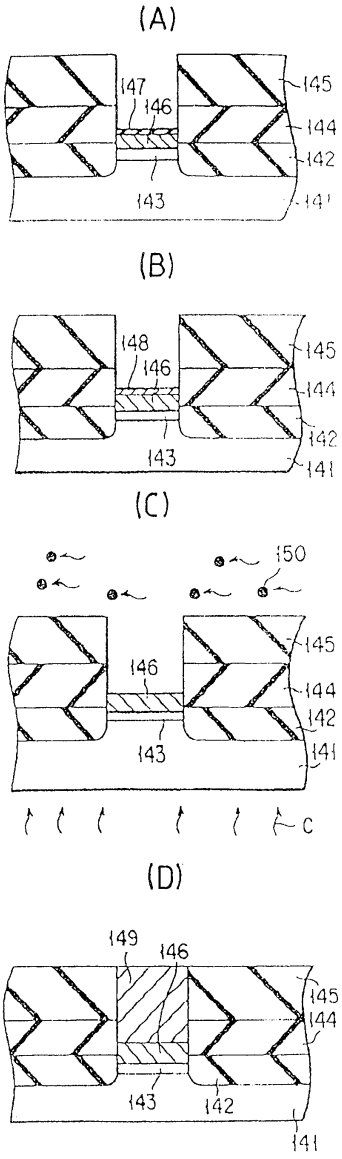
(C)


129
126
125
124
122
123
121

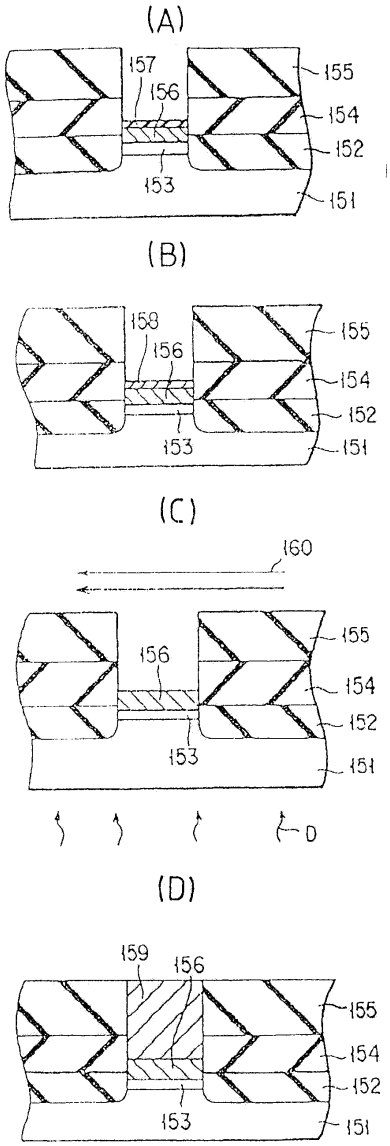
도면 13


(A)
137
136
135
134
132
133
131
(B)
138
136
135
134
132
133
131
(C)
140
136
135
134
132
133
131
B
(D)
139
136
135
134
132
133
131

도면 14

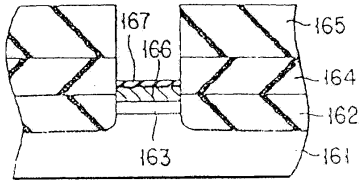

(A)
147
146
145
144
142
143
141
(B)
148
146
145
144
142
143
141
(C)
150
146
145
144
142
143
141
C
(D)
149
146
145
144
143
142
141

도면 15

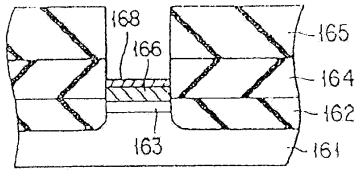

(A)
157
156
155
154
152
153
151
(B)
158
156
155
154
152
153
151
(C)
160
156
155
154
152
153
151
D
(D)
159
156
155
154
152
153
151

도면 16

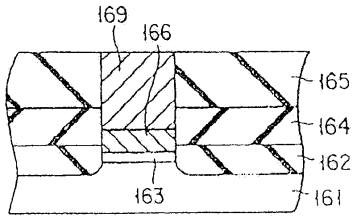
(A)


167
166
165
164
162
163
161

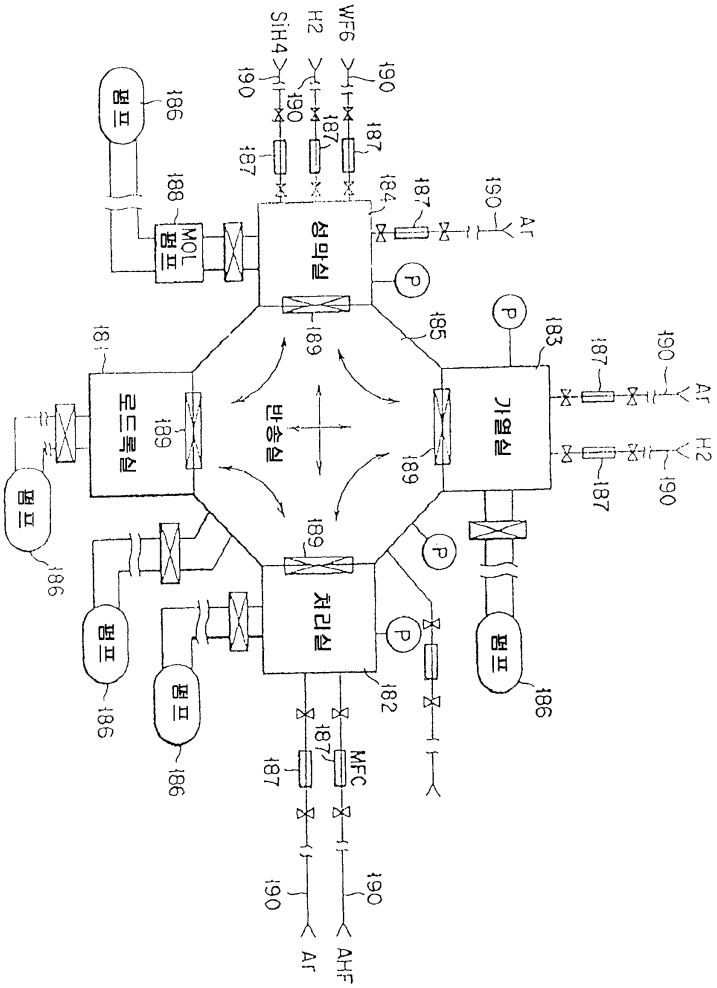
(B)


168
166
165
164
162
163
161

(C)


169
166
165
164
162
163
161

도면 17



도면 18

