



(12) 发明专利

(10) 授权公告号 CN 102530824 B

(45) 授权公告日 2015.04.22

(21) 申请号 201110005021.9

CN 1485914 A, 2004.03.31,

(22) 申请日 2011.01.06

CN 101071779 A, 2007.11.14,

(30) 优先权数据

CN 1499630 A, 2004.05.26,

099144690 2010.12.17 TW

US 2009/0085205 A1, 2009.04.02,

审查员 杨靖

(73) 专利权人 硅品精密工业股份有限公司

地址 中国台湾台中县

(72) 发明人 詹长岳 黄建屏 柯俊吉 邱世冠

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 张硕

(51) Int. Cl.

B81B 7/00(2006.01)

B81C 1/00(2006.01)

(56) 对比文件

CN 101165886 A, 2008.04.23,

US 2009/0160053 A1, 2009.06.25,

WO 2009/145726 A1, 2009.12.03,

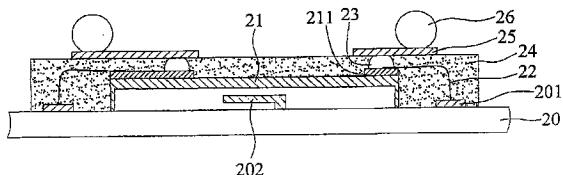
权利要求书2页 说明书6页 附图6页

(54) 发明名称

具微机电元件的封装结构及其制法

(57) 摘要

本发明涉及具微机电元件的封装结构及其制法，该具微机电元件的封装结构包括：具有至少一微机电元件与多个第一电性连接垫的芯片；设于该芯片上并罩住该微机电元件的盖体，且该盖体上形成有多个第二电性连接垫；对应电性连接各该第一与第二电性连接垫的焊线；设于该第二电性连接垫上的第一凸块；设于该芯片上以包覆该盖体、焊线、第一电性连接垫、第二电性连接垫与第一凸块的封装层；移除该第一凸块上的封装层以外露出各该第一凸块；以及设于该封装层上并电性连接该第一凸块的金属导线，由此能够免除形成该封装层时导致该焊线产生偏移的缺陷。



1. 一种具微机电元件的封装结构,其特征在于,包括:

芯片,具有至少一微机电元件与多个第一电性连接垫;

盖体,设于该芯片上并罩住该微机电元件,且该盖体上形成有多个第二电性连接垫;

焊线,对应电性连接各该第一电性连接垫与第二电性连接垫;

第一凸块,设于该第二电性连接垫上的焊线端旁或该焊线端的相同位置;

封装层,设于该芯片上以包覆该盖体、焊线、第一电性连接垫、第二电性连接垫与第一凸块,且外露该第一凸块的顶面;以及

多条金属导线,设于该封装层上,且令该金属导线电性连接该外露的第一凸块。

2. 根据权利要求 1 所述的具微机电元件的封装结构,其特征在于,该第一凸块形成于该第二电性连接垫上的焊线端旁,且该第二电性连接垫包括前端部、尾端部及连接其二者的电性迹线,该第一凸块形成于该尾端部,该焊线形成于该前端部。

3. 根据权利要求 1 所述的具微机电元件的封装结构,其特征在于,形成该盖体的材料为金属、硅、玻璃或陶瓷。

4. 根据权利要求 1 所述的具微机电元件的封装结构,其特征在于,还包括多个第二凸块,形成于该金属导线上。

5. 根据权利要求 1 所述的具微机电元件的封装结构,其特征在于,还包括绝缘层,形成于该封装层及金属导线上,其中,该绝缘层具有多个外露该金属导线的绝缘层开口;以及多个第二凸块,形成于该外露的金属导线上。

6. 一种具微机电元件的封装结构的制法,其特征在于,包括:

准备一晶圆,该晶圆上具有多个第一电性连接垫与多个微机电元件;

在该晶圆上对应各该微机电元件设置盖体,且该盖体上形成有多个第二电性连接垫;

以焊线对应电性连接该第一电性连接垫与第二电性连接垫;

在各该第二电性连接垫上形成第一凸块;

在该晶圆上形成封装层以包覆该盖体、焊线、第一电性连接垫、第二电性连接垫与各该第一凸块;

移除该第一凸块上的封装层以外露出各该第一凸块;

在该封装层上形成多条金属导线,且令该金属导线电性连接该第一凸块;以及

进行切单工艺,以得到多个具微机电元件的封装件。

7. 根据权利要求 6 所述的具微机电元件的封装结构的制法,其特征在于,该第一凸块形成于该第二电性连接垫上的焊线端旁或该焊线端的相同位置。

8. 根据权利要求 7 所述的具微机电元件的封装结构的制法,其特征在于,该第一凸块形成于该第二电性连接垫上的焊线端旁,且该第二电性连接垫包括前端部、尾端部及连接其二者的电性迹线,该第一凸块形成于该尾端部,该焊线形成于该前端部。

9. 根据权利要求 7 所述的具微机电元件的封装结构的制法,其特征在于,该第一凸块为打线机形成的金属凸块。

10. 根据权利要求 6 所述的具微机电元件的封装结构的制法,其特征在于,形成外露出各该第一凸块的步骤是在该封装层顶面通过研磨或激光钻孔而外露出该第一凸块。

11. 根据权利要求 6 所述的具微机电元件的封装结构的制法,其特征在于,该第二电性连接垫是通过溅镀或蒸镀的方式形成。

12. 根据权利要求 6 所述的具微机电元件的封装结构的制法, 其特征在于, 还包括在进行切单工艺之前, 在该金属导线上形成第二凸块。

13. 根据权利要求 6 所述的具微机电元件的封装结构的制法, 其特征在于, 还包括在进行切单工艺之前, 在该封装层及金属导线上形成绝缘层, 其中, 该绝缘层具有多个外露该金属导线的绝缘层开口; 以及在外露的金属导线上形成第二凸块。

具微机电元件的封装结构及其制法

技术领域

[0001] 本发明涉及一种封装结构及其制法,特别是涉及一种具微机电元件的封装结构及其制法。

背景技术

[0002] 微机电系统 (Micro Electro Mechanical System, MEMS) 是一种兼具电子与机械功能的微小装置,在制造上则通过各种微细加工技术来达成,可将微机电元件设置于芯片的表面上,且以保护罩或底胶进行封装保护,而得到一微机电封装结构。而微机电封装的种类计有:金属封装 (metal package)、陶瓷封装 (ceramic package)、薄膜积层封装 (thinfilm multi-layer package)、及塑料封装 (plastic package) 等;其中,该塑料封装将微机电芯片接置于封装基板上,之后以打线方式进行电性连接,再以封装胶体进行封装,即完成微机电封装。

[0003] 例如美国专利第 6,809,412 号、第 6,303,986 号、第 7,368,808 号、第 6,846,725 号、及第 6,828,674 号即公开一种现有的微机电封装。

[0004] 请参阅图 1A 至图 1F,为现有以塑料封装微机电系统的示意图。

[0005] 如图 1A 所示,首先,准备一晶圆 10,该晶圆 10 上具有多个电性连接垫 101 与微机电元件 102。

[0006] 如图 1B 所示,在该晶圆 10 上设置多个盖体 11,所述盖体 11 对应罩住各该微机电元件 102,其中,该盖体 11 上形成有金属层 111。

[0007] 如图 1C 所示,以焊线 12 电性连接该电性连接垫 101 与金属层 111;接着,在该晶圆 10 上形成封装层 13 以包覆该盖体 11、焊线 12、电性连接垫 101 与金属层 111。

[0008] 如图 1D 所示,之后,移除部分该封装层 13 及部分该焊线 12,从而使该封装层 13 顶面与该盖体 11 顶面齐平,以令该焊线 12 分离成不相连的电性连接该电性连接垫 101 的第一子焊线 121 与电性连接该金属层 111 的第二子焊线 122,且该第一子焊线 121 及第二子焊线 122 的顶端均外露于该封装层 13 顶面。

[0009] 如图 1E 所示,在该封装层 13 上形成多条金属导线 14,从而使各该金属导线 14 电性连接该第一子焊线 121;接着,在该金属导线 14 上形成凸块 15。

[0010] 如图 1F 所示,最后,进行切单工艺,以得到多个具微机电元件 102 的封装件 1。

[0011] 但是,形成封装层 13 以包覆该盖体 11、焊线 12、电性连接垫 101 与金属层 111 时,该封装层 13 的模流容易造成该焊线 12 产生偏移,使该第一子焊线 121 或第二子焊线 122 顶端的外露位置改变,导致后续在该封装层 13 表面上形成该金属导线 14 时,使该金属导线 14 无法电性连接该第一子焊线 121,因而导致电性连接失效的情况发生。

[0012] 因此,鉴于上述的问题,如何避免现有该封装层进行包覆时,导致该封装层的模流造成该焊线产生偏移,使金属导线无法电性连接该第一子焊线,因而电性连接失效的问题,实已成为目前急欲解决的技术问题。

发明内容

[0013] 鉴于上述现有技术的种种缺陷,本发明的主要目的是提供一种具微机电元件的封装结构及其制法,能免除电性连接失效的问题。

[0014] 为达到上述及其他目的,本发明提供一种具微机电元件的封装结构,其包括:芯片,具有至少一微机电元件与多个第一电性连接垫;盖体,设于该芯片上并罩住该微机电元件,且该盖体上形成有多个第二电性连接垫;焊线,对应电性连接各该第一电性连接垫与第二电性连接垫;第一凸块,设于该第二电性连接垫上;封装层,设于该芯片上以包覆该盖体、焊线、第一电性连接垫、第二电性连接垫与第一凸块,且外露该第一凸块的顶面;以及多条金属导线,设于该封装层上,且令该金属导线电性连接该外露的第一凸块。

[0015] 前述的具微机电元件的封装结构中,该第一凸块形成于该第二电性连接垫上的焊线端旁或该焊线端的相同位置。

[0016] 此外,该具微机电元件的封装结构还可包括多个第二凸块,其形成于该金属导线上。在另一实施例中,该具微机电元件的封装结构还可包括绝缘层,其形成于该封装层及金属导线上,其中,该绝缘层具有多个外露该金属导线的绝缘层开口;以及多个第二凸块,其形成于该外露的金属导线上。

[0017] 本发明还提供一种具微机电元件的封装结构的制法,其包括:准备一晶圆,该晶圆上具有多个第一电性连接垫与多个微机电元件;在该晶圆上对应各该微机电元件设置盖体,且该盖体上形成有多个第二电性连接垫;以焊线对应电性连接该第一电性连接垫与第二电性连接垫;在各该第二电性连接垫上形成第一凸块;在该晶圆上形成封装层,以包覆该盖体、焊线、第一电性连接垫、第二电性连接垫与各该第一凸块;移除第一凸块上的封装层以外露出各该第一凸块;在该封装层上形成多条金属导线,且令该金属导线电性连接该第一凸块;以及进行切单工艺,以得到多个具微机电元件的封装件。

[0018] 前述的具微机电元件的封装结构的制法中,该第一凸块形成于该第二电性连接垫上的焊线端旁或该焊线端的相同位置。

[0019] 再者,形成外露出各该第一凸块的步骤是在该封装层顶面通过研磨封装层或激光钻孔第一凸块正上方部分封装层而外露出该第一凸块。

[0020] 依上述的具微机电元件的封装结构及其制法,该微机电元件为陀螺仪、加速度计或射频微机电元件等。

[0021] 依上所述,该第一电性连接垫位于该盖体外围。

[0022] 如上所述,形成该盖体的材料可为金属、硅、玻璃或陶瓷。

[0023] 上述的第二电性连接垫可由多个接合垫构成,而形成该接合垫的材料可为铝、铜、金、钯、镍/金、镍/铅、钛钨/金、钛/铝、钛钨/铝或钛/铜/镍/金或其组合。

[0024] 所述的第二电性连接垫是通过溅镀或蒸镀的方式形成。

[0025] 由上可知,本发明的具微机电元件的封装结构及其制法,是先提供具有多个第一电性连接垫与多个微机电元件的晶圆,在该晶圆相对于该微机电元件的位置上设置具有多个第二电性连接垫的盖体,再以焊线对应电性连接该第一电性连接垫与第二电性连接垫,接着,在各该第二电性连接垫上形成第一凸块,之后在该晶圆上形成封装层以包覆该盖体、焊线、第一电性连接垫、第二电性连接垫与各该第一凸块的部分,并令该第一凸块外露于该封装层的顶面,再于该封装层上形成多个电性连接该第一凸块的金属导线及第二凸块,最

后进行切单工艺。由于该焊线无需外露，而是外露出该第一凸块，该第一凸块是设于该第二电性连接垫上，当形成封装层进行封装时，即使模流导致该焊线偏移，该焊线仍电性连接该第一电性连接垫及第二电性连接垫，且模流不会使该第一凸块的位置发生改变，因此在移除第一凸块上的封装层后，该第一凸块会在预定位置外露，可避免背景技术中焊线外露位置改变的缺陷。

附图说明

[0026] 图 1A 至图 1F 为现有具微机电元件的封装结构的制法剖视示意图。

[0027] 图 2A 至图 2H 为本发明具微机电元件的封装结构的制法剖视示意图；其中，该图 2D' 为图 2D 的俯视图；该图 2D'' 为第一凸块与焊线端位于同一位置的实施例；图 2G' 及图 2G'' 为说明以激光钻孔外露第一凸块的实施例；该图 2H' 为自图 2D'' 而得的封装结构示意图。

[0028] 图 3 为本发明具微机电元件的封装结构外形成绝缘层的剖视示意图。

[0029] 主要元件符号说明：

[0030]	1 封装件	10 晶圆
[0031]	101 电性连接垫	102 微机电元件
[0032]	11 盖体	111 金属层
[0033]	12 焊线	121 第一子焊线
[0034]	122 第二子焊线	13 封装层
[0035]	14 金属导线	15 凸块
[0036]	2 封装件	20 晶圆
[0037]	20' 芯片	201 第一电性连接垫
[0038]	202 微机电元件	21 盖体
[0039]	211 第二电性连接垫	211a 尾端部
[0040]	211b 前端部	211c 电性迹线
[0041]	22 焊线	23 第一凸块
[0042]	24 封装层	25 金属导线
[0043]	26 第二凸块	27 绝缘层
[0044]	270 绝缘层开口。	

具体实施方式

[0045] 以下通过特定的具体实施例说明本发明的实施方式，本技术领域的技术人员可由本说明书所揭示的内容轻易地了解本发明的其他优点及功效。

[0046] 须知，本说明书所附图式所绘示的结构、比例、大小等，均仅用以配合说明书所揭示的内容，以供本技术领域的技术人员的了解与阅读，并非用以限定本发明可实施的限定条件，故不具技术上的实质意义，任何结构的修饰、比例关系的改变或大小的调整，在不影响本发明所能产生的功效及所能达成的目的下，均应仍落在本发明所揭示的技术内容所能涵盖的范围内。同时，本说明书中所引用的如“上”、“一”、“前”、“尾”及“顶”等技术用语，亦仅为便于叙述的明了，而非用以限定本发明可实施的范围，其相对关系的改变或调整，在

无实质变更技术内容下，当亦视为本发明可实施的范畴。

[0047] 第一实施例。

[0048] 请参阅图 2A 至图 2H, 为本发明所提供的一种具微机电元件的封装结构的制法。

[0049] 如图 2A 所示，首先，准备一晶圆 20，在本图中仅显示部分晶圆的剖视图，但是该晶圆 20 上具有多个第一电性连接垫 201 与多个微机电元件 202，该微机电元件 202 可为陀螺仪、加速度计或射频微机电元件。

[0050] 如图 2B 所示，在该晶圆 20 上对应各该微机电元件 202 设置例如金属、硅、玻璃或陶瓷的盖体 21，且该第一电性连接垫 201 位于该盖体 21 外围；该盖体 21 上具有通过溅镀或蒸镀的方式形成的多个第二电性连接垫 211，该第二电性连接垫 211 是由多个例如为铝、铜、金、钯、镍 / 金、镍 / 铅、钛钨 / 金、钛 / 铝、钛钨 / 铝或钛 / 铜 / 镍 / 金或其组合的接合垫构成。

[0051] 如图 2C 所示，以例如反向焊线 (reverse bonding) 的方式将焊线 22 对应电性连接该第一电性连接垫 201 与第二电性连接垫 211。

[0052] 如图 2D 至图 2D”所示，在各该第二电性连接垫 211 上以例如利用打线机形成金属凸块 (stud bump)，以作为第一凸块 23，但是第一凸块 23 的形成方式不以打线机为限，且该第一凸块 23 与该焊线 22 各自形成于该第二电性连接垫 211 上，也就是该第一凸块 23 形成于该第二电性连接垫 211 上的焊线 22 端旁，如图 2D 及图 2D’所示，其中，该第一凸块 23 与焊线 22 分设不同位置的较佳实例中，可采用图 2D’左侧所示的第二电性连接垫 211，该第二电性连接垫 211 包括尾端部 211a、前端部 211b 及连接其二者的电性迹线 211c，该电性迹线 211c 的线宽小于尾端部 211a 及前端部 211b 的宽度，该第一凸块 23 形成于尾端部 211a，该焊线 22 形成于前端部 211b，以利于分别进行打线及植设第一凸块 23。但是，当然图 2D’所示的两种第二电性连接垫 211 结构，可视需要选择单一种结构或者搭配使用。另一方面，如图 2D”所示，该第一凸块 23 形成于各该焊线 22 的位置上，也就是该第一凸块 23 形成于该第二电性连接垫 211 上的该焊线 22 端的相同位置，以令该第一凸块 23 与该焊线 22 共同连接在该第二电性连接垫 211 上。此外，较佳地，该第一凸块 23 的高度高于该焊线 22 的弧高。

[0053] 如图 2E 所示，在该晶圆 20 上以如模制成形 (molding) 的方式形成封装层 24 以包覆该盖体 21、焊线 22、第一电性连接垫 201、第二电性连接垫 211 与第一凸块 23。

[0054] 如图 2F 所示，之后通过如研磨方式研磨该封装层 24 顶面，以移除部分该封装层 24(可移除部分第一凸块 23)，从而使该封装层 24 顶面外露出各该第一凸块 23。由于该焊线 22 无需外露，而是外露出该第一凸块 23，该第一凸块 23 是设于该第二电性连接垫 211 上，当形成封装层 24 进行封装时，即使模流导致该焊线 22 偏移，该焊线 22 仍电性连接该第一电性连接垫 201 及第二电性连接垫 211，且模流不会使该第一凸块 23 的位置发生改变，因此在移除该封装层 24 顶面之后，该第一凸块 23 会在预定位置外露，可避免背景技术中焊线外露位置改变的缺陷。

[0055] 如图 2G 所示，在该封装层 24 上形成多条金属导线 25，且令该金属导线 25 电性连接该第一凸块 23；接着，在该金属导线 25 上形成第二凸块 26。

[0056] 另请参阅图 2G’及图 2G”，若外露出各该第一凸块 23 的方式通过激光钻孔 (laser drill) 仅移除第一凸块 23 上方的封装层 24，使封装层 24 高度仍高于第一凸块 23，再于该

封装层 24 及外露的第一凸块 23 上形成多条金属导线 25，则此时第一凸块 23 可形成于该第二电性连接垫 211 上的焊线 22 端旁，且以正向打线方式以弧高高于该第一凸块 23 的焊线 22 电性连接该第一电性连接垫 201 与第二电性连接垫 211，如图 2G’ 所示。当然，也可如前述实施例以反向焊线的方式将焊线 22 对应电性连接第一电性连接垫 201 与第二电性连接垫 211，再于第二电性连接垫 211 上形成第一凸块 23 于该焊线 22 端的相同位置上，如图 2G” 所示。

[0057] 如图 2H 及图 2H’ 所示，进行切单工艺，以得到多个具微机电元件 202 的封装件 2，且将该晶圆 20 分切成多个芯片 20’；其中，该图 2H 为接续图 2D 的结构，而该图 2H’ 为分别接续图 2D” 的结构。

[0058] 根据前述的制法，本发明还提供一种具微机电元件的封装结构，其包括：芯片 20’、盖体 21、焊线 22、第一凸块 23、封装层 24 及多条金属导线 25。

[0059] 所述的芯片 20’，具有至少一微机电元件 202 与多个第一电性连接垫 201，该微机电元件 202 为陀螺仪、加速度计或射频微机电元件。

[0060] 所述的盖体 21，可为金属、硅、玻璃或陶瓷的材料并设于该芯片 20’ 上并罩住该微机电元件 202，且该第一电性连接垫 201 位于该盖体 21 外围，又该盖体 21 上形成有多个第二电性连接垫 211，该第二电性连接垫 211 是由多个例如为铝、铜、金、钯、镍 / 金、镍 / 铅、钛钨 / 金、钛 / 铝、钛钨 / 铝或钛 / 铜 / 镍 / 金或其组合的接合垫构成。

[0061] 所述的焊线 22，对应电性连接各该第一电性连接垫 201 与第二电性连接垫 211。

[0062] 所述的第一凸块 23，设于该第二电性连接垫 211 上，且该第一凸块 23 与该焊线 22 各自形成于该第二电性连接垫 211 上，也就是该第一凸块 23 形成于该第二电性连接垫 211 上的焊线 22 端旁，如图 2D 所示；或该第一凸块 23 形成于各该焊线 22 的位置上，也就是该第一凸块 23 形成于该第二电性连接垫 211 上的该焊线 22 端的相同位置，如图 2D’ 所示。

[0063] 所述的封装层 24，设于该芯片 20’ 上以包覆该盖体 21、焊线 22、第一电性连接垫 201、第二电性连接垫 211 与第一凸块 23，且外露该第一凸块 23 的顶面。

[0064] 所述的多条金属导线 25，设于该封装层 24 上，且令该金属导线 25 电性连接该外露的第一凸块 23。

[0065] 该具微机电元件的封装结构还可包括多个第二凸块 26，各别对应形成于该金属导线 25 上。

[0066] 第二实施例。

[0067] 请参阅图 3，为本发明具微机电元件的封装结构的第二实施例，本实施例与前述实施例大致相同，其差异在于还包括在进行切单工艺之前，在如图 2G 所示的该封装层 24 及金属导线 25 上形成绝缘层 27，其中，该绝缘层 27 具有多个外露该金属导线 25 的绝缘层开口 270；以及在该外露的金属导线 25 上形成第二凸块 26。

[0068] 因此，本实施例的具微机电元件的封装结构还包括绝缘层 27，其形成于该封装层 24 及金属导线 25 上，其中，该绝缘层 27 具有多个外露该金属导线 25 的绝缘层开口 270；以及第二凸块 26，其形成于该外露的金属导线 25 上。

[0069] 本发明的具微机电元件的封装结构及其制法，是先提供具有多个第一电性连接垫与多个微机电元件的晶圆，在该晶圆相对于该微机电元件的位置上设置具有多个第二电性连接垫的盖体，再以焊线对应电性连接该第一电性连接垫与第二电性连接垫，接着，在各该

第二电性连接垫上形成第一凸块，之后在该晶圆上形成封装层以包覆该盖体、焊线、第一电性连接垫、第二电性连接垫与各该第一凸块的部分，并令该第一凸块外露于该封装层的顶面，再于该封装层上形成多个电性连接该第一凸块的金属导线及第二凸块，最后进行切单工艺。由于该焊线无需外露，而是外露出该第一凸块，该第一凸块是设于该第二电性连接垫上，当形成封装层进行封装时，即使模流导致该焊线偏移，该焊线仍电性连接该第一电性连接垫及第二电性连接垫，且模流不会使该第一凸块的位置发生改变，因此在移除第一凸块上的封装层后，该第一凸块会在预定位置外露，可避免背景技术中焊线外露位置改变的缺陷。

[0070] 上述实施例是用以例示性说明本发明的原理及其功效，而非用于限制本发明。任何本技术领域的技术人员均可在不违背本发明的精神及范畴下，对上述实施例进行修改。因此本发明的权利保护范围，应以权利要求书的范围为依据。

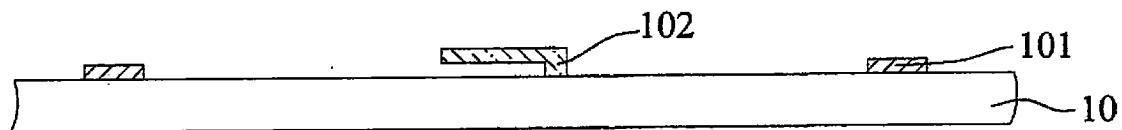


图 1A

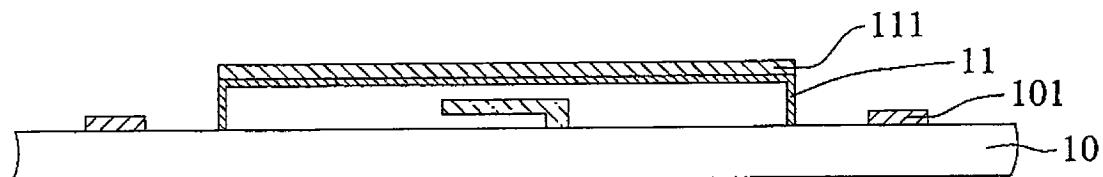


图 1B

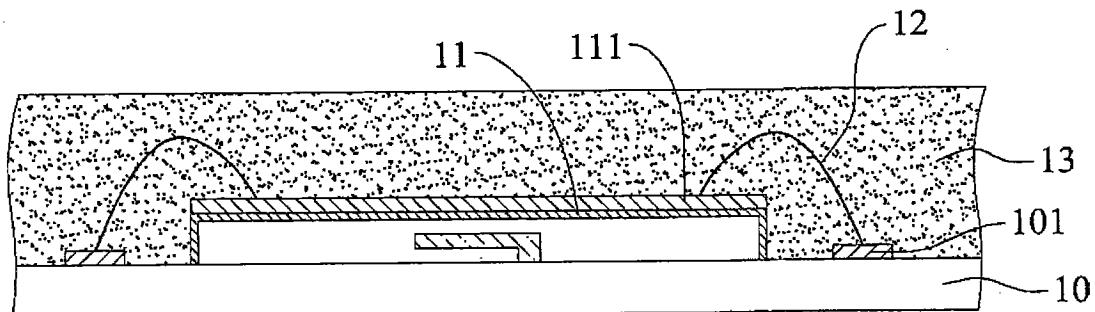


图 1C

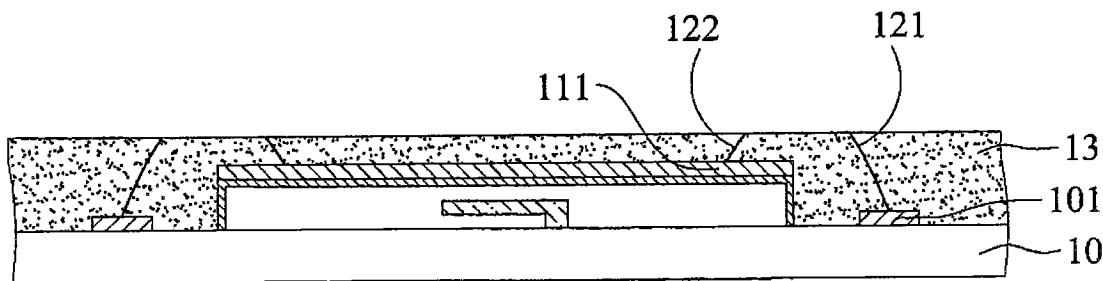


图 1D

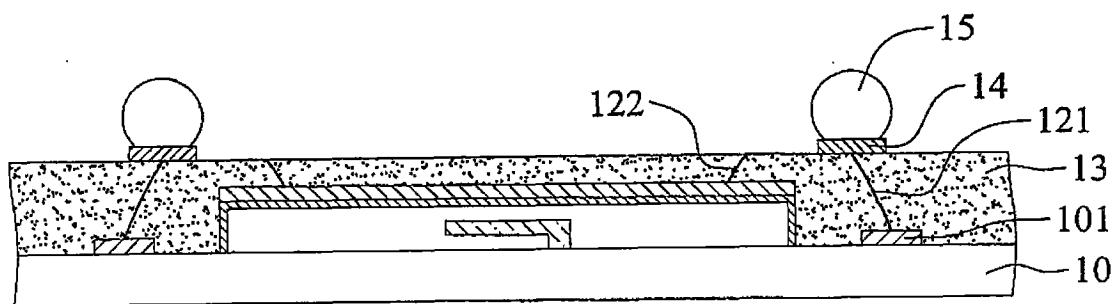


图 1E

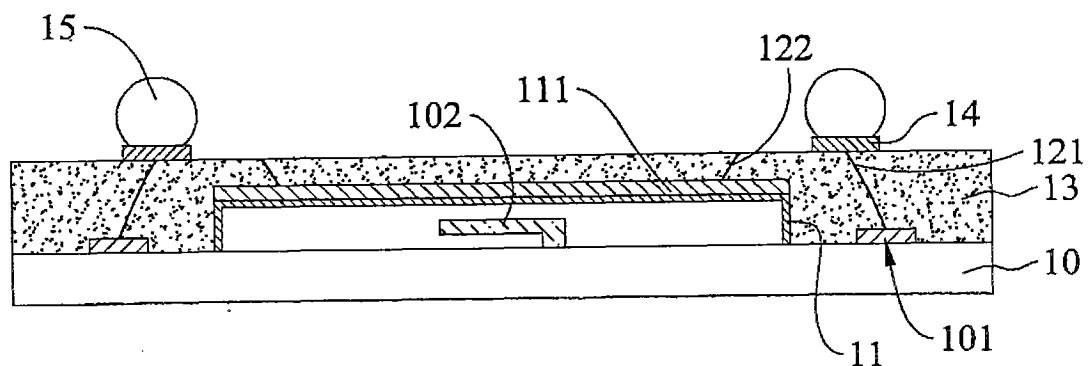


图 1F

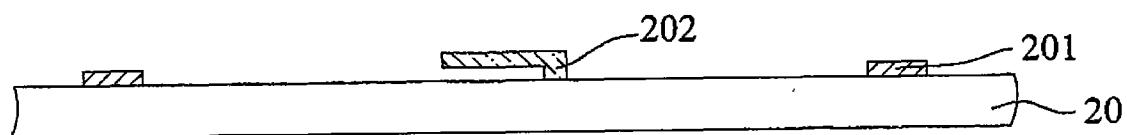


图 2A

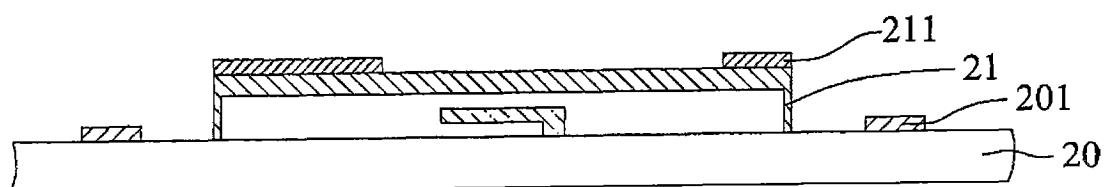


图 2B

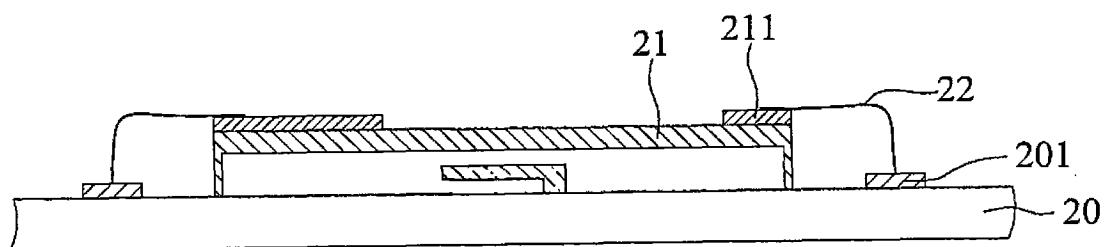


图 2C

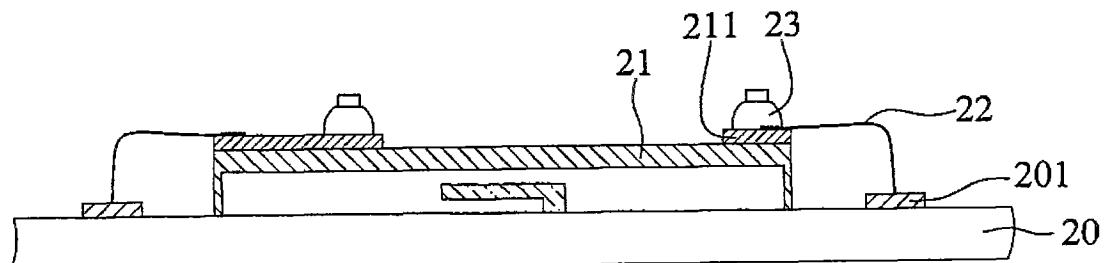


图 2D

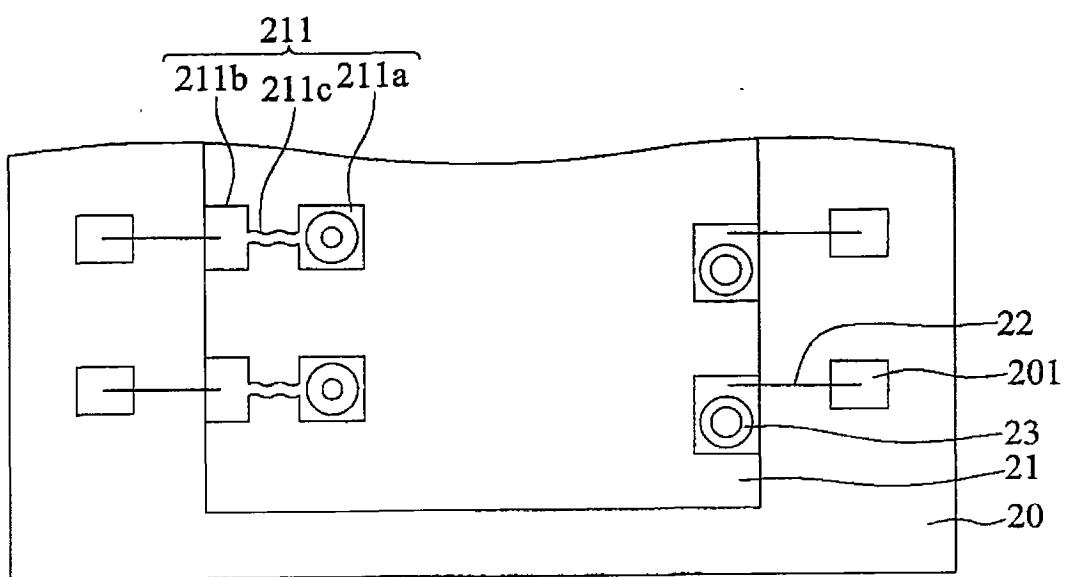
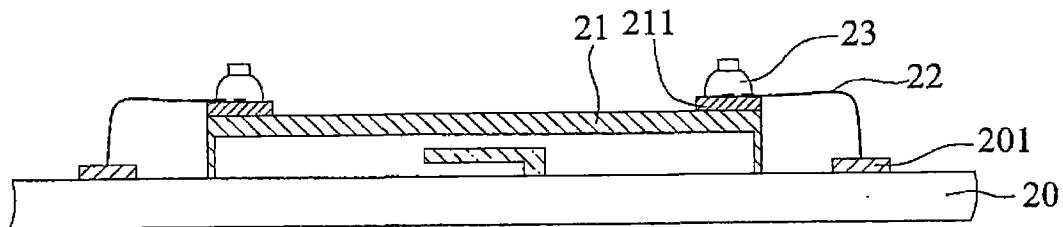


图 2D'



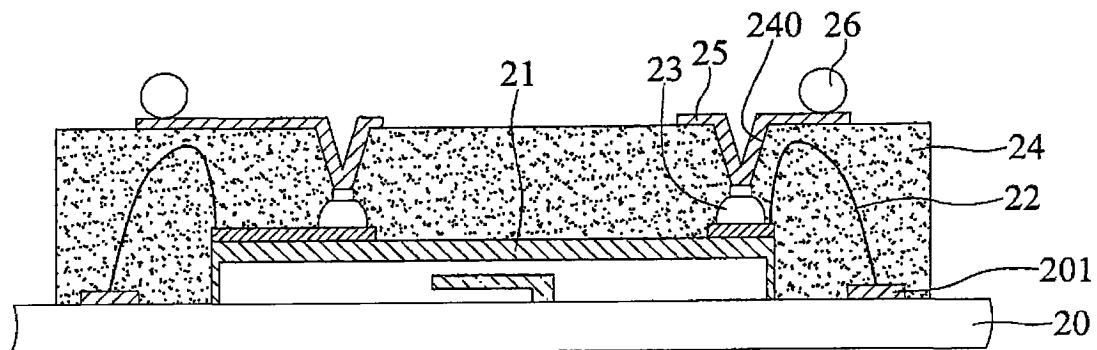


图 2G'

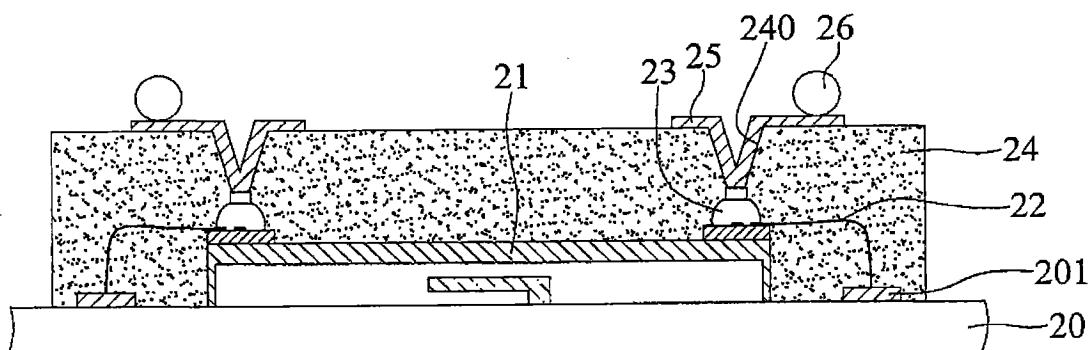


图 2G”

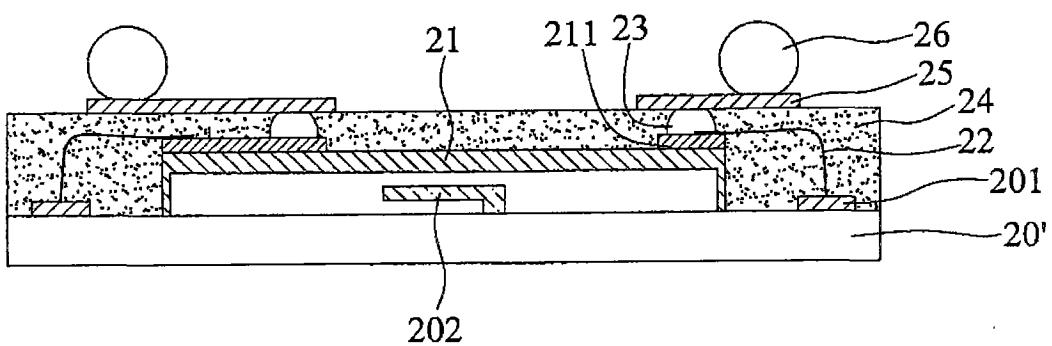


图 2H

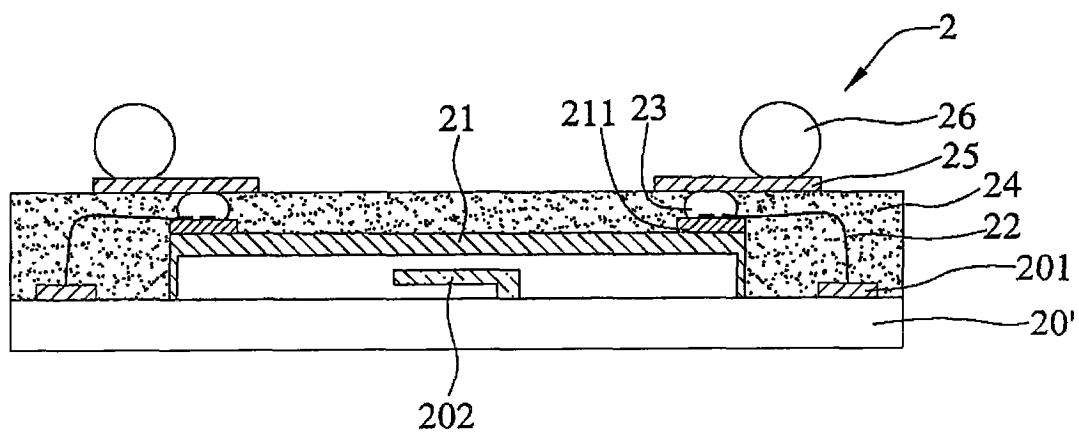


图 2H'

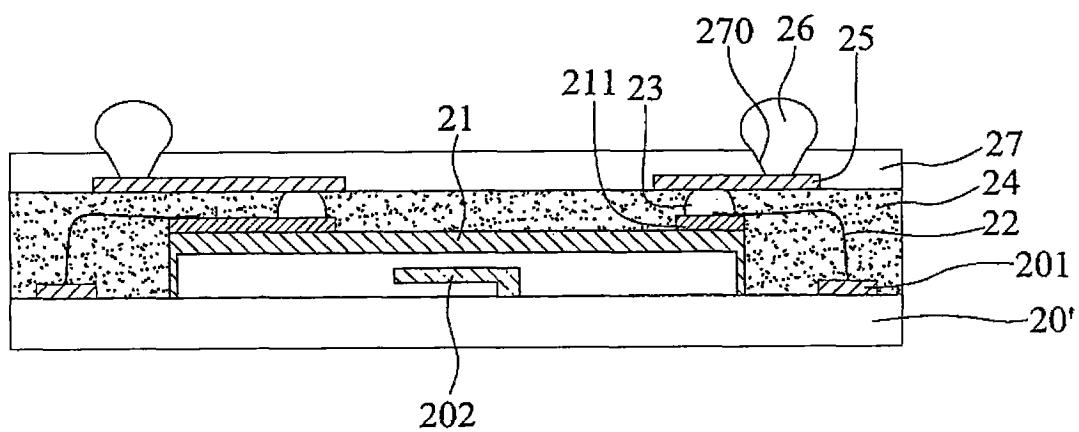


图 3