

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3556577号
(P3556577)

(45) 発行日 平成16年8月18日(2004.8.18)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int.Cl.⁷

H03H 11/40

F I

H03H 11/40

請求項の数 12 (全 16 頁)

(21) 出願番号	特願2000-188858 (P2000-188858)	(73) 特許権者	000003078
(22) 出願日	平成12年6月23日(2000.6.23)		株式会社東芝
(65) 公開番号	特開2002-9589 (P2002-9589A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年1月11日(2002.1.11)	(74) 代理人	100083161
審査請求日	平成15年2月7日(2003.2.7)		弁理士 外川 英明
		(72) 発明者	上野 隆
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝 研究開発センター内
		(72) 発明者	板倉 哲朗
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝 研究開発センター内
		(72) 発明者	谷本 洋
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝 研究開発センター内

最終頁に続く

(54) 【発明の名称】 インピーダンス変換回路

(57) 【特許請求の範囲】

【請求項1】

第1能動素子と、 i 前記第1能動素子の出力端が入力端子に接続され、かつ、前記第1能動素子の制御端が出力端子に接続された第1反転増幅回路と、 i 第2能動素子と、 i 前記第1能動素子の出力端と信号極性が反転した前記第2能動素子の出力端が入力端子に接続され、かつ、前記第2能動素子の制御端が出力端子に接続された第2反転増幅回路と、 i 前記第1能動素子の制御端と前記第2能動素子の出力端との間に接続された第1容量素子 10
と、 i

前記第2能動素子の制御端と前記第1能動素子の出力端との間に接続された第2容量素子を備えるインピーダンス変換回路。

【請求項2】

前記第1及び第2能動素子が第1及び第2バイポーラトランジスタであることを特徴とする請求項1記載のインピーダンス変換回路。

【請求項3】

前記第1及び第2容量素子がダイオードであることを特徴とする請求項1記載のインピーダンス変換回路。

【請求項4】

前記第 1 及び第 2 能動素子が第 1 及び第 2 電界効果トランジスタであることを特徴とする請求項 1 記載のインピーダンス変換回路。

【請求項 5】

前記第 1 及び第 2 容量素子がドレインとソースを短絡した第 3 及び第 4 電界効果トランジスタであることを特徴とする請求項 4 記載のインピーダンス変換回路。

【請求項 6】

前記第 3 及び第 4 電界効果トランジスタのゲート面積の大きさが、前記第 1 及び第 2 電界効果トランジスタのゲート面積の大きさに比べほぼ $2/3$ であることを特徴とする請求項 5 記載のインピーダンス変換回路。

【請求項 7】

前記第 1 及び第 2 容量素子がドレイン又はソースの一方が開放されている第 5 及び第 6 電界効果トランジスタであることを特徴とする請求項 4 記載のインピーダンス変換回路。

【請求項 8】

第 1 能動素子と i ;

前記第 1 能動素子の第 1 出力端が入力端子に接続され、かつ、前記第 1 能動素子の制御端が出力端子に接続された第 1 反転増幅回路と i ;

第 2 能動素子と i ;

前記第 1 能動素子の出力端と信号極性が反転した前記第 2 能動素子の第 1 出力端が入力端子に接続され、かつ、前記第 2 能動素子の制御端が出力端子に接続された第 2 反転増幅回路と i ;

前記第 1 能動素子の制御端と前記第 2 能動素子の第 2 出力端との間に接続された第 3 容量素子と i ;

前記第 2 能動素子の制御端と前記第 1 能動素子の第 2 出力端との間に接続された第 4 容量素子を備えるインピーダンス変換回路。

【請求項 9】

制御端(in1)に印加される信号により第 1 出力端(out1)と第 2 出

力端(out2)との間に流れる電流を制御する第 1 能動素子(vcss1)と、

前記第 1 能動素子の第 1 出力端(out1)が入力端子に接続され、かつ、前記第 1

能動素子の制御端(in1)が出力端子に接続された第 1 反転増幅回路(A1)と、

制御端(in2)に印加される信号により第 1 出力端(out3)と第 2 出力端(out4)と

の間に流れる電流を制御する第 2 能動素子(vccs2)と、

前記第 2 能動素子の第 1 出力端(out3)が入力端子に接続され、かつ、前記第 2 能動素子の制御端(in2)が出力端子に接続された第 2 反転増幅回路(A2)と、

前記第 1 能動素子の制御端(in1)と前記第 2 能動素子の第 1 出力端(out3)との間に接続された第 1 容量素子(C1)と、

前記第 2 能動素子の制御端(in2)と前記第 1 能動素子の第 1 出力端(out1)との

間に接続された第 2 容量素子(C2)を備え、前記第 1 能動素子の第 2 出力端(out2)が第 1 出力端子(lout+)に接続され、

前記第 2 能動素子の第 2 出力端(out4)が第 2 出力端子(lout-)に接続され、

前記第 1 能動素子の第 1 出力端(out1)が第 1 入力端子(lin+)に接続され、

前記第 2 能動素子の第 1 出力端(out3)が第 2 入力端子(lin-)に接続され、

前記第 1 入力端子(lin+)と前記第 2 入力端子(lin-)に印加される信号の極性が反転していることを特徴とするインピーダンス変換回路。

【請求項 10】

制御端(in1)に印加される信号により第 1 出力端(out1)と第 2 出力端(out2)との間に流れる電流を制御する第 1 能動素子(vcss1)と、

前記第 1 能動素子の第 1 出力端(out1)が入力端子に接続され、かつ、前記第 1 能動素子の制御端(in1)が出力端子に接続された第 1 反転増幅回路(A1)と、

制御端(in2)に印加される信号より第 1 出力端(out3)と第 2 出力端(out4)との間に流れる電流を制御する第 2 能動素子(vccs2)と、

10

20

30

40

50

前記第 2 能動素子の前記第 1 出力端(out3)が入力端子に接続され、かつ、前記第 2 能動素子の制御端(in2)が出力端子に接続された第 2 反転増幅回路(A2)と、
 前記第 1 能動素子の制御端(in1)と前記第 2 能動素子の第 2 出力端(out4)との間に接続された第 3 容量素子(C3)と、
 前記第 2 能動素子の制御端(in2)と前記第 1 能動素子の第 2 出力端(out2)との間に接続された第 4 容量素子(C4)を備え、
 前記第 1 能動素子の第 2 出力端(out2)が第 1 出力端子(lout+)に接続され、
 前記第 2 能動素子の第 2 出力端(out4)が第 2 出力端子(lout-)に接続され、
 前記第 1 能動素子の第 1 出力端(out1)が第 1 入力端子(lin+)に接続され、
 前記第 2 能動素子の第 1 出力端(out3)が第 2 入力端子(lin-)に接続され、
 前記第 1 入力端子(lin+)と前記第 2 入力端子(lin-)に印加される信号の極性が反転していることを特徴とするインピーダンス変換回路。

10

【請求項 1 1】

第 1 能動素子と；

前記第 1 能動素子の第 1 の出力端が入力端子に接続され、かつ、前記第 1 能動素子の制御端が出力端子に接続された第 1 反転増幅回路と；

第 2 能動素子と；

前記第 2 能動素子の第 1 の出力端が入力端子に接続され、かつ、前記第 2 能動素子の制御端が出力端子に接続された第 2 反転増幅回路と；

前記第 1 能動素子の制御端と前記第 2 能動素子の出力端との間に接続された第 1 容量素子と；

20

前記第 2 能動素子の制御端と前記第 1 能動素子の出力端との間に接続された第 2 容量素子と；

前記第 1 能動素子の第 1 の出力端に接続された第 1 の電流入力端子と；

前記第 1 の電流入力端子とは信号極性が逆であり、前記第 2 能動素子の第 1 の出力端に接続された第 2 の電流入力端子とを具備したことを特徴とする低入力インピーダンス / 高出力インピーダンスのインピーダンス変換回路。

【請求項 1 2】

第 1 能動素子と；

前記第 1 能動素子の第 1 の出力端が入力端子に接続され、かつ、前記第 1 能動素子の制御端が出力端子に接続された第 1 反転増幅回路と；

30

第 2 能動素子と；

前記第 2 能動素子の第 1 の出力端が入力端子に接続され、かつ、前記第 2 能動素子の制御端が出力端子に接続された第 2 反転増幅回路と；

前記第 1 能動素子の制御端と前記第 2 能動素子の出力端との間に接続された第 1 容量素子と；

前記第 2 能動素子の制御端と前記第 1 能動素子の出力端との間に接続された第 2 容量素子と；

前記第 1 能動素子の第 2 の出力端に接続された第 1 の電流入力端子と；

前記第 1 の電流入力端子とは信号極性が逆であり、前記第 2 能動素子の第 2 の出力端に接続された第 2 の電流入力端子とを具備したことを特徴とする低入力インピーダンス / 高出力インピーダンスのインピーダンス変換回路。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路上に構成されたアンプ等に用いるインピーダンス変換回路に関し、インピーダンス変換回路の周波数特性の改善に関するものである。

【0002】

【従来の技術】

近年、機器に内蔵される半導体回路の集積化がますます進んでいる。中でも信号処理を行

50

う部分は集積回路の微細化や高速化が進んだためデジタル化が進んできた。しかしデジタル処理では困難で、アナログ回路による処理が行なわれている回路ブロックも存在する。アナログ回路で信号処理が行なわれている回路ブロックの一つとして、必要な帯域の信号成分を周波数領域で選択するフィルタ回路がある。

【 0 0 0 3 】

従来アクティブフィルタとして実用化されたものは帯域が数 100 kHz ~ 数 MHz 程度であったのに対して、広帯域通信用やハードディスク等のリードチャネル用では更に 100 倍広い帯域 (数 100 MHz 程度) が要求される。それに応じフィルタに用いるトランスコンダクタ (電圧 - 電流変換器) 自身の周波数特性も厳しいものが必要になってくる。フィルタに用いるトランスコンダクタの周波数特性が悪いと所望のフィルタの伝達特性を
10
実現出来なくなり、正常な受信が行えなくなる。例えば高次のフィルタを構成する為には、トランスコンダクタを用いた積分器の利得が 1 になる時の位相が -90 度からずれてい
ると、これがフィルタの周波数特性に大きな影響を与えてしまう。

【 0 0 0 4 】

フィルタを構成するトランスコンダクタやアンプの広帯域化への要求が強まる一方で、消費電流を抑える要求も存在する。

【 0 0 0 5 】

積分器のロスを少なくする為、トランスコンダクタの出力抵抗を上げる目的で、またアンプの利得を稼ぐ目的でカスコード接続が古くから用いられてきた。図 20 は、従来のカスコード回路の回路図である。図 20 (a) は増幅素子がバイポーラトランジスタ ($Q1$, $Q2$) の場合、図 20 (b) は増幅素子が電界効果トランジスタ ($M1$, $M2$) の場合である。このカスコード接続は、エミッタまたはソース接地の増幅回路 ($Q1$ または $M1$) のコレクタまたはドレイン側にベース接地またはゲート接地の増幅回路 ($Q2$ または $M2$) を直列に接続し、ベース接地またはゲート接地増幅回路の特徴である低入力インピーダンスかつ高出力インピーダンスな特性を積極的に利用したものである。信号出力はベース
20
接地またはゲート接地増幅回路 ($Q2$ または $M2$) の、コレクタまたはドレイン側のノード (I_{out}) から取り出す訳で、非常に大きな出力インピーダンスを実現できる。つまりトランスコンダクタの出力抵抗が高くでき、アンプに用いれば高利得を実現できる。尚、図中の矢印は、電流の流れる向きを表す。

【 0 0 0 6 】

さらに高い出力インピーダンスを確保できる手法として、K . B U L T et . al . , Analog Integrated Circuits and Signal Processing Vol . 1 No . 2 pp . 119 - 135 , 1991 等で紹介されている、図 21 に示すようなオペアンプと帰還技術を用いたレギュレーティッド・カスコード回路 (Regulated Cascode Circuit : 以下 RGC 回路) と呼ばれるインピーダンス変換回路がある。
30

【 0 0 0 7 】

RGC 回路の出力インピーダンスは、図 20 のカスコード回路に比べて、およそ $1 + A$ 倍 (A : オペアンプの DC 利得) 高くする事ができる。しかし数 100 MHz 以上の高周波では、RGC 回路に用いているトランジスタ ($Q1$ または $M1$) のベース・エミッタ間またはゲート・ソース間の寄生容量 (C_p) が無視できなくなる。これらの寄生容量により
40
図 22 に示すように、オペアンプ (A) と寄生容量 (C_p) で積分器を構成した形となる。

【 0 0 0 8 】

図 22 の回路の周波数特性を考えてみる。カスコードトランジスタ ($M1$) につく寄生容量として幾つか考えられるが、周波数特性に主に利き、値が最も大きい寄生容量であるゲート・ソース間容量 (C_p) についてのみ考えた。また簡単のため、オペアンプは電圧利得 ($-A$) の理想アンプとし、トランジスタ ($M1$) の出力抵抗が十分大きいものとした。入力端子に流れる信号電流 (I_{in}) に対する出力端子に流れる信号電流 (I_{out}) の比で表される RGC 回路の伝達関数をキルヒホッフ電流則等から求めると、
50

$$I_{out} / I_{in} = g_m / (g_m + s C_p) \quad s = j 2 \pi f \quad (1)$$

と表される。ここで、 g_m はカスコードトランジスタM1の相互コンダクタンス（出力電流／入力電圧）を表す。これは、高域周波数を遮断する1次の低域通過フィルタと同じような性質を示し、信号 I_{in} の周波数を上げていって I_{out} / I_{in} の大きさを表される信号利得が、 $g_m / (2 \pi C_p)$ で表される周波数を境に減衰していく。同時に I_{in} に対する I_{out} の信号の位相の遅れは周波数が上がっていくにつれ遅れ始め、 $g_m / (2 \pi C_p)$ なる周波数に呼応して、位相が遅れ始める周波数がシフトする。

【0009】

【発明が解決しようとする課題】

本発明の目的は、数100MHz以上の高周波でも良好な周波数特性を維持できるインピーダンス変換回路を提供することである。 10

【0010】

【課題を解決するための手段】

第1の発明は、第1能動素子と、前記第1能動素子の出力端が入力端子に接続され、かつ、前記第1能動素子の制御端が出力端子に接続された第1反転増幅回路と、第2能動素子と、前記第2能動素子の出力端が入力端子に接続され、かつ、前記第2能動素子の制御端が出力端子に接続された第2反転増幅回路と、前記第1能動素子の制御端と前記第2能動素子の出力端との間に接続された第1容量素子と、前記第2能動素子の制御端と前記第1能動素子の出力端との間に接続された第2容量素子を備えるインピーダンス変換回路である。 20

【0011】

第2の発明は、前記第1及び第2能動素子が第1及び第2バイポーラトランジスタであることを特徴とする第1の発明記載のインピーダンス変換回路である。

【0012】

第3の発明は、前記第1及び第2容量素子がダイオードであることを特徴とする第1の発明記載のインピーダンス変換回路である。

【0013】

第4の発明は、前記第1及び第2能動素子が第1及び第2電界効果トランジスタであることを特徴とする第1の発明記載のインピーダンス変換回路である。

【0014】

第5の発明は、前記第1及び第2容量素子がドレインとソースを短絡した第3及び第4電界効果トランジスタであることを特徴とする第4の発明記載のインピーダンス変換回路である。 30

【0015】

第6の発明は、前記第3及び第4電界効果トランジスタのゲート面積の大きさが、前記第1及び第2電界効果トランジスタのゲート面積の大きさに比べほぼ2/3であることを特徴とする第5の発明記載のインピーダンス変換回路である。

【0016】

第7の発明は、前記第1及び第2容量素子がドレイン又はソースの一方が開放されている第5及び第6電界効果トランジスタであることを特徴とする第4の発明記載のインピーダンス変換回路である。 40

【0017】

第8の発明は、第1能動素子と、前記第1能動素子の第1出力端が入力端子に接続され、かつ、前記第1能動素子の制御端が出力端子に接続された第1反転増幅回路と、第2能動素子と、前記第2能動素子の第1出力端が入力端子に接続され、かつ、前記第2能動素子の制御端が出力端子に接続された第2反転増幅回路と、前記第1能動素子の制御端と前記第2能動素子の第2出力端との間に接続された第3容量素子と、前記第2能動素子の制御端と前記第1能動素子の第2出力端との間に接続された第4容量素子を備えるインピーダンス変換回路である。

【0018】

第9の発明は、制御端 (i n 1) に印加される信号により第1出力端 (o u t 1) と第2出力端 (o u t 2) との間に流れる電流を制御する第1能動素子 (v c s s 1) と、前記第1能動素子の第1出力端 (o u t 1) が入力端子に接続され、かつ、前記第1能動素子の制御端 (i n 1) が出力端子に接続された第1反転増幅回路 (A 1) と、制御端 (i n 2) に印加される信号により第1出力端 (o u t 3) と第2出力端 (o u t 4) との間に流れる電流を制御する第2能動素子 (v c c s 2) と、前記第2能動素子の第1出力端 (o u t 3) が入力端子に接続され、かつ、前記第2能動素子の制御端 (i n 2) が出力端子に接続された第2反転増幅回路 (A 2) と、前記第1能動素子の制御端 (i n 1) と前記第2能動素子の第1出力端 (o u t 3) との間に接続された第1容量素子 (C 1) と、前記第2能動素子の制御端 (i n 2) と前記第1能動素子の第1出力端 (o u t 1) との間に接続された第2容量素子 (C 2) を備え、前記第1能動素子の第2出力端 (o u t 2) が第1出力端子 (I o u t +) に接続され、前記第2能動素子の第2出力端 (o u t 4) が第2出力端子 (I o u t -) に接続され、前記第1能動素子の第1出力端 (o u t 1) が第1入力端子 (I i n +) に接続され、前記第2能動素子の第1出力端 (o u t 3) が第2入力端子 (I i n -) に接続され、前記第1入力端子 (I i n +) と前記第2入力端子 (I i n -) に印加される信号の極性が反転していることを特徴とするインピーダンス変換回路である。

【0019】

第10の発明は、制御端 (i n 1) に印加される信号により第1出力端 (o u t 1) と第2出力端 (o u t 2) との間に流れる電流を制御する第1能動素子 (v c s s 1) と、前記第1能動素子の第1出力端 (o u t 1) が入力端子に接続され、かつ、前記第1能動素子の制御端 (i n 1) が出力端子に接続された第1反転増幅回路 (A 1) と、制御端 (i n 2) に印加される信号より第1出力端 (o u t 3) と第2出力端 (o u t 4) との間に流れる電流を制御する第2能動素子 (v c c s 2) と、前記第2能動素子の前記第1出力端 (o u t 3) が入力端子に接続され、かつ、前記第2能動素子の制御端 (i n 2) が出力端子に接続された第2反転増幅回路 (A 2) と、前記第1能動素子の制御端 (i n 1) と前記第2能動素子の第2出力端 (o u t 4) との間に接続された第3容量素子 (C 3) と、前記第2能動素子の制御端 (i n 2) と前記第1能動素子の第2出力端 (o u t 2) との間に接続された第4容量素子 (C 4) を備え、前記第1能動素子の第2出力端 (o u t 2) が第1出力端子 (I o u t +) に接続され、前記第2能動素子の第2出力端 (o u t 4) が第2出力端子 (I o u t -) に接続され、前記第1能動素子の第1出力端 (o u t 1) が第1入力端子 (I i n +) に接続され、前記第2能動素子の第1出力端 (o u t 3) が第2入力端子 (I i n -) に接続され、前記第1入力端子 (I i n +) と前記第2入力端子 (I i n -) に印加される信号の極性が反転していることを特徴とするインピーダンス変換回路である。

【0020】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施形態について説明する。尚、配線 (図中の実線) が交わっており、かつ、黒丸印が記載された箇所は電氣的に接続されている。配線が交わっているが、黒丸印が記載されていない箇所は電氣的に接続されていない。

【0021】

(第1の実施形態) 図1は、本発明の第1の実施形態に係るインピーダンス変換回路の回路図である。回路基板としては、シリコン基板を用いた。増幅素子である第1及び第2能動素子 (v c c s 1 , v c c s 2) の第1出力端 (o u t 1 , o u t 3) から能動素子 (v c c s 1 , v c c s 2) の第2出力端 (o u t 2 , o u t 4) へ信号電流がそれぞれ流れる。この2つの能動素子 (v c c s 1 , v c c s 2) に流れる信号電流の極性は互いに異なる、すなわち、位相が π ずれている。能動素子 (v c c s 1 , v c c s 2) の第1出力端 (o u t 1 , o u t 3) には電圧利得を有する反転増幅手段 (A 1 , A 2) の入力端子がそれぞれ接続されている。反転増幅手段 (A 1 , A 2) の出力端子はそれぞれ v c c s 1 、 v c c s 2 の制御端 (i n 1 , i n 2) に接続されている。以上説明した接続によ

10

20

30

40

50

り、 v_{ccs1} と $A1$ 、 v_{ccs2} と $A2$ のそれぞれで帰還ループが構成されており、能動素子(v_{ccs1} 、 v_{ccs2})の第1出力端($out1$ 、 $out3$)の電圧が、図1のインピーダンス変換回路の第1及び第2入力端子(I_{in+} 、 I_{in-})から入力される信号電流の変動にほとんど影響を受けないでほぼ一定の電圧を維持することができる。尚、第1及び第2入力端子(I_{in+} 、 I_{in-})から入力される信号電流は、極性は異なるが、大きさは実質的に同じである。

【0022】

能動素子(v_{ccs1} 、 v_{ccs2})は後述する図2～図5に示されるように単体のトランジスタで構成するのが一般的である。能動素子(v_{ccs1} 、 v_{ccs2})を構成するトランジスタの寄生容量(具体的には図22の C_p のようにベース-エミッタ間容量やゲート-ソース間容量)と反転増幅手段($A1$ 、 $A2$)とで積分器を構成する形となり、 RG 回路の周波数特性が劣化することは従来技術のなかで説明した通りである。

【0023】

それに対し、本実施形態では、寄生容量と同程度の容量を有する第1及び第2容量素子($C1$ 、 $C2$)を能動素子(v_{ccs1} 、 v_{ccs2})の制御端($in1$ 、 $in2$)とお互い反対側の能動素子(v_{ccs2} 、 v_{ccs1})の第1出力端($out3$ 、 $out1$)の間に接続する。すると、能動素子(v_{ccs1})の第1出力端($out1$)から能動素子(v_{ccs1})の制御端($in1$)へ寄生容量を介して流れる電流とインピーダンス変換回路の第1入力端子(I_{in-})から能動素子(v_{ccs1})の制御端($in1$)へ容量素子($C1$)を介して流れる電流は極性が逆でかつほぼ等しくなるので、お互い打ち消しあう。同様に、能動素子(v_{ccs2})の第1出力端($out3$)から能動素子(v_{ccs2})の制御端($in2$)へ寄生容量を介して流れる電流とインピーダンス変換回路の第1入力端子(I_{in+})から能動素子(v_{ccs2})の制御端($in2$)へ容量素子($C2$)を介して流れる電流は極性が逆でかつ大きさがほぼ等しくなるので、お互い打ち消しあう。つまり、数100MHz以上の高周波では、従来、寄生容量 C_p によって、オペアンプを通らず増幅されない電流がトランジスタの制御端($in1$ 、 $in2$)に流れてしまい、インピーダンス変換回路の高周波特性が劣化してしまうという問題点があった。しかし、本実施形態によれば、寄生容量 C_p によって流れてしまう電流と極性が逆でかつ大きさがほぼ等しい電流をトランジスタの制御端($in1$ 、 $in2$)に流すことによってお互い打ち消しあわされるので、従来の問題点である、インピーダンス変換回路の入力端子(I_{in+} 、 I_{in-})に入力される信号電流(I_{in})に対してトランジスタの出力電流(I_{out})の位相が遅れてしまう、というインピーダンス変換回路の高周波特性の劣化を防ぐことができる。

【0024】

本実施形態に係るインピーダンス変換回路の周波数特性を(1)式を求めた時と同様の手続きを用いて求めると、

$$I_{out}/I_{in} = (1+A)g_m / ((1+A)g_m + 2sC_p) \quad s = j2\pi f \quad (2)$$

となり、信号利得が減衰し始める周波数は $(1+A)g_m / (4\pi C_p)$ となる。ただし、オペアンプ自身の周波数特性を考慮した場合さらに複雑になるが、ここではオペアンプは周波数特性を持たない理想のものとして考えている。尚、式(2)中の“(1+A)g_m”の“A”はオペアンプの利得を表し、“2sC_p”の“2”は容量素子($C1$ 、 $C2$)の大きさが寄生容量(C_p)とほぼ等しいことを表している。

【0025】

つまり、信号利得が減衰し始める、かつ、位相が遅れ始める周波数が従来例のものに比べて $(1+A)/2$ 倍高い周波数まで引き上げることができ、すなわち、従来例より高い周波数まで位相の遅れの少ないインピーダンス変換回路を実現することができる。

【0026】

(変形例1-1)図2は、図1の能動素子(v_{ccs1} 、 v_{ccs2})をバイポーラトランジスタで構成した場合の変形例1-1に係るインピーダンス変換回路の回路図である。

キャパシタ C_1 および C_2 の値は、トランジスタ Q_1 、 Q_2 の寄生容量（主にベース - エミッタ間容量）とほぼ等しくするのが望ましい。

【0027】

（変形例 1 - 2）図 3 は、図 2 に示したインピーダンス変換回路について、さらに、容量素子（ C_1 、 C_2 ）を $p-n$ 接合ダイオード（ D_1 、 D_2 ）に置き換えた場合の変形例 1 - 2 に係るインピーダンス変換回路の回路図である。誘電体を利用した MIM キャパシタの容量の代わりに $p-n$ 接合ダイオードの容量を利用しても、寄生容量の影響を低減することができる。また、図 3 ではダイオードを用いているが、 Q_1 、 Q_2 と同様のトランジスタをダイオード接続したものをを用いてもよい。 D_1 、 D_2 と並列に容量を接続してもよい。

【0028】

（変形例 1 - 3）図 4 は、図 1 の能動素子（ v_{ccs1} 、 v_{ccs2} ）を MIS 型電界効果トランジスタ（MIS トランジスタ；metal insulator semiconductor field effect transistor）で構成した場合の変形例 1 - 3 に係るインピーダンス変換回路の回路図である。本変形例では、MIS トランジスタとして、MOS トランジスタ（MOSFET）を用いた。 C_1 および C_2 の値は、トランジスタ M_1 、 M_2 の寄生容量（主にゲート - ソース間容量）とほぼ等しくするのが望ましい。また、MOS トランジスタは、シリコンバルク基板に設けられていても良いし、SOI（silicon on insulator）基板に設けられていても良い。

【0029】

（変形例 1 - 4）図 5 は、図 4 に示したインピーダンス変換回路について、さらに、容量素子（ C_1 、 C_2 ）を MIS トランジスタに置き換えた場合の変形例 1 - 4 に係るインピーダンス変換回路の回路図である。 M_1 、 M_2 と同様な構造の MIS トランジスタのドレインとソースを短絡したものを C_1 、 C_2 の代わりに用いる事によっても、ゲート寄生容量の影響を低減することができる。尚、前述の「同様な構造」とは、ゲート絶縁膜の材質及び厚さが実質的に同じということである。

【0030】

ドレイン電極 - ソース電極間が短絡されている MIS トランジスタ（ M_3 、 M_4 ）のゲート電極と反転層チャネル間に生じる容量は、同一のゲート電極面積とゲート電極 - ソース電極間電圧の下で、かつ飽和領域で動作しているゲート - ソース間容量に比べて、およそ 1.5 倍程度になる。したがって M_3 、 M_4 の容量値を M_1 、 M_2 の寄生容量と同様の容量値に設定するためには、 M_3 、 M_4 の寄生容量を左右するゲート面積の比（ゲート幅 × ゲート長）を M_1 、 M_2 のゲート面積に比べてほぼ 2/3 になるように設計するのが望ましい。

【0031】

本変形例によれば、 C_1 、 C_2 の値を決定するために M_1 、 M_2 の寄生容量を見積もる必要が無く、設計が容易になる。また、 M_1 、 M_2 の寄生容量は温度によっても変動するが、同様な構造のトランジスタを M_3 、 M_4 に用いているので、温度変動や素子ばらつき等による寄生容量の変動の影響を受けにくくなる。

【0032】

図 6 は、図 5 のインピーダンス変換回路をトランスコンダクタに適用した場合の第 1 のトランスコンダクタの回路図である。 V_{in+} と V_{in-} は第 1 のトランスコンダクタの差動電圧入力端子に相当し、 V_{in+} と V_{in-} から差動の信号を入力すると、 M_5 、 M_6 のドレインには互いに逆相の信号電流 I_d が流れる。 M_5 を流れるドレイン電流 I_d は、RGC 回路のトランジスタ M_1 をそのまま流れ、カレントミラー（Current Mirror）を介して出力端子 I_{out} 側にコピーされる。また M_2 を介して流れる M_6 のドレイン電流 I_d' も出力端子 I_{out} 側に流れ、出力端子からは、 M_5 と M_6 のドレイン電流の差分の電流（ $I_d - I_d'$ ）を取り出すことが出来る。トランスコンダクタは、高い入力抵抗と高い出力抵抗を持つものが理想的である。RGC 回路の出力抵抗は、図 20 のようなサブアンプを使わないカスコードアンプに比べ、非常に大きな値を確保できる

10

20

30

40

50

ため、カレントミラー回路の出力抵抗が十分大きければ、高い出力抵抗を確保することが出来る。また、図23は、従来のインピーダンス変換回路をトランスコンダクタに適用した場合である。

【0033】

図7は、図6又は図23の回路の出力端子Ioutに出力容量(C_L)を対接地(V_{ss})で接続して構成した積分器の回路図である。

【0034】

図8は、図7に示した積分器のシミュレーション結果のボード線図を示す。このボード線図は、V_{in+}とV_{in-}端子から差動で信号電圧を入力して出力端子Ioutの端子電圧の周波数特性を見たもので、理想的には広い周波数にわたって利得が-20dB/dec. (“/dec.”とはper decade; 横軸10倍当たりの意味である)の単調減少で、位相は-90度を保たれているのが望ましい。積分器のため、位相の遅れの基準は-90度になるからである。図8(a)の利得特性図を見る限り、本実施形態の回路(図6; proposal)及び従来の回路(図23; conventional)はほとんど変わらないが、図8(b)の位相特性図を比較すると、従来の回路(図23; conventional)は100MHzを越えた辺りから大きく位相の遅れが生じているのが分かる。従来の回路(図23; conventional)では1GHzに達しないうちに位相が-100度を越えているのに対し、本実施形態の回路(図6; proposal)は、穏やかに位相がシフトし、10GHzに達しても位相が-93度程度である。従来の回路(図23; conventional)では-90度から1%遅れる周波数が75MHzなのに対して、本実施形態の回路(図6; proposal)では1.95GHzにまで改善していることがわかる。

【0035】

尚、本シミュレーションでは、オペアンプの電圧利得Aは500倍、トランジスタM₁, M₂のゲートサイズが幅100μm、長さ0.5μm、ゲート酸化膜の厚さ150Åのもので、ゲート-ソース間寄生容量がおよそ200fF程度と設定した。

【0036】

図9は、図5のインピーダンス変換回路を適用した第2のトランスコンダクタ回路である。図6の第1のトランスコンダクタと異なる点は、カレントミラーの代わりに定電流源をつなぎ、そのまま差動で出力を取り出している点である。図9中のCMFBは、コモンモードフィードバック回路で、2つの出力端子の電圧平均を検出し、トランスコンダクタの出力端子の動作点電圧が所定の動作点電圧になるように電流源の電流値を調節している。

【0037】

図10は、図9の第2のトランスコンダクタ回路で、9次の低域通過フィルタ(0.01dBリップルのチェビシェフ)を構成した場合の回路図である。G₁~G₁₈が第2のトランスコンダクタである。図9の出力には、同じ大きさの逆相の信号電流が流れることになる。トランスコンダクタンス値の決まり方などの基本的な動作は、図6の場合と同じである。

【0038】

図11は、図10に示した9次の低域通過フィルタの周波数と利得の特性を比較したグラフである。図中のproposalが図9に示した第2のトランスコンダクタを用いた場合であり、図中のconventionalは従来例として、図9のM₃, M₄を取り除いたものである。conventionalでは、カットオフ周波数付近で1dB近いピークが出ている。このようなカットオフ周波数付近でのピークは、信号の歪を増加させるだけでなく、フィルタとしての群遅延特性も悪化させるため、望ましくない。それに対して、proposalでは通過帯域は平坦(帯域内リップル0.1dB以下)となり、第1の実施形態の効果が現れているのが分かる。

【0039】

図12は、図5で説明したインピーダンス変換回路を、利得段が1段でフォールディッド・カスコード構成の演算増幅器に適用した場合の演算増幅器の回路図である。ここでは、

M O S トランジスタで構成したインピーダンス変換回路を用いて示しているが、バイポーラトランジスタについても同様に適用できる。利得の大きい演算増幅器を実現するためには、利得段の（図 1 2 では M 5、M 6 のコモンソース差動対）出力インピーダンスを出来る限り高く取れる方が望ましい。そこで利得段の出力（図 1 2 の N M 3，N M 4）をインピーダンス変換回路を介して出力端子 V o u t に接続している。ここでは入力利得段のトランジスタのコモン動作電圧範囲を広げるため、図 6 のように縦積み構成を取らず、入力段のドレイン側を定電流源を介して折り返した構成を取っている。

【 0 0 4 0 】

図 1 3 は、図 1 2 の演算増幅器の利得と位相特性の結果を示す特性図である。p r o p o s a l は図 1 2 の演算増幅器の場合であり、c o n v e n t i o n a l は図 1 2 の演算増幅器の M 3，M 4 を取り除いた場合である。図 1 3 (a) より、利得が 0 d B になる周波数は、ほぼ同じである。この時の位相は図 1 3 (b) より、c o n v e n t i o n a l は - 9 0 度から 5 . 5 度遅れているのに対して、p r o p o s a l は 0 . 9 度程度、即ち 1 % の遅れに収まっているのがわかる。つまり、帰還をかけて動作させた時の安定度の点で本実施形態を用いた方が有利であることがこの結果から分かる。

【 0 0 4 1 】

（第 2 の実施形態）図 1 4 は、本発明の第 2 の実施形態に係るインピーダンス変換回路の回路図である。容量素子（C 3、C 4）を除く回路の動作についての説明は、図 1 を用いて説明した第 1 の実施形態と同じなので省略する。容量素子（C 3、C 4）の接続が、能動素子（v c c s 1、v c c s 2）の第 2 の出力端子（o u t 2，o u t 4）側に接続されている点が図 1 と異なる点である。第 1 の実施形態では、能動素子（v c c s 1、v c c s 2）の入力端子（i n 1、i n 2）と出力端子（o u t 1、o u t 3）の間に存在する寄生容量の影響を打ち消した。しかし、能動素子（v c c s 1、v c c s 2）の入力端子（i n 1、i n 2）と出力端子（o u t 2、o u t 4）の間に存在する寄生容量（具体的にはベース - コレクタ間容量やゲート - ドレイン間容量）の影響は第 1 の実施形態では打ち消すことはできない。これらの寄生容量は、能動素子（v c c s 1、v c c s 2）の入出力に帰還をかける積分器を構成させるため、やはり周波数特性を劣化させることになる。本実施形態によれば、第 1 の実施形態と同様に、能動素子（v c c s 1、v c c s 2）の入力端子（i n 1、i n 2）と出力端子 o u t 2、o u t 4 の間に存在する寄生容量の影響を打ち消すことができる。尚、電界効果トランジスタの場合、ゲート - ドレイン間容量はゲート - ソース間容量の 1 / 1 0 程度である。

【 0 0 4 2 】

（変形例 2 - 1）図 1 5 は、図 1 4 の能動素子（v c c s 1，v c c s 2）をバイポーラトランジスタで構成した場合の変形例 2 - 1 に係るインピーダンス変換回路の回路図である。キャパシタ C 3 および C 4 の値は、トランジスタ Q 1、Q 2 の寄生容量（主にベース - コレクタ間容量）とほぼ等しくするのが望ましい。

【 0 0 4 3 】

（変形例 2 - 2）図 1 6 は、図 1 5 に示したインピーダンス変換回路について、さらに、容量素子（C 3，C 4）を p n 接合ダイオード（D 3，D 4）に置き換えた場合の変形例 2 - 2 に係るインピーダンス変換回路の回路図である。

【 0 0 4 4 】

（変形例 2 - 3）図 1 7 は、図 1 4 の能動素子（v c c s 1，v c c s 2）を M I S トランジスタ（m e t a l i n s u l a t o r s e m i c o n d u c t o r f i e l d e f f e c t t r a n s i s t o r）で構成した場合の変形例 2 - 3 に係るインピーダンス変換回路の回路図である。本変形例では、M I S 型トランジスタとして、M O S トランジスタ（M O S F E T）を用いた。C 3 および C 4 の値は、トランジスタ M 1、M 2 の寄生容量（主にゲート - ソース間容量）とほぼ等しくするのが望ましい。

【 0 0 4 5 】

（変形例 2 - 4）図 1 8 は、図 1 7 に示したインピーダンス変換回路について、さらに、容量素子（C 3，C 4）を M I S トランジスタに置き換えた場合の変形例 2 - 4 に係るイ

10

20

30

40

50

ンピーダンス変換回路の回路図である。M 1、M 2と同様な構造のM I Sトランジスタ(M 5、M 6)のドレイン又はソースの一方を外したものをC 3、C 4の代わりに用いても、ゲート寄生容量の影響を低減することができる。尚、前述の「同様な構造」とは、ゲート絶縁膜の材質及び厚さが実質的に同じということである。

【0046】

(変形例2-5)図19は、図14に示したインピーダンス変換回路について、さらに、図1で説明した容量素子(C 1、C 2)を追加した場合の変形例2-5に係るインピーダンス変換回路の回路図である。本変形例によれば、第1及び第2の実施形態それぞれで問題となっていた能動素子(v c c s 1、v c c s 2)に付帯する寄生容量を打ち消すことができ、インピーダンス変換回路のさらなる周波数特性の改善効果が期待できる。

10

【0047】

(他の実施形態)以上、本発明の第1乃至第2の実施形態及びその変形例について説明したが、本発明は上述した記載の限定されるものではない。例えば、図18のトランジスタM 5、M 6を図6のトランジスタM 3、M 4に置き換えてもよく、容量素子(C 1~C 4)は固定キャパシタではなく、可変キャパシタであってもよい。

【0048】

【発明の効果】

以上説明したように、本発明によれば、数100MHz以上の高周波でも良好な周波数特性を維持できるインピーダンス変換回路を提供することができる。

【図面の簡単な説明】

20

【図1】本発明の第1の実施形態に係るインピーダンス変換回路の回路図。

【図2】変形例1-1に係るインピーダンス変換回路の回路図。

【図3】変形例1-2に係るインピーダンス変換回路の回路図。

【図4】変形例1-3に係るインピーダンス変換回路の回路図。

【図5】変形例1-4に係るインピーダンス変換回路の回路図。

【図6】図5のインピーダンス変換回路を適用した第1のトランスコンダクタの回路図。

【図7】図6又は図23の回路の出力端子I o u tに出力容量(C L)を対接地(V s s)で接続して構成した積分器の回路図。

【図8】図7に示した積分器のシミュレーション結果のボード線図。

【図9】図5のインピーダンス変換回路を適用した第2のトランスコンダクタの回路図。

30

【図10】図9で示した第2のトランスコンダクタを用いた9次の低域通過フィルタの回路図。

【図11】図10の場合の周波数と利得の特性を比較したグラフ。

【図12】図5のインピーダンス変換回路を用いた演算増幅器の回路図。

【図13】図12の演算増幅器の利得と位相特性の結果を示す特性図。

【図14】本発明の第2の実施形態に係るインピーダンス変換回路の回路図。

【図15】図14の変形例2-1に係るインピーダンス変換回路の回路図。

【図16】図14の変形例2-2に係るインピーダンス変換回路の回路図。

【図17】図14の変形例2-3に係るインピーダンス変換回路の回路図。

【図18】図14の変形例2-4に係るインピーダンス変換回路の回路図。

40

【図19】図14の変形例2-5に係るインピーダンス変換回路の回路図。

【図20】従来のカスコード回路の回路図。

【図21】従来レギュレーティッド・カスコード回路(R G C回路)の回路図。

【図22】図21の動作を説明する等価回路図。

【図23】従来インピーダンス変換回路を適用したトランスコンダクタの回路図。

【符号の説明】

v c c s 1、v c c s 2 第1及び第2能動素子

i n 1、i n 2 制御端

o u t 1、o u t 3 第1出力端

o u t 2、o u t 4 第2出力端

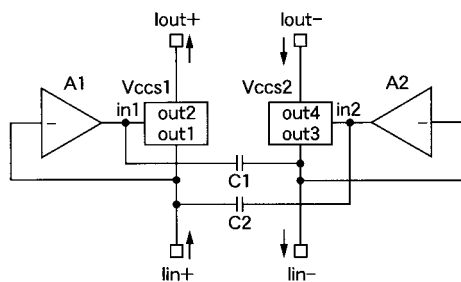
50

$A1, A2$ 反転増幅器 (オペアンプ)
 $Q1, Q2, Q3, Q4$ バイポーラトランジスタ
 $M1, M2, M3, M4, M5, M6$ MOSトランジスタ
 I_{in+} 第1入力端子
 I_{in-} 第2入力端子
 I_{out+} 第1出力端子
 I_{out-} 第2出力端子
 $C1, C2, C3, C4$ 第1, 第2, 第3 及び第4 容量素子
 $D1, D2$ ダイオード
 V_{cont} 直流電圧制御端子
 C_p 寄生容量
 G_{eq} トランジスタの等価回路
 g_m トランスコンダクタンス
 V_{dd} 電源端子
 V_{ss} 接地端子
 V_{in}, V_{in+}, V_{in-} 信号入力端子
 V_{bias} バイアス端子
 I_{out}, V_{out} 出力端子
 $I1, I2$ 定電流源
 $NQ1, NQ2$ バイポーラトランジスタ $Q1, Q2$ のベースに接続されるノード
 $NM1, NM2$ MOSトランジスタ $M1, M2$ のゲートに接続されるノード
 $NM3, NM4$ MOSトランジスタ $M1, M2$ のソースに接続されるノード
 $G1 \sim G18$ トランスコンダクタ

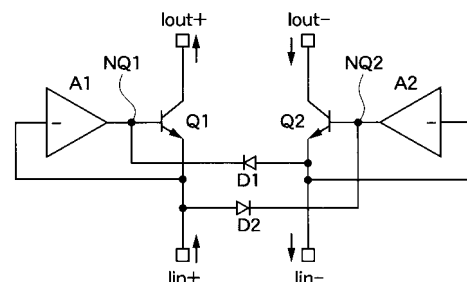
10

20

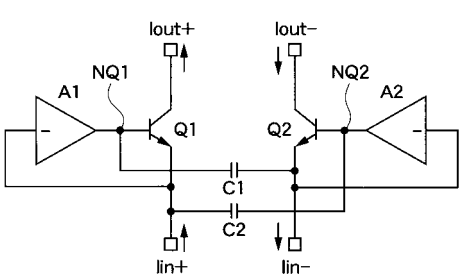
【図1】



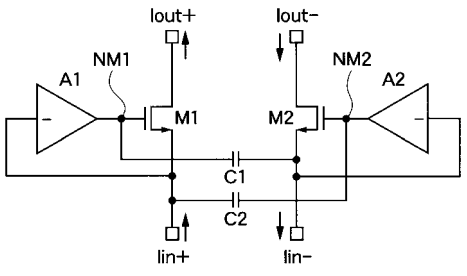
【図3】



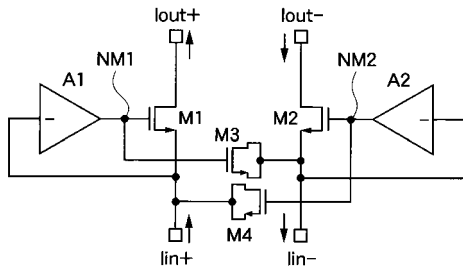
【図2】



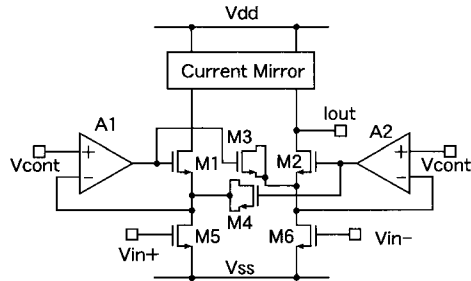
【図4】



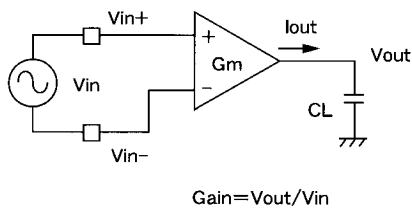
【図 5】



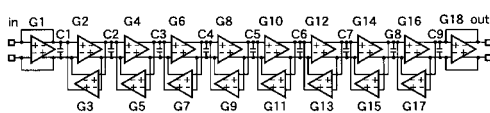
【図 6】



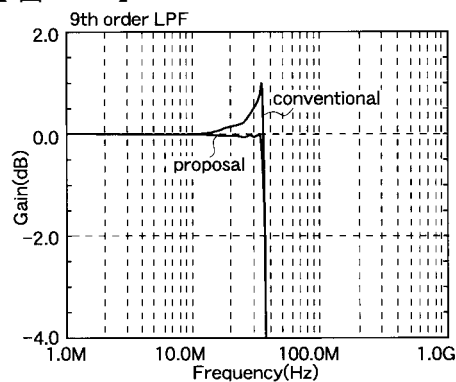
【図 7】



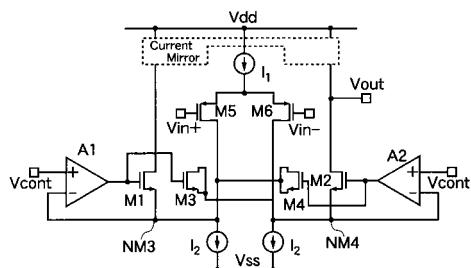
【図 10】



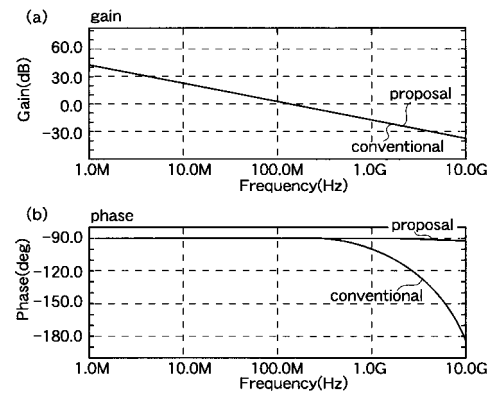
【図 11】



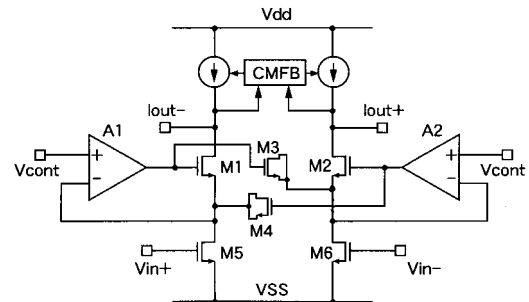
【図 12】



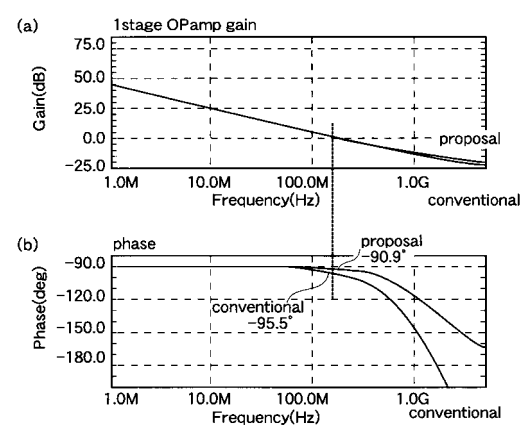
【図 8】



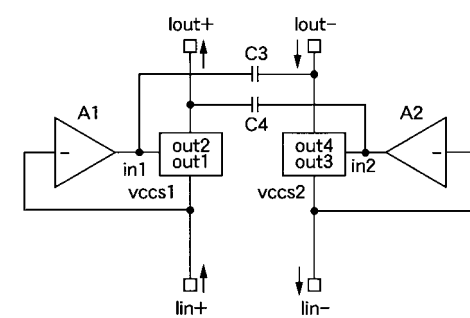
【図 9】



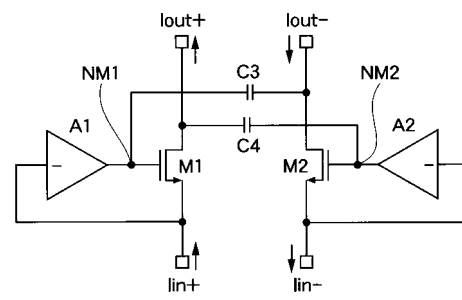
【図 13】



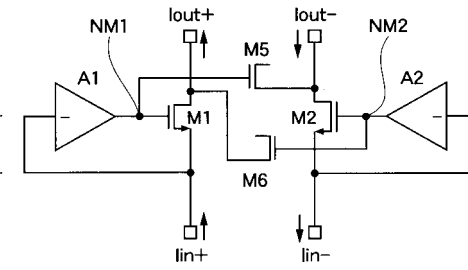
【図 14】



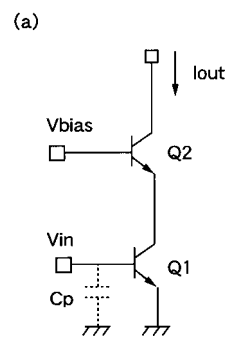
【 図 1 7 】



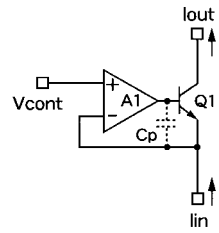
【 図 1 8 】



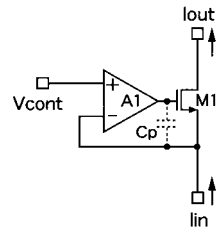
【 図 2 0 】



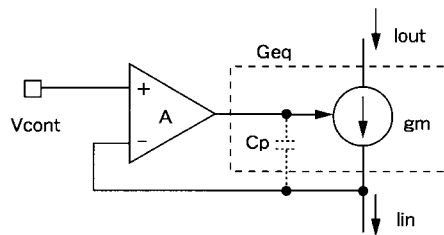
(a)



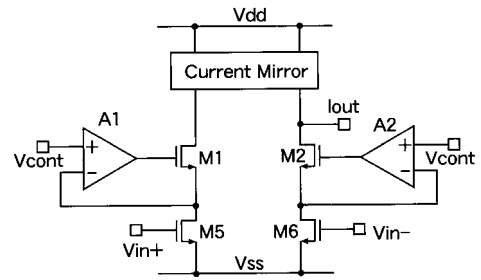
(b)



【 図 2 2 】



【 図 2 3 】



フロントページの続き

審査官 高木 進

(56)参考文献 特開昭52-090977(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03H 11/40