

A1

**DEMANDE  
DE BREVET D'INVENTION**

②1

**N° 79 13240**

---

⑤4 Procédé et dispositif pour l'adressage d'une mémoire d'image dans un système de télétexte.

⑤1 Classification internationale (Int. Cl. <sup>3</sup>). G 06 F 9/06; G 06 K 15/20.

②2 Date de dépôt..... 23 mai 1979, à 16 h 16 mn.

③3 ③2 ③1 Priorité revendiquée :

④1 Date de la mise à la disposition du  
public de la demande..... B.O.P.I. — « Listes » n° 8 du 20-2-1981.

---

⑦1 Déposant : Société dite : COMPAGNIE CONTINENTALE DE SIGNALISATION, société anonyme, résidant en France.

⑦2 Invention de : Charles Hernandez.

⑦3 Titulaire : *Idem* ⑦1

⑦4 Mandataire : Robert Bloch, conseil en brevets d'invention,  
39, av. de Friedland, 75008 Paris.

L'invention concerne un procédé et un dispositif pour délivrer les adresses de lecture d'une mémoire d'image pour récepteur de télétexte.

On connaît par la demande de brevet français 2 363 949 un système pour l'affichage de données sur l'écran d'un récepteur de télévision, ou système de télétexte. Dans ce système, les données sont diffusées par une station émettrice sous la forme de voies multiplexées dans le temps, et chaque voie ou magazine se compose de paquets de données et est découpée en pages. L'utilisateur, après avoir sélectionné un magazine, choisit une page et les données correspondantes sont inscrites dans une mémoire d'image et sont lues dans un générateur de caractères en vue de l'affichage des caractères correspondants sur l'écran du récepteur de télévision.

Selon la spécification ANTIOPE, chaque page est organisée en 25 rangées horizontales de 40 caractères, chaque rangée occupant 10 lignes de télévision. La mémoire d'image doit donc avoir une capacité de  $25 \times 40 = 1000$  données de caractère.

Mais on sait que, en pratique, les capacités de mémoire sont toujours des puissances de 2. Dès lors, la capacité réelle de la mémoire d'image sera 1024 données, ce qui laisse 24 positions disponibles.

L'invention vise à utiliser d'une manière optimale la capacité de la mémoire d'image.

L'invention tire parti du fait que la première rangée est une rangée de service dont l'affichage sur l'écran du récepteur de télévision est réalisé toujours de la même façon, avec des caractères simple hauteur, alors que pour les autres rangées, il faut prévoir la possibilité de modifier le mode d'affichage, par exemple en doublant la hauteur des caractères, en masquant les caractères, etc. L'invention prévoit, dans ces conditions, que les 24 positions disponibles en mémoire sont affectées respectivement aux 24 rangées autres que la première pour la lecture de données communes à tous les caractères de la rangée considérée.

Les données en question peuvent être l'indication que la rangée ne contient que des caractères double hauteur, ou l'indication que l'on se trouve dans une rangée supérieure ou dans une rangée inférieure, compte tenu de la possibilité de produire des caractères double hauteur qui occupent par conséquent deux rangées consécutives. Ces données seront adressées au générateur de caractères.

tères pour lui permettre de définir un alignement de caractères approprié.

Il peut s'agir également de l'indication qu'il faut masquer les caractères d'une rangée.

5 L'invention a également pour objet un dispositif pour l'adressage d'une mémoire d'image, comprenant un compteur délivrant une séquence de 5 éléments binaires (ebs) en parallèle ADR1 à ADR5 pour fournir les adresses rangée, un compteur délivrant une séquence de 6 ebs en parallèle ADC1 à ADC6 pour fournir les adresses colonne,  
10 et un circuit de transcodage qui fait correspondre à un couple d'une adresse rangée comprise entre 0 et 24 et d'une adresse colonne entre 0 et 39 une adresse caractère comprise entre 0 et 999, qui est transmise à la mémoire sous la forme d'une séquence de 10 ebs en parallèle  $A_0$  à  $A_9$ , caractérisé par le fait que le circuit de transcodage  
15 transmet à la mémoire d'image l'adresse rangée ADR1 à ADR5 inchangée lorsqu'il reçoit une adresse colonne valant au moins 40.

La transmission des adresses rangée avec une adresse colonne d'au moins 40 fournit les adresses de lecture pour les positions 1000 à 1023 restant disponibles dans la mémoire d'image.

20 Dans une forme de réalisation avantageuse, le circuit de transcodage comprend une mémoire de transcodage à laquelle sont appliqués les ebs ADR1 à ADR5 transmettant l'adresse rangée et les trois ebs ADC4 à ADC6 de poids élevé, les trois ebs ADC1 à ADC3 étant transmis directement à la mémoire d'image.

25 On utilise ici le fait que les adresses des derniers caractères de chaque rangée sont toujours exprimées par un nombre  $8k + 7$  puisque les premiers caractères sont numérotés 0, 40, 80, etc. On peut dès lors transmettre les 3 ebs de poids faible sans les soumettre au transcodage. On peut ainsi utiliser une mémoire de capacité  
30 réduite, puisqu'il suffit d'une capacité de  $256 \times 7$  ebs au lieu de  $2048 \times 10$  ebs.

De préférence, les trois ebs ADC1 à ADC3 sont appliqués à un commutateur qui reçoit également les trois ebs ADR1 à ADR3 de poids faible, le commutateur étant commandé par un signal émis par la mémoire de transcodage, le commutateur transmettant les ADC1 à ADC3  
35 lorsque les ebs ADC4 à ADC6 appliqués à la mémoire de transcodage représentent une valeur inférieure à 40 et transmettant les ADR1 à ADR3 dans le cas contraire, la mémoire de transcodage transmettant alors les ebs ADR4 et ADR5 sans modification.

40 L'invention sera bien comprise à la lecture de la description

ci-après, pour la compréhension de laquelle on se reportera au dessin annexé qui représente le dispositif d'adressage selon l'invention.

5 Le dispositif d'adressage représenté sert à fournir les adresses de lecture d'une mémoire d'image 1 pouvant contenir les données de caractère nécessaire à la composition d'une page de télétexte, les caractères étant produits par un générateur de caractères non représenté ici.

10 Dans le système ANTIOPE, une page est formée de 25 rangées de 40 caractères et comprend donc 1000 caractères.

La mémoire 1 est une mémoire vive d'une capacité effective de 1024 x 20 ebs. Sur les 1024 positions, 1000 sont occupées par les données de caractères, et donc 24 positions restent disponibles.

15 La première rangée est une rangée de service dont l'affichage sur l'écran du récepteur de télévision est réalisé toujours de la même façon, avec des caractères simple hauteur, alors que pour les autres rangées, il faut prévoir la possibilité de modifier le mode d'affichage, par exemple en doublant la hauteur des caractères, en masquent les caractères, etc. L'invention prévoit d'affecter les  
20 24 positions disponibles en mémoire chacune à une rangée autre que la première rangée, les données inscrites en ces positions constituant des mots de commande qui s'appliquent à tous les caractères d'une rangée.

25 Le dispositif décrit ci-après permet d'adresser les 24 positions disponibles en les affectant chacune à une rangée.

Le dispositif d'adressage comprend un compteur de rangées 2 capable de délivrer en parallèle 5 éléments binaires ADR1 à ADR5 représentant les nombres 0 à 31 et un compteur de colonnes 3 qui  
30 peut délivrer 6 éléments binaires ADC1 à ADC6 représentant les nombres 0 à 63. Le compteur de colonnes 3 est incrémenté par une horloge 10 définissant l'intervalle de temps de caractère, égal à 10 points d'image dans le système ANTIOPE, soit environ 1  $\mu$ s, et il est réinitialisé à chaque top de synchronisation ligne TLG, soit  
35 toutes les 64  $\mu$ s.

Le compteur de rangées 4 est incrémenté toutes les 10 lignes par le compteur de lignes 11 qui reçoit les tops lignes TLG. Il est réinitialisé par le top trame TTR qui réinitialise également le compteur de lignes 11.

40 L'ensemble des compteurs 2 et 3 pourrait donc fournir

32 x 64 = 2048 adresses de lecture. Comme seulement 1024 adresses de lecture sont nécessaires, il est prévu un circuit de transcodage composé d'une mémoire de transcodage 4 du type PROM et un commutateur 5 à deux voies, commercialisé sous le nom de multiplexeur.

La mémoire de transcodage 4 reçoit les adresses de rangée portées par les fils ADR1 à ADR5 et les éléments binaires d'adresse de colonne ADC4 à ADC6 qui ont le poids le plus élevé, tandis que les éléments binaires ADC1 à ADC3 de poids faible sont appliqués au commutateur 5 et sont transmis sans transcodage à la mémoire d'image 1 sur les fils  $A_0$ ,  $A_1$ ,  $A_2$ .

La mémoire de transcodage 4 fait correspondre à un couple de valeurs portées par les fils ADC4 à ADC6 et ADR1 à ADR5 une valeur portée par les 7 fils  $A_3$  à  $A_9$  reliés à la mémoire d'image, et l'ensemble des fils  $A_0$  à  $A_9$  porte une adresse de lecture comprise entre 0 et 999, ce qui permet l'adressage des 1000 données de caractère.

A titre d'exemple, si l'adresse de colonne est 15 et l'adresse de rangée est 8, l'adresse de lecture fournie à la mémoire d'image sera  $40 \times 8 + 15 = 335$ .

La possibilité de transmettre sans transcodage les trois éléments binaires ADC1 à ADC3 de poids faible tient au fait que la dernière adresse colonne de chaque rangée est toujours exprimée par un nombre  $8k + 7$ , puisque le nombre de caractères d'une rangée est 40, donc un multiple de 8.

Ceci réduit la capacité de mémoire nécessaire pour le transcodage à  $256 \times 7$  ebs, au lieu de  $2048 \times 10$  ebs si l'adresse colonne était appliquée dans sa totalité à la mémoire 4.

D'autre part, les 3 ebs d'adresse rangée de poids faible ADR1 à ADR3 sont également appliqués au commutateur 5, et celui-ci les transmet sans modification à la mémoire d'image dans l'une de ses deux positions de fonctionnement, l'autre position correspondant à la transmission des ebs d'adresse colonne ADC1 à ADC3.

Le commutateur 5 est commandé par le niveau du signal présent sur une 8ème sortie  $A_0$  de la mémoire de transcodage 4.

Aussi longtemps que la valeur transmise par les fils ADC4 à ADC6 à la mémoire de transcodage 4 est inférieure à 40, le commutateur 5 transmet les ebs ADC1 à ADC3. Cette phase est celle où la mémoire d'image reçoit les 1000 adresses permettant la lecture des données de caractères.

Lorsque la valeur transmise par ADC4 à ADC6 atteint 40, ce qui correspond à 1 pour ADC6, 0 pour ADC5 et 1 pour ADC4, la sortie A<sub>C</sub> change d'état et le commutateur 5 transmet les ebs d'adresse rangée ADR1 à ADR3. En même temps, la mémoire 4, du fait de sa programmation, transmet sans les modifier les ebs d'adresse rangée ADR4 et ADR5.

La mémoire d'image 1 reçoit alors l'adresse rangée dans sa totalité, ce qui permet la lecture de l'une des 24 positions non affectées aux données de caractère.

10 Lorsque la valeur transmise par ADC4 à ADC6 atteint 48, soit 110, la sortie A<sub>C</sub> revient à son état initial. La mémoire d'image 1 reçoit de nouveau les adresses caractère à partir du moment où le compteur de colonnes 3 est réinitialisé.

REVENDEICATIONS

1.- Procédé d'adressage d'un mémoire d'image pour système de télétexte destinée à contenir les données de caractère permettant l'affichage d'une page de télétexte, une page comprenant 25 rangées de 40 caractères, la première rangée étant une rangée de service, la dite mémoire possédant 1024 positions disponibles, caractérisé par le fait que les 24 positions non affectées aux données de caractère sont affectées respectivement aux 24 rangées autres que la première rangée pour la lecture de données communes à tous les caractères d'une rangée.

2.- Dispositif pour l'adressage d'une mémoire d'image pour système de télétexte destinée à contenir les données de caractère permettant l'affichage d'une page de télétexte, une page comprenant 25 rangées de 40 caractères, la première rangée étant une rangée de service, la dite mémoire possédant 1024 positions disponibles, comprenant un compteur délivrant une séquence de 5 ebs en parallèle ADR1 à ADR5 pour fournir les adresses rangée, un compteur délivrant une séquence de 6 ebs en parallèle ADC1 à ADC6 pour fournir les adresses colonne, et un circuit de transcodage qui fait correspondre à un couple d'une adresse rangée comprise entre 0 et 24 et d'une adresse colonne comprise entre 0 et 39 une adresse caractère comprise entre 0 et 999 qui est transmise à la mémoire sous la forme d'une séquence de 10 ebs en parallèle  $A_0$  à  $A_9$ , caractérisé par le fait que le circuit de transcodage transmet à la mémoire d'image l'adresse rangée ADR1 à ADR5 inchangée lorsqu'il reçoit une adresse colonne valant au moins 40.

3.- Dispositif selon la revendication 2, dans lequel le circuit de transcodage comprend une mémoire de transcodage à laquelle sont appliqués les ebs ADR1 à ADR5 transmettant l'adresse rangée et les trois ebs ADC4 à ADC6 de poids élevé, les trois ebs ADC1 à ADC3 étant transmis directement à la mémoire d'image.

4.- Dispositif selon la revendication 3, dans lequel les trois ebs ADC1 à ADC3 sont appliqués à un commutateur qui reçoit également les trois ebs ADR1 à ADR3 de poids faible, le commutateur étant commandé par un signal émis par la mémoire de transcodage, le commutateur transmettant les ADC1 à ADC3 lorsque les ebs ADC4 à ADC6 appliqués à la mémoire de transcodage représentent

une valeur inférieur à 39 et transmettant les ADR1 à ADR3 dans le cas contraire, la mémoire de transcodage transmettant alors les ebs ADR4 et ADR5 sans modification.



Pl. unique

