

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6132583号
(P6132583)

(45) 発行日 平成29年5月24日 (2017.5.24)

(24) 登録日 平成29年4月28日 (2017.4.28)

(51) Int. Cl.		F I			
HO4N	1/028	(2006.01)	HO4N	1/028	A
HO4N	1/19	(2006.01)	HO4N	1/04	1 O 2
GO6T	1/00	(2006.01)	GO6T	1/00	4 2 O H
HO4N	5/341	(2011.01)	HO4N	5/335	4 1 O

請求項の数 6 (全 16 頁)

(21) 出願番号	特願2013-29031 (P2013-29031)	(73) 特許権者	000001007
(22) 出願日	平成25年2月18日 (2013.2.18)		キヤノン株式会社
(65) 公開番号	特開2013-211838 (P2013-211838A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成25年10月10日 (2013.10.10)	(74) 代理人	100090273
審査請求日	平成28年2月18日 (2016.2.18)		弁理士 國分 孝悦
(31) 優先権主張番号	特願2012-43765 (P2012-43765)	(72) 発明者	加藤 智
(32) 優先日	平成24年2月29日 (2012.2.29)		東京都大田区下丸子3丁目30番2号 キ
(33) 優先権主張国	日本国 (JP)		ヤノン株式会社内
		審査官	橋爪 正樹
		(56) 参考文献	特開2006-005592 (JP, A)
			特開平05-284374 (JP, A)

最終頁に続く

(54) 【発明の名称】 光電変換装置

(57) 【特許請求の範囲】

【請求項 1】

相対的に原稿を副走査方向に走査する際に前記副走査方向に異なる色の画素アレイが配列され、各画素アレイが光電変換を行う複数の画素を有する複数の画素アレイと、

前記画素の動作を制御する制御パルスのパルス位置を制御するパルス制御部とを有し、
前記パルス制御部は、各色の前記画素アレイの副走査方向の色ズレ量に応じて、前記各色の画素アレイの制御パルスのパルス位置を制御し、

さらに、前記複数の画素アレイに電源電圧を供給する電源配線を有し、

前記電源配線は、前記異なる色の画素アレイの間で分離されていることを特徴とする光電変換装置。

【請求項 2】

前記パルス制御部は、前記画素の光電変換による電荷蓄積期間を制御する制御パルスを生成することを特徴とする請求項 1 記載の光電変換装置。

【請求項 3】

前記制御パルスは、前記画素のリセット動作を制御するリセットパルスと、前記画素の電荷蓄積期間を決める電荷の転送動作を制御する転送パルスと、前記画素の信号のサンプルホールド動作を制御する読み出しパルスとを含むことを特徴とする請求項 1 又は 2 記載の光電変換装置。

【請求項 4】

前記パルス制御部は、前記リセットパルスと前記転送パルスと前記読み出しパルスのパ

ルス位置の変化量を、色単位の一律の色ズレ量で制御することを特徴とする請求項 3 記載の光電変換装置。

【請求項 5】

さらに、前記複数の画素アレイが補正用パターン画像を走査した時の前記副走査方向の色ズレ量を算出する色ズレ量算出部を有し、

前記パルス制御部は、前記色ズレ量算出部により算出された色ズレ量に応じて、前記各色の画素アレイの制御パルスのパルス位置を制御することを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の光電変換装置。

【請求項 6】

前記複数の画素アレイは、メタルによって入射光を遮断するオプティカルブラック画素を有し、

前記メタルは、前記電源配線とは分離されていることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の光電変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複写機又は画像スキャナなどに用いられる光電変換装置に関する。

【背景技術】

【0002】

画像読み取り装置は、赤（R）、緑（G）、青（B）それぞれの画素アレイを、アレイ方向と直角方向に所定間隔で配置したラインセンサを用いて、ラインセンサを原稿に対して相対的に副走査方向に移動させることで画像読み取りを行っている。この画像読み取り装置において発生する副走査方向の色ズレを電氣的に低減する手段として、特許文献 1 に示すような技術が開示されている。特許文献 1 では、画素位置毎に予め演算された補正係数に基づいて、センサ後段の補正手段で色ズレを補正する手法について述べられている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 5 - 1 2 2 5 4 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、特許文献 1 では、色ズレ量に応じた補正係数を外部メモリに保持し、センサからの信号が出力されてきた際に、ズレ補正部で外部メモリの補正係数を呼び出して補正をかけている。しかし、この場合、後段回路で補正処理を行うことによって信号処理部が複雑化し、回路規模が増加する課題がある。

【0005】

本発明の目的は、システム全体の回路規模の拡大を抑制しつつ、簡単な制御パルスの制御により副走査方向の色ズレを低減することができる光電変換装置を提供することである。

【課題を解決するための手段】

【0006】

本発明の光電変換装置は、相対的に原稿を副走査方向に走査する際に前記副走査方向に異なる色の画素アレイが配列され、各画素アレイが光電変換を行う複数の画素を有する複数の画素アレイと、前記画素の動作を制御する制御パルスのパルス位置を制御するパルス制御部とを有し、前記パルス制御部は、各色の前記画素アレイの副走査方向の色ズレ量に応じて、前記各色の画素アレイの制御パルスのパルス位置を制御し、さらに、前記複数の画素アレイに電源電圧を供給する電源配線を有し、前記電源配線は、前記異なる色の画素アレイの間で分離されていることを特徴とする。

10

20

30

40

50

【発明の効果】

【0007】

本発明によれば、色ズレ量に応じて、各色の画素アレイの制御パルスを制御することにより、副走査方向の色ズレを低減した良好な画像を取得することが可能となる。また、システム全体の回路規模の拡大を抑制することができる。

【図面の簡単な説明】

【0008】

【図1】本発明の実施形態に係る光電変換装置の構成例を示す構成図である。

【図2】図1の構成図における画素の構成例を示す回路図である。

【図3】図1の構成図における保持部の構成例を示す回路図である。

10

【図4】図1の光電変換装置の動作を示すタイミングチャートである。

【図5】図1の光電変換装置の各色の画素アレイの配置例を示す図である。

【図6】図1の光電変換装置の動作を示すタイミングチャートである。

【図7】図1の光電変換装置の動作を示すタイミングチャートである。

【図8】図1の光電変換装置の動作を示すタイミングチャートである。

【図9】図1の構成図におけるパルス制御部の構成例を示す図である。

【図10】図1の構成図におけるパルス制御部の構成例を示す図である。

【図11】本発明の実施形態に係る光電変換装置の構成例を示す構成図である。

【図12】図11の構成図における保持部の構成例を示す回路図である。

【図13】図11の光電変換装置の動作を示すタイミングチャートである。

20

【図14】本発明の実施形態に係る光電変換装置のシステム構成例を示す図である。

【図15】図1の電源配線の接続例を示す回路構成図である。

【図16】図15の画素の回路構成図である。

【図17】図15のバイアス源回路の回路構成図である。

【図18】図15のOB画素の遮光例を示す図である。

【図19】図15の電源電圧の供給例を示す図である。

【発明を実施するための形態】

【0009】

図1は、本発明の実施形態に係る光電変換装置の構成例を示す。画素100は、図2で表わされる回路で構成される。なお、図2に示されるように、画素100は、制御パルス $pres$ 、 ptx によって制御される。フォトダイオードPDは、光電変換により光を電荷に変換し、変換した電荷を蓄積する。フローティングディフュージョンFDは、電荷を蓄積する。リセットパルス $pres$ は、リセットトランジスタM1のゲートに印加されることで、画素100内のフォトダイオードPDとフローティングディフュージョンFDのリセット動作を制御する。すなわち、リセットパルス $pres$ は、画素100のリセット動作を制御するための制御パルスである。また、転送パルス ptx は、転送トランジスタM2のゲートに印加されることで、フォトダイオードPDからフローティングディフュージョンFDへの電荷の転送動作を制御する。増幅トランジスタM3は、フローティングディフュージョンFDの電位に応じた出力を出力端子 out へ出力するための電流源 $Iref$ によって動作するソースフォロワ回路の入力部である。

30

40

【0010】

図1において、110は、複数の画素100で構成され、赤色の波長領域の光を透過する光学フィルタを上面に配したR画素アレイである。120は、複数の画素100で構成され、緑色の波長領域の光を透過する光学フィルタを上面に配したG画素アレイである。130は、複数の画素100で構成され、青色の波長領域の光を透過する光学フィルタを上面に配したB画素アレイである。R画素アレイ110とG画素アレイ120とB画素アレイ130は、図5に示されるように、一定間隔dで配置される。なお、以降では、図5のR画素アレイ110とG画素アレイ120とB画素アレイ130のアレイ方向を主走査方向とし、主走査方向と直角な方向を副走査方向とする。

【0011】

50

200は、画素100からの出力信号を保持しておくための保持部であり、図3に示されるような回路構成を有する。図3において、ctnは、画素100のリセットパルスpresによるリセット時の出力信号を保持する容量であり、読み出しパルスptnによるスイッチsw1nの開閉によってサンプルホールド動作を制御される。ctsは、画素100の非リセット時の信号を保持する容量であり、読み出しパルスptsによるスイッチsw1sの開閉によってサンプルホールド動作を制御される。容量cts及びctnに保持された信号は、パルスphsが高レベルになり、スイッチsw2n及びsw2sがオンすることによって、出力端子outn及びoutsへ出力される。

【0012】

300は、画素100の動作を制御する制御パルスと、保持部200における画素100からの出力信号のサンプルホールド動作を制御するためのパルスを生成するパルス制御部である。パルス制御部300は、外部制御パルスに応じて、R画素アレイ110及びそれに対応する保持部200、G画素アレイ120及びそれに対応する保持部200、B画素アレイ130及びそれに対応する保持部200のそれぞれの制御パルスのパルス位置を制御する。なお、以降では、R画素アレイ110及びそれに対応する保持部200の制御パルスであるpres_r, ptx_r, ptn_r, pts_rをR制御パルスとする。また、G画素アレイ120及びそれに対応する保持部200の制御パルスであるpres_g, ptx_g, ptn_g, pts_gをG制御パルスとする。同様に、B画素アレイ130及びそれに対応する保持部200の制御パルスであるpres_b, ptx_b, ptn_b, pts_bをB制御パルスとする。ここで、パルスpres_r, pres_g, pres_bは図2のパルスpresに対応し、パルスptx_r, ptx_g, ptx_bは図2のパルスptxに対応する。また、パルスptn_r, ptn_g, ptn_bは図3のパルスptnに対応し、パルスpts_r, pts_g, pts_bは図3のパルスptsに対応する。

【0013】

水平シフトレジスタ400は、複数の保持部200に順次パルスphsを出力する。R画素アレイ110に対応する保持部200の出力端子outn及びoutsの信号は、出力端子Voutn_r及びVouts_rに出力される。G画素アレイ120に対応する保持部200の出力端子outn及びoutsの信号は、出力端子Voutn_g及びVouts_gに出力される。B画素アレイ130に対応する保持部200の出力端子outn及びoutsの信号は、出力端子Voutn_b及びVouts_bに出力される。

【0014】

以降では、図1の回路動作と色ズレ低減手法について説明する。まず、図5に示されるように、R画素アレイ110とG画素アレイ120とB画素アレイ130の間隔は一定間隔dである。ラインセンサ(R画素アレイ110とG画素アレイ120とB画素アレイ130とを含む)を原稿に対して相対的に副走査方向に走査(移動)させることで、画像読み取りを行う。その場合、ラインセンサを移動させてもよいし、原稿を移動させてもよい。複数の画素アレイ110, 120, 130は、副走査方向に異なる色の画素アレイが配列されている。各画素アレイ110, 120, 130は、光電変換を行う複数の画素100を有する。ラインセンサを用いた画像読み取り特性は、R画素アレイ110、G画素アレイ120、B画素アレイ130の各画素100の原画像上の撮像位置の物理的なズレ(一定間隔d)の影響を受ける。そのズレdによって、R画素アレイ110、G画素アレイ120、B画素アレイ130の各出力間で画像のサンプリング位置ズレ(色ズレ現象)が発生する。したがって、この種の光電変換装置では、R画素アレイ110、G画素アレイ120、B画素アレイ130の各出力間でレベル差の補正、すなわち色ズレ補正を行うことが必須である。副走査方向への光電変換装置、又は原稿の移動中には、R画素アレイ110、G画素アレイ120、B画素アレイ130の各画素100の位置関係は一定に維持されているため、同一時刻における各色の撮像位置は、間隔dに対応した分だけずれることになる。したがって、このズレ分を考慮して最終的にR画素アレイ110、G画素アレイ120、B画素アレイ130の色信号を合成すれば適切な画像が得られる。しかし、原

10

20

30

40

50

画像と光電変換装置までの間に設けられた光学部材が持つ色収差などの要因により、一定の間隔 d であるはずの各色のサンプリング位置の關係にずれが生じてしまう。そのずれた状態の色信号をそのまま合成して画像を作ってしまうと、色ズレが発生してしまう。そこで、まず原画像の読み取りを開始する前に、予め用意された補正用パターン画像の読み取りを行う。続いて、図 14 に示されるように、光電変換装置 1 から出力された R 信号、G 信号及び B 信号は、アナログデジタル変換器 2 によってアナログからデジタルに変換される。その後、信号処理プロセス 3 は、デジタルの信号に対してシェーディング補正等の所定の処理を行い、R 信号、G 信号及び B 信号を出力端子 R o u t , G o u t , B o u t に出力すると共に、色ズレ量算出部 4 へ出力する。色ズレ量算出部 4 は、上記補正用パターン画像を基に、R 信号、G 信号及び B 信号の副走査方向の色ズレ量を算出し、この色ズレ量に基づいて外部制御パルスを生じして光電変換装置 1 内のパルス制御部 300 (図 1) に出力する。すなわち、色ズレ量算出部 4 は、複数の画素アレイ 110 , 120 , 130 が補正用パターン画像を走査した時の副走査方向の色ズレ量を算出する。算出された色ズレ量は、各色の画素アレイ 110 , 120 , 130 の副走査方向の色ズレ量である。パルス制御部 300 は、入力された外部制御パルスのデータに応じて、R 制御パルス、G 制御パルス、B 制御パルスのパルス位置を制御する。すなわち、パルス制御部 300 は、色ズレ量算出部により算出された色ズレ量に応じて、各色の画素アレイ 110 , 120 , 130 の制御パルスのパルス位置を制御する。これらの制御パルスは、画素 100 の光電変換による電荷蓄積期間を制御するためのパルスであり、これらのパルス位置を変えるということは、電荷蓄積期間を変えることと同義である。そして、電荷蓄積期間を変えることは、サンプリング位置を変えていることとも同じである。

【 0015 】

例として、図 14 の色ズレ量算出部 4 での副走査方向の色ズレ量算出結果から、R 画素アレイ 110 の撮像位置に対する G 画素アレイ 120 及び B 画素アレイ 130 の撮像位置のズレ量が、時間的数値に換算してそれぞれ t_{rg} 及び t_{rb} で表される場合を説明する。その場合、G 制御パルスはズレ量 t_{rg} 、B 制御パルスはズレ量 t_{rb} だけ R 制御パルスに対してパルス位置がシフトするように設定される。これにより、G 画素アレイ 120 及び B 画素アレイ 130 の電荷蓄積期間は、R 画素アレイ 110 に対してそれぞれズレ量 t_{rg} 及び t_{rb} だけずれた形になる。この電荷蓄積期間のズレ分だけ G 画素アレイ 120 及び B 画素アレイ 130 の撮像位置が移動し、R 画素アレイ 110 に対する G 画素アレイ 120 と B 画素アレイ 130 の撮像位置のずれ量が低減する。

【 0016 】

なお、上記補正用パターン画像の読み取りとそこからの色ズレ量算出までの一連の処理は、原画像読み取り前に毎回行う必要はない。例えば、工場での出荷検査時に色ズレ量算出までの動作を行い、以降はその値を外部メモリ等に保持して使い続けるような使い方も良い。

【 0017 】

図 4 は、図 1 の動作を示すタイミングチャートであり、以降では、図 4 を用いて図 1 の詳細な回路動作について説明する。図 4 において、時刻 t_1 の前では、リセットパルス p_{res_r} , p_{res_g} , p_{res_b} がハイレベルであり、リセットトランジスタ M1 がオンし、すべての画素 100 のフローティングディフュージョン FD が電源電位にリセットされる。なお、その前に、転送パルス p_{tx_r} がハイレベルになり、転送トランジスタ M2 がオンし、R 画素アレイ 110 のフォトダイオード PD もリセットされる。その後、後述のように、転送パルス p_{tx_r} がローレベルになり、転送トランジスタ M2 がオフし、R 画素アレイ 110 のフォトダイオード PD の電荷蓄積期間が開始する。その後、時刻 t_1 にリセットパルス p_{res_r} がローレベルとなると、リセットトランジスタ M1 がオフし、R 画素アレイ 110 の各画素 100 のフローティングディフュージョン FD のリセットが解除される。このリセット電位が、時刻 t_2 から t_3 までの期間に読み出しパルス p_{tn_r} がハイレベルになることで、スイッチ sw_{1n} がオンし、R 画素アレイ 110 に対応する保持部 200 の容量 c_{tn} にサンプリング保持される。読み出しパ

ルス p_{tn_r} は、画素 100 の信号のサンプルホールド動作を制御する制御パルスである。

【0018】

続いて、時刻 t_4 から t_5 までの期間に、転送パルス p_{tx_r} がハイレベルになることで、転送トランジスタ M_2 がオンし、R画素アレイ 110 の各画素 100 のフォトダイオード PD に蓄積された信号電荷が、フローティングディフュージョン FD に転送される。なお、この時刻 t_5 が、R画素アレイ 110 の電荷蓄積期間の終了位置となる。時刻 t_4 から t_6 までの期間にハイレベルとなるパルス p_{ts_r} によって、スイッチ sw_1s がオンし、この信号電荷に基づく信号電位が、R画素アレイ 110 に対応する保持部 200 の容量 c_{ts} にサンプリング保持される。読み出しパルス p_{ts_r} は、画素 100 の信号のサンプルホールド動作を制御する制御パルスである。

10

【0019】

次に、時刻 t_7 で、パルス p_{res_r} 及び p_{tx_r} をハイレベルにし、トランジスタ M_1 及び M_2 をオンし、フォトダイオード PD 及びフローティングディフュージョン FD のリセットを行った後、次行の電荷蓄積を開始する。そのため、時刻 t_7 後に最初に転送パルス p_{tx_r} がローレベルになり、転送トランジスタ M_2 がオフした時が R画素アレイ 110 の電荷蓄積期間の開始位置となる。転送パルス p_{tx_r} は、画素 100 の電荷蓄積期間を決める電荷の転送動作を制御する制御パルスである。

【0020】

上述で、R画素アレイ 110 と R画素アレイ 110 に対応する保持部 200 に対して行われた回路動作を説明した。その回路動作が、G画素アレイ 120、B画素アレイ 130 と G画素アレイ 120、B画素アレイ 130 にそれぞれ対応する保持部 200 に対しても同様に、色ズレ量 t_{rg} 及び t_{rb} ずれたタイミングで行われる。G画素アレイ 120 の動作タイミングは R画素アレイ 110 の動作タイミングに対して色ズレ量 t_{rg} 遅れ、B画素アレイ 130 の動作タイミングは R画素アレイ 110 の動作タイミングに対して色ズレ量 t_{rb} 遅れる。

20

【0021】

すなわち、リセットパルス p_{res_g} がローレベルとなると、リセットトランジスタ M_1 がオフし、G画素アレイ 120 の各画素 100 のフローティングディフュージョン FD のリセットが解除される。パルス p_{tn_g} がハイレベルになることで、スイッチ sw_1n がオンし、リセット電位が G画素アレイ 120 に対応する保持部 200 の容量 c_{tn} にサンプリング保持される。次に、転送パルス p_{tx_g} がハイレベルになることで、転送トランジスタ M_2 がオンし、G画素アレイ 120 の各画素 100 のフォトダイオード PD に蓄積された信号電荷が、フローティングディフュージョン FD に転送される。パルス p_{ts_g} がハイレベルになると、スイッチ sw_1s がオンし、この信号電荷に基づく信号電位が、G画素アレイ 120 に対応する保持部 200 の容量 c_{ts} にサンプリング保持される。次に、パルス p_{res_g} 及び p_{tx_g} をハイレベルにし、トランジスタ M_1 及び M_2 をオンし、フォトダイオード PD 及びフローティングディフュージョン FD のリセットを行った後、次行の電荷蓄積を開始する。

30

【0022】

また、リセットパルス p_{res_b} がローレベルとなると、リセットトランジスタ M_1 がオフし、B画素アレイ 130 の各画素 100 のフローティングディフュージョン FD のリセットが解除される。パルス p_{tn_b} がハイレベルになることで、スイッチ sw_1n がオンし、リセット電位が B画素アレイ 130 に対応する保持部 200 の容量 c_{tn} にサンプリング保持される。次に、転送パルス p_{tx_b} がハイレベルになることで、転送トランジスタ M_2 がオンし、B画素アレイ 130 の各画素 100 のフォトダイオード PD に蓄積された信号電荷が、フローティングディフュージョン FD に転送される。パルス p_{ts_b} がハイレベルになると、スイッチ sw_1s がオンし、この信号電荷に基づく信号電位が、B画素アレイ 130 に対応する保持部 200 の容量 c_{ts} にサンプリング保持される。次に、パルス p_{res_b} 及び p_{tx_b} をハイレベルにし、トランジスタ M_1 及び

40

50

M2をオンし、フォトダイオードPD及びフローティングディフュージョンFDのリセットを行った後、次行の電荷蓄積を開始する。

【0023】

以上のように、パルス制御部300は、リセットパルス $pres_g$ 等と転送パルス ptx_g 等と読み出しパルス ptn_g 、 pts_g 等のパルス位置の変化量を、色単位の一律の色ズレ量 trg 、 trb で制御する。R、G、Bのそれぞれの色の画素100から保持部200までの読み出し動作が完了した時点で、時刻 t_8 から t_9 までの期間に表される制御を行う。時刻 t_8 から t_9 までの期間では、水平シフトレジスタ400からのパルス phs_r 、 phs_g 、 phs_b によって、保持部200から外部への読み出し動作が行われる。この時に出力される各色の信号は、既に副走査方向の色ズレが低減した状態の信号となる。このため、後段回路での複雑な演算をするための演算回路等を設ける必要がなくなり、システム全体の回路規模の拡大を抑制することが可能になるとともに、信号特性を劣化させることなく色ズレを補正した良好な画像を得ることが可能となる。

【0024】

なお、本実施形態における各色の制御パルスの位置設定は、上記内容に限定されるものではない。副走査方向の色ズレは、図5に示されるような副走査方向の向きと色の並び順に依存する。そのため、副走査方向の向きが変われば、各色の色ズレ量の関係も変わる。例えば、副走査方向の向きを図5の逆にした場合、図6に示されるように、B画素アレイ130を基準として、R画素アレイ110及びG画素アレイ120の制御パルスを色ズレ量 tbr 及び tbg 移動させたような設定が色ズレを低減する最適な設定となる。そのため、各色の制御パルスの位置設定は、使用する条件や発生した色ズレ量に応じて決定され、図4や図6に示されるような形に限定されるものではない。従って、色ズレ量がない(検出できないほど小さいレベル)場合は、図7に示されるように、R画素アレイ110、G画素アレイ120及びB画素アレイ130の制御パルス位置が揃っていてもよい。

【0025】

なお、制御パルス $pres$ 、 ptx と制御パルス pts 、 ptn の位置関係は、必ずしも図4、図6、図7に示されるような関係に限定する必要はない。しかし、色によるノイズ量の差が生じないように、色によって制御パルス $pres$ 、 ptx 、 pts 、 ptn のパルス位置の関係を崩すことなく、上述したように色単位ですべてのパルスに対して一律のズレ量を設定するような制御の仕方が好ましい。

【0026】

また、本実施形態では、保持部200は、リセット信号と蓄積電荷信号を保持するための2つのサンプルホールド回路(図3)によって構成されているが、本実施形態はこれに限定されるものではない。例えば、リセット信号と蓄積電荷信号の差分を検出するようなクランプ機能や増幅機能を持つ回路によって保持部200を構成してもよい。図11は、保持部200がクランプ機能及び増幅機能を有する回路によって構成される場合の本実施形態に係る光電変換装置の構成図である。R画素アレイ110に対応する保持部200は、リセット信号と蓄積電荷信号の差分を出力端子 $vout_r$ に出力する。G画素アレイ120に対応する保持部200は、リセット信号と蓄積電荷信号の差分を出力端子 $vout_g$ に出力する。B画素アレイ130に対応する保持部200は、リセット信号と蓄積電荷信号の差分を出力端子 $vout_b$ に出力する。上記の差分により、リセット成分を除去した画素信号を得ることができる。図11の保持部200は、図12の回路で構成される。

【0027】

図12の回路は、演算増幅器 $opamp$ と容量 cc 、 cf 、基準電圧 $vref$ 、及びリセットスイッチ $sw1$ によって構成されるスイッチトキャパシタアンプと、スイッチ $sw2$ 、 $sw3$ と容量 ct によって構成されるサンプルホールド回路である。図12において、容量 cc は、スイッチトキャパシタアンプの入力容量であるとともに、画素100からのリセット信号と蓄積電荷信号の差分を検出するクランプ容量である。容量 cc へのクランプ動作は、基準電圧 $vref$ と、パルス ptn によるスイッチ $sw1$ の開閉によって制

10

20

30

40

50

御される。容量 c_t は、スイッチトキャパシタアンプによって増幅された差分信号を保持する容量である。容量 c_t へのサンプリング動作は、パルス p_{ts} によるスイッチ sw_2 の開閉によって制御される。容量 c_t に保持された信号は、パルス p_{hs} がハイレベルになり、スイッチ sw_3 がオンすることによって後段回路へ出力される。

【0028】

図13は、図11の動作を示すタイミングチャートである。図13は、各色の制御パルスのズレ量が図4に対応する形の例であり、以降では図4と重複する部分については説明を省略する。図13において、時刻 t_1 から t_2 までの期間にパルス p_{tn_r} がハイレベルになることで、スイッチ sw_1 がオンし、容量 c_f がリセットされるとともに、容量 c_c へのR画素アレイ110のリセット信号のサンプリング動作が行われる。時刻 t_2 に、パルス p_{tn_r} がローレベルになり、スイッチ sw_1 がオフする。その後、時刻 t_3 において、容量 c_c によって検出されたR画素アレイ110の蓄積電荷信号とリセット信号の差分信号が、 c_c / c_f 倍されて容量 c_t に保持される。

【0029】

上述したR画素アレイ110に対応する保持部200に対して行われた回路動作が、G画素アレイ120及びB画素アレイ130にそれぞれ対応する保持部200に対しても同様に、色ズレ量 t_{rg} 及び t_{rb} ずれたタイミングで行われる。R画素アレイ110、G画素アレイ120及びB画素アレイ130のそれぞれの画素100から保持部200までの読み出し動作が完了した時点で、時刻 t_4 から t_5 までの期間に表される制御を行う。時刻 t_4 から t_5 までの期間では、水平シフトレジスタ400からのパルス p_{hs_r} , p_{hs_g} , p_{hs_b} によって、保持部200から外部への読み出し動作が行われる。この時に出力される各色の信号は、既に副走査方向の色ズレが低減した状態の信号となるため、上述した保持部200が図3のようなサンプルホールド回路の場合と同様の効果を得ることが可能となる。

【0030】

また、本実施形態では、上述した通り、全ての色の画素100から保持部200までの読み出し動作が完了した時点で外部への読み出し動作を行っているが、本実施形態はこれに限定されることはない。例えば、図8に示されるように、保持部200への読み出し動作が完了した色から順に外部への読み出しを行う。すなわち、各色の制御パルスのパルス位置に応じて、水平シフトレジスタ400のパルス p_{hs_r} , p_{hs_g} , p_{hs_b} により、保持部200以降の読み出し動作を制御する。

【0031】

また、色毎に動作タイミングが異なることによって生じる電源配線経路のクロストークを防止する必要がある。そのために、各色の画素アレイ110, 120, 130及び保持部200に接続される電源配線は、異なる色の画素アレイ110, 120, 130の間で電源配線を分離し、共通インピーダンスを低減することが望ましい。

【0032】

図15は、図1の各回路の電源電位 v_{dd} 及びグランド電位 g_{nd} のノードの接続の好適な関係を示す構成図であり、図16は図15の画素100の構成例を示す回路図である。図16の回路は、図2の回路に対して、電源電位 v_{dd} 及びグランド電位 g_{nd} のノードを追加したものである。図16において、トランジスタM4は、図2の電流源 I_{ref} に対応し、バイアス電圧 v_b とグランド電位 g_{nd} との差電圧に応じて、所定のドレイン電流を流す電流源トランジスタである。電源電位 v_{dd} のノードは、トランジスタM1及びM3のドレインに接続される。グランド電位 g_{nd} のノードは、フォトダイオードPDのアノード及びトランジスタM4のソースに接続される。

【0033】

また、図15において、501、502、503は、各色の画素100に印加されるバイアス電圧 v_b を生成するためのバイアス源回路である。図17は、図15のバイアス源回路501～503の各々の構成例を示す図である。バイアス源回路501～503は、トランジスタM0と電流源 I_0 によって構成されるカレントミラー回路を有する。電流源

I 0 は、電源電位 v_{dd} のノード及びバイアス電圧 v_b のノード間に接続される。トランジスタ M 0 は、ドレイン及びゲートがバイアス電圧 v_b のノードに接続され、ソースがグランド電位 g_{nd} のノードに接続される。

【0034】

また、図 15 の保持部 200 は、図 3 の構成を有する。図 15 において、R 画素アレイ 110 とそれに対応した保持部 200 及びバイアス源回路 501 には、赤色の回路用の電源電位 V_{DD_R} とグランド電位 G_{ND_R} の電源配線により電源電圧が供給される。同様に、緑色の各回路に対しても、緑色の回路用の電源電位 V_{DD_G} 及びグランド電位 G_{ND_G} の電源配線により電源電圧が供給される。同様に、青色の各回路に対しても、青色の回路用の電源電位 V_{DD_B} 及びグランド電位 G_{ND_B} の電源配線により電源電圧が供給される。電源電位 V_{DD_R} , V_{DD_G} , V_{DD_B} の電源配線の間は、それぞれの配線内よりハイインピーダンスの関係になっていることが好ましく、このことはグランド電位 G_{ND_R} , G_{ND_G} , G_{ND_B} の電源配線においても同様である。

【0035】

このように、色によって電源電位及びグランド電位の電源配線を分離することにより、異なる色間でのクロストークを低減することが可能となる。例えば、図 4 において、時刻 t_7 で R 画素アレイ 110 の転送動作が行われた直後、G 画素アレイ 120 のリセット電位のサンプリングが行われる。この時、R 画素アレイ 110 の転送動作によって、電源電位 V_{DD_R} 、グランド電位 G_{ND_R} 、バイアス電位 v_b が変動する。しかし、電源配線及びバイアス線を分離しているため、赤色の電源変動が緑色の電源電位、グランド電位、バイアス電圧に直接影響を与えることはない。そのため、G 画素アレイ 120 のリセット電位に電源電位、グランド電位、バイアス電圧の変動に起因したノイズの重畳が十分に小さくなり、色間のクロストークの少ない良好な信号特性を得ることが可能となる。また、電源分離によって、上述した他の色で発生した過渡的な電源の変動が落ち着くのを待つ必要もなくなるため、読み出しの高速化にも有利となる。

【0036】

図 18 は、色毎の電源分離を行った際のオプティカルブラック画素 (OB 画素) の好適な遮光方法について説明する図である。図 18 は、図 15 の画素部の上平面図であり、各色の画素アレイ 110、120、130 は、OB 画素と無効画素と有効画素の領域に分けられる。画素部は、トップメタル 1801、フォトダイオード 1802 及び転送ゲート 1803 を有する。無効画素の一部と有効画素のフォトダイオード 1802 及び転送ゲート 1803 の上面には、トップメタル 1801 によって形成されるメタル開口部が設けられる。また、無効画素の一部と OB 画素のフォトダイオード 1802 の上面は、トップメタル 1801 によって入射光が遮断 (遮光) されている。一般的には、遮光に使われるメタル配線は、画素の電源配線が使われることが多い。しかし、色毎の電源分離を行う際には、各色の電源配線間のインピーダンスを相対的に高くするために各色の電源配線を容易に接続することができない。そのため、各色の画素アレイの間に隙間が空いてしまい、その隙間から入射光が漏れ込むことで OB 画素の遮光性能が低下してしまう。また、特定の色の電源配線で OB 画素上の遮光メタルを形成する場合も、色が対応していない電源配線とフローティングディフュージョン FD との間で容量性カップリングによる信号特性の劣化を引き起こす可能性が出るため好ましくない。そのため、図 18 の電源電位 V_{DD_X} の配線は、OB 画素の遮光に使われるメタル配線である。また、電源電位 V_{DD_X} の配線は、各色の電源電位 V_{DD_R} , V_{DD_G} , V_{DD_B} の配線とは異なり、電源電位 V_{DD_R} , V_{DD_G} , V_{DD_B} の配線とは相対的にインピーダンスの高い電源配線を使うことが好ましい。

【0037】

なお、理想的には各色の電源配線が完全に分離されていることが望ましいが、レイアウト構成、要求性能次第で、例えば図 19 のように、パッド PAD の直後で、電源配線を分離することによっても、同様の効果を得ることが可能である。図 19 は、電源電位 V_{DD} 又はグランド電位 G_{ND} のパッド PAD と各色の画素アレイ 110、120、130 とを

10

20

30

40

50

接続する電源電位 VDD_R , VDD_G , VDD_B 又はグランド電位 GND_R , GND_G , GND_B の配線のレイアウトを示す図である。図 19 において、電源電位 VDD_R , VDD_G , VDD_B , VDD_X の配線は、共通のパッド PAD から電力が供給される同一ノードの電源配線であるが、パッド PAD 直後で配線を分離することで、共通インピーダンス $R0$ を下げている。

【0038】

電源電位 VDD_R 又は基準電位 GND_R の配線は寄生抵抗 $R1$ を有し、電源電位 VDD_G 又は基準電位 GND_G の配線は寄生抵抗 $R2$ を有し、電源電位 VDD_B 又は基準電位 GND_B の配線は寄生抵抗 $R3$ を有する。電源電位 VDD_X の配線は、寄生抵抗 $R4$ を有する。寄生抵抗 $R1$, $R2$, $R3$, $R4$ によって、電源電位 VDD_R , VDD_G , VDD_B , VDD_X の配線のそれぞれの電源配線間のインピーダンスができるだけ高くなるように設定している。これにより、各電源配線で発生したノイズが、他の電源配線に伝わりにくくなるようにしている。このことは、グランド電位 GND_R , GND_G , GND_B の配線に対しても同様である。なお、電源配線の分離は、メタル配線に限らず、ウエル等の基板構造でも分離することによって、更に高いノイズ低減効果を得ることが可能となる。

【0039】

なお、本実施形態におけるパルス制御部 300 の構成例を図 9 に示す。図 9 において、 R カウンタ 310、 G カウンタ 320、 B カウンタ 330 は、クロック信号 clk のカウントを行うカウンタであり、外部制御パルス trg_r 、 trg_g 、 trg_b によってそれぞれのカウンタの開始が制御される。340 は、クロック信号 clk と R カウンタ 310、 G カウンタ 320、 B カウンタ 330 のカウント値に応じて、各色の制御パルスの生成を行うパルス生成回路である。パルス生成回路 340 は、 R カウンタ 310、 G カウンタ 320、 B カウンタ 330 のカウント値が所定の値になった時に、クロック信号 clk に同期する形で各色の制御パルスをハイレベルからローレベル、又はローレベルからハイレベルへと状態を変化させる。 R カウンタ 310 の後段のパルス生成回路 340 は、 R カウンタ 310 のカウント値に応じて、制御パルス $pres_r$ 、 ptx_r 、 pts_r 、 ptn_r を生成する。 G カウンタ 320 の後段のパルス生成回路 340 は、 G カウンタ 320 のカウント値に応じて、制御パルス $pres_g$ 、 ptx_g 、 pts_g 、 ptn_g を生成する。 B カウンタ 330 の後段のパルス生成回路 340 は、 B カウンタ 330 のカウント値に応じて、制御パルス $pres_b$ 、 ptx_b 、 pts_b 、 ptn_b を生成する。

【0040】

色ズレ発生時に、外部制御パルス trg_r 、 trg_g 、 trg_b が、色ズレ量に対応するパルス位置の関係になるように入力される。これにより、各カウンタ 310、320、330 のカウンタ開始位置が変わり、各色の制御パルスの位置を独立に制御することが可能となる。

【0041】

上述した通り、図 9 では、各色で独立にカウンタ 310、320、330 を設けることで各色の制御パルスの位置を調整する回路構成について説明したが、本実施形態におけるパルス制御部 300 の構成はこれに限定されるものではない。例えば、図 10 に示すパルス制御部 300 を構成するようにしてもよい。レジスタ群 360 は、外部制御パルスによって格納されるデータを書き換え可能である。1つのカウンタ 350 は、外部制御パルス trg により、クロック信号 clk のカウントを開始する。カウンタ 350 のカウント値には、レジスタ群 360 内のデータ add_r 、 add_g 、 add_b が加算され、3個の各色のパルス生成回路 340 に出力される。3個の各色のパルス生成回路 340 は、上記の加算値を入力し、各色の制御パルスを生成する。

【0042】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものであ

10

20

30

40

50

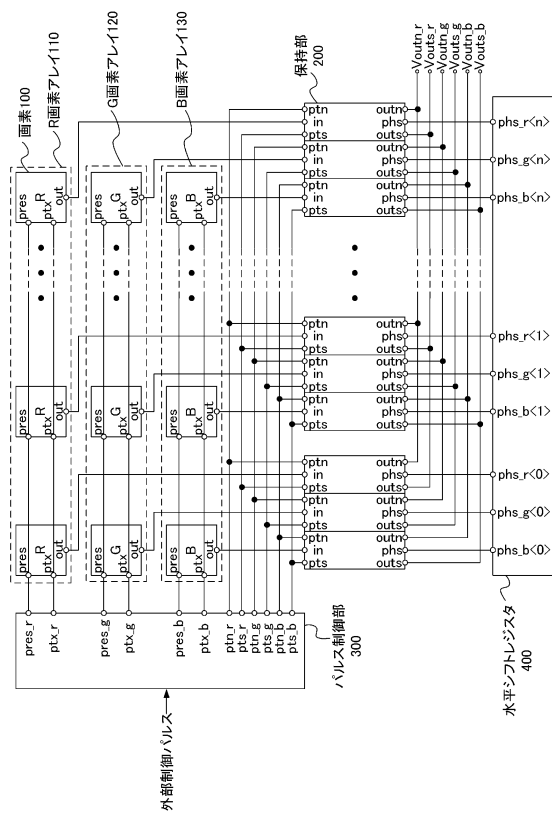
る。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

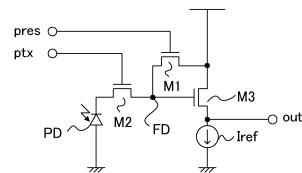
【0043】

100 画素、110 R画素アレイ、120 G画素アレイ、130 B画素アレイ、
200 保持部、300 パルス制御部、400 水平シフトレジスタ

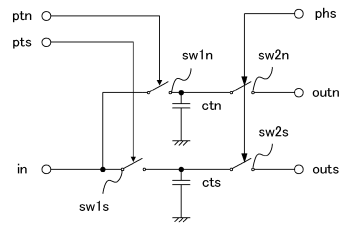
【図1】



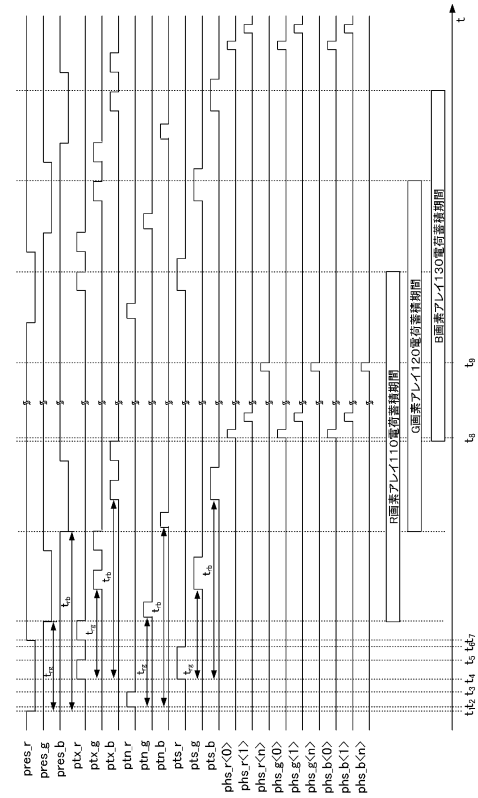
【図2】



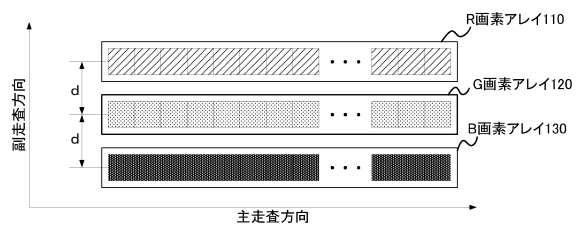
【図 3】



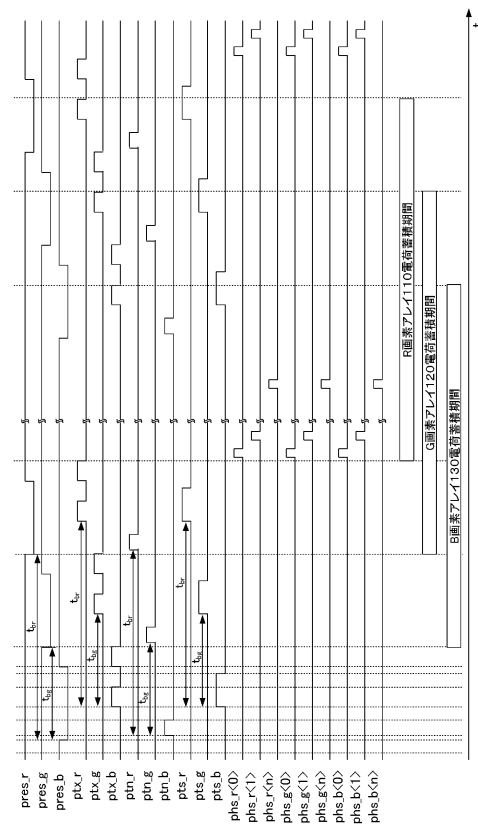
【図 4】



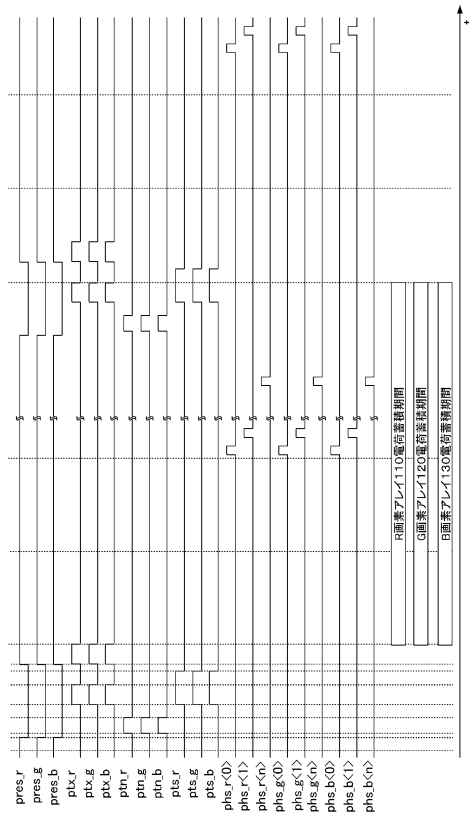
【図 5】



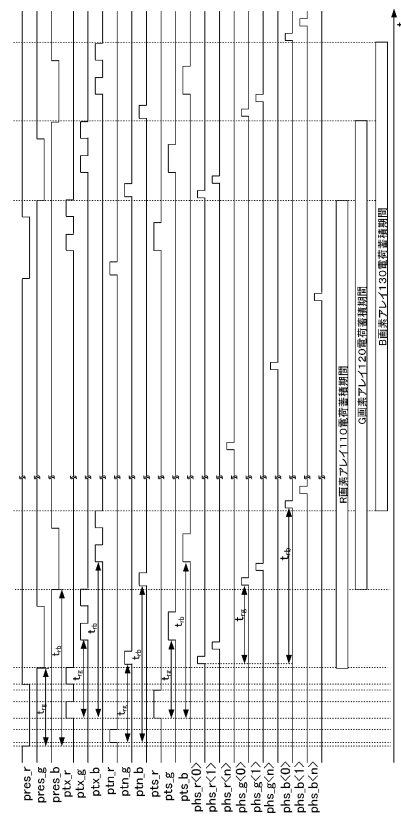
【図 6】



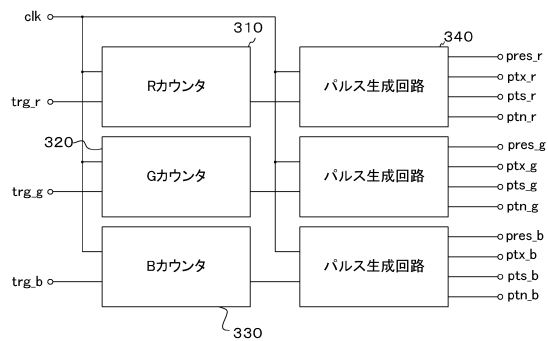
【図 7】



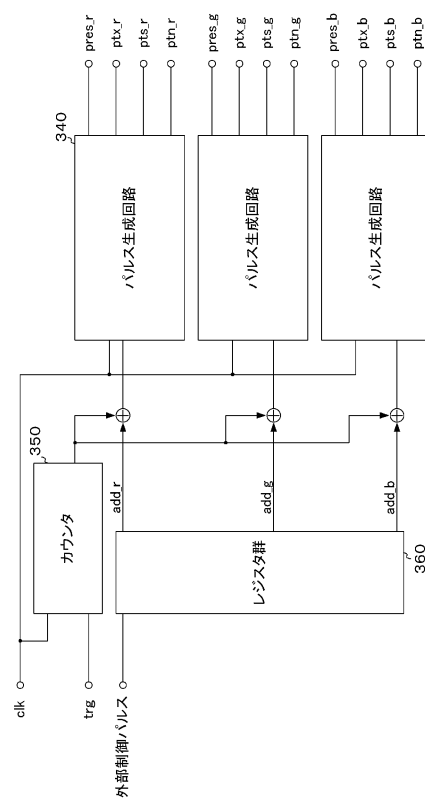
【図 8】



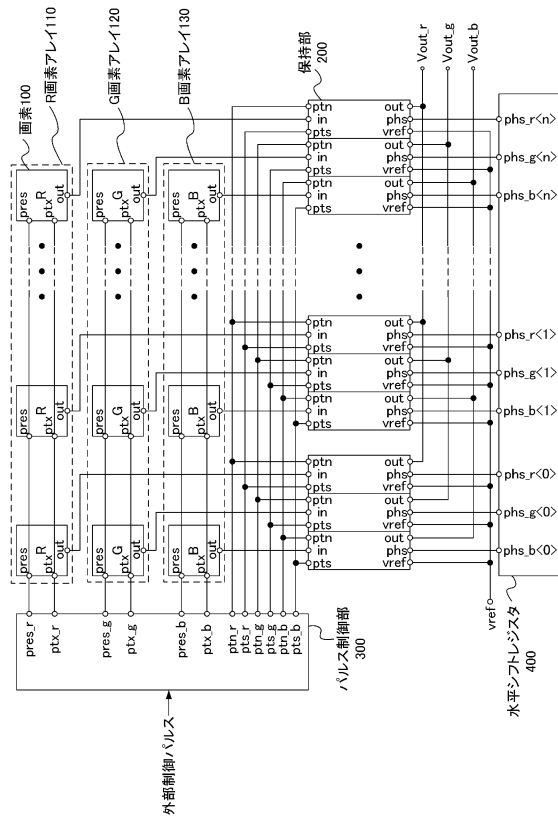
【図 9】



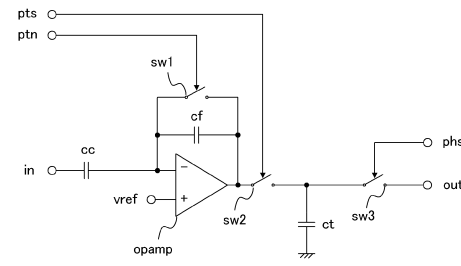
【図 10】



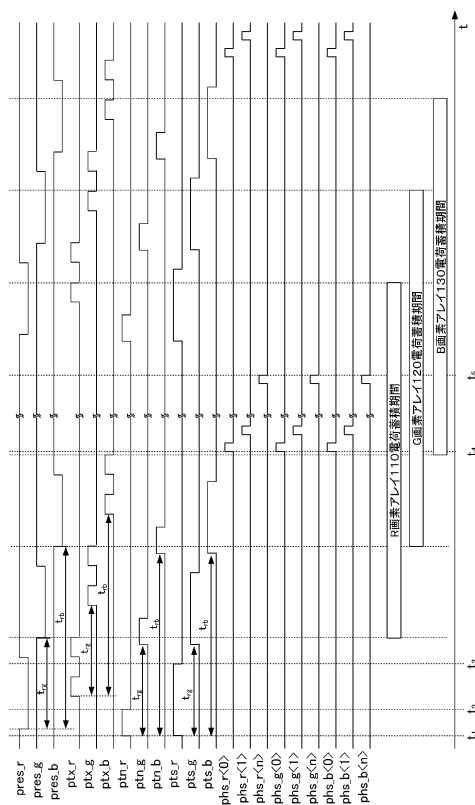
【図 1 1】



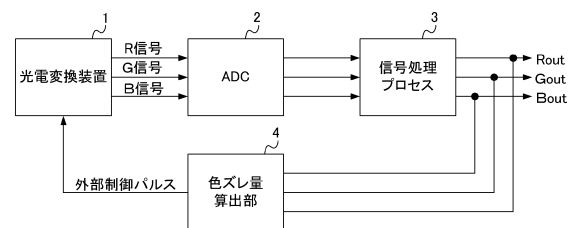
【図 1 2】



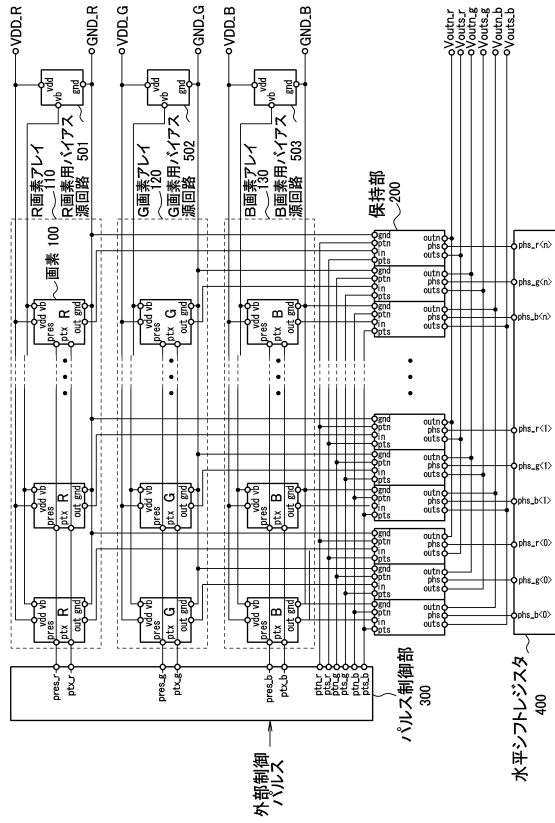
【図 1 3】



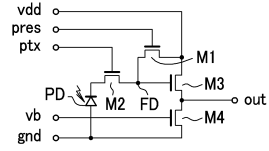
【図 1 4】



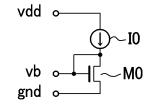
【図 15】



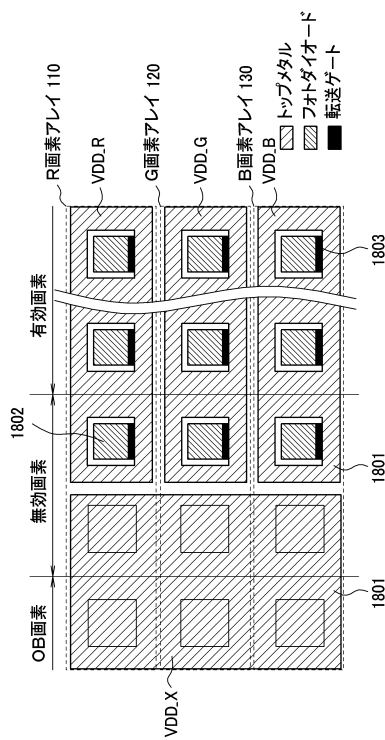
【図 16】



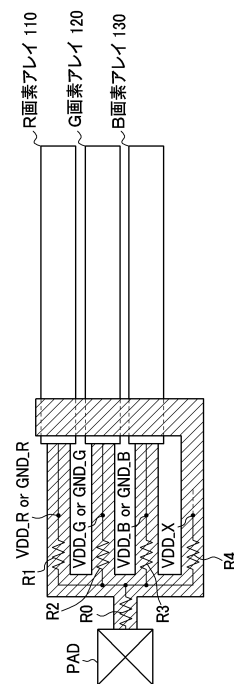
【図 17】



【図 18】



【図 19】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H04N 1 / 024 - 1 / 207
H04N 5 / 335 - 5 / 378
G06T 1 / 00