



(21) 申請案號：111135615 (22) 申請日：中華民國 111 (2022) 年 09 月 20 日

(51) Int. Cl. : *H01L21/02 (2006.01)* *H01L29/04 (2006.01)*
H01L29/16 (2006.01) *C30B29/36 (2006.01)*

(30) 優先權：2021/10/05 法國 FR2110493

(71) 申請人：法商索泰克公司 (法國) SOITEC (FR)
 法國

(72) 發明人：高丁 葛威塔茲 GAUDIN, GWELTAZ (FR)；馬勒維 克里斯多夫 MALEVILLE,
 CHRISTOPHE (FR)；歐杜爾 席多尼 ODOUL, SIDOINE (FR)；比阿德 雨果
 BIARD, HUGO (FR)；茨拉杜 約努 RADU, IONUT (RO)

(74) 代理人：陳絲倩；郭建中

申請實體審查：無 申請專利範圍項數：17 項 圖式數：3 共 24 頁

(54) 名稱

在多晶碳化矽製載體底材上包含單晶碳化矽製工作層之複合結構及其製作方法

(57) 摘要

本發明涉及一種用於製作包含在多晶碳化矽製載體底材上設有單晶碳化矽製工作層之複合結構之方法，該方法包括：a) 提供多晶碳化矽製初始底材之步驟，該初始底材具有一正面且在該正面的平面中包含平均尺寸大於 0.5 μm 的晶粒；b) 在該初始底材上形成多晶碳化矽製表面層之步驟，以形成載體底材，該表面層由平均尺寸小於 500 nm 的晶粒組成，且具有 50 nm 和 50 μm 之間的厚度；c) 製備載體底材表面層之自由面之步驟，以獲得低於 1 nm RMS 之粗度；d) 基於分子鍵結方式將工作層移轉至載體底材之步驟，表面層被設置在工作層及初始底材之間。本發明還涉及一種多晶碳化矽製之載體底材，以及包含設置在載體底材上之單晶碳化矽製工作層之複合結構。

The invention relates to a process for fabricating a composite structure comprising a working layer made of single-crystal silicon carbide placed on a carrier substrate made of polycrystalline silicon carbide, the process comprising:

- a) a step of providing an initial substrate made of polycrystalline silicon carbide, having a front side and comprising grains the average size of which, in the plane of said front side, is larger than 0.5 μm ;
- b) a step of forming a surface layer made of polycrystalline silicon carbide on the initial substrate, in order to form the carrier substrate, the surface layer being made up of grains the average size of which is smaller than 500 nm, and having a thickness comprised between 50 nm and 50 μm ;
- c) a step of preparing a free surface of the surface layer of the carrier substrate, in order to obtain a roughness lower than 1 nm RMS;
- d) a step, based on molecular bonding, of transferring the working layer to the carrier substrate, the surface layer being positioned between the working layer and the initial substrate. The invention further relates to the carrier substrate made of polycrystalline silicon carbide, and to the composite structure comprising a working layer made of single-crystal silicon carbide placed on a carrier substrate.

【發明摘要】

【中文發明名稱】 在多晶碳化矽製載體底材上包含單晶碳化矽製工作層之複合結構及其製作方法

【英文發明名稱】 COMPOSITE STRUCTURE COMPRISING A WORKING LAYER MADE OF SINGLE-CRYSTAL SIC ON A CARRIER SUBSTRATE MADE OF POLYCRYSTALLINE SIC AND PROCESS FOR FABRICATING SAID STRUCTURE

【中文】本發明涉及一種用於製作包含在多晶碳化矽製載體底材上設有單晶碳化矽製工作層之複合結構之方法，該方法包括：a) 提供多晶碳化矽製初始底材之步驟，該初始底材具有一正面且在該正面的平面中包含平均尺寸大於 $0.5 \mu\text{m}$ 的晶粒；b) 在該初始底材上形成多晶碳化矽製表面層之步驟，以形成載體底材，該表面層由平均尺寸小於 500 nm 的晶粒組成，且具有 50 nm 和 $50 \mu\text{m}$ 之間的厚度；c) 製備載體底材表面層之自由面之步驟，以獲得低於 1 nm RMS 之粗度；d) 基於分子鍵結方式將工作層移轉至載體底材之步驟，表面層被設置在工作層及初始底材之間。本發明還涉及一種多晶碳化矽製之載體底材，以及包含設置在載體底材上之單晶碳化矽製工作層之複合結構。

【英文】The invention relates to a process for fabricating a composite structure comprising a working layer made of single-crystal silicon carbide placed on a carrier substrate made of polycrystalline silicon carbide, the process comprising:
a) a step of providing an initial substrate made of polycrystalline silicon carbide,

having a front side and comprising grains the average size of which, in the plane of said front side, is larger than 0.5 μm ;

b) a step of forming a surface layer made of polycrystalline silicon carbide on the initial substrate, in order to form the carrier substrate, the surface layer being made up of grains the average size of which is smaller than 500 nm, and having a thickness comprised between 50 nm and 50 μm ;

c) a step of preparing a free surface of the surface layer of the carrier substrate, in order to obtain a roughness lower than 1 nm RMS;

d) a step, based on molecular bonding, of transferring the working layer to the carrier substrate, the surface layer being positioned between the working layer and the initial substrate. The invention further relates to the carrier substrate made of polycrystalline silicon carbide, and to the composite structure comprising a working layer made of single-crystal silicon carbide placed on a carrier substrate.

【指定代表圖】 (無)

【代表圖之符號簡單說明】

【特徵化學式】

【發明說明書】

【中文發明名稱】 在多晶碳化矽製載體底材上包含單晶碳化矽製工作層之複合結構及其製作方法

【英文發明名稱】 COMPOSITE STRUCTURE COMPRISING A WORKING LAYER MADE OF SINGLE-CRYSTAL SIC ON A CARRIER SUBSTRATE MADE OF POLYCRYSTALLINE SIC AND PROCESS FOR FABRICATING SAID STRUCTURE

【技術領域】

【0001】 本發明涉及一種微電子構件用半導體之領域。本發明特別涉及一種包含在多晶碳化矽製之載體底材上設有單晶碳化矽製工作層之複合結構，其亦涉及一種用於製作所述複合結構之方法。本發明還涉及多晶碳化矽製之載體底材。

【先前技術】

【0002】 碳化矽(SiC)越來越廣泛地用於製作創新性功率元件，以滿足不斷增長電子應用領域之需求，尤其是諸如電動車。

【0003】 以單晶碳化矽為基礎的功率元件及整合式供電系統，能夠管理比其常規矽等效物高得多的功率密度，且能以尺寸更小的主動區來管理。為了進一步限制碳化矽上功率元件的尺寸，製作垂直構件而不是橫向構件是有利的。為此，該結構必須讓設置在碳化矽結構正面上的電極與設置在背面上的電極之間能夠垂直導電。

【0004】 儘管如此，用於微電子產業之單晶碳化矽底材仍然價格昂貴，且難能以大尺寸供應。因此，採用薄層移轉解決方案來生產複合結構是有利的，該複合結構通常包含在較便宜的單晶(c-SiC)或多晶(p-SiC)載體底材之上，設置以單晶SiC(c-SiC)製作之一薄層(該薄層)。一種眾所周知的薄層移轉解決方案是 Smart Cut[®]方法，該方法基於植入輕離子並在鍵結界面透過直接鍵結而進行接合。鍵結界面的電阻率必須盡可能低，其較佳者低於1 mohm.cm²，或甚至低於0.1 mohm.cm²。

【0005】 許多習知技術解決方案提出使用以沉積在待接合表面上金屬層為基礎之導體-導體鍵結(conductor-conductor bonding)。例如，Letertre所出版(「Silicon carbide and related materials」，Material Science Forum - vol 389-393，2002年4月)或文獻US7208392描述了沉積一層鎢及一層矽以形成以矽化鎢(WSi₂)為基礎的導電中間層。這種方法的一個缺點是由於矽化物相對於初始沉積材料的收縮而在該中間層中形成空隙：特別是這可能會影響表面半導體層的品质，並可能影響整個半導體結構。此外，使用這種類型的中間層，難以將鍵結界面的電阻率降低到某些要求極佳垂直導電之應用所需的層級。

【0006】 還可設想直接接合工作層與載體底材之碳化矽表面，但這仍然很困難，特別是當涉及多晶載體底材時，問題是如何透過直接鍵結而移轉具有所需鍵結界面品質的單晶工作層(低缺陷密度、高鍵結能、極低電阻率)。G. Chichignoud等人之(「Processing of poly-SiC substrate with large grains for wafer bonding」— Materials Science Forum，vol 527-529，p71-74(2006年))提議將單晶碳化矽層移轉至多晶碳化矽載體底材，該多晶碳化矽載體底材具有有利於功率微電子應用之熱學及電學特性，以及與直接鍵結兼容的物理特性(表面粗糙度、

曲率)。其選擇尺寸較大的碳化矽多晶晶粒(尺寸通常大於1 cm)，並在接合之前進行化學機械研磨以製備表面，從而獲得低於5 nm之平均粗糙度。

【0007】 文獻EP3441506提供了p-SiC載體底材，c-SiC半導體層可經由直接鍵結移轉至該p-SiC載體底材上。載體底材具有10 μm 數量級之平均尺寸晶粒，其正反面間的晶粒尺寸除以其厚度的變化程度小於或等於0.43%；變化程度小於或等於0.43%使其得以限制載體底材中的殘餘應力，因此而限制其曲率。此可在待接合至c-SiC製之層之載體底材之表面上實現低於1 nm之平均粗糙度。

【0008】 對於如上述兩份文獻中提出的p-SiC製之載體底材，申請人仍然觀察到因晶粒間區域之不規則去除或因全部或部分表面晶粒之連根拔起而導致之殘餘起伏(凹陷或凸起)：這會影響鍵結界面之品質(鍵結缺陷)，從而影響所得複合結構之整體性能。

【發明內容】

【0009】 本發明提供習知技術解決方案之一種替代方案，旨在克服所有或部分上述缺點。本發明涉及一種用於製作複合結構之方法，該複合結構包含被移轉至多晶SiC製載體底材之單晶SiC製工作層；本發明還涉及一種所述載體底材及所獲得之複合結構。

【0010】 本發明涉及一種製作複合結構之方法，該複合結構包含設置在多晶碳化矽製載體底材上之單晶碳化矽製工作層，該方法包含：a) 提供多晶碳化矽製初始底材之步驟，該初始底材具有正面且在該正面的平面中包含平均尺寸大於0.5 μm 之晶粒；b) 在初始底材上形成多晶碳化矽製表面層之步驟，以形成載體底材，該表面層由平均尺寸小於500 nm之晶粒組成，且具有50 nm和50 μm 之

間的厚度；c) 製備載體底材表面層之自由面之步驟，以獲得低於1 nm RMS之粗糙度；d) 基於分子鍵結方式將工作層移轉至載體底材之步驟，表面層被設置在工作層及初始底材之間。

【0011】 根據本發明的其他有利和非限制性特徵，這些特徵可單獨應用或以任何技術上可行方式而組合應用：

步驟a)係使用化學氣相沉積技術，在1100°C和1500°C之間的溫度下進行；

步驟a)係使用燒結技術或物理氣相沉積技術進行；

步驟b)包括使用化學氣相沉積技術，在低於或等於1100°C或甚至低於或等於1000°C的溫度下沉積多晶碳化矽製之層；

步驟b)與步驟a)係在相同設備中進行，且步驟b)在步驟a)之後進行，無需將初始底材放回環境空氣中；

步驟b)包括在初始底材上面沉積非晶碳化矽製之層並進行再結晶回火，以形成多晶碳化矽製之表面層；

在步驟b)形成的表面層具有 $1E18/cm^3$ 及 $1E21/cm^3$ 之間的摻雜物濃度；

步驟c)包括表面層之化學機械研磨，其涉及去除構成所述表面層之晶粒之平均尺寸1至10倍之間的份量；

步驟d)包括以下階段：d1) 提供一供體底材；d2) 將輕質元素導入供體底材以形成一埋置脆弱平面，其與供體底材之正面界定出待移轉之工作層；d3) 使供體底材之正面經由分子鍵結而接合至載體底材；d4) 沿著埋置脆弱平面進行分離，從而使工作層移轉至載體底材；

該製作方法包括在d2)階段之前或之後，在供體底材之正面形成與表面層性質相同之第二表面層；

步驟d)包括，在d3)接合階段之前，在載體底材之表面層上及/或在供體底材之正面上，沉積金屬製或矽製之額外薄膜。

【0012】 本發明還涉及一種多晶碳化矽製之載體底材，其包括：初始底材，該初始底材包含平均尺寸大於 $0.5 \mu\text{m}$ 之碳化矽晶粒，設置在初始底材至少一正面上之表面層，該表面層包含平均尺寸小於 500nm 之碳化矽晶粒，並具有 50nm 和 $50 \mu\text{m}$ 之間之厚度。

【0013】 根據本發明的其他有利和非限制性特徵，這些特徵可單獨應用或以任何技術上可行方式而組合應用：

表面層之自由面之粗糙度低於 1nm RMS ，且每平方公分少於1個缺陷，此係以反射暗視野顯微法測量，其閾值為 $0.5 \mu\text{m}$ ；

表面層之厚度在 200nm 及 $5 \mu\text{m}$ 之間；

表面層具有 $1\text{E}18/\text{cm}^3$ 及 $1\text{E}21/\text{cm}^3$ 之間之摻雜物濃度。

【0014】 最後，本發明涉及一種複合結構，其包括：如上所述之載體底材，設置在表面層上之單晶碳化矽製之工作層。

【0015】 該複合結構更可包括在工作層上面或當中的至少一個功率元件。

【圖式簡單說明】

【0016】 參照附圖閱讀本發明以下詳細描述，本發明的其他特徵和優點將變得顯而易見，其中：圖1繪示使用根據本發明製作方法所生產之複合結構；圖2a至2d繪示根據本發明製作方法之步驟；圖3a至3d繪示根據本發明製作方法其一個較佳實施例之步驟。

【0017】圖中相同的符號可用於相同類型的元件。為了便於閱讀，各圖是為示意圖，其並未按比例繪製。特別是，沿z軸的層之厚度與沿x軸和y軸的橫向尺寸未成比例；且各層彼此的相對厚度在圖中未必如實呈現。

【實施方式】

【0018】本發明涉及一種用於製作複合結構100之方法，複合結構100包含設置在載體底材20上之單晶碳化矽(以下將用「c-SiC」表示單晶碳化矽)製之工作層10(圖1)。載體底材20為多晶碳化矽(「p-SiC」將用於表示多晶SiC)製。需要注意的是，在複合結構100之工作層10上面及/或當中製作微電子元件時，通常希望c-SiC製之工作層10之自由面為矽面。

【0019】該方法首先包含提供多晶碳化矽製之初始底材21之步驟a)，該初始底材21旨在賦予載體底材20其機械特性(圖2a)。換句話說，初始底材21代表載體底材20之大部分厚度。初始底材較佳者採用100 mm或150 mm，或甚至200 mm直徑之晶圓形式，具有正面21a及背面21b，以及通常200 μm 和800 μm 之間之厚度。

【0020】多晶初始底材21包含4H、6H及/或3C碳化矽之晶粒。在正面21a的平面中，晶粒之平均尺寸大於0.5 μm ，且通常在1 μm 和10 μm 之間。由其晶界所界定之晶粒尺寸對應於該晶粒在正面21a的平面中之最大尺寸。晶粒之平均尺寸由正面21a的平面中各種晶粒尺寸之平均值界定。尺寸非常小到通常小於50 nm的晶粒，最好從測量中排除，以控制測量的不確定性。可根據常規掃描電子顯微法(SEM)或涉及電子背向散射繞射分析(EBSD)所獲得的圖像而測量晶粒尺寸或晶界之間的距離。亦可設想到使用X射線結晶學。

【0021】大尺寸的p-SiC晶粒有利於良好導熱率，因此相對於初始底材21而言是較佳的。就目的應用而言(垂直電子構件)，載體底材20預期要具有高於200 W/m/K，較佳地高於250 W/m/K之導熱率，以及低於10 mohm.cm，較佳地低於5 mohm.cm之電阻率；因此為初始底材21即選擇這樣的電學及熱學特性。初始底材21較佳地具有 $1E18/cm^3$ 和 $1E21/cm^3$ 之間，通常在 $1E19/cm^3$ 和 $1E20/cm^3$ 之間的摻雜物濃度。儘管p型和n型摻雜物是可設想到的，但對於將在複合結構100上產製的電子元件而言，通常採用n型摻雜物，例如氮摻雜物。

【0022】步驟a)可使用習知技術進行，如燒結、物理氣相沉積(PVD)或甚至化學氣相沉積(CVD)。燒結底材因其相對較低的成本而具有優勢。CVD法的優勢在於它們可獲得大直徑的高品質p-SiC底材；其沉積較佳者係在 $1100^{\circ}C$ 和 $1500^{\circ}C$ 之間的溫度下進行。

【0023】為了將工作層移轉到其正面21a，申請人已經進行了多次嘗試製備如上所述的初始底材21之表面之步驟。初始底材21之正面的典型初始RMS粗糙度可從幾奈米到幾微米不等(透過原子力顯微鏡(AFM)在 $20\ \mu m \times 20\ \mu m$ 的掃描範圍測量)這取決於生產技術和供應商運用的平滑化處理。需要化學機械研磨來降低這種粗糙度(要求低於1 nm RMS，或甚至低於0.5 nm RMS)以確保優良品質的直接分子鍵結，從而確保移轉後之工作層10之優良品質。

【0024】已知碳化矽是一種因其硬度而難以研磨的材料。申請人進一步觀察到，研磨p-SiC製之表面會使晶粒或局部晶粒部分連根拔起，從而在研磨表面中留下空隙和其他缺陷。儘管極為局部的粗糙度可能在研磨後達到所需值，但在底材的尺度上，空隙和其他表面缺陷的密度仍然很高。

【0025】 為了解決此缺陷密度問題，根據本發明的製作方法包含在初始底材21上形成具特定形態之多晶碳化矽製表面層22之步驟b)，使得表面適於製備成供高品質分子鍵結，而不會顯著降低對載體底材20預期的熱學及電學特性(圖2b)。形成的載體底材20包含初始底材21和表面層22，並具有正面22a(表面層22之自由面)及背面21b(初始底材21之背面)。

【0026】 值得注意的是，與表面層22具相同性質的層也可視需要地沉積在初始底材21之背面21b上(未繪出)，以避免影響初始底材21之曲率。

【0027】 表面層22形成在初始底材21之正面21a上，無需預先研磨步驟；因此，初始底材21之粗糙度在步驟b)之沉積時刻通常在10 nm RMS和3000 nm RMS之間。

【0028】 表面層22厚度在50 nm和50 μ m之間，通常在100 nm和5 μ m之間，其係根據初始底材21之粗糙度而調整。對於粗糙度約15 nm RMS的初始底材21而已，表面層22厚度較佳者選擇在200 nm和500 nm之間。

【0029】 表面層22由4H、6H及/或3C碳化矽之晶粒組成。這些晶粒之平均尺寸小於500 nm，或甚至小於100 nm，通常在10 nm和100 nm之間。由其晶界所界定之晶粒尺寸對應於該晶粒在表面層22之自由面的平面中之最大尺寸。晶粒之平均尺寸由該平面中各種晶粒尺寸之平均值界定。

【0030】 p-SiC表面層22有利地具有 $1E18/cm^3$ 和 $1E21/cm^3$ 之間，通常在 $1E19/cm^3$ 和 $1E20/cm^3$ 之間的p型或n型之摻雜物濃度。表面層22之摻雜類型及程度通常被分別選定成與初始底材21完全相同及高於初始底材21。

【0031】 根據第一實施例，步驟b)包含沉積多晶形式之碳化矽以形成表面層22。

【0032】本發明有利地使用化學氣相沉積技術進行該沉積，特別是在低壓(LPCVD)和低於或等於1100°C，或甚至低於或等於1000°C的溫度下。透過降低沉積溫度，表面擴散減少，導致成核點數量增加：這促進了非常小的p-SiC晶粒形成。由於表面層22之厚度通常保持較小(通常小於5 μm)，因此晶粒之平均尺寸可容易地保持在小於500 nm，或甚至小於100 nm。

【0033】前驅物可選自甲矽烷、二甲基二氯矽烷，或甚至二氯矽烷和異丁烷，其較佳者具有高於1的碳/矽比。

【0034】當然，可於其他溫度下對p-SiC實施沉積，例如低於1400°C的溫度，前提是遵守上述晶粒尺寸的規定。

【0035】雖然步驟b)被描述成在初始底材21上進行，但在步驟a)結束時，可設想到步驟b)使用與步驟a)相同的沉積技術並在相同的設備中進行，並且步驟b)在步驟a)之後進行，無需將初始底材21放回環境空氣中。

【0036】根據第二實施例，步驟b)包含沉積非晶形式之碳化矽，然後進行回火以引起再結晶為多晶形式，以形成表面層22。

【0037】可使用化學氣相沉積技術(例如電漿增強化學氣相沉積(PECVD)或直接注入液體化學氣相沉積(DLI-CVD))、使用物理氣相沉積技術，或使用任何其他已知技術來沉積非晶SiC。然後在通常高於900°C、較佳地高於或等於1100°C、高於1200°C，或甚至高於1400°C的溫度下進行再結晶回火。進行該回火以獲得由4H、6H及/或3C碳化矽之晶粒組成的表面層22，晶粒之平均尺寸小於500 nm，或甚至小於100 nm，通常在10 nm和100 nm之間。

【0038】 回到該方法的一般描述，其接着包含製備表面層22自由面22a之步驟c)，以獲得低於或等於1 nm RMS，且有利地低於或等於0.5 nm RMS之粗糙度(圖2c)。

【0039】 步驟c)可用多種方式進行：透過化學平滑化(乾式或濕式蝕刻)，透過在易於使表面層22之表面平滑的溫度範圍和空氣中進行熱處理，透過使用常規的碳化矽研磨程序之化學機械研磨，或甚至透過機械研磨(精磨)。

【0040】 關於機械研磨(精磨)，表面層22之p-SiC晶粒之奈米級尺寸是有利的，因為它比化學機械研磨法之典型平坦化長度(為1 μm 數量級)小得多。

【0041】 當步驟c)係基於表面層22之化學機械研磨時，其通常涉及去除構成表面層22之晶粒之平均尺寸1至10倍之間的份量，這取決於初始底材21之粗糙度以及表面層22之沉積厚度。

【0042】 步驟c)可在幾十奈米至幾十微米的空間波長(spatial wavelength)範圍內獲得低於或等於1 nm RMS，較佳者低於或等於0.5 nm RMS，例如約0.1 nm RMS至0.5 nm RMS之粗糙度。在平滑化之後，對載體底材20施加常規清洗(可能用刷洗之化學清洗)：此所獲得的缺陷密度層級非常低，每平方公分少於10個缺陷，較佳地每平方公分少於1個缺陷，此係以反射暗視野顯微法測量，閾值為0.5 μm 。

【0043】 該方法最後包含基於分子鍵結方式，將單晶碳化矽製之工作層10移轉至載體底材20之步驟d)：然後將表面層22設置於工作層10與初始底材21之間(圖2d)。

【0044】 應注意的是，在分子鍵結之前，可於旨在鍵結至載體底材20之工作層10的一面上形成第二表面層。這具有以下優點：相同性質的層(表面層22和

第二表面層)即p-SiC奈米晶粒製之層，被接合了；這種構造容許提高直接鍵結之品質。

【0045】 層移轉之各種方式在本領域中是屬已知，故不於此贅述。

【0046】 根據一較佳實施例，本發明方法的步驟d)涉及根據Smart Cut[®]法原理而植入輕質元素。

【0047】 在d1)第一階段中，提供了單晶碳化矽製之供體底材1，工作層10將從供體底材1中獲得(圖3a)。供體底材1較佳地採用直徑為100 mm或150 mm或甚至200 mm(與載體底材20相同)且厚度通常在300 μ m和800 μ m間之晶圓形式。供體底材1具有正面1a和背面1b。如透過原子力顯微鏡(AFM)在20 μ m \times 20 μ m的掃描範圍內所測得者，正面1a之表面粗糙度有利地選擇為低於1 nm RMS，或甚至低於0.5 nm RMS。為了獲得用於複合結構100中的工作層10之自由矽面，將供體底材1之正面1a選定成具有碳面。供體底材1可以是4H或6H多型，並可具有n型或p型摻雜，這取決於要在複合結構100之工作層10上面及/或當中產製的構件之要求。

【0048】 d2)第二階段對應於將輕質元素導入供體底材1，以形成埋置脆弱平面11，其與供體底材1之正面界定出待移轉之工作層10(圖3b)。

【0049】 輕質元素較佳者為氫、氮，或這兩種元素之共同植入，並且植入供體底材1中至給定深度，其與工作層10之目標厚度一致。這些輕質元素將在給定深度周圍形成微腔，微腔分佈為平行於供體底材1之自由面1a之薄層，即平行於圖中的平面(x, y)。為簡單起見，該薄層稱為埋置脆弱平面11。

【0050】 選擇輕質元素之植入能量以達到給定深度。例如，以10 keV和250 keV之間的能量，並以 $5^{E16}/\text{cm}^2$ 和 $1^{E17}/\text{cm}^2$ 之間的劑量植入氫離子，以界定出具有

約100 nm至1500 nm厚度之工作層10。應注意的是，在離子植入步驟之前，保護層可能沉積在供體底材1之正面1a上。例如，該保護層可以是諸如氧化矽或氮化矽的材料製成。保護層在下一階段之前被去除。

【0051】 如上所述，可在導入輕質元素之d2)第二階段之前或之後，視需要地在供體底材1之正面1a上形成第二表面層(與表面層22具有相同性質)。該第二表面層可在上述步驟b)和步驟c)的條件下形成和製備。

【0052】 若第二表面層是在d2)階段之前形成，則調整輕質元素之植入能量(以及可能的劑量)，以使輕質元素穿過該額外層。若第二表面層是在d2)階段之後形成，則注意以低於起泡熱預算之熱預算形成該第二表面層，該起泡熱預算對應於供體底材1之表面因埋置脆弱平面11中的微腔生長和過度加壓而出現起泡。

【0053】 然後移轉步驟d)包含第三階段d3)，其透過分子鍵結沿著鍵結界面3將供體底材1之正面1a接合至載體底材20之正面22a(圖3c)。

【0054】 眾所周知，直接分子鍵結不需要黏合劑，因為鍵結是在待接合表面之間的原子尺度上形成。有幾種類型的分子鍵結，它們在溫度、壓力或空氣方面的條件或在表面接觸之前進行的處理方面的條件尤其有所不同。值得一提的是，可在室溫下進行而不論待接合的表面是否預先電漿活化的鍵結、原子擴散鍵結(ADB)、表面活化鍵結(SAB)等。

【0055】 在待接合的正面1a、22a接觸之前，d3)接合階段可包含化學清洗(例如，RCA清洗)和表面活化(例如，透過氧氣或氮氣電漿)或其他表面製備(如刷洗)之常規程序，這可促進鍵結界面3之品質(低缺陷密度、高黏著能)。

【0056】 載體底材20之正面22a之低缺陷密度和粗糙度層級(因表面層22表面製備之故)對於獲得高品質的鍵結界面3特別有利。在供體底材1還設有與載體

底材20之表面層22相同性質之第二表面層的情況下，可進一步提高直接鍵結之品質，因為待接合之二表面具有相同的多晶性質，或甚至是相同的多型，較佳者為3C多型。

【0057】 在d3)接合階段之前，步驟d)可視需要地包含在製備好的表面層22之正面22a上及/或在供體底材1之正面上，沉積金屬或非晶矽或多晶矽製之額外薄膜。金屬可能選自鎢、鎳、鈦等。由於表面層22之自由面22a之表面粗糙度非常低，因此有利地限制了該額外薄膜之厚度，其通常在幾奈米和幾十奈米之間。其目的主要是增加鍵結能(特別是在低於1100°C之中間溫度下)，此鍵結能增加是由於共價鍵在比兩個直接接合碳化矽表面更低的溫度下形成；這種額外薄膜的另一個優點是可改善鍵結界面3之垂直導電。

【0058】 最後，第四步驟d4)包含沿著埋置脆弱平面11之分離，從而導致工作層10移轉至載體底材20(圖3d)。

【0059】 沿著埋置脆弱平面11之分離通常在800°C和1200°C之間的溫度下透過施加熱處理來進行。這種熱處理導致空腔及微裂縫在埋置脆弱平面11中形成，並且被以氣體形式存在的輕質元素加壓，直到斷裂沿著該埋置脆弱平面11擴散。作為替代方案或共同地，機械應力可施加至待鍵結的組件上，特別是施加至埋置脆弱平面11上，以便擴散或幫助導致分離的斷裂之機械性擴散。在該分離結束時，便可獲得半導體結構100，其一方面包含載體底材20和單晶SiC製之待移轉工作層10，另一方面包含供體底材之剩餘部分1'。工作層10之摻雜程度和摻雜類型可由供體底材1之特性選擇來界定，或者可隨後經由已知的半導體層摻雜技術而調整。

【0060】 工作層20之自由面10a在分離後通常是粗糙的：例如，其具有5 nm RMS和100 nm RMS之間的粗糙度(AFM， $20\ \mu\text{m} \times 20\ \mu\text{m}$ 掃描範圍內)。可施行清洗及/或平滑化階段以恢復良好的表面品質(通常，在 $20\ \mu\text{m} \times 20\ \mu\text{m}$ AFM掃描範圍內的粗糙度低於幾埃(angstroms) RMS)。尤其這些階段可包含用於平滑化工作層10自由面之化學機械處理。去除50 nm和300 nm之間的份量使其得以有效地恢復該工作層10之表面品質。該些階段還可包含在1300°C和1800°C之間的溫度下的至少一熱處理。施加這樣的熱處理以清除工作層10中殘留的輕質元素，促進工作層10之晶格重排。其進一步使強化鍵結界面3成為可能。該溫度範圍內的熱處理還可能致使表面層22之晶粒尺寸增加(如果第二表面層存在的話，其晶粒尺寸亦增加)，這是改進複合結構100導熱特性之有利方式。

【0061】 最後，應注意的是，移轉步驟d)可包含修復供體底材之剩餘部分1'之步驟，以重新用作新複合結構100之供體底材1。與施加於複合結構100之機械及/或化學處理類似的機械及/或化學處理可施加至剩餘底材1'之正面1'a。修復步驟還可包含透過化學機械拋光、研磨及/或乾式化學蝕刻或濕式化學蝕刻對剩餘底材1'及/或其背面1'b之邊緣進行的一或多種處理。

【0062】 本發明還涉及一種上述製作方法之步驟a)和步驟b)所生產之載體底材20(圖2b)，其包含：

- 包含碳化矽晶粒之初始底材21，該晶粒具有大於 $0.5\ \mu\text{m}$ 的平均尺寸，
- 至少設置於初始底材21之正面之表面層22，其包含平均尺寸小於500 nm，較佳者小於100 nm之碳化矽晶粒，並具有50 nm和 $50\ \mu\text{m}$ 之間，較佳者在100 nm和 $5\ \mu\text{m}$ 之間，或甚至在200 nm和500 nm之間的厚度。

【0063】如前所述，與表面層22相同性質的層也可存在於初始底材21之背面及邊緣以讓該初始底材21被包覆：這樣便可選擇低品質之初始底材(例如燒結底材)以控制載體底材20之成本。

【0064】在本發明的製作方法步驟c)之後(圖2c)，載體底材20表面層之自由面22a之粗糙度低於1 nm RMS，或甚至低於或等於0.5 nm RMS，且每平方公分少於10個缺陷，或甚至每平方公分少於1個缺陷，此係以反射暗視野顯微法測量，其閾值為0.5 μm 。這些特性使得載體底材20特別適於進行單晶碳化矽製(或當第二表面層存在時為p-SiC製)之工作層10 (或供體底材1)與奈米晶粒p-SiC正面22a之間的分子鍵結步驟。

【0065】最後，本發明涉及一種上述製作方法所生產之複合結構100，其包含：如上所述之載體底材20，設置於表面層22上之單晶碳化矽製工作層10。

【0066】這種複合結構100對於為了改進工作層10品質或為了在該工作層10上面及/或當中製作構件而可能需要進行的極高溫熱處理是極堅固的。

【0067】根據本發明之複合結構100特別適於製作一或多個高電壓微電子構件，例如像是肖特基二極體、MOSFET等。更一般性地，複合結構100可滿足功率微電子應用之要求，因為它可獲得優異的垂直導電及良好的導熱率，並提供高品質之c-SiC工作層。

【0068】當然，本發明並不限於前述的示例和實施例，且在不脫離如申請專利範圍所限定本發明範疇之情況下亦可採用實施例之各式變化。

【符號說明】

1: 供體底材

1': 剩餘部分

1a, 1'a, 21a, 22a: 正面

1b, 1'b, 21b: 背面

3: 鍵結界面

10: 工作層

11: 埋置脆弱平面

20: 載體底材

21: 初始底材

22: 表面層

100: 複合結構

【生物材料寄存】

【發明申請專利範圍】

【請求項1】 一種用於製作包含在多晶碳化矽製之一載體底材(20)上設有單晶碳化矽製之一工作層(10)之一複合結構(100)之方法，該方法包括：

a)提供多晶碳化矽製之一初始底材(21)之一步驟，該初始底材(21)具有一正面且在該正面的平面中包含平均尺寸大於 $0.5\ \mu\text{m}$ 的晶粒；

b)在該初始底材(21)上形成多晶碳化矽製之一表面層(22)之一步驟，以形成該載體底材(20)，該表面層(22)由平均尺寸小於 $500\ \text{nm}$ 的晶粒組成且具有 $50\ \text{nm}$ 和 $50\ \mu\text{m}$ 之間的厚度；

c)製備該載體底材(20)之表面層(22)之自由面之一步驟，以獲得低於 $1\ \text{nm RMS}$ 之粗糙度；

d)基於分子鍵結方式將該工作層(10)移轉至該載體底材(20)之一步驟，該表面層(22)被設置在該工作層(10)及該初始底材(21)之間。

【請求項2】 如請求項1之方法，其中步驟a)使用化學氣相沉積技術，在 1100°C 和 1500°C 之間的溫度下進行。

【請求項3】 如請求項1之方法，其中步驟a)使用燒結技術或物理氣相沉積技術進行。

【請求項4】 如請求項1至3任一項之方法，其中步驟b)包括使用化學氣相沉積技術，在低於或等於 1100°C 或甚至低於或等於 1000°C 的溫度下沉積多晶碳化矽製之一層。

【請求項5】 如請求項1至4任一項之方法，其中步驟b)與步驟a)在相同設備中進行，且步驟b)在步驟a)之後進行，無需將該初始底材(21)放回環境大氣中。

【請求項6】 如請求項1至3任一項之方法，其中步驟b)包括在該初始底材(21)上面沉積非晶碳化矽製之一層並進行一再結晶回火，以形成多晶碳化矽製之該表面層(22)。

【請求項7】 如請求項1至6任一項之方法，其中在步驟b)形成之該表面層(22)具有 $1E18/cm^3$ 及 $1E21/cm^3$ 之間的摻雜物濃度。

【請求項8】 如請求項1至7任一項之方法，其中步驟c)包括該表面層(22)之一化學機械研磨，其涉及去除構成該表面層(22)之晶粒之平均尺寸1至10倍之間的份量。

【請求項9】 如請求項1至8任一項之方法，其中步驟d)包括以下階段：

d1)提供一供體底材(1)；

d2)將輕質元素導入該供體底材(1)以形成一埋置脆弱平面(11)，其與該供體底材(1)之正面界定出待移轉之該工作層(10)；

d3)使該供體底材(1)之正面經由分子鍵結而接合至該載體底材(20)；

d4)沿着該埋置脆弱平面(11)進行分離，從而使該工作層(10)移轉至該載體底材(20)。

【請求項10】 如請求項9之方法，其包括在該d2)階段之前或之後，在該供體底材(1)之正面形成與該表面層(22)性質相同之一第二表面層。

【請求項11】 如請求項9或10之方法，其中步驟d)包括，在該d3)接合階段之前，在該載體底材(20)之表面層(22)上及/或在該供體底材(1)之正面上，沉積一金屬製或矽製之一額外薄膜。

【請求項12】 一種多晶碳化矽製之載體底材(20)，其包括：

一初始底材(21)，該初始底材(21)包含平均尺寸大於 $0.5\ \mu m$ 之碳化矽晶

粒，

設置在該初始底材(21)之至少一正面上之一表面層(22)，該表面層(22)包含平均尺寸小於500 nm之碳化矽晶粒並具有50 nm和50 μm之間的厚度。

【請求項13】 如請求項12之載體底材(20)，其中該表面層(22)之自由面的粗糙度低於1nm RMS且每平方公分少於1個缺陷，此係以反射暗視野顯微法測量，其閾值為0.5μm。

【請求項14】 如請求項12或13之載體底材(20)，其中該表面層(22)之厚度在200 nm及5 μm之間。

【請求項15】 如請求項12至14任一項之載體底材(20)，其中該表面層(22)具有 $1E18/cm^3$ 及 $1E21/cm^3$ 之間的摻雜物濃度。

【請求項16】 一種複合結構(100)，其包括：

如請求項12至15任一項之載體底材(20)，

設置在該表面層(22)上之單晶碳化矽製之一工作層(10)。

【請求項17】 如請求項16之複合結構(100)，其更包括在該工作層(10)上面或當中的至少一功率元件。

(發明圖式)

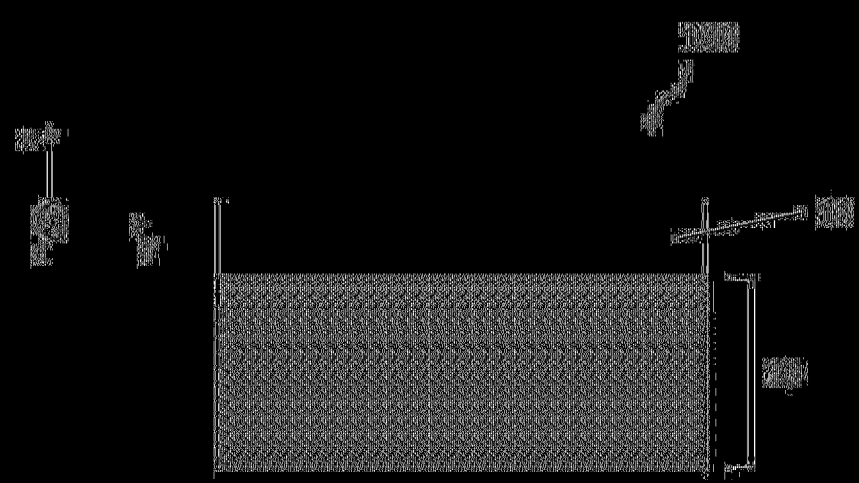


圖1

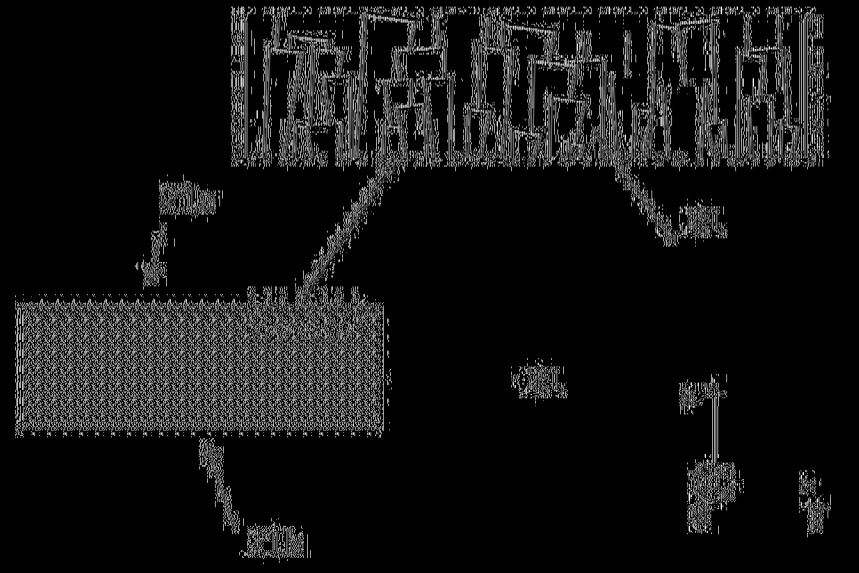


圖2a



圖2b

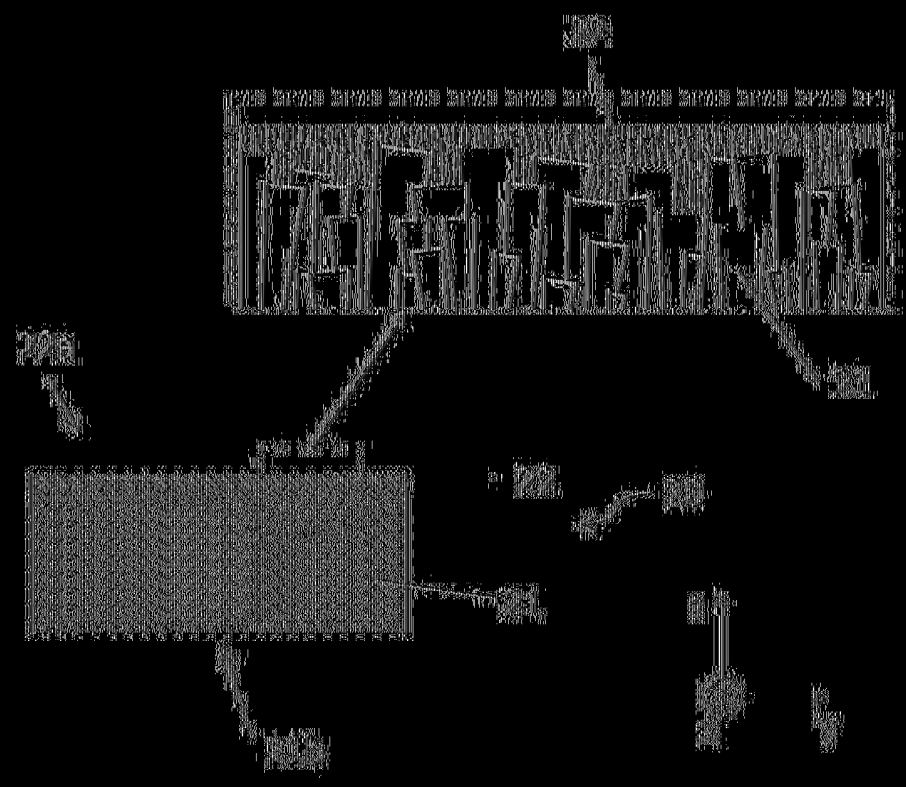


圖2c

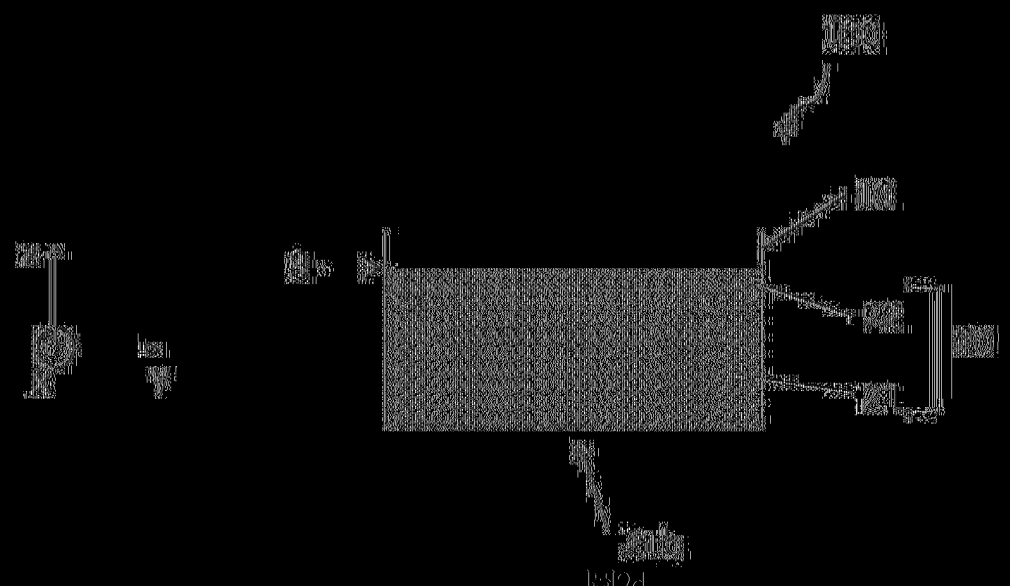


圖2d

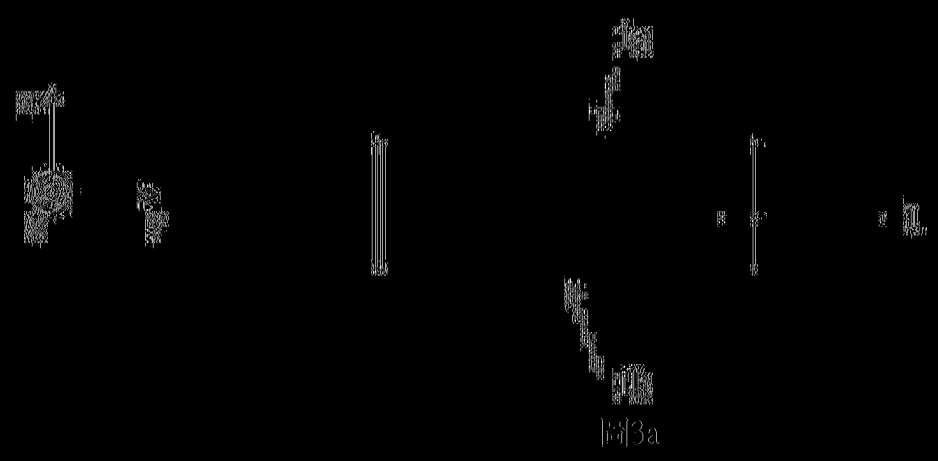


圖3a

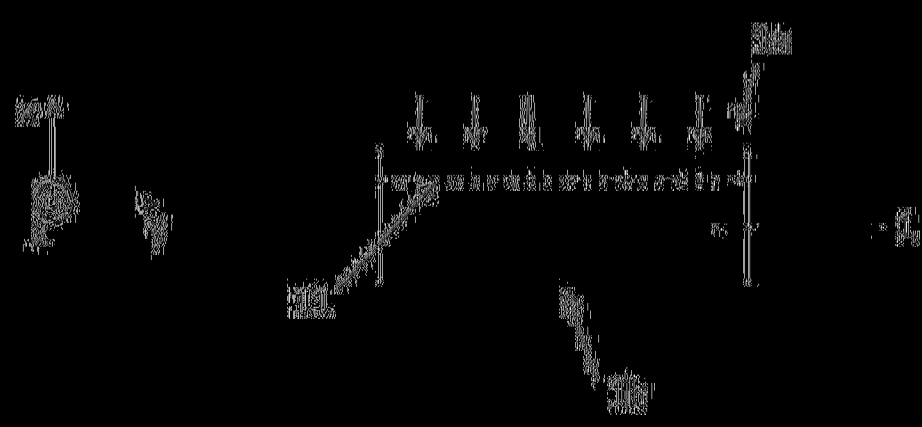


圖3b

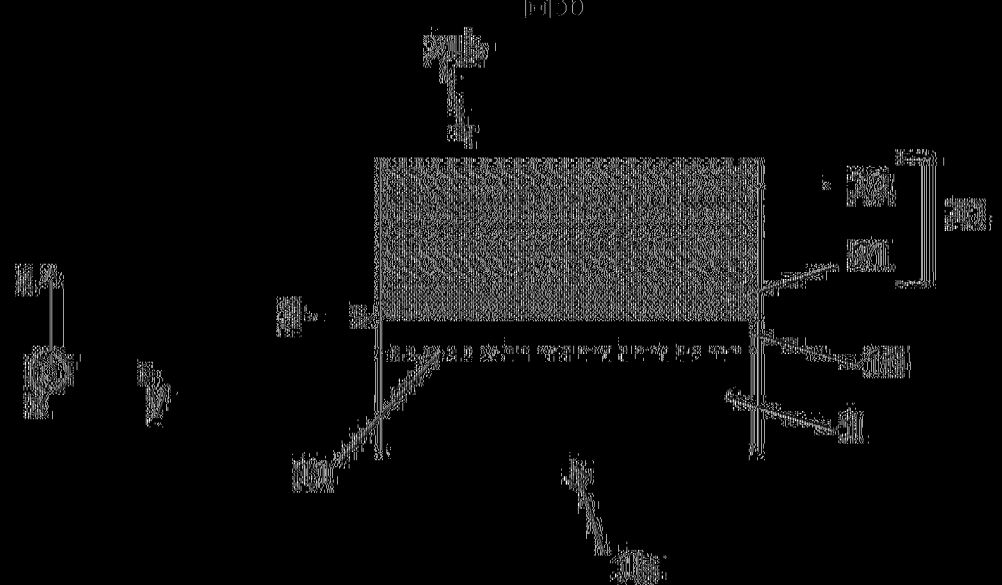


圖3c



圖3d