

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 4 区分  
 【発行日】平成30年10月25日 (2018.10.25)

【公表番号】特表2017-534243(P2017-534243A)  
 【公表日】平成29年11月16日 (2017.11.16)  
 【年通号数】公開・登録公報2017-044  
 【出願番号】特願2017-543711(P2017-543711)  
 【国際特許分類】

H 0 2 M 3/155 (2006.01)

【F I】

H 0 2 M 3/155 P  
 H 0 2 M 3/155 K

【手続補正書】

【提出日】平成30年9月11日 (2018.9.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ブーストコンバータのデューティサイクルを調整するための制御回路であって、  
 前記ブーストコンバータに提供される入力電圧を受信することと、前記入力電圧に  
 応答して、前記ブーストコンバータの前記出力電圧を制御するように前記ブーストコン  
 バータの前記デューティサイクルを調整するための前記ブーストコンバータに提供され  
 べき制御信号を生成することとを行うように構成されたデューティサイクルリミッタジェ  
 ネレータ

を備え、

ここにおいて、前記最大デューティサイクルリミットジェネレータは、  
前記ブーストコンバータの前記入力電圧および出力電圧に応答して、電流を生成するた  
 めの電圧電流コンバータと、

前記電流を時間測定するためのアナログタイマと、

前記時間測定された電流に応答して、最大デューティサイクル信号を生成するためのデ  
 ューティサイクルリミットジェネレータと

を備える、制御回路。

【請求項 2】

前記デューティサイクルリミットジェネレータは、  
 前記ブーストコンバータの入力電圧に  
 応答して、デジタル化された信号を生成するた  
 めのアナログデジタルコンバータと、

前記アナログデジタルコンバータによって生成された前記デジタル化された信号に  
 応答して、前記ブーストコンバータの前記デューティサイクルを制限するために最大デ  
 ューティサイクル信号を生成するためのデューティサイクルリミットジェネレータと

を備える、請求項 1 に記載の制御回路。

【請求項 3】

前記最大デューティサイクルリミットジェネレータは、  
 前記ブーストコンバータを制御するために提供されるスイッチング信号に  
 応答して、電流を供給するための電流枯渇型バッファと、  
 前記電流枯渇型バッファの前記出力と接地との間に結合されたキャパシタと、

前記デジタル化された信号に応答して、基準電圧を生成するための基準電圧選択回路と

、

前記キャパシタの両端の電圧および前記基準電圧に応答して、最大デューティサイクル信号を生成するためのコンパレータと

を備える、請求項 2 に記載の制御回路。

【請求項 4】

前記最大デューティサイクルリミットジェネレータは、前記ブーストコンバータの出力電圧に応答して、前記最大デューティサイクル信号をさらに生成する、請求項 1 に記載の制御回路。

【請求項 5】

前記アナログタイマは、前記電流を蓄積するために前記電圧電流ジェネレータの出力に結合されたキャパシタである、請求項 1 に記載の制御回路。

【請求項 6】

前記最大デューティサイクルリミットジェネレータは、

前記電圧電流コンバータからの前記電流に応答して、バイアス電流を生成するための可変電流源と、

前記ブーストコンバータを制御するために提供されるスイッチング信号および前記バイアス電流に応答して、バッファ電流を供給するためのバッファと、

前記電流枯渇型バッファの前記出力と接地との間に結合されたキャパシタと、

前記キャパシタの両端の電圧および基準電圧に応答して、最大デューティサイクル信号を生成するためのコンパレータと

を備える、請求項 1 に記載の制御回路。

【請求項 7】

ブーストコンバータのデューティサイクルを調整するための方法であって、

前記ブーストコンバータに提供される入力電圧を受信することと、

前記入力電圧に応答して、前記ブーストコンバータの前記出力電圧を制御するように前記ブーストコンバータの前記デューティサイクルを調整するための前記ブーストコンバータに提供すべき制御信号を生成することと

を備え、

ここにおいて、前記制御信号を生成することは、

前記ブーストコンバータの前記入力電圧および出力電圧に応答して、電流を生成することと、

前記電流を時間測定することと、

前記時間測定された電流に応答して、最大デューティサイクル信号を生成することと

を備える、方法。

【請求項 8】

制御信号を生成することは、

前記ブーストコンバータの前記入力電圧に応答して、デジタル化された信号を生成することと、

前記デジタル化された信号に応答して、前記ブーストコンバータの前記デューティサイクルを制限するために最大デューティサイクル信号を生成することと

を備える、請求項 7 に記載の方法。

【請求項 9】

前記最大デューティサイクル信号を生成することは、

前記ブーストコンバータを制御するために提供されるスイッチング信号に応答して、電流を生成することと、

前記電流を蓄積することと、

前記デジタル化された信号に応答して、基準電圧を生成することと、

最大デューティサイクル信号を生成するために前記蓄積されたバッファ電流と前記基準電圧を比較することと

を備える、請求項 9 に記載の方法。

【請求項 10】

前記制御信号を生成することは、前記ブーストコンバータの前記入力電圧および出力電圧に応答して、前記制御信号を生成することをさらに備える、請求項 7 に記載の方法。

【請求項 11】

前記生成された電流を時間測定することは、前記生成された電流の電荷を蓄積することを備える、請求項 7 に記載の方法。

【請求項 12】

最大デューティサイクル信号を生成することは、

前記生成された電流に応答して、バイアス電流を生成することと、

前記ブーストコンバータを制御するために提供されるスイッチング信号および前記バイアス電流に応答してバッファ電流を生成することと、

前記バッファ電流を蓄積することと、

前記蓄積されたバッファ電流を示す電圧および基準電圧に応答して、最大デューティサイクル信号を生成するために前記蓄積されたバッファ電流および基準電圧を比較することと

を備える、請求項 7 に記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

[0073] 上記の説明は、どのように特定の実施形態の態様が実現され得るかの例と共に、本開示の様々な実施形態を例示する。上記の例は、唯一の実施形態であるように見なされるべきではなく、以下の特許請求の範囲によって定義される特定の実施形態の柔軟性および利点を例示するために提示されている。上記の開示および以下の特許請求の範囲に基づいて、他の配置、実施形態、実現および同等物が、特許請求の範囲によって定義される本開示の範囲から逸脱することなく用いられ得る。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

[C1]

ブーストコンバータのデューティサイクルを調整するための制御回路であって、

前記ブーストコンバータに提供される入力電圧を受信することと、前記入力電圧に応答して、前記ブーストコンバータの前記出力電圧を制御するように前記ブーストコンバータの前記デューティサイクルを調整するための前記ブーストコンバータに提供されるべき制御信号を生成することを行うように構成されたデューティサイクルリミッタジェネレータ

を備える、制御回路。

[C2]

前記デューティサイクルリミッタジェネレータは、

前記ブーストコンバータの入力電圧に応答して、デジタル化された信号を生成するためのアナログデジタルコンバータと、

前記アナログデジタルコンバータによって生成された前記デジタル化された信号に応答して、前記ブーストコンバータの前記デューティサイクルを制限するために最大デューティサイクル信号を生成するためのデューティサイクルリミッタジェネレータと

を備える、C1に記載の制御回路。

[C3]

前記最大デューティサイクルリミッタジェネレータは、

前記ブーストコンバータを制御するために提供されるスイッチング信号に応答して、電流を供給するための電流枯渇型バッファと、

前記電流枯渇型バッファの前記出力と接地との間に結合されたキャパシタと、  
前記デジタル化された信号にตอบสนองして、基準電圧を生成するための基準電圧選択回路と

、

前記キャパシタの両端の電圧および前記基準電圧にตอบสนองして、最大デューティサイクル  
信号を生成するためのコンパレータと

を備える、C 2 に記載の制御回路。

[ C 4 ]

前記最大デューティサイクルリミットジェネレータは、前記ブーストコンバータの出力  
電圧にตอบสนองして、前記最大デューティサイクル信号をさらに生成する、C 1 に記載の制御  
回路。

[ C 5 ]

前記最大デューティサイクルリミットジェネレータは、  
前記ブーストコンバータの前記入力電圧および出力電圧にตอบสนองして、電流を生成するた  
めの電圧電流コンバータと、

前記電流を時間測定するためのアナログタイマと、

前記時間測定された電流にตอบสนองして、最大デューティサイクル信号を生成するためのデ  
ューティサイクルリミットジェネレータと

を備える、C 1 に記載の制御回路。

[ C 6 ]

前記アナログタイマは、前記電流を蓄積するために前記電圧電流ジェネレータの出力に  
結合されたキャパシタである、C 5 に記載の制御回路。

[ C 7 ]

前記最大デューティサイクルリミットジェネレータは、

前記電圧電流コンバータからの前記電流にตอบสนองして、バイアス電流を生成するための可  
変電流源と、

前記ブーストコンバータを制御するために提供されるスイッチング信号および前記バイ  
アス電流にตอบสนองして、バッファ電流を供給するためのバッファと、

前記電流枯渇型バッファの前記出力と接地との間に結合されたキャパシタと、

前記キャパシタの両端の電圧および基準電圧にตอบสนองして、最大デューティサイクル信号  
を生成するためのコンパレータと

を備える、C 5 に記載の制御回路。

[ C 8 ]

ブーストコンバータのデューティサイクルを調整するための方法であって、

前記ブーストコンバータに提供される入力電圧を受信することと、

前記入力電圧にตอบสนองして、前記ブーストコンバータの前記出力電圧を制御するように  
前記ブーストコンバータの前記デューティサイクルを調整するための前記ブーストコンバ  
ータに提供すべき制御信号を生成することと

を備える、方法。

[ C 9 ]

制御信号を生成することは、

前記ブーストコンバータの前記入力電圧にตอบสนองして、デジタル化された信号を生成する  
ことと、

前記デジタル化された信号にตอบสนองして、前記ブーストコンバータの前記デューティサイ  
クルを制限するために最大デューティサイクル信号を生成することと

を備える、C 8 に記載の方法。

[ C 10 ]

前記最大デューティサイクル信号を生成することは、

前記ブーストコンバータを制御するために提供されるスイッチング信号にตอบสนองして、電  
流を生成することと、

前記電流を蓄積することと、

前記デジタル化された信号に応答して、基準電圧を生成することと、  
最大デューティサイクル信号を生成するために前記蓄積されたバッファ電流と前記基準電圧を比較することと  
を備える、C 9 に記載の方法。

[ C 1 1 ]

前記制御信号を生成することは、前記ブーストコンバータの前記入力電圧および出力電圧に  
応答して、前記制御信号を生成することをさらに備える、C 8 に記載の方法。

[ C 1 2 ]

前記制御信号を生成することは、  
前記ブーストコンバータの前記入力電圧および出力電圧に  
応答して、電流を生成することと、

前記生成された電流を時間測定することと、  
前記時間測定された電流に  
応答して、最大デューティサイクル信号を生成することと  
を備える、C 8 に記載の方法。

[ C 1 3 ]

前記生成された電流を時間測定することは、前記生成された電流の電荷を蓄積すること  
を備える、C 1 2 に記載の方法。

[ C 1 4 ]

最大デューティサイクル信号を生成することは、  
前記生成された電流に  
応答して、バイアス電流を生成することと、  
前記ブーストコンバータを制御するために提供されるスイッチング信号および前記バイ  
アス電流に  
応答してバッファ電流を生成することと、  
前記バッファ電流を蓄積することと、  
前記蓄積されたバッファ電流を示す電圧および基準電圧に  
応答して、最大デューティサイ  
クル信号を生成するために前記蓄積されたバッファ電流および基準電圧を比較すること  
と  
を備える、C 1 2 に記載の方法。

[ C 1 5 ]

ブーストコンバータのデューティサイクルを調整するための制御回路であって、  
前記ブーストコンバータに提供される入力電圧を受信するための手段と、  
前記入力電圧に  
応答して、前記ブーストコンバータの前記出力電圧を制御するように  
前記ブーストコンバータの前記デューティサイクルを調整するための前記ブーストコンバ  
ータに提供すべき制御信号を生成するための手段と  
を備える、制御回路。

[ C 1 6 ]

制御信号を生成するための前記手段は、  
前記ブーストコンバータの前記入力電圧に  
応答して、デジタル化された信号を生成する  
ための手段と、  
前記デジタル化された信号に  
応答して、前記ブーストコンバータの前記デューティサイ  
クルを制限するために最大デューティサイクル信号を生成するための手段と  
を備える、C 1 5 に記載の制御回路。

[ C 1 7 ]

前記最大デューティサイクル信号を生成するための前記手段は、  
前記ブーストコンバータを制御するために提供されるスイッチング信号に  
応答して、電  
流を生成するための手段と、  
前記電流を蓄積するための手段と、  
前記デジタル化された信号に  
応答して、基準電圧を生成するための手段と、  
最大デューティサイクル信号を生成するために前記蓄積されたバッファ電流と前記基準  
電圧を比較するための手段と  
を備える、C 1 6 に記載の制御回路。

[ C 1 8 ]

前記制御信号を生成するための前記手段は、前記ブーストコンバータの前記入力電圧および出力電圧に応答して、前記制御信号を生成するための手段をさらに備える、C 1 5 に記載の制御回路。

[ C 1 9 ]

前記制御信号を生成するための前記手段は、  
前記ブーストコンバータの前記入力電圧および出力電圧に応答して、電流を生成するための手段と、  
前記生成された電流を時間測定するための手段と、  
前記時間測定された電流に応答して、最大デューティサイクル信号を生成するための手段と  
を備える、C 1 5 に記載の制御回路。

[ C 2 0 ]

前記生成された電流を時間測定するための前記手段は、前記生成された電流の電荷を蓄積するための手段を備える、C 1 9 に記載の制御回路。