

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成18年8月10日(2006.8.10)

【公開番号】特開2001-36816(P2001-36816A)

【公開日】平成13年2月9日(2001.2.9)

【出願番号】特願平11-177547

【国際特許分類】

H 04 N 5/335 (2006.01)

【F I】

H 04 N	5/335	E
H 04 N	5/335	P

【手続補正書】

【提出日】平成18年6月22日(2006.6.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 信号感知装置であって、

N個のアナログ信号をそれぞれ出力するN列の出力ラインを有する信号感知アレイであって、Nは1より大きい整数である、信号感知アレイと、

N個のデジタル信号を生成する信号処理手段であって、該N個のデジタル信号のそれぞれは、該N個のアナログ信号のうちの1つに対応しており、該信号処理手段は、N個の入力ラインを有する、信号処理手段と

を備え、

該信号処理手段は、N個のA/D変換器を含み、

該N個のA/D変換器のそれぞれは、該N個のデジタル信号のうちの1つを生成するカウンタを含み、

該N個のデジタル信号が生成される前の初期化期間中に、所定の基準電圧が該N個のA/D変換器の入力に接続され、該N個のA/D変換器のそれぞれに対応する補償値が得られ、該補償値は、該初期化期間中に該基準電圧が印加されるとき、対応するA/D変換器からのデジタル信号に対するバイナリ補数であり、該N個のA/D変換器のそれぞれの該カウンタは、該対応するA/D変換器の該デジタル出力を補償するように該補償値を用いて初期化され、これにより、該信号処理手段内の素子の非均一性を均衡化する、信号感知装置。

【請求項2】 前記信号処理手段は、N個の初期化回路をさらに備え、該N個の初期化回路のそれぞれは、前記補償値を前記対応するカウンタにロードすることにより、該対応するカウンタの前記デジタル出力を補償する、請求項1に記載の信号感知装置。

【請求項3】 前記信号処理手段は、N個の初期化回路をさらに備え、該N個の初期化回路のそれぞれは、前記補償値をラッチし、該補償値を前記対応するカウンタの前記出力に加えることにより、該対応するカウンタの前記デジタル出力を補償する、請求項1に記載の信号感知装置。

【請求項4】 前記信号処理手段は、該信号処理手段の前記N個の入力ラインに接続されたN個のサンプリング回路をさらに備え、該N個のサンプリング回路のそれぞれは、前記N個のアナログ信号のうちの対応する1つに応答してサンプリングされたアナログ信号を生成する、請求項1に記載の信号感知装置。

【請求項5】 前記N個のA/D変換器のそれぞれが、基準ランプ信号を受け取る第

1の入力端子と、前記サンプリングされたアナログ信号を受け取る第2の入力端子とを有する、請求項4に記載の信号感知装置。

【請求項6】 前記N個のサンプリング回路のそれぞれが、第1の入力端子と第2の入力端子とを備え、前記初期化期間中、前記N個のA/D変換器のそれぞれに対応する前記補償値が前記A/D変換器の前記出力において得られるように、前記所定の基準電圧が該第1および第2の入力端子に印加される、請求項4に記載の信号感知装置。

【請求項7】 前記初期化期間中、前記A/D変換器のセットの各々に対応する前記補償値が該A/D変換器の前記出力において得られるように、前記所定の基準電圧が前記N個のサンプリング回路のそれぞれの出力に印加される、請求項4に記載の信号感知装置。

【請求項8】 前記信号感知アレイはイメージ感知アレイである、請求項1に記載の信号感知装置。

【請求項9】 前記基準電圧は(V_{ramp+}) - (V_{ramp-}) - V_{sh} に等しく、 V_{sh} は、前記A/D変換器によって生じるオフセット電圧より大きいか少なくとも等しく、 V_{ramp+} は前記基準ランプ信号の最高値であり、 V_{ramp-} は該基準ランプ信号の最低値である、請求項5に記載の信号感知装置。

【請求項10】 前記信号感知装置は、CMOSタイプのイメージセンサである、請求項8に記載の信号感知装置。

【請求項11】 前記CMOSタイプのイメージセンサは、モノリシックCMOSタイプのイメージセンサである、請求項10に記載の信号感知装置。

【請求項12】 信号感知装置を初期化する方法であって、

該信号感知装置は、N個のアナログ信号をそれぞれ出力するためのN列の出力ラインを有する信号感知アレイと、N個の入力ラインとN個のデジタル信号を生成するN個のA/D変換器とを有する信号処理手段とを含み、該N個のデジタル信号のそれぞれは、該N個のアナログ信号の1つに対応しており、Nは1よりも大きい整数であり、

該方法は、

(a) 該N個のアナログ信号を生成する前の初期化期間に、所定の基準電圧を該信号処理手段の該N個のA/D変換器の出力に結合させることにより、A/D変換器のセットの各々に対応する補償値が該N個のA/D変換器のそれぞれの該出力において得られるステップであって、該補償値は、該基準電圧が印加されるとき、対応するA/D変換器からのデジタル信号に対するバイナリ補数である、ステップと、

(b) 該N個のアナログ信号を生成する前に、該N個のA/D変換器のそれぞれにおけるカウンタを該対応する補償値を用いて初期化することにより、該対応するA/D変換器のデジタル出力を補償するステップであって、これにより、該信号処理手段内の素子の不均一性を均衡化するステップと

を含む、方法。

【請求項13】 前記ステップ(b)が、前記補償値を対応する1つのカウンタにコードすることにより、N個のサンプリング回路を用いて該カウンタから出力されるデジタル信号を補償するステップをさらに含む、請求項12に記載の方法。

【請求項14】 前記ステップ(b)が、前記補償値をラッチし、Nセットのサンプリング回路を用いて前記対応するカウンタの前記出力に該補償値を加えるステップをさらに含む、請求項12に記載の方法。

【請求項15】 前記ステップ(a)の前に、前記N個のサンプリング回路を用いて前記N個のアナログ信号のそれぞれをサンプリングすることにより、該アナログ信号に対応するサンプリングされたアナログ信号をそれぞれ生成するステップをさらに含む、請求項12に記載の方法。

【請求項16】 前記N個のA/D変換器のそれぞれに、基準ランプ信号を受け取る第1の入力端子と、前記サンプリングされたアナログ信号を受け取る第2の入力端子とを提供するステップをさらに含む、請求項15に記載の方法。

【請求項17】 前記ステップ(b)が、前記所定の基準電圧を、前記初期化期間の

間に、前記 N 個のサンプリング回路のそれぞれの前記第 1 の入力端子および第 2 の入力端子に印加することにより、A / D 変換器のセットの各々に対応する前記補償値が該 A / D 変換器の出力において得られるステップをさらに含む、請求項 1 5 に記載の方法。

【請求項 1 8】 前記ステップ (b) が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの出力に印加することにより、前記 N 個の A / D 変換器のそれぞれに対応する前記補償値が該 A / D 変換器の出力において得られるステップをさらに含む、請求項 1 5 に記載の方法。

【請求項 1 9】 前記信号感知アレイにイメージ感知アレイを提供するステップをさらに含む、請求項 1 2 に記載の方法。

【請求項 2 0】 前記基準電圧に (V_{ramp+}) - (V_{ramp-}) - V_{sh} を提供するステップをさらに含み、 V_{sh} は前記 A / D 変換器によって生じるオフセット電圧よりも大きいか少なくとも等しく、 V_{ramp+} は、前記基準ランプ信号の最高値であり、 V_{ramp-} は、該基準ランプ信号の最低値である、請求項 1 6 に記載の方法。

【請求項 2 1】 前記信号感知装置に、CMOS タイプのイメージセンサを提供するステップをさらに含む、請求項 1 9 に記載の方法。

【請求項 2 2】 前記 CMOS タイプのイメージセンサにモノシリック CMOS タイプのイメージセンサを提供するステップをさらに含む、請求項 2 1 に記載の方法。

【請求項 2 3】 信号感知装置において使用される信号処理手段であって、該信号感知装置は、N 個のアナログ信号をそれぞれ出力するための N 列の出力ラインを有する信号感知手段を含み、

該信号処理手段は、N 個の入力ラインを有し、かつ、N 個のデジタル信号を生成し、該 N 個のデジタル信号のそれぞれは、該 N 個のアナログ信号の 1 つに対応しており、N は 1 よりも大きな整数であり、

該信号処理手段は、N 個の A / D 変換器を含み、

該 N 個の A / D 変換器のそれぞれは、該 N 個のデジタル信号のうちの 1 つを生成するためのカウンタを含み、

該 N 個のデジタル信号が生成される前の初期化期間において、所定の基準電圧が該 N 個の A / D 変換器の入力に結合され、該 N 個の A / D 変換器のそれぞれに対応する補償値が得られ、該補償値は、該初期化期間中に該基準電圧が印加されるとき、該対応する A / D 変換器からのデジタル信号に対するバイナリ補数であり、該 N 個の A / D 変換器のそれぞれにおける該カウンタが、該対応する A / D 変換器の該デジタル出力を補償するように該補償値を用いて初期化され、これにより、該信号処理手段内の素子の不均一性を均衡化する、信号処理手段。

【請求項 2 4】 N 個の初期化回路をさらに含み、該 N 個の初期化回路のそれぞれは、前記補償値を前記対応するカウンタにロードすることにより、該対応するカウンタの前記デジタル出力を補償する、請求項 2 3 に記載の信号処理手段。

【請求項 2 5】 N 個の初期化回路をさらに含み、該 N 個の初期化回路のそれぞれは、前記補償値をラッチし、該補償値を前記対応するカウンタの前記出力に加えることにより、該対応するカウンタの前記デジタル出力を補償する、請求項 2 3 に記載の信号処理手段。

【請求項 2 6】 N 個のサンプリング回路をさらに含み、該 N 個のサンプリング回路のそれぞれは、前記 N 個のアナログ信号のうちの対応する 1 つに応答して、サンプリングされたアナログ信号を生成する、請求項 2 3 に記載の信号処理手段。

【請求項 2 7】 前記 N 個の A / D 変換器のそれぞれが、基準ランプ信号を受信するための第 1 の入力端子と、前記サンプリングされたアナログ信号を受信するための第 2 の入力端子とを有する、請求項 2 6 に記載の信号処理手段。

【請求項 2 8】 前記 N 個のサンプリング回路のそれぞれが、第 1 の入力端子と第 2 の入力端子とを含み、前記初期化期間に、前記所定の基準電圧が、該第 1 の入力端子および該第 2 の入力端子に印加され、前記 N 個の A / D 変換器のそれぞれに対応する前記補償値が該 A / D 変換器の出力において得られる、請求項 2 6 に記載の信号処理手段。

【請求項 29】 前記初期化期間中、前記所定の基準電圧が前記N個のサンプリング回路のそれぞれの出力に印加され、A/D変換器のセットの各々に対応する前記補償値が前記A/D変換器の出力において得られる、請求項26に記載の信号処理手段。

【請求項 30】 前記信号感知手段は、イメージ感知アレイである、請求項23に記載の信号処理手段。

【請求項 31】 前記基準電圧は、(V_{ramp+}) - (V_{ramp-}) - V_{sh}に等しく、V_{sh}は、前記A/D変換器によって生じるオフセット電圧よりも大きいか少なくとも等しく、V_{ramp+}は、前記基準ランプ信号の最高値であり、V_{ramp-}は、該基準ランプ信号の最低値である、請求項27に記載の信号処理手段。

【請求項 32】 N個のアナログ信号をそれぞれ出力するためのN列の出力ラインを有する信号感知手段と、N個の入力ラインを有し、かつ、N個のデジタル信号を生成するN個のA/D変換器を有する信号処理手段であって、該N個のデジタル信号のそれぞれは、該N個のアナログ信号のうちの1つに対応しており、Nは1よりも大きな整数である、信号処理手段とを備えた信号感知装置において、該信号処理手段内の素子の不均一性を最小化するために、該信号処理手段内の該N個のA/D変換器のうちの対応する1つの中のカウンタを初期化する方法であって、

(i) 該N個のアナログ信号を生成する前の初期化期間中に、所定の基準電圧を該信号処理手段の該N個のA/D変換器の出力に結合させることにより、該N個のA/D変換器のそれ各自に對応する補償値がA/D変換器のセットの各々の出力において得られるステップであって、該補償値は、該基準電圧が印加されるとき、該対応するA/D変換器からのデジタル信号に対するバイナリ補数である、ステップと、

(ii) 該N個のアナログ信号を生成する前に、該N個のA/D変換器のそれ各自における該カウンタを該対応する補償値を用いて初期化することにより、該対応するA/D変換器の該デジタル出力を補償するステップであって、これにより、該信号処理手段内の素子の不均一性を均衡化するステップと

を含む、方法。

【請求項 33】 前記ステップ(iii)が、N個の初期化回路を用いて、前記補償値を1つの対応するカウンタにロードすることにより、該カウンタからの前記デジタル信号出力を補償するステップをさらに含む、請求項32に記載の方法。

【請求項 34】 前記ステップ(ii)が、N個の初期化回路を用いて、前記補償値をラッチし、前記対応するカウンタの出力に該補償値を加えるステップをさらに含む、請求項32に記載の方法。

【請求項 35】 前記ステップ(i)の前に、前記N個のサンプリング回路を用いて前記N個のアナログ信号のそれぞれをサンプリングすることにより、該アナログ信号に対応するサンプリングされたアナログ信号をそれぞれ生成するステップをさらに含む、請求項32に記載の方法。

【請求項 36】 前記N個のA/D変換器のそれぞれに基準ランプ信号を受け取る第1の入力端子と、前記サンプリングされたアナログ信号を受け取る第2の入力端子とを提供するステップをさらに含む、請求項35に記載の方法。

【請求項 37】 前記ステップ(ii)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの前記第1の入力端子および第2の入力端子に印加することにより、前記N個のA/D変換器のそれぞれに対応する前記補償値が該A/D変換器の前記出力において得られるステップをさらに含む、請求項35に記載の方法。

【請求項 38】 前記ステップ(ii)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの出力に印加することにより、前記N個のA/D変換器のそれぞれに対応する前記補償値が前記A/D変換器の出力において得られるステップをさらに含む、請求項35に記載の方法。

【請求項 39】 前記信号感知手段にイメージ感知アレイを提供するステップをさらに含む、請求項32に記載の方法。

【請求項 40】 前記基準電圧に(V_{ramp+}) - (V_{ramp-}) - V_{sh}を提

供するステップをさらに含み、V_{sh}は、前記A/D変換器によって生じるオフセット電圧よりも大きいか少なくとも等しく、V_{ramp+}は、前記基準ランプ信号の最高値であり、V_{ramp-}は、該基準ランプ信号の最低値である、請求項3-6に記載の方法。