(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月24日(24.12.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/255338 A1

(51) 国際特許分類:
H02M 7/483 (2007.01) *H02M 7/48* (2007.01)

(21) 国際出願番号： PCT/JP2019/024526

(22) 国際出願日： 2019年6月20日(20.06.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: 東芝三菱電機産業システム株式会社(**TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEMS CORPORATION**) [JP/JP]; 〒1040031 東京都中央区京橋三丁目1番1号 Tokyo (JP).

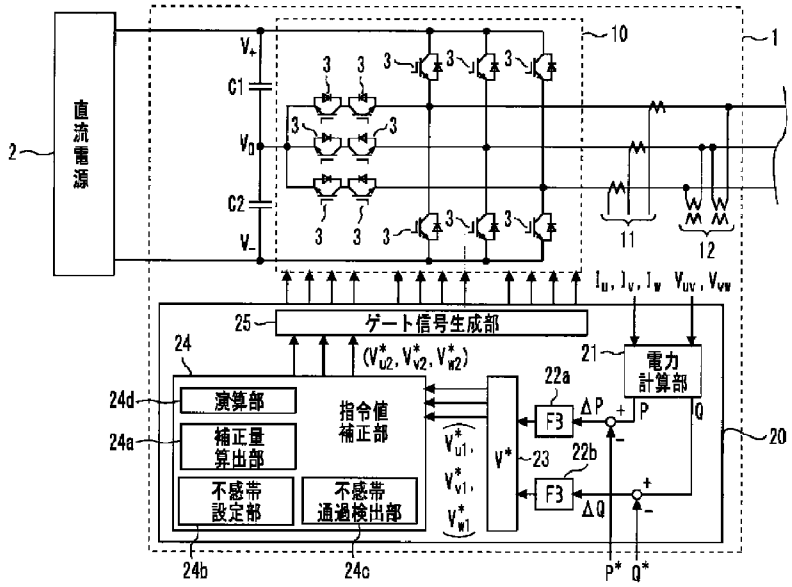
(72) 発明者: 鶴間 義徳 (**TSURUMA, Yoshinori**); 〒1040031 東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内 Tokyo (JP).

(74) 代理人: 高田 守, 外(**TAKADA, Mamoru** et al.); 〒1040045 東京都中央区築地1丁目12番22号 コンワビル7階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) **Title:** POWER CONVERSION DEVICE

(54) 発明の名称： 電力変換装置



2 DC power supply
21 Power computation unit
24 Command value correcting unit
24a Correction amount calculation unit
24b Dead band setting unit
24c Dead band passing detection unit
24d Computing unit
25 Gate signal generating unit

(57) **Abstract:** This power conversion device is provided with a three-level inverter circuit and an inverter control circuit which drives the three-level inverter circuit according to a double-carrier modulation scheme. The inverter control circuit is provided with: a command value computing unit which generates a three-phase output voltage command value; a command value correction unit which outputs a corrected command value obtained by correcting the three-phase output voltage command value; and a gate signal generating unit which generates a gate signal on the basis of the corrected command value. The command value correction unit is constructed such that, in a dead band passing period in which one AC voltage command value passes a dead band defined in advance around a zero value of the voltage command value, a

WO 2020/255338 A1

[続葉有]

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

predetermined voltage command value corresponding to an end of the dead band is output instead of the one AC voltage command value, and such that a difference between the one AC voltage command value and the predetermined voltage command value in the dead band passing period is allocated to other two AC voltage command values.

(57) 要約: 電力変換装置は、三レベルインバータ回路と、ダブルキャリア変調方式で三レベルインバータ回路を駆動するインバータ制御回路と、を備える。インバータ制御回路は、三相出力電圧指令値を生成する指令値演算部と、三相出力電圧指令値に補正を施した補正後指令値を出力する指令値補正部と、補正後指令値に基づいてゲート信号を生成するゲート信号生成部と、を備える。指令値補正部は、電圧指令値のゼロ値の周辺に予め定められた不感帯を一つの交流電圧指令値が通過する期間である不感帯通過期間には、一つの交流電圧指令値の代わりに不感帯の端に対応する所定電圧指令値を出力するとともに、不感帯通過期間における一つの交流電圧指令値と所定電圧指令値との差分を他の二つの交流電圧指令値に分配するように構築されたものである。

明　細　書

発明の名称 ： 電力変換装置

技術分野

[0001]　本出願は、電力変換装置に関するものである。

背景技術

[0002]　従来、例えば日本特開２００１－１３６７５０号公報に記載されているように、ダブルキャリア変調方式のインバータ回路が知られている。この公報における段落０００２および図１０には、中性点電位クランプ方式の三レベルインバータ回路が例示されている。

[0003]　三レベルインバータに印加されるＰＷＭパルスは、指令電圧と三角波キャリアとを比較して作成されるのが一般的である。ＰＷＭパルス生成方法の一例として、この段落０００２および図８にダブルキャリアユニポーラ変調の一例が記載されている。この図８によれば、一つの指令電圧と、レベルの異なる二つの三角波キャリアとが比較される。指令電圧が三角波キャリアを超えている期間に、スイッチング素子が導通される。

先行技術文献

特許文献

[0004] 特許文献1：日本特開２００１－１３６７５０号公報

発明の概要

発明が解決しようとする課題

[0005]　インバータ回路が持つアーム回路にアーム短絡が発生することを防ぐために、デッドタイムが設けられていることが一般的である。デッドタイムは、複数の半導体スッチング素子のオンオフタイミングをずらすための遅延時間である。デッドタイムの長さによって、ＰＷＭパルスのターンオンエッジをどの程度遅延させるかが決定される。

[0006]　図９は、ダブルキャリア変調方式を説明するための図である。図９には、電圧指令値Ｖ*のゼロ値を示す基準軸（Ｖ*＝０）が図示されている。交流電

圧指令値Ｖ*$_u$、Ｖ*$_v$、Ｖ*$_w$と電圧指令値のゼロ値との交差点を「ゼロクロス」とも称す。図９には、「ゼロクロス付近領域ＸＯ」を表す破線枠が図示されている。

[0007] ゼロクロス付近領域ＸＯは、交流電圧指令値のゼロクロス付近の領域である。ゼロクロス付近領域ＸＯには、二つの三角波キャリア信号ＣＷ１、ＣＷ２それぞれの波形先端が並んでいる。三角波キャリア信号ＣＷ１、ＣＷ２の先端幅は狭いので、交流電圧指令値Ｖ*$_u$、Ｖ*$_v$、Ｖ*$_w$のゼロクロス付近においては、ＰＷＭパルスの幅が狭く生成される傾向がある。

[0008] 狭すぎる幅のＰＷＭパルスを生成しようとしても、そのような狭小なパルスはインバータ回路のデッドタイムによって消滅してしまうおそれがある。デッドタイムによるＰＷＭパルス消滅が起きることで、電圧指令値のゼロクロス付近においてインバータ制御の制御性が低下しやすいという問題があった。

[0009] 本出願は、上述のような課題を解決するためになされたもので、電圧指令値のゼロクロス付近で制御性が低下しないように改良された電力変換装置を提供することを目的とする。

課題を解決するための手段

[0010] 本出願にかかる電力変換装置は、

複数の半導体スイッチング素子を含む三レベルインバータ回路と、

ダブルキャリア変調方式で前記三レベルインバータ回路を駆動するためのゲート信号を出力するインバータ制御回路と、

を備え、

前記インバータ制御回路は、

前記三レベルインバータ回路の出力電流と出力電圧とに基づいて、一つの交流電圧指令値と他の二つの交流電圧指令値とを含む三相出力電圧指令値を生成する指令値演算部と、

前記三相出力電圧指令値に補正を施した補正後指令値を出力する指令値補正部と、

前記補正後指令値に基づいて前記ゲート信号を生成するゲート信号生成部と、

を備え、

前記指令値補正部は、電圧指令値のゼロ値の周辺に予め定められた不感帯を前記一つの交流電圧指令値が通過する期間である不感帯通過期間には、前記一つの交流電圧指令値の代わりに前記不感帯の端に対応する所定電圧指令値を出力するとともに、前記不感帯通過期間における前記一つの交流電圧指令値と前記所定電圧指令値との差分を前記他の二つの交流電圧指令値に分配するように構築されたものである。

発明の効果

[0011] 本出願にかかる電力変換装置によれば、ゼロクロス付近に不感帯が設定されている。一つの交流電圧指令値がこの不感帯を通過するときには、ゼロクロス直近の小さな値が交流電圧指令値として設定されないように、交流電圧指令値に一定の制限を与えることができる。この制限により一つの交流電圧指令値が停滞した分は、他の二つの交流電圧指令値に分配することで、全体としてみれば適切な三相出力電圧指令値をインバータ回路に与えることができる。これにより、ゼロクロス付近での制御性が低下することを抑制することができる。

図面の簡単な説明

[0012] [図1]実施の形態にかかる電力変換装置の構成を示す図である。

[図2]実施の形態にかかる電力変換装置が備える指令値補正部の構成を示す図である。

[図3]実施の形態にかかる指令値補正部の動作を説明するためのタイムチャートである。

[図4]実施の形態にかかる指令値補正部の動作を説明するためのタイムチャートである。

[図5]実施の形態にかかる指令値補正部の動作を説明するためのタイムチャートである。

[図6]実施の形態にかかる指令値補正部の動作を説明するためのタイムチャートである。

[図7]実施の形態にかかる電力変換装置が備える指令値補正部の具体的構成の一例を示す図である。

[図8]実施の形態にかかる電力変換装置が備える指令値補正部の具体的構成の動作を説明するための図である。

[図9]関連技術としてのダブルキャリア変調方式を説明するための図である。

[図10]実施の形態の変形例にかかる指令値補正部の動作を説明するためのタイムチャートである。

[図11]実施の形態の変形例にかかる指令値補正部の動作を説明するためのタイムチャートである。

発明を実施するための形態

[0013] 図１は、実施の形態にかかる電力変換装置１の構成を示す図である。電力変換装置１は、直流電源２からの直流電力を三相交流電力に変換する。電力変換装置１は、入力コンデンサＣ１，Ｃ２と三レベルインバータ回路１０とインバータ制御回路２０と変流器（ＣＴ）１１と計器用変成器（ＶＴ）１２とを備えている。

[0014] 三レベルインバータ回路１０は、複数の半導体スイッチング素子３を含んでいる。三レベルインバータ回路１０は、中性点スイッチ方式のインバータ回路である。半導体スイッチング素子３は、絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ）などの電力用半導体素子である。

[0015] 三レベルインバータ回路１０は、アーム回路を備えている。アーム回路は、複数の半導体スイッチング素子３が直列接続された回路である。

[0016] 図１に示すように、直流電源２の正極出力と三レベルインバータ回路１０のハイサイド母線とが接続されており、このハイサイド母線にはハイサイド電位Ｖ＋が印加される。直流電源２の負極出力と三レベルインバータ回路１０のローサイド母線とが接続されており、このローサイド母線にはローサイド電位Ｖ－が印加される。

[0017] 入力コンデンサＣ１，Ｃ２からなる直列回路の一端は、上記のハイサイド母線に接続される。入力コンデンサＣ１，Ｃ２からなる直列回路の他端は、上記のローサイド母線に接続される。入力コンデンサＣ１と入力コンデンサＣ２との接続点から中性点電位Ｖ０が与えられる。

[0018] 半導体スイッチング素子３の制御電極には、ゲート信号であるゲートパルスが印加される。ゲートパルスは、インバータ制御回路２０で生成される。ゲートパルスは、パルス幅変調（ＰＷＭ）パルスである。ゲートパルスによって、複数の半導体スイッチング素子３がオンオフ駆動する。

[0019] 変流器１１と計器用変成器１２は、三レベルインバータ回路１０の三相出力電流Ｉｕ、Ｉｖ、Ｉｗと三相出力電圧Ｖｕ、Ｖｖ、Ｖｗとを変換してインバータ制御回路２０に伝達する。

[0020] インバータ制御回路２０は、電力計算部２１とフィードバック制御部２２ａ、２２ｂと電圧指令値Ｖ*を生成するインバータ電圧指令演算部２３と指令値補正部２４とゲート信号生成部２５とを備えている。

[0021] 実施の形態では、一例として、下記の計算ロジックに従って三相出力電圧指令値が算出される。電力計算部２１は、複数の計器用変成器１２の計測値および複数の変流器１１の計測値に基づいて有効電力計測値と無効電力計測値とを計算する。インバータ制御回路２０は、インバータ制御回路２０の外部に設けられたインバータ電圧指令演算部（図示せず）から指令値を受け取る。指令値は、有効電力指令値Ｐ*と無効電力指令値Ｑ*とを含んでいる。

[0022] 有効電力差分ΔＰが、第一の減算ブロックで演算される。有効電力差分ΔＰは、電力計算部２１からの有効電力計測値Ｐと有効電力指令値Ｐ*との差分である。無効電力差分ΔＱが、第二の減算ブロックで演算される。無効電力差分ΔＱは、電力計算部２１からの無効電力計測値Ｑと無効電力指令値Ｑ*との差分である。

[0023] フィードバック制御部２２ａは、有効電力差分ΔＰに対して公知のフィードバック制御を実施する。フィードバック制御部２２ｂは、無効電力差分ΔＱに対して公知のフィードバック制御を実施する。それぞれのフィードバッ

ク制御は、ＰＩ制御とＰ制御とＰＩＤ制御とのうち任意の一つを用いることができる。

[0024] インバータ電圧指令演算部２３は、フィードバック制御部２２ａからの有効電力指令値とフィードバック制御部２２ｂからの無効電力指令値とに基づいて三相電圧指令値を生成する。すなわち、インバータ電圧指令演算部２３は、三レベルインバータ回路１０の三相出力電流Ｉｕ、Ｉｖ、Ｉｗと三相出力電圧Ｖｕ、Ｖｖ、Ｖｗとに基づく電力計算部２１と減算ブロックとフィードバック制御部２２ａ、２２ｂとによる一連の制御処理結果を受け取る。

[0025] この一連の制御処理結果に基づいて、インバータ電圧指令演算部２３は三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}を生成する。

[0026] なお、上記のような有効電力および無効電力に基づく計算ロジックの代わりに、実施の形態の変形例としてＭＰＰＴ（（Ｍａｘｉｍｕｍ　Ｐｏｗｅｒ　Ｐｏｉｎｔ　Ｔｒａｃｋｉｎｇ）制御に従って三相出力電圧指令値が設定されるようにインバータ制御回路２０が構築されてもよい。このような変形例にかかるＭＰＰＴ制御による三相出力電圧指令値の設定は、例えば直流電源２が太陽電池アレイである場合に用いることができる。

[0027] 三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}は、第一相交流電圧指令値V^*_{u1}と第二相交流電圧指令値V^*_{v1}と第三相交流電圧指令値V^*_{w1}とを含んでいる。

[0028] 指令値補正部２４は、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}に補正を施した補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}を出力する。補正の内容を説明すると、まず、指令値補正部２４は、不感帯通過期間T_{DB}に、「不感帯ＤＢを通過中の一つの交流電圧指令値」の代わりに不感帯ＤＢの端に対応する所定電圧指令値V_{DB}を出力する。

[0029] 不感帯通過期間T_{DB}は、不感帯ＤＢを三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}のうち一つの交流電圧指令値が通過する期間である。不感帯ＤＢは、電圧指令値Ｖ*のゼロ値（Ｖ*＝０）の周辺に予め定められた指令値範囲である。不感帯ＤＢの幅は、不感帯上限値V_{DBH}と不感帯下限値V_{DBL}とで決まる。

不感帯上限値V_{DBH}および不感帯下限値V_{DBL}は不感帯ＤＢのプラス端とマイナス端とを決める値であり、これらを所定電圧指令値V_{DB}とも称す。

[0030] 指令値補正部２４は、不感帯通過期間T_{DB}に、所定電圧指令値V_{DB}を出力するとともに、差分ΔV^*を「他の二つの交流電圧指令値」に分配する。「他の二つの交流電圧指令値」とは、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}のうち、不感帯ＤＢの外側に存在する二つの交流電圧指令値のことである。差分ΔV^*は、不感帯通過期間T_{DB}における、不感帯ＤＢを通過中の一つの交流電圧指令値と所定電圧指令値V_{DB}との差分である。

[0031] これらの補正の結果、補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}が出力される。補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}は、補正後第一相交流電圧指令値V^*_{u2}と補正後第二相交流電圧指令値V^*_{v2}と補正後第三相交流電圧指令値V^*_{w2}とを含んでいる。

[0032] 図２は、実施の形態にかかる電力変換装置１が備える指令値補正部２４の構成を示す図である。図３～図６は、実施の形態にかかる指令値補正部２４の動作を説明するためのタイムチャートである。図３の上段に、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}が図示されている。図３の下段に、補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}が図示されている。図３の中段には、補正に用いられる補正量ΔV^*が図示されている。

[0033] 図３から把握されるように、第一ゼロクロスｚｘ１と第二ゼロクロスｚｘ２と第三ゼロクロスｚｘ３と第四ゼロクロスｚｘ４と第五ゼロクロスｚｘ５と第六ゼロクロスｚｘ６とがこの順番で繰り返し到来する。

[0034] 図４は、図３における時刻ｔｘ１の付近を指し示す破線部分Ｘ１を拡大したものである。図５は、図３における時刻ｔｘ２の付近を指し示す破線部分Ｘ２を拡大したものである。

[0035] 以下、指令値補正部２４の構成及び動作を説明する。以下の説明において、便宜上、「一つの交流電圧指令値」および「他の二つの交流電圧指令値」という用語を用いる。「一つの交流電圧指令値」とは、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}のうちの任意の一つの交流電圧指令値を指している。

[0036] この「一つの交流電圧指令値」という用語は、主に、不感帯ＤＢを通過する交流電圧指令値を、他の交流電圧指令値と区別するために用いられる。下記の説明では「一つの交流電圧指令値」に特定の相の交流電圧指令値を対応付けて説明することがあるが、「一つの交流電圧指令値」には三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}のいずれが代入されてもよい。

[0037] 一方、「他の二つの交流電圧指令値」とは、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}のうち上記一つの交流電圧指令値を除く残りの二つの一つの交流電圧指令値を指している。「他の二つの交流電圧指令値」という用語は、主に、不感帯ＤＢの外側にある交流電圧指令値を参照するために用いられる。

[0038] 図２に示すように、指令値補正部２４は、補正量算出部２４ａと不感帯設定部２４ｂと不感帯通過検出部２４ｃと補正演算部２４ｄとを含んでいる。

[0039] 不感帯設定部２４ｂは、不感帯ＤＢの幅を設定するためのブロックである。不感帯ＤＢは、図３～図６に記載されているように、電圧指令値Ｖ*のゼロ値（Ｖ*＝０）の周辺に予め定められた範囲である。

[0040] 不感帯設定部２４ｂは、不感帯上限値V_{DBH}と不感帯下限値V_{DBL}とをそれぞれ設定変更可能に構築されている。実施の形態では、一例として、不感帯上限値V_{DBH}と不感帯下限値V_{DBL}とが、正負符号が逆であり且つ同じ大きさを持つように設定されている。その結果、指令値ゼロ（Ｖ*＝０）を軸として不感帯ＤＢはプラス側とマイナス側に同じ幅を持っている。

[0041] 不感帯通過検出部２４ｃは、不感帯通過期間T_{DB}を検出する。不感帯通過期間T_{DB}は、不感帯ＤＢを一つの交流電圧指令値が通過する期間である。不感帯通過検出部２４ｃは、不感帯ＤＢに一つの交流電圧指令値が突入した時刻とこの一つの交流電圧指令値が不感帯ＤＢを離脱した時刻との間の期間を不感帯通過期間T_{DB}として検出する。

[0042] 図４には、補正動作の一例として、第二相交流電圧指令値V^*_{u1}が不感帯ＤＢをローサイド（マイナス側）からハイサイド（プラス側）へと通過する期間に実施される補正動作が図示されている。

[0043] 図５には、一例として、第一相交流電圧指令値V^*_{u1}が不感帯ＤＢをハイサ

イド（プラス側）からローサイド（マイナス側）へと通過する期間に実施される補正動作が図示されている。

[0044] 補正量算出部２４ａは、不感帯通過期間T_{DB}において、不感帯ＤＢを通過中の一つの交流電圧指令値と所定電圧指令値V_{DB}との差分ΔV^*を算出する。この差分ΔV^*が、補正量ΔV^*である。差分ΔV^*の演算周期は、不感帯通過期間T_{DB}に比べて十分に短いものとする。

[0045] 所定電圧指令値V_{DB}は、不感帯ＤＢの端に対応する値である。実施の形態では、一例として、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}それぞれが不感帯ＤＢに突入する時に不感帯ＤＢと交差する値を、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}それぞれの所定電圧指令値V_{DB}として取り扱う。

[0046] すなわち、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}それぞれがプラス側から不感帯ＤＢに突入するときには、不感帯上限値$V_{DB}H$が、補正量算出部２４ａで差分を算出するための所定電圧指令値V_{DB}である。逆に、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}それぞれがマイナス側から不感帯ＤＢに突入するときには、不感帯下限値$V_{DB}L$が、補正量算出部２４ａで差分を算出するための所定電圧指令値V_{DB}である。

[0047] 実施の形態では、図２に示すように、補正量算出部２４ａが、第一補正量算出ブロック２４ａ１と第二補正量算出ブロック２４ａ２と第三補正量算出ブロック２４ａ３とを備える。

[0048] 第一補正量算出ブロック２４ａ１は、不感帯通過検出部２４ｃで検出されたゼロクロス方向に応じて、第一相交流電圧指令値V^*_{u1}と不感帯設定部２４ｂの所定電圧指令値V_{DB}とに基づいて、補正量ΔV^*を算出する。補正量算出のための所定電圧指令値ＶＤＢには、具体的にはV_{DBH}およびV_{DBL}のいずれか一つが選択的に使用される。

[0049] 第二補正量算出ブロック２４ａ２は、不感帯通過検出部２４ｃで検出されたゼロクロス方向に応じて、第二相交流電圧指令値V^*_{v1}と不感帯設定部２４ｂの所定電圧指令値V_{DB}とに基づいて、補正量ΔV^*を算出する。第三補正量算出ブロック２４ａ３は、不感帯通過検出部２４ｃで検出されたゼロクロス

方向に応じて、第三相交流電圧指令値V^*_{w1}と不感帯設定部２４ｂの所定電圧指令値V_{DB}とに基づいて、補正量ΔV^*を算出する。

[0050] 補正演算部２４ｄは、補正量ΔV^*を三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}それぞれに加算する。補正演算部２４ｄの加算によって、補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}それぞれが生成される。

[0051] 上記の制御処理によれば、まず、指令値補正部２４は、不感帯通過期間T_{DB}には、補正量ΔV^*の基礎となった一つの交流電圧指令値に対して補正量ΔV^*を加算する。図４の例であれば、一つの交流電圧指令値V^*_{u1}に対してΔV^*が加算されている。この加算処理により、一つの交流電圧指令値が不感帯下限値$V_{DB}L$に固定される。

[0052] 従って、一つの交流電圧指令値の代わりに不感帯ＤＢの端に対応する所定電圧指令値V_{DB}が出力され、この所定電圧指令値V_{DB}が補正後指令値V^*_{u2}として取り扱われる。その結果、一つの交流電圧指令値の値が小さくなりすぎないようにゼロクロス付近で電圧指令値を不連続的に変化させることができる。

[0053] これに加えて、指令値補正部２４は、不感帯通過期間T_{DB}に、補正量ΔV^*を他の二つの交流電圧指令値に加算する。図４の例では、補正量ΔV^*が、他の二つの交流電圧指令値V^*_{v1}、V^*_{w1}に加算されている。この加算処理によって、差分ΔV^*が他の二つの交流電圧指令値に分配され、分配後の指令値が補正後指令値として取り扱われる。他の二つの交流電圧指令値に対する指令値の分配によって、三相の相間電圧を保持することができる。

[0054] ゲート信号生成部２５は、指令値補正部２４からの補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}に基づいてゲート信号を生成する。ゲート信号は、三レベルインバータ回路１０が持つ半導体スイッチング素子３のゲート駆動用ＰＷＭ信号である。

[0055] ゲート信号生成部２５は、デッドタイム生成部とキャリア信号生成部とＰＷＭ信号生成部とを含んでいる。

[0056] デッドタイム生成部について説明する。三レベルインバータ回路１０が持

つアーム回路にアーム短絡が発生することを防ぐために、デッドタイムが設けられている。デッドタイムは、アーム回路を構成するハイサイドの半導体スイッチング素子３とローサイドの半導体スイッチング素子３とのオンタイミングをずらすための遅延時間である。デッドタイムの長さによって、ＰＷＭパルスのターンオンエッジをどの程度遅延させるかが決定される。インバータ回路におけるデッドタイム設定技術は既に公知の技術であり、新規の事項ではないので、詳細な説明は省略する。

[0057] キャリア信号生成部について説明する。ゲート信号生成部２５は、ダブルキャリア変調方式で三レベルインバータ回路１０を駆動するためのゲート信号を出力する。ダブルキャリア変調方式では、レベルの異なる二つの三角波キャリア信号ＣＷ１、ＣＷ２が用いられる（図６参照）。ゲート信号生成部２５は、これらの三角波キャリア信号ＣＷ１、ＣＷ２を出力するキャリア信号生成部（図示せず）を含んでいる。

[0058] 図６に示すように、二つの三角波キャリア信号ＣＷ１、ＣＷ２は、ハイレベル三角波キャリア信号ＣＷ１とローレベル三角波キャリア信号ＣＷ２である。ハイレベル三角波キャリア信号ＣＷ１は、電圧指令値Ｖ*のゼロ値（Ｖ*＝０）を基準として、プラスの値を取る搬送波である。ローレベル三角波キャリア信号ＣＷ２は、電圧指令値Ｖ*のゼロ値（Ｖ*＝０）を基準として、マイナスの値を取る搬送波である。

[0059] ＰＷＭ信号生成部について説明する。図６に示すように、補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}は、ハイレベル三角波キャリア信号ＣＷ１およびローレベル三角波キャリア信号ＣＷ２それぞれと交差する。補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}と各三角波キャリア信号ＣＷ１、ＣＷ２の交差点に基づいて、ゲートパルスの立ち上がりエッジおよび立ち下がりエッジが決定される。

[0060] 一例として、補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}が三角波キャリア信号ＣＷ１、ＣＷ２を超えている期間にスイッチング素子を導通させるように、ＰＷＭゲートパルスが生成される。なお、電圧指令値と三角波キャリアとを比較してＰＷＭパルスを作成する技術は、既に公知の技術であり新規の事項で

はないので、ＰＷＭ信号生成部についてのこれ以上の説明は省略する。

[0061] 以上説明した実施の形態にかかる電力変換装置１は、下記の効果を奏する。三角波キャリア信号ＣＷ１、ＣＷ２の先端幅は狭いので、図９の関連技術で述べたように、交流電圧指令値V^*_u、V^*_v、V^*_wのゼロクロス付近においてはＰＷＭパルスの幅が狭く生成されるおそれがある。

[0062] この点、実施の形態にかかる電力変換装置１によれば、狭すぎる幅のＰＷＭパルスが生成されることを抑制するために、電圧指令値のゼロクロス付近に不感帯ＤＢ（図３～図６参照）が設定されている。この不感帯ＤＢに基づき不感帯通過期間T_{DB}が検出される。不感帯通過期間T_{DB}においては、ゼロクロス直近の小さな値が交流電圧指令値として設定されないように、補正量ΔＶ*の加算によって一つの交流電圧指令値に一定の制限が加えられる。一定の制限が加えられることで一つの交流電圧指令値が所定電圧指令値に保持されることとなる。この所定電圧指令値が補正後指令値V^*_{u2}としてゲート信号生成部２５で使用される。

[0063] これらの一連の制御処理によれば、ゼロクロス付近で交流電圧指令値の値に制限が加えられることで、インバータ回路のデッドタイムにより消滅するような狭小なパルスが生成されることを防止できる。その結果、電圧指令値のゼロクロス付近においてインバータ制御の制御性が低下することを抑制することができる。

[0064] また、実施の形態によれば、補正量ΔＶ*の加算によって一つの交流電圧指令値V^*_{u1}が停滞した停滞分は、他の二つの交流電圧指令値V^*_{v1}、V^*_{w1}に分配される。分配後の値が補正後指令値V^*_{v2}、V^*_{w2}としてゲート信号生成部２５で使用される。これにより、三相の相間電圧を適正に保つことができる。

[0065] このようにして、不感帯通過期間T_{DB}において三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}それぞれに補正が施されるものの、全体としてみれば適切な補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}をインバータ回路１０に与えることができる。これにより、電圧指令値のゼロクロス付近での制御性が低下することを

抑制することができる。これにより、例えば電圧指令値のゼロクロス付近における電流ひずみなどの問題を抑制することができる。

[0066] 実施の形態では、指令値補正部２４が不感帯ＤＢを設定するための不感帯設定部２４ｂを含むので、不感帯ＤＢの幅を可変設定できるという利点がある。その結果、電圧指令値のゼロクロス付近での制御性低下を抑制するための必要十分な幅に、不感帯ＤＢを設定できる利点がある。

[0067] 実施の形態では、指令値補正部２４が不感帯通過検出部２４ｃを含むので、不感帯通過期間T_{DB}を正確に検出できるという利点がある。

[0068] 実施の形態では、指令値補正部２４が補正量算出部２４ａと補正演算部２４ｄとを含んでいる。これにより、一つの補正量ΔＶ*を演算してこれを三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}に加算することで、補正後指令値V^*_{u2}、V^*_{v2}、V^*_{w2}を生成することができる。従って、複雑な演算処理を行わなくともよく、ハードウェア構成あるいはソフトウェア処理がシンプルになるという利点がある。

[0069] 図７は、実施の形態にかかる電力変換装置１が備える指令値補正部２４の具体的構成の一例を示す図である。図８は、実施の形態にかかる電力変換装置１が備える指令値補正部２４の具体的構成の動作を説明するための図である。図７の指令値補正部２４は、図２に記載した補正量算出部２４ａと不感帯設定部２４ｂと不感帯通過検出部２４ｃと補正演算部２４ｄそれぞれの構成を具体化したものである。

[0070] 不感帯通過検出部２４ｃは、６つの検出ブロックで構築されている。第一検出ブロックは、第一相交流電圧指令値V^*_{u1}が不感帯ＤＢを上から下に通過中であるときに１を出力し、そうでないときに０を出力する。なお、ここで言及する「上」および「下」とは、図３～図６のタイミングチャートにおける紙面の上下に対応している。たとえば、電圧指令値が上から下に通過することは、電圧指令値がハイサイドからローサイドに不感帯ＤＢを通過することを意味している。

[0071] 第二検出ブロックは、第一相交流電圧指令値V^*_{u1}が不感帯ＤＢを下から上

に通過中であるときに１を出力し、そうでないときに０を出力する。第三検出ブロックは、第二相交流電圧指令値V^*_{v1}が不感帯ＤＢを上から下に通過中であるときに１を出力し、そうでないときに０を出力する。

[0072] 第四検出ブロックは、第二相交流電圧指令値V^*_{v1}が不感帯ＤＢを下から上に通過中であるときに１を出力し、そうでないときに０を出力する。第五検出ブロックは、第三相交流電圧指令値V^*_{w1}が不感帯ＤＢを上から下に通過中であるときに１を出力し、そうでないときに０を出力する。第六検出ブロックは、第三相交流電圧指令値V^*_{w1}が不感帯ＤＢを下から上に通過中であるときに１を出力し、そうでないときに０を出力する。

[0073] 補正量算出部２４ａは、６つのスイッチＳＷ１～ＳＷ６を備えている。第一スイッチＳＷ１には、不感帯上限値V_{DBH}と第一相交流電圧指令値V^*_{u1}との第一差分値が入力されている。第一スイッチＳＷ１は、第一検出ブロックの出力に応じて、第一差分値とゼロとの間で出力を切り替える。第一検出ブロックの出力が１であれば、第一スイッチＳＷ１から第一差分値が出力される。第一検出ブロックの出力が０であれば、第一スイッチＳＷ１からゼロが出力される。

[0074] 第二スイッチＳＷ２には、不感帯下限値V_{DBL}と第一相交流電圧指令値V^*_{u1}との第二差分値が入力されている。第二スイッチＳＷ２は、第二検出ブロックの出力に応じて、第二差分値とゼロとの間で出力を切り替える。第二検出ブロックの出力が１であれば、第二スイッチＳＷ２から第二差分値が出力される。第二検出ブロックの出力が０であれば、第二スイッチＳＷ２からゼロが出力される。

[0075] 第三スイッチＳＷ３には、不感帯上限値V_{DBH}と第二相交流電圧指令値V^*_{v1}との第三差分値が入力されている。第三スイッチＳＷ３は、第三検出ブロックの出力に応じて、第三差分値とゼロとの間で出力を切り替える。第三検出ブロックの出力が１であれば、第三スイッチＳＷ３から第三差分値が出力される。第三検出ブロックの出力が０であれば、第三スイッチＳＷ３からゼロが出力される。

[0076] 第四スイッチＳＷ４には、不感帯下限値V_{DBL}と第二相交流電圧指令値V^*_{v1}との第四差分値が入力されている。第四スイッチＳＷ４は、第四検出ブロックの出力に応じて、第四差分値とゼロとの間で出力を切り替える。第四検出ブロックの出力が１であれば、第四スイッチＳＷ４から第四差分値が出力される。第四検出ブロックの出力が０であれば、第四スイッチＳＷ４からゼロが出力される。

[0077] 第五スイッチＳＷ５には、不感帯上限値V_{DBH}と第三相交流電圧指令値V^*_{w1}との第五差分値が入力されている。第五スイッチＳＷ５は、第五検出ブロックの出力に応じて、第五差分値とゼロとの間で出力を切り替える。第五検出ブロックの出力が１であれば、第五スイッチＳＷ５から第五差分値が出力される。第五検出ブロックの出力が０であれば、第五スイッチＳＷ５からゼロが出力される。

[0078] 第六スイッチＳＷ６には、不感帯下限値V_{DBL}と第三相交流電圧指令値V^*_{w1}との第六差分値が入力されている。第六スイッチＳＷ６は、第六検出ブロックの出力に応じて、第六差分値とゼロとの間で出力を切り替える。第六検出ブロックの出力が１であれば、第六スイッチＳＷ６から第六差分値が出力される。第六検出ブロックの出力が０であれば、第六スイッチＳＷ６からゼロが出力される。

[0079] 補正量算出部２４ａは、第一スイッチＳＷ１～第六スイッチＳＷ６の合計値を出力する。ただし、図３から把握されるように、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}それぞれのゼロクロスタイミングは互いに異なっている。

[0080] 具体的には、図３から把握されるように、第一ゼロクロスｚｘ１と第二ゼロクロスｚｘ２と第三ゼロクロスｚｘ３と第四ゼロクロスｚｘ４と第五ゼロクロスｚｘ５と第六ゼロクロスｚｘ６とがこの順番で繰り返し到来する。

[0081] 第一ゼロクロスｚｘ１は、ｗ相指令値が指令値ゼロを上から下に通過するゼロクロスである。第二ゼロクロスｚｘ２は、ｖ相指令値が指令値ゼロを下から上に通過するゼロクロスである。第三ゼロクロスｚｘ３は、ｕ相指令値が指令値ゼロを上から下に通過するゼロクロスである。

[0082] 第四ゼロクロスｚｘ４は、ｗ相指令値が指令値ゼロを下から上に通過するゼロクロスである。第五ゼロクロスｚｘ５は、ｖ相指令値が指令値ゼロを上から下に通過するゼロクロスである。第六ゼロクロスｚｘ６は、ｕ相指令値が指令値ゼロを下から上に通過するゼロクロスである。

[0083] なお、「上から下」とは、プラス値からマイナス値へと向かう変化を意味している。「下から上」とは、マイナス値からプラス値へと向かう変化を意味している。

[0084] 従って、ゼロ以外の差分値を出力するスイッチは、第五スイッチＳＷ５、第四スイッチＳＷ４、第一スイッチＳＷ１、第六スイッチＳＷ６、第三スイッチＳＷ３、第二スイッチＳＷ２、第五スイッチＳＷ５、・・・という順番で交代していく。このように第一スイッチＳＷ１～第六スイッチＳＷ６のなかで一つのスイッチのみがゼロ以外の差分値を出力し、残りのスイッチがゼロを出力する。その結果、補正量算出部２４ａからは、上記の第一差分値から第六差分値のなかのいずれか一つの値が、選択的に差分値ΔＶ*として出力される。

[0085] 補正量算出部２４ａが出力した差分値ΔＶ*は、補正演算部２４ｄにおいて、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}に加算される。

[0086] 図８を用いて、図４に示すゼロクロスの場合における図７の回路動作を説明する。図４は、ｕ相指令値が下から上に不感帯ＤＢを通過するので、第六ゼロクロスｚｘ６に対応している。まず、図８の信号Ｓ１として、第一相交流電圧指令値V^*_{u1}が補正演算部２４ｄに伝達される。これと同時に、図８の信号Ｓ２として、第一相交流電圧指令値V^*_{u1}が不感帯通過検出部２４ｃの第二ブロックに入力される。

[0087] さらに、図８の信号Ｓ３として、第一相交流電圧指令値V^*_{u1}が補正量算出部２４ａへと入力される。また、不感帯設定部２４ｂから、図８の信号Ｓ４である不感帯下限値V_{DBL}が、補正量算出部２４ａへと入力される。

[0088] 不感帯下限値V_{DBL}と第一相交流電圧指令値V^*_{u1}との差分が、補正量ΔＶ*として算出される。補正量ΔＶ*は、図８の信号Ｓ５である。

[0089] 不感帯通過検出部２４ｃの第二ブロックは、図８の信号Ｓ６として、１を出力する。信号Ｓ６は、補正量算出部２４ａの第二スイッチＳＷ２をオンに切り替える。オンされた第二スイッチＳＷ２は、補正量ΔＶ*を信号Ｓ７として出力する。

[0090] その後、信号Ｓ７は第一スイッチＳＷ１の出力と加算されることで信号Ｓ８となり、この信号Ｓ８はさらに第三スイッチＳＷ３～第六スイッチＳＷ６の出力と合計されることで信号Ｓ９となる。信号Ｓ９は、補正量算出部２４ａの出力である。

[0091] 前述したように、第二スイッチＳＷ２が補正量ΔＶ*を算出しているときには、他のスイッチの出力は全てゼロである。従って、信号Ｓ９は、信号Ｓ５の値と一致する。補正演算部２４ｄは、信号Ｓ９である補正量ΔＶ*を、三相出力電圧指令値V^*_{u1}、V^*_{v1}、V^*_{w1}に加算する。

[0092] 図１０および図１１は、実施の形態の変形例にかかる指令値補正部２４の動作を説明するためのタイムチャートである。図１０は、図４に示した時刻ｔｘ１付近の補正動作を変形させたものである。図１１は、図５に示した時刻ｔｘ２付近の補正動作を変形させたものである。

[0093] 図４、図５、図１０および図１１を関連付けて説明すると、指令値補正部２４の補正動作バリエーションには、下記の表に示すように四つの種類が存在する。第一補正動作は、図４で説明したものである。第二補正動作は、図５で説明したものである。表１の「所定電圧指令値」は、不感帯ＤＢを通過する交流電圧指令値が、不感帯通過期間T_{DB}に貼り付く値である。

[0094]

[表1]

	ゼロクロス方向	対応図	補正量ΔV*	所定電圧指令値	他の二つの交流電圧指令値への分配
第一補正動作	ローサイドからハイサイド	図４	V_{DBL}と交流電圧指令値（V^*_{u1}、V^*_{v1}、V^*_{w1}）との差分	V_{DBL}	ΔV*を加算
第二補正動作	ハイサイドからローサイドへ	図５	V_{DBH}と交流電圧指令値（V^*_{u1}、V^*_{v1}、V^*_{w1}との差分	V_{DBH}	ΔV*を加算
第三補正動作	ローサイドからハイサイドへ	図１０	V_{DBH}と交流電圧指令値（V^*_{u1}、V^*_{v1}、V^*_{w1}）との差分	V_{DBH}	ΔV*を加算
第四補正動作	ハイサイドからローサイドへ	図１１	V_{DBL}と交流電圧指令値（V^*_{u1}、V^*_{v1}、V^*_{w1}との差分	V_{DBL}	ΔV*を加算

[0095] 図１０の第三補正動作におけるゼロクロス方向は、ローサイドからハイサイドへ向かう方向（つまり図中の下から上）なので、図４の第一補正動作と同じである。しかし、第三補正動作は、不感帯ＤＢへの突入時に、不感帯ＤＢへの突入端に当たる不感帯下限値V_{DBL}ではなく、不感帯ＤＢの離脱点となる不感帯上限値V_{DBH}を用いて、差分ΔV*を算出する。

[0096] 図１１の第四補正動作におけるゼロクロス方向は、ハイサイドからローサイドへ向かう方向（つまり図中の上から下）なので、図５の第二補正動作と同じである。しかし、第四補正動作は、不感帯ＤＢへの突入時に、不感帯ＤＢへの突入端に当たる不感帯上限値V_{DBH}ではなく、不感帯ＤＢの離脱点となる不感帯下限値V_{DBL}を用いて、差分ΔV*を算出する。

[0097] なお、上記第三補正動作および第四補正動作を実現するためには、図２および図７に示した指令値補正部２４の回路ブロックにおいて、差分ΔV*を算出するロジックを変更すればよい。従って、詳細な回路説明は省略する。

[0098] 指令値補正部２４は、ローサイドからハイサイドへのゼロクロス方向について、第一補正動作と第三補正動作とのうち一方の補正動作を用いることができる。指令値補正部２４は、ハイサイドからローサイドへのゼロクロス方向について、第二補正動作と第四補正動作とのうち一方の補正動作を用いることができる。

[0099] 実施の形態では、指令値補正部２４が、上記の第一補正動作と第二補正動

作とを実行している。これに対し、変形例として、指令値補正部２４が、上記第一補正動作と第四補正動作とを実行してもよい。あるいは、他の変形例として、指令値補正部２４が、上記第二補正動作と第三補正動作とを実行してもよい。あるいは、他の変形例として、指令値補正部２４が、上記第三補正動作と第四補正動作とを実行してもよい。また、さらなる変形例として、指令値補正部２４が、上記第一～第四補正動作それぞれを実行可能に構築され、条件に応じてこれらを選択的に切り替えるように構築されてもよい。

[0100] なお、三レベルインバータ回路１０の変形例として、中性点電位クランプ方式のインバータ回路が用いられてもよい。中性点電位クランプ方式のインバータ回路の一例は日本特開２００１－１３６７５０号公報の図１０に記載されており、中性点電位クランプ方式のインバータ回路構成は新規な事項ではない。従って、図示及び説明を省略する。

符号の説明

[0101] １　電力変換装置、２　直流電源、３　半導体スイッチング素子、１０　インバータ回路（三レベルインバータ回路）、１１　変流器（ＣＴ）、１２　計器用変成器（ＶＴ）、２０　インバータ制御回路、２１　電力計算部、２２ａ　フィードバック制御部、２２ｂ　フィードバック制御部、２３　インバータ電圧指令演算部、２４　指令値補正部、２４ａ　補正量算出部、２４ａ１　第一補正量算出ブロック、２４ａ２　第二補正量算出ブロック、２４ａ３　第三補正量算出ブロック、２４ｂ　不感帯設定部、２４ｃ　不感帯通過検出部、２４ｄ　補正演算部、２５　ゲート信号生成部、Ｃ１、Ｃ２　入力コンデンサ、ＣＷ１　三角波キャリア信号（ハイレベル三角波キャリア信号）、ＣＷ２　三角波キャリア信号（ローレベル三角波キャリア信号）、ＤＢ　不感帯、Ｉｕ、Ｉｖ、Ｉｗ　三相出力電流、Ｐ　有効電力計測値、Ｐ＊　有効電力指令値、Ｑ　無効電力計測値、Ｑ＊　無効電力指令値、T_{DB}　不感帯通過期間、Ｖ－　ローサイド電位、Ｖ＋　ハイサイド電位、V^*_{u1}　三相出力電圧指令値（第一相交流電圧指令値）、V^*_{v1}　三相出力電圧指令値（第二相交流電圧指令値）、V^*_{w1}　三相出力電圧指令値（第三相交流電圧指令値）、

V^*_{u2}　補正後指令値（補正後第一相交流電圧指令値）、V^*_{v2}　補正後指令値（補正後第三相交流電圧指令値）、V^*_{w2}　補正後指令値（補正後第二相交流電圧指令値）、Ｖ０　中性点電位、V_{DB}　所定電圧指令値、V_{DBH}　不感帯上限値（所定電圧指令値）、V_{DBL}　不感帯下限値（所定電圧指令値）、Ｖｕ、Ｖｖ、Ｖｗ　三相出力電圧、Ｘ０　ゼロクロス付近領域、ｚｘ１　第一ゼロクロス、ｚｘ２　第二ゼロクロス、ｚｘ３　第三ゼロクロス、ｚｘ４　第四ゼロクロス、ｚｘ５　第五ゼロクロス、ｚｘ６　第六ゼロクロス、ΔＶ＊　差分（補正量）

請求の範囲

[請求項1] 複数の半導体スイッチング素子を含む三レベルインバータ回路と、

ダブルキャリア変調方式で前記三レベルインバータ回路を駆動するためのゲート信号を出力するインバータ制御回路と、

を備え、

前記インバータ制御回路は、

前記三レベルインバータ回路の出力電流と出力電圧とに基づいて、一つの交流電圧指令値と他の二つの交流電圧指令値とを含む三相出力電圧指令値を生成する指令値演算部と、

前記三相出力電圧指令値に補正を施した補正後指令値を出力する指令値補正部と、

前記補正後指令値に基づいて前記ゲート信号を生成するゲート信号生成部と、

を備え、

前記指令値補正部は、電圧指令値のゼロ値の周辺に予め定められた不感帯を前記一つの交流電圧指令値が通過する期間である不感帯通過期間には、前記一つの交流電圧指令値の代わりに前記不感帯の端に対応する所定電圧指令値を出力するとともに、前記不感帯通過期間における前記一つの交流電圧指令値と前記所定電圧指令値との差分を前記他の二つの交流電圧指令値に分配するように構築された電力変換装置。

[請求項2] 前記指令値補正部は、前記不感帯の幅を可変に設定可能な不感帯設定部を含む請求項１に記載の電力変換装置。

[請求項3] 前記指令値補正部は、前記不感帯に前記一つの交流電圧指令値が突入した第一時刻と前記一つの交流電圧指令値が前記不感帯を離脱した第二時刻との間の期間を前記不感帯通過期間として検出する不感帯通過検出部を含む請求項１または２に記載の電力変換装置。

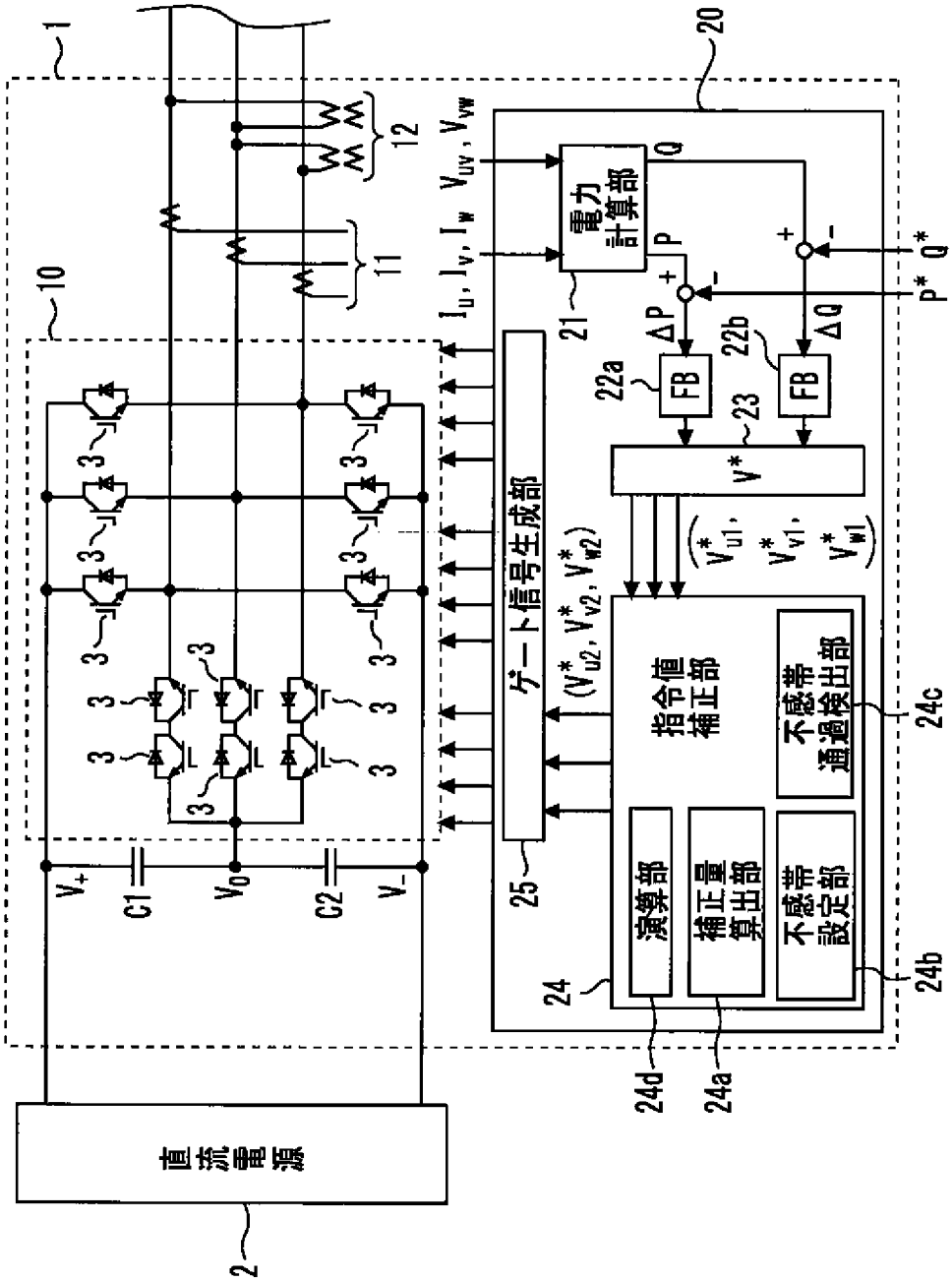
[請求項4] 前記指令値補正部は、

前記不感帯通過期間における前記一つの交流電圧指令値と前記所定電圧指令値との前記差分を算出する補正量算出部と、

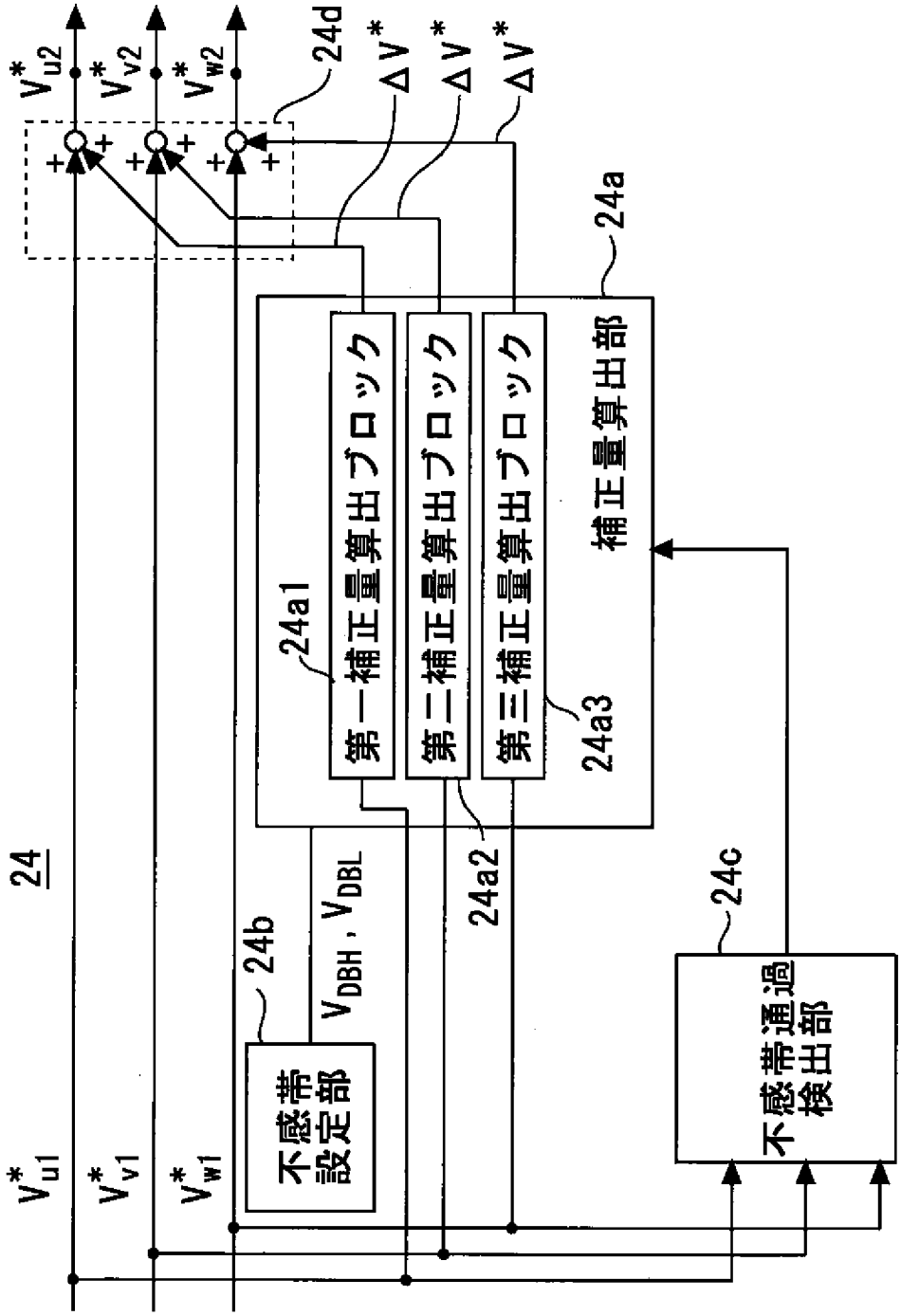
前記差分を前記一つの交流電圧指令値に加算することで前記一つの交流電圧指令値を前記所定電圧指令値に固定するとともに、前記差分を前記他の二つの交流電圧指令値に加算するように構築された補正演算部と、

を含む請求項１～３のいずれか１項に記載の電力変換装置。

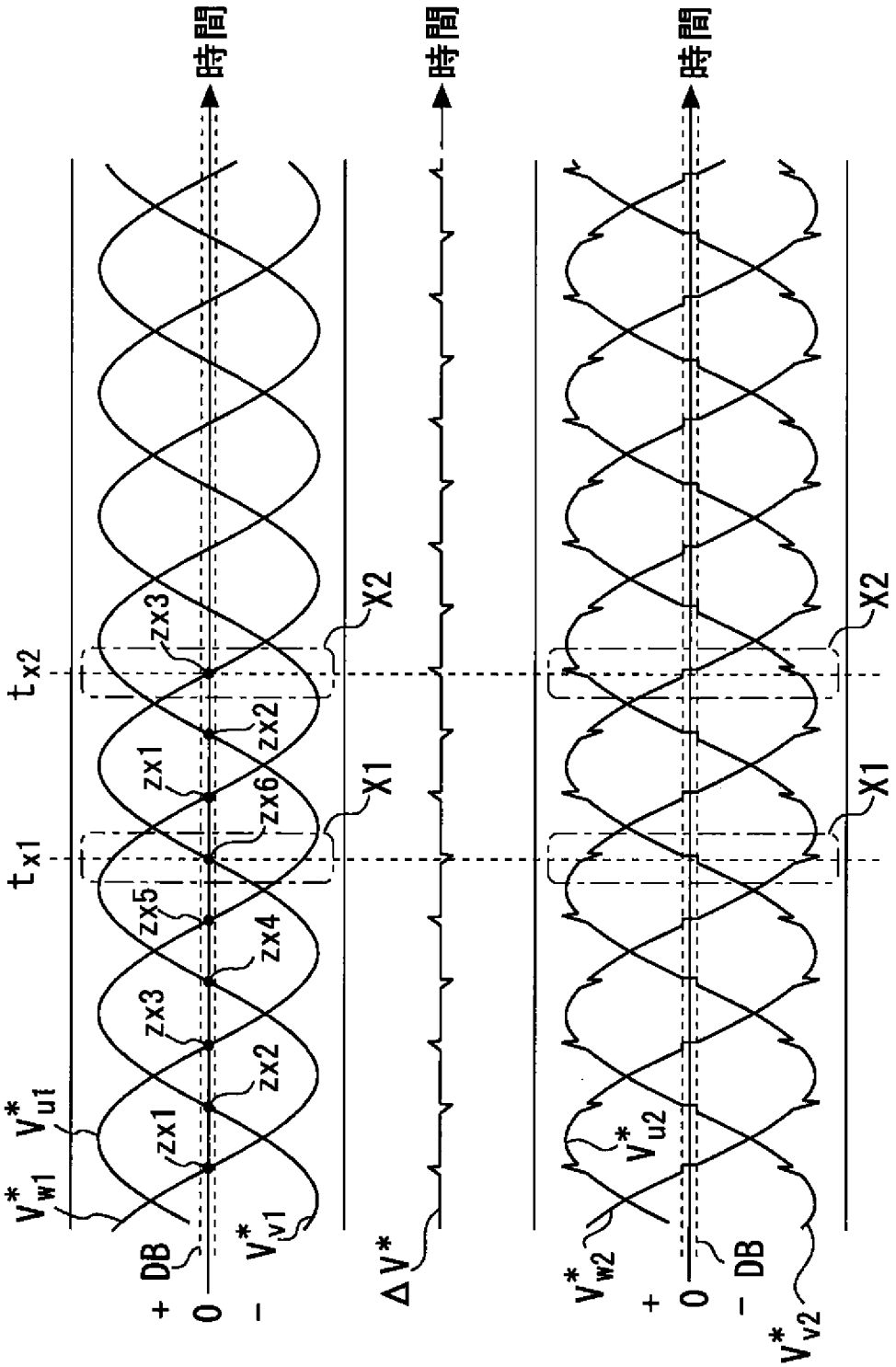
[図1]


1
20
10
12
11
V_{uv}, V_{vw}
I_u, I_v, I_w
電力計算部
P
Q
P* Q*
21
ΔP
ΔQ
22a
22b
FB
FB
23
V*
$(V^*_{u1}, V^*_{v1}, V^*_{w1})$
$(V^*_{u2}, V^*_{v2}, V^*_{w2})$
ゲート信号生成部
指令値補正部
不感帯通過検出部
24c
演算部
補正量算出部
不感帯設定部
24
24b
24d
24a
25
3
V_+
C1
V_0
C2
V_-
直流電源
2

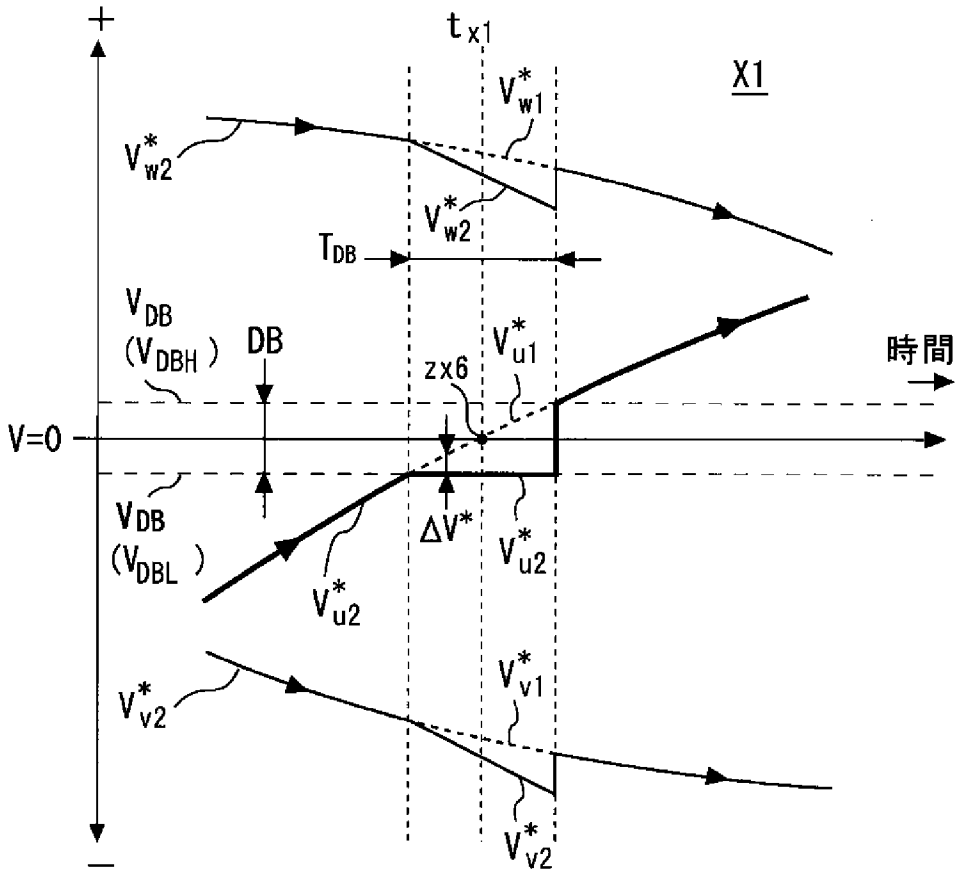
[図2]


24
V^*_{u1}
V^*_{v1}
V^*_{w1}
V^*_{u2}
V^*_{v2}
V^*_{w2}
24d
ΔV^*
ΔV^*
ΔV^*
24a
補正量算出部
第一補正量算出ブロック
第二補正量算出ブロック
第三補正量算出ブロック
24a1
24a2
24a3
24b
不感帯設定部
V_{DBH}, V_{DBL}
24c
不感帯通過検出部

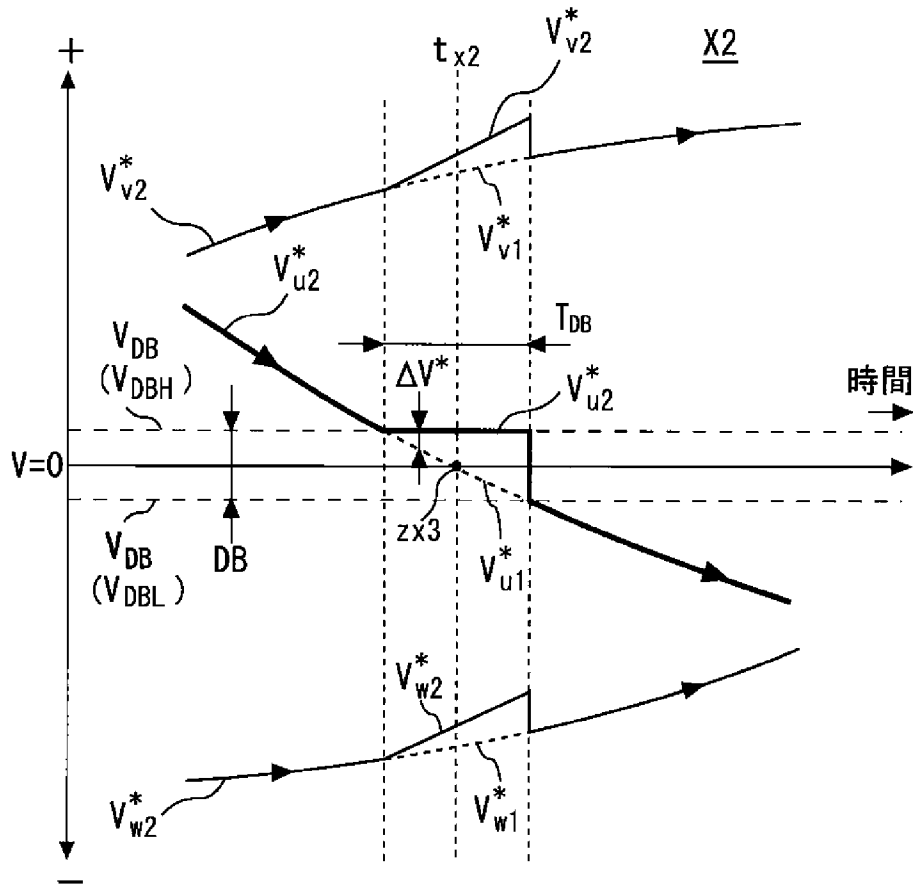
[図3]


時間
時間
時間
t_{x2}
t_{x1}
X2
X1
X2
X1
zx1
zx2
zx3
zx4
zx5
zx6
V^*_{u1}
V^*_{w1}
V^*_{v1}
V^*_{u2}
V^*_{w2}
V^*_{v2}
ΔV^*
+ DB
0
− DB

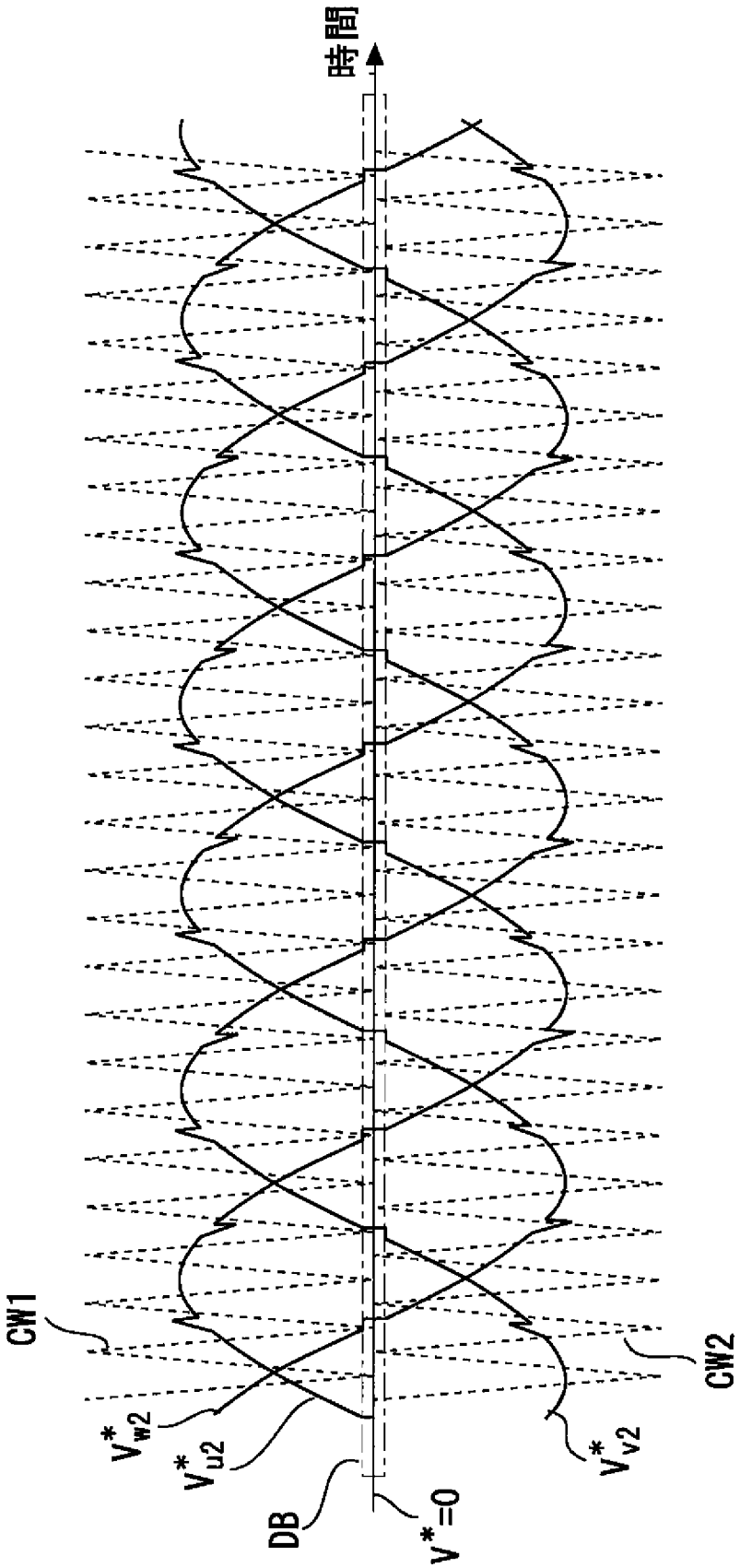
[図4]


+
−
t_{x1}
X1
V^*_{w1}
V^*_{w2}
V^*_{w2}
T_{DB}
V_{DB} (V_{DBH})
DB
V^*_{u1}
時間
zx6
V=0
V_{DB} (V_{DBL})
ΔV^*
V^*_{u2}
V^*_{u2}
V^*_{v1}
V^*_{v2}
V^*_{v2}

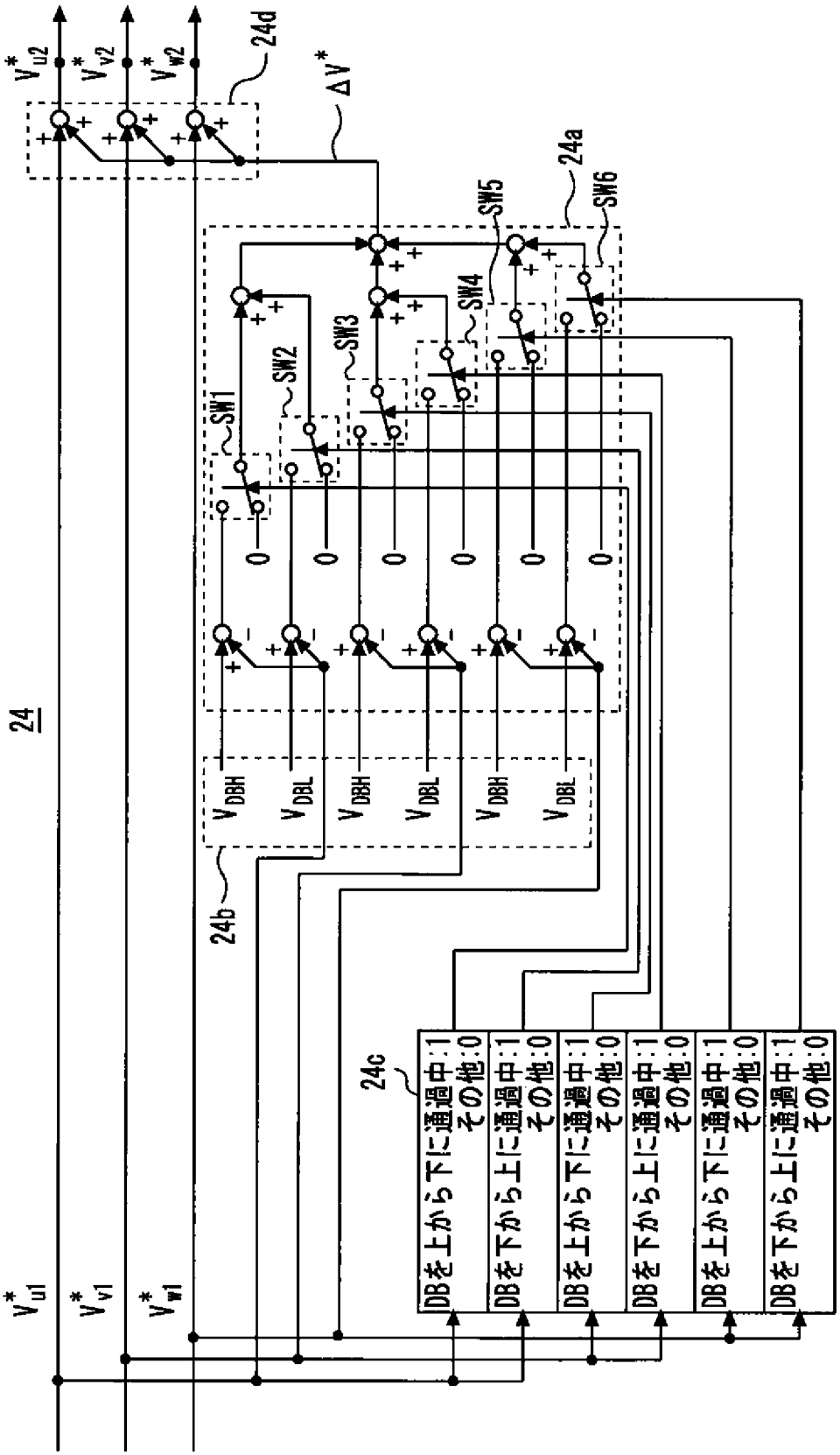
[図5]


+
−
t_{x2}
V^*_{v2}
X2
V^*_{v2}
V^*_{v1}
V^*_{u2}
T_{DB}
V_{DB} (V_{DBH})
ΔV^*
V^*_{u2}
時間
V=0
zx3
V_{DB} (V_{DBL})
DB
V^*_{u1}
V^*_{w2}
V^*_{w2}
V^*_{w1}

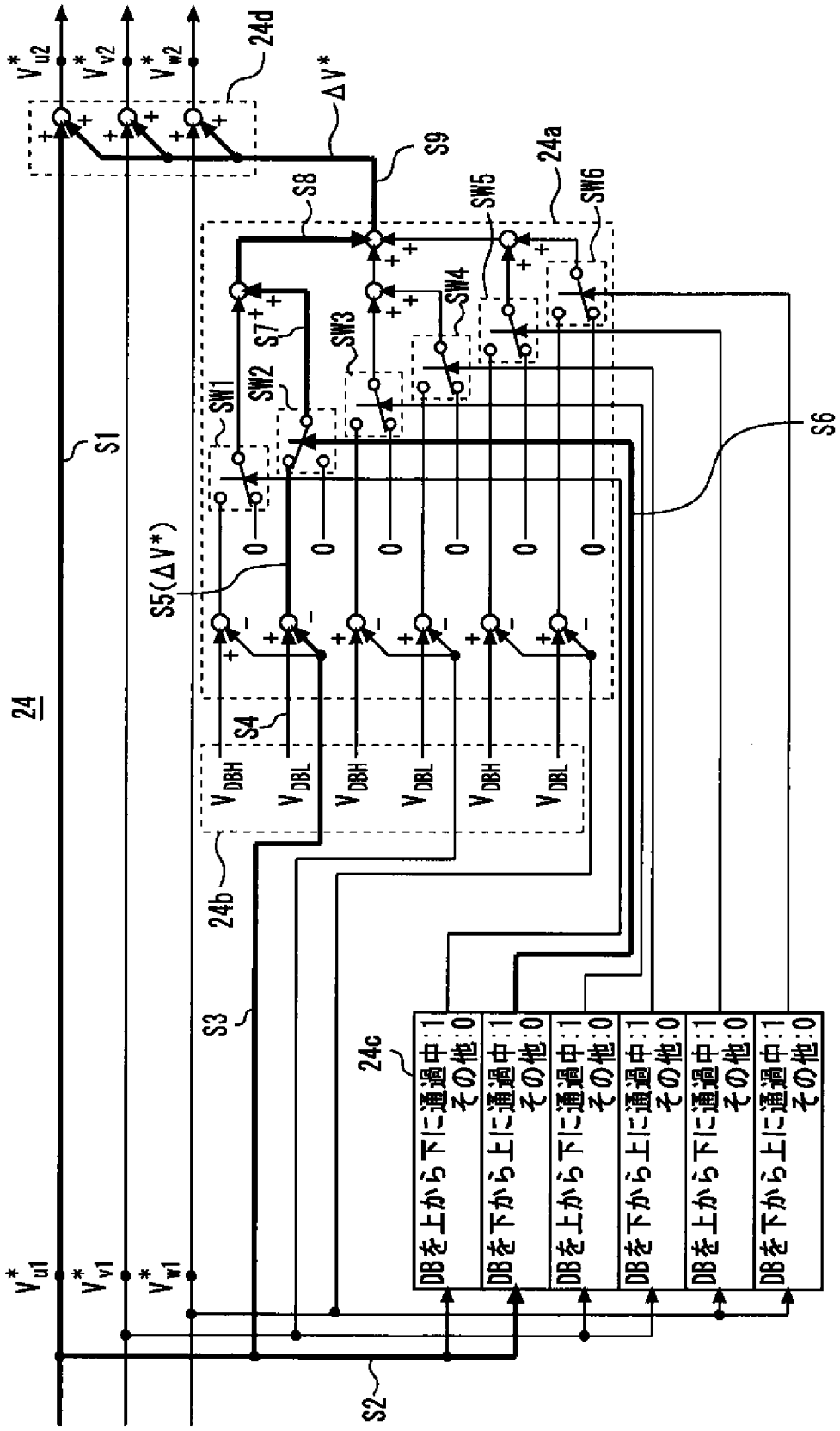
[図6]



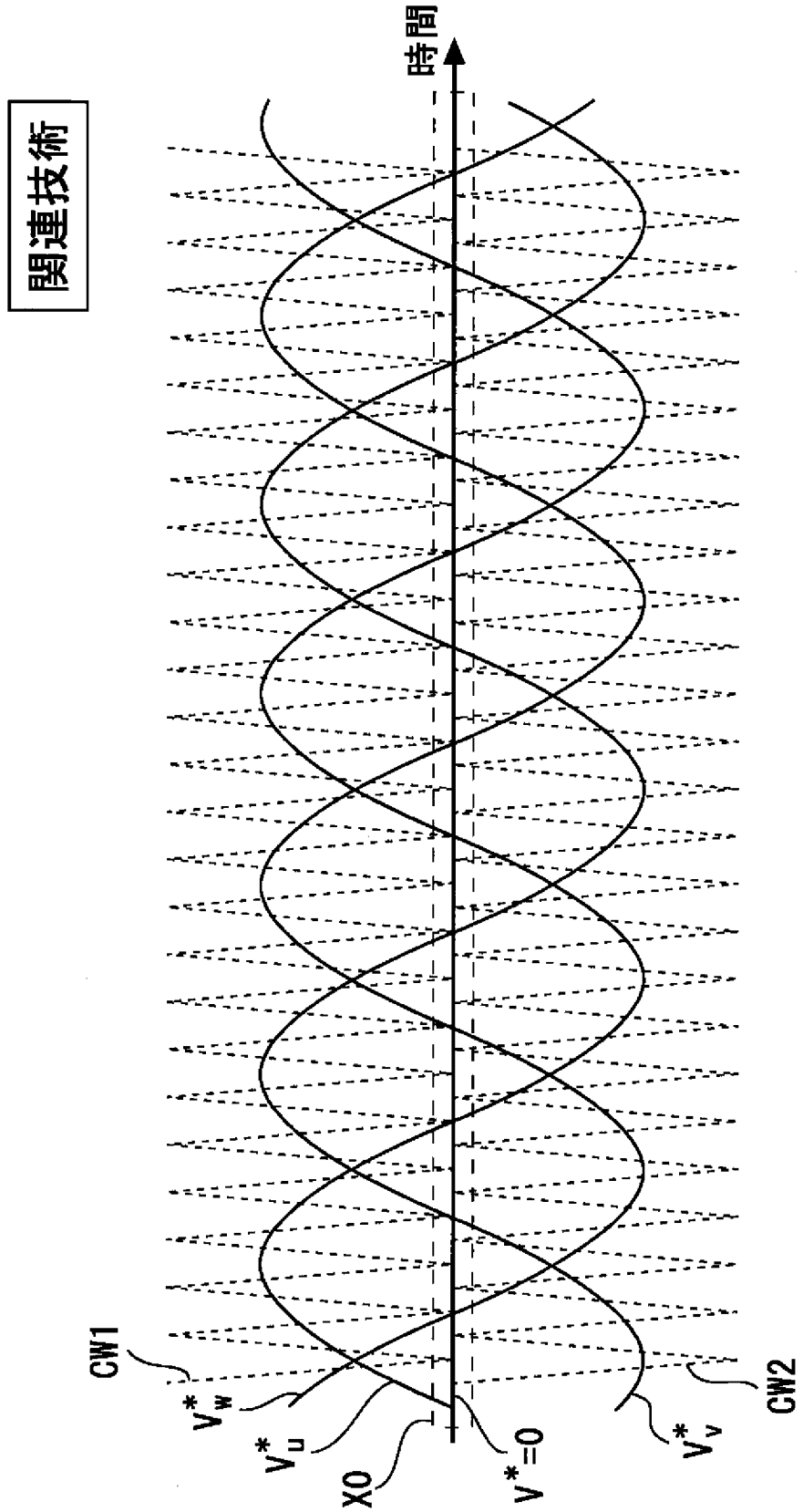
[図7]


24
24a
24b
24c
24d
SW1
SW2
SW3
SW4
SW5
SW6
ΔV*
DBを上から下に通過中:1 その他:0
DBを下から上に通過中:1 その他:0

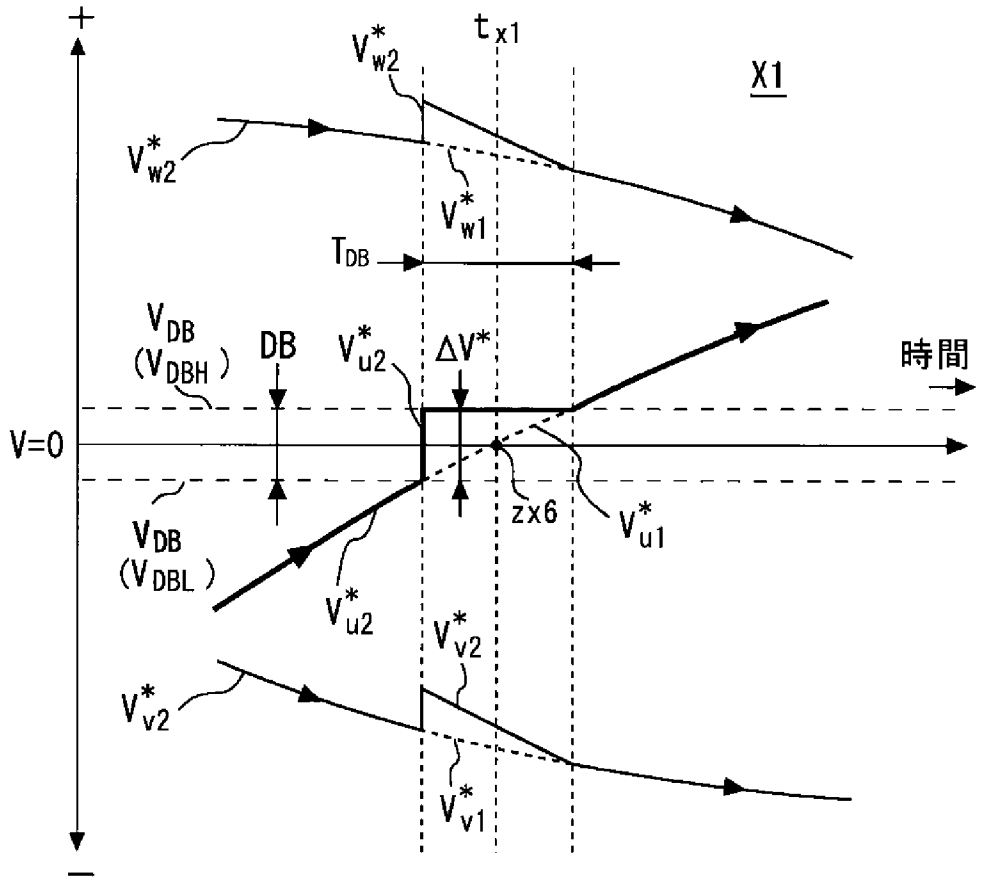
[図8]


24
24a
24b
24c
24d
S1
S2
S3
S4
S5(ΔV*)
S6
S7
S8
S9
ΔV*
SW1
SW2
SW3
SW4
SW5
SW6
V*u2
V*v2
V*w2
V*u1
V*v1
V*w1
VDBH
VDBL
0
DBを上から下に通過:1 その他:0
DBを下から上に通過:1 その他:0

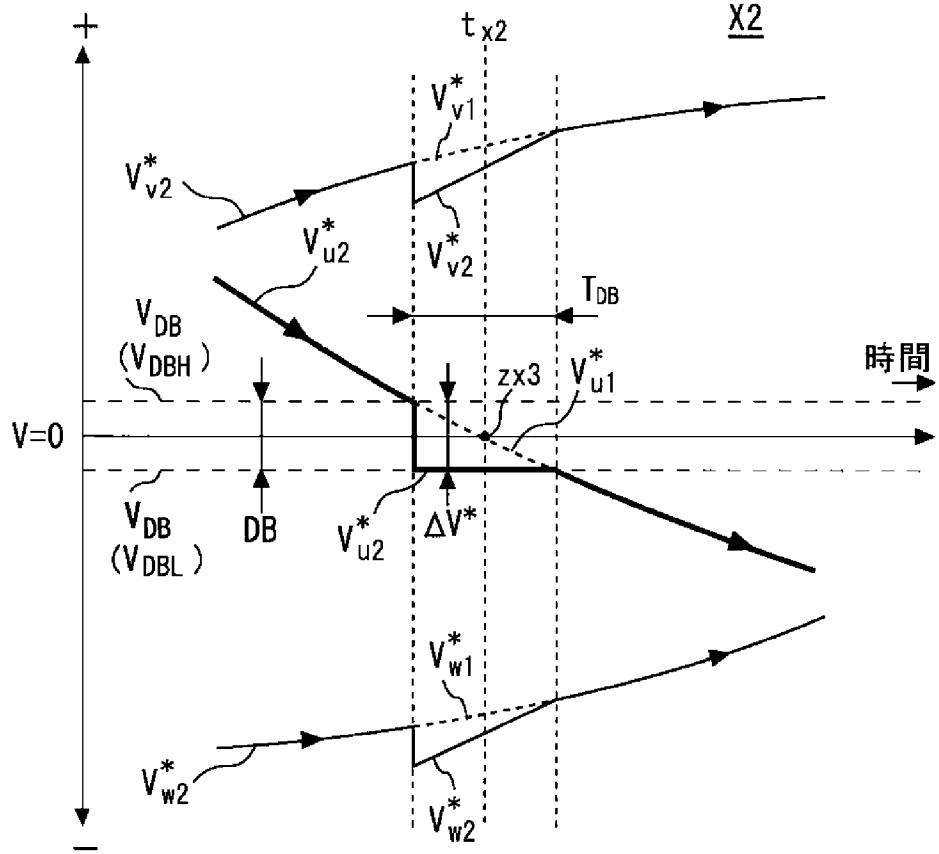
[図9]



[図10]


+
−
t_{x1}
X1
V^*_{w2}
V^*_{w1}
T_{DB}
V_{DB} (V_{DBH})
DB
V^*_{u2}
ΔV*
時間
V=0
zx6
V^*_{u1}
V_{DB} (V_{DBL})
V^*_{v2}
V^*_{v1}

[図11]


+
−
t_{x2}
X2
V^*_{v1}
V^*_{v2}
V^*_{u2}
T_{DB}
V_{DB} (V_{DBH})
zx3
V^*_{u1}
時間
V=0
V_{DB} (V_{DBL})
DB
ΔV*
V^*_{w1}
V^*_{w2}

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/024526

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H02M7/483(2007.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H02M7/483, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/033964 A1 (TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEMS CORP.) 22 February 2018, entire text, all drawings & US 2019/0190403 A1, entire text, all drawings & CN 109769404 A	1-4
A	JP 2016-32373 A (HITACHI, LTD.) 07 March 2016, entire text, all drawings (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 August 2019 (28.08.2019)	10 September 2019 (10.09.2019)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/024526

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-225525 A (DAIKIN INDUSTRIES, LTD.) 01 October 2009, entire text, all drawings & EP 2254232 A1, entire text, all drawings & KR 10-2010-0107076 A & CN 101971476 A	1-4

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０２４５２６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/483(2007.01)i, H02M7/48(2007.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/483, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2018/033964 A1 (東芝三菱電機産業システム株式会社) 2018.02.22, 全文, 全図 & US 2019/0190403 A1, 全文, 全図 & CN 109769404 A	1-4
A	JP 2016-32373 A (株式会社日立製作所) 2016.03.07, 全文, 全図 (ファミリーなし)	1-4

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２８．０８．２０１９	１０．０９．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｇ　２９５３
麻生　哲朗
電話番号　０３－３５８１－１１０１　内線　３５２６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-225525 A（ダイキン工業株式会社）2009.10.01，全文，全図 & EP 2254232 A1，全文，全図 & KR 10-2010-0107076 A & CN 101971476 A	1-4