

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/201357 A1

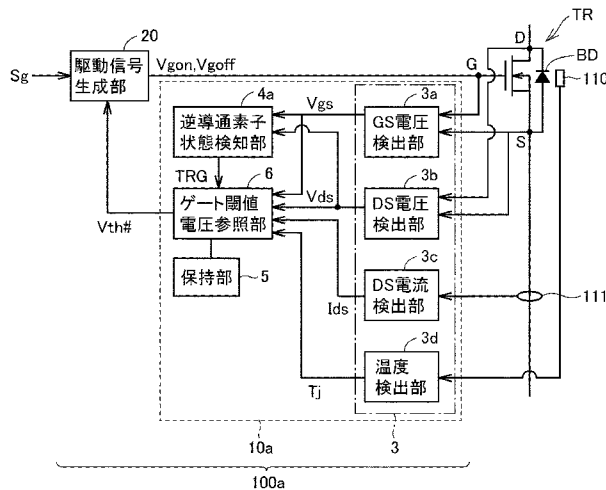
- (51) 国際特許分類:
H03K 17/687 (2006.01) H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2021/012233
- (22) 国際出願日: 2021年3月24日(24.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 越智 光樹(OCHI, Koki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 河原 知洋(KAWAHARA, Chihiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR ELEMENT DRIVING DEVICE AND POWER CONVERSION DEVICE

(54) 発明の名称: 半導体素子の駆動装置及び電力変換装置

【図1】



- 3a GS voltage detection unit
3b DS voltage detection unit
3c DS current detection unit
3d Temperature detection unit
4a Reverse conduction element state detection unit
5 Holding unit
6 Gate threshold voltage reference unit
20 Driving signal generation unit

(57) Abstract: In the present invention, a driving signal generation unit (20) outputs, to a gate (G), one of an ON gate voltage for turning a semiconductor element (TR) ON or an OFF gate voltage for turning same OFF. A gate threshold voltage estimation unit (10a) calculates an estimated value ($V_{th\#}$) of a gate threshold voltage of the semiconductor element (TR) on the basis of state information (V_{gs} , V_{ds} , I_{ds} , T_j) of the semiconductor element (TR), acquired when the semiconductor element (TR) is in an OFF state and a reverse conduction element (BD) is in a reverse conducting state of conducting.

[続葉有]

WO 2022/201357 A1

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 駆動信号生成部 (20) は、半導体素子 (TR) をオンするためのオンゲート電圧又はオフするためのオフゲート電圧の一方をゲート (G) に対して出力する。ゲート閾値電圧推定部 (10a) は、半導体素子 (TR) がオフ状態であり、かつ、逆導通素子 (BD) が通電する逆導通状態であるときに取得された、半導体素子 (TR) の状態情報 (V_{gs} , V_{ds} , I_{ds} , T_j) に基づいて、半導体素子 (TR) のゲート閾値電圧の推定値 ($V_{th\#}$) を算出する。

明 細 書

発明の名称：半導体素子の駆動装置及び電力変換装置

技術分野

[0001] 本開示は、半導体素子の駆動装置及び電力変換装置に関する。

背景技術

[0002] MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 及びIGBT (Insulated Gate Bipolar Transistor) に代表される、絶縁ゲート構造を有するトランジスタでは、温度変化や絶縁酸化膜の劣化等に起因して、ゲート閾値電圧が変動することが知られている。

[0003] 近年、適用拡大が進んでいる炭化珪素 (SiC) 半導体素子は、高耐圧、低損失、高速スイッチング、及び、高温動作等が可能になる一方で、珪素 (Si) 半導体素子と比較すると酸化膜の品質が低いため、ゲート閾値電圧が変動する傾向にある。又、SiC半導体素子では、ゲート電圧の印加履歴に依存して、ごく短時間にゲート閾値電圧が変動して現象も生じる。

[0004] 上記の様な要因で半導体素子のゲート閾値電圧が変動すると、半導体素子の電力損失やスイッチングタイミングが変化することにより、意図しない温度上昇や誤点弧等が発生する虞がある。

[0005] このため、半導体素子のゲート閾値電圧をリアルタイムに検出する技術が求められる。例えば、国際公開第2019/058545号公報 (特許文献1) には、半導体素子の動作温度及び電流の検出値からゲート閾値電圧を算出することが可能なスイッチング素子制御回路が記載されている。この結果、ゲート閾値電圧から初期値から変動する場合でも、その値を算出することができる。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第2019/058545号公報

発明の概要

発明が解決しようとする課題

- [0007] 特許文献 1 に記載のスイッチング素子制御回路では、トランジスタのオン状態におけるドレイン電流及び動作温度から、ゲート閾値電圧の初期状態からの変化が推定される。
- [0008] しかしながら、半導体素子は、ゲートソース間電圧が大きいオン領域では、電気抵抗値の変化が小さいため、ゲート閾値電圧に対するドレイン電流の変化はそれ程大きくない。即ち、オン状態におけるトランジスタのドレイン電流特性では、ゲート閾値電圧の依存性が比較的小さいことに起因して、当該特性に基づくゲート閾値電圧の推定精度が低下することが懸念される。
- [0009] 本開示は、このような問題点を解決するためになされたものであって、本開示の目的は、絶縁ゲート構造を有する半導体素子のゲート閾値電圧の変化を高精度に検出することである。

課題を解決するための手段

- [0010] 本開示のある局面によれば、絶縁ゲート構造を有する半導体素子の駆動装置が提供される。半導体素子は、オン状態において第 1 の電極から第 2 の電極へ電流が生じる一方で、第 2 の電極から第 1 の電極への電流経路を確保するための逆導通素子を内蔵するように構成される。駆動装置は、駆動信号生成部と、ゲート閾値電圧推定部とを備える。駆動信号生成部は、半導体素子をオンするためのオンゲート電圧及びオフするためのオフゲート電圧の一方を半導体素子のゲートに出力する様に構成される。ゲート閾値電圧推定部は、半導体素子がオフ状態であり、かつ、逆導通素子が通電する逆導通状態であるときに取得された半導体素子の状態情報に基づいて、半導体素子のゲート閾値電圧の推定値を算出する様に構成される。
- [0011] 本開示の他のある局面によれば、電力変換装置が提供される。電力変換装置は、主変換部と、制御部とを備える。主変換部は、上記の半導体素子の駆動装置によってオンオフ制御される半導体素子を少なくとも 1 個含んで構成されて、入力される電力を変換して出力する。制御部は、主変換部を制御する制御信号を主変換部に出力する。

発明の効果

[0012] 本開示によれば、素子特性のゲート閾値電圧依存性が大きくなる、半導体素子がオフ状態、かつ、逆導通状態であるときの状態情報から、ゲート閾値電圧の推定値を算出することにより、ゲート閾値電圧の変化を高精度に検出することができる。

図面の簡単な説明

[0013] [図1]実施の形態1に係る半導体素子の駆動装置の構成を説明するブロック図である。

[図2]ゲート閾値電圧推定部のハードウェア構成例を説明するブロック図である。

[図3]図1に示された保持部に格納される対応情報の一例を説明するための概念図である。

[図4]実施の形態1に係る逆導通素子状態検出部の構成例を説明するブロック図である。

[図5]実施の形態1に係る半導体素子の駆動装置の動作例を説明するための波形図である。

[図6]実施の形態2に係る半導体素子の駆動装置の構成を説明するブロック図である。

[図7]実施の形態2に係る逆導通素子状態検出部の構成例を説明するブロック図である。

[図8]実施の形態2に係る半導体素子の駆動装置の動作例を説明するための波形図である。

[図9]実施の形態3に係る逆導通素子状態検出部の構成例を説明するブロック図である。

[図10]実施の形態3に係る半導体素子の駆動装置の動作例を説明するための波形図が示される。

[図11]実施の形態3の変形例に係る逆導通素子状態検出部の構成例を説明するブロック図である。

[図12]実施の形態3の変形例に係る半導体素子の駆動装置の動作例を説明するための波形図である。

[図13]実施の形態4に係る半導体素子の駆動装置の動作を説明するフローチャートである。

[図14]実施の形態4に係る駆動信号生成部の構成例を説明するブロック図である。

[図15]実施の形態5に係る半導体素子の駆動装置の構成を説明するブロック図である。

[図16]実施の形態5に係る半導体素子の駆動装置の動作を説明するフローチャートである。

[図17]実施の形態5に係る半導体素子の駆動装置の動作の変形例を説明するフローチャートである。

[図18]実施の形態6にかかる電力変換装置を適用した電力変換システムの構成を示すブロック図である。

発明を実施するための形態

[0014] 以下に、本開示の実施の形態について、図面を参照して詳細に説明する。
なお、以下では、図中の同一又は相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

[0015] 実施の形態1.

図1に示される様に、実施の形態1に係る半導体素子の駆動装置100aは、ゲート閾値電圧の検出対象である、絶縁ゲート構造を有する半導体素子TRに対して接続される。

[0016] 半導体素子TRは、図1の例では、ボディダイオードBDを「逆導通素子」として内蔵するMOSFETである。半導体素子TRは、「第1の電極」であるドレインDと、「第2の電極」であるソースSと、ゲートGとを有する。以下では、ソースSに対するゲートGの電圧を「ゲートソース間電圧 V_{gs} 」、ドレインD及びソースS間に流れる電流を「ドレインソース間電流 I_{ds} 」、ソースSに対するドレインDの電圧を「ドレインソース間電圧 V

d s」と表記する。

[0017] 即ち、ゲートソース間電圧 V_{gs} は、第2の電極に対するゲートの電圧差である「第1の電圧」の一実施例に対応し、ドレインソース間電圧 V_{ds} は、第2の電極に対する第1の電極の電圧差である「第2の電圧」の一実施例に対応する。又、ドレインソース間電流 I_{ds} は、第1及び第2の電極の間に流れる「第1の電流」の一実施例に対応する。尚、ドレインソース間電流 I_{ds} については、ドレインDからソースSに流れる電流方向を正 ($I_{ds} > 0$) と定義し、ソースSからドレインDに流れる電流方向を負 ($I_{ds} < 0$) と定義する。

[0018] 駆動装置100aは、ゲート閾値電圧推定部10aと、駆動信号生成部20とを備える。駆動信号生成部20は、半導体素子TRのゲートGの電圧を駆動することによって、半導体素子TRをオンオフする。例えば、駆動信号生成部20は、半導体素子TRのオンオフを制御するためのゲート信号 S_g に従って、オンゲート電圧 V_{gon} 又はオフゲート電圧 V_{goff} をゲートGに印加することで、半導体素子TRのオンオフを制御する。オンゲート電圧 V_{gon} は、ゲート閾値電圧 V_{th} よりも十分高い電圧に設定される。オフゲート電圧 V_{goff} は、誤点孤を防ぐために、例えば、 -5 [V] 等に設定される。

[0019] 以下では、半導体素子TRのオフ状態について、ゲートソース間電圧 V_{gs} が半導体素子TRのゲート閾値電圧 V_{th} よりも低い状態 ($V_{gs} < V_{th}$) と定義する。

[0020] ゲート閾値電圧推定部10aは、状態検出部3と、逆導通素子状態検知部4aと、保持部5と、ゲート閾値電圧参照部6とを含む。

[0021] 尚、ゲート閾値電圧推定部10a及び駆動信号生成部20は、別個に作製されてもよく、1モジュール化されてもよい。更に、半導体素子TRを更に一体化して、所謂、IPM (Intelligent Power Module) とすることも可能である。

[0022] 図2には、ゲート閾値電圧推定部10aのハードウェア構成例が示される

。例えば、ゲート閾値電圧推定部 10a は、例えば、センサ検出値が入力されるマイクロコンピュータによって構成することができる。

[0023] マイクロコンピュータは、CPU (Central Processing Unit) 11 と、メモリ 12 と、入出力 (I/O) インターフェイス 13 とを含む。CPU 11、メモリ 12 及び I/O インターフェイス 13 は、バス 15 を経由して、相互にデータの授受が可能である。メモリ 12 の一部領域にはプログラムが予め格納されており、CPU 11 が当該プログラムを実行することで、図 1 に示された、状態検出部 3、逆導通素子状態検知部 4、保持部 5、及び、ゲート閾値電圧参照部 6 の機能を実現することができる。I/O インターフェイス 13 は、マイクロコンピュータの外部（例えば、駆動信号生成部 20 及び図示しないセンサ類）との間で、信号及びデータを入出力する。

[0024] 或いは、図 2 の例とは異なり、ゲート閾値電圧推定部 10a の少なくとも一部については、FPGA (Field Programmable Gate Array)、又は、ASIC (Application Specific Integrated Circuit) 等の回路を用いて構成することが可能である。又、ゲート閾値電圧推定部 10a の少なくとも一部について、アナログ回路によって構成することも可能である。

[0025] この様に、図 1 中に示された、状態検出部 3、逆導通素子状態検知部 4、保持部 5、及び、ゲート閾値電圧参照部 6 の機能は、ソフトウェア処理及びハードウェア処理の少なくとも一方によって実現することができる。

[0026] 図 1 に戻って、状態検出部 3 は、ゲートソース間電圧 V_{gs} を検出する GS 電圧検出部 3a と、ドレインソース間電圧 V_{ds} を検出する DS 電圧検出部 3b と、ドレインソース間電流 I_{ds} を検出する DS 電流検出部 3c と、半導体素子 TR の温度（以下、動作温度 T_j と称する）を検出する温度検出部 3d とを含む。

[0027] GS 電圧検出部 3a は、ゲート G の電圧サンプリング値及びソース S のサンプリング値からゲートソース間電圧 V_{gs} を算出する。DS 電圧検出部 3b は、ドレイン D の電圧サンプリング値及びソース S のサンプリング値からドレインソース間電圧 V_{ds} を算出する。或いは、GS 電圧検出部 3a 及び

D S 電圧検出部 3 b は、ゲートソース間電圧 V_{gs} 及びドレインソース間電圧 V_{ds} を検出する電圧センサ（図示せず）の検出値をサンプリングする様に構成されてもよい。

[0028] D S 電流検出部 3 c は、電流検出器 1 1 1 の出力値に基づいて、ドレインソース間電流 I_{ds} を検出する。電流検出器 1 1 1 には、シャント抵抗及びカレントトランス等を用いることができる。温度検出部 3 d は、温度検出器 1 1 0 の出力値に基づいて、動作温度 T_j を検出する。温度検出器 1 1 0 には、半導体素子 T R に内蔵された温度検出用のダイオード、及び、半導体素子 T R 付近に配置されたサーミスタ素子等を適用することができる。

[0029] 状態検出部 3 によって検出された、ゲートソース間電圧 V_{gs} 、ドレインソース間電圧 V_{ds} 、ドレインソース間電流 I_{ds} 、及び、動作温度 T_j は、ゲート閾値電圧参照部 6 に入力される。即ち、ゲートソース間電圧 V_{gs} 、ドレインソース間電圧 V_{ds} 、ドレインソース間電流 I_{ds} 、及び、動作温度 T_j は、「半導体素子の状態情報」の一実施例に対応する。

[0030] 尚、状態検出部 3 による電圧、電流、及び、温度の検出手法については、後述するゲート閾値電圧推定に必要な精度（分解能）が確保できる限り、任意の手法を適用することができる。

[0031] 逆導通素子状態検知部 4 は、状態検出部 3 による検出値に基づき、半導体素子 T R が、オフ状態かつ逆導通状態であることを検出すると、トリガ信号 T R G を出力する。具タオ的には半導体素子 T R がオフ状態であり、かつ、ボディダイオード B D（逆導通素子）が通電状態である逆導通状態であることを検出すると、トリガ信号 T R G が出力される。トリガ信号 T R G は、ゲート閾値電圧参照部 6 に入力される。

[0032] 保持部 5 は、半導体素子 T R のオフ状態かつ逆導通状態における、ゲートソース間電圧 V_{gs} 、ドレインソース間電圧 V_{ds} 、ドレインソース間電流 I_{ds} 、及び、動作温度 T_j と、ゲート閾値電圧 V_{th} との対応情報を格納する。

[0033] 例えば、保持部 5 は、当該対応情報について、ゲートソース間電圧 V_{gs}

、ドレインソース間電圧 V_{ds} 、ドレインソース間電流 I_{ds} 、及び、動作温度 T_j の各状態値の組み合わせに対して、ゲート閾値電圧 V_{th} が対応付けられたルックアップテーブル形式で保持することができる。或いは、保持部5は、ゲート閾値電圧 V_{th} についての各状態値（ゲートソース間電圧 V_{gs} 、ドレインソース間電圧 V_{ds} 、ドレインソース間電流 I_{ds} 、及び、動作温度 T_j ）の依存性を表現した、フィッティング関数形式で当該対応情報を保持することも可能である。

[0034] 図3には、保持部5が格納する半導体素子TRの対応情報の一例を説明するための概念図が示される。図3(a)～(c)には、半導体素子TRが、オフ状態、かつ、逆導通状態である際の $I_{ds}-V_{ds}$ 特性（電流－電圧特性）が示される。このため、図3(a)～(c)に示される $I_{ds}-V_{ds}$ 特性では、 $V_{ds} < 0$ 、かつ、 $I_{ds} < 0$ である。

[0035] 図3(a)には、ゲート閾値電圧 V_{th} 及び動作温度 T_j が一定である下での、 V_{gs} が異なる下での $I_{ds}-V_{ds}$ 特性が示される。図3(a)に示される様に、ゲートソース間電圧 V_{gs} が大きいほどドレインソース間電圧 V_{ds} が増大するゲートソース間電圧 V_{gs} 依存性を、 $I_{ds}-V_{ds}$ 特性は有する。

[0036] 図3(b)には、ゲート閾値電圧 V_{th} 及びゲートソース間電圧 V_{gs} が一定である下での、異なる動作温度 T_j の下での $I_{ds}-V_{ds}$ が示される。図3(b)に示される様に、動作温度 T_j が高いほどドレインソース間電圧 V_{ds} が増大する様な動作温度 T_j 依存性を、 $I_{ds}-V_{ds}$ 特性は有する。

[0037] 図3(a)及び(b)の $I_{ds}-V_{ds}$ 特性は、例えば、半導体素子TRの特性試験時に取得することができる。トランジスタ（半導体素子TR）の電流－電圧特性（ $I_{ds}-V_{ds}$ 特性）は、ゲートソース間電圧 V_{gs} 及びゲート閾値電圧 V_{th} の差（ $V_{ds}-V_{th}$ ）、及び、動作温度 T_j によって決まるので、 V_{gs} を振ったときの $I_{ds}-V_{ds}$ 特性の変化から、等価的に、ゲート閾値電圧 V_{th} が変化したときの、電流－電圧特性（ $I_{ds}-$

V_{ds}) 特性の変化を得ることができる。

[0038] 従って、上記特性試験によって得られた、図3 (a) での V_{gs} 依存性、及び、図3 (b) での T_j 依存性から、図3 (c) に示される様な、ゲートソース間電圧 V_{gs} 及び動作温度 T_j が一定である下での、 $I_{ds} - V_{ds}$ 特性のゲート閾値電圧 V_{th} 依存性を得ることができる。

[0039] 逆導通素子（ボディダイオードBD）の導通状態では、当該時点でのゲート閾値電圧 V_{th} に従う $I_{ds} - V_{ds}$ 特性線に沿って、図3 (c) 中に点線で囲まれる、逆導通素子が非導通状態から導通状態に転じるオンタイミングでの動作点 ($I_{ds} = 0$) から、 I_{ds} (絶対値) が大きくなるにつれて V_{ds} (絶対値) も大きくなる。

[0040] この様に、半導体素子TRのオフ状態かつ逆導通状態の際の $I_{ds} - V_{ds}$ 特性は、ゲートソース間電圧 V_{gs} 、動作温度 T_j 、及び、ゲート閾値電圧 V_{th} への依存性を有する。逆に言えば、半導体素子TRのオフ状態かつ逆導通状態の際のゲート閾値電圧 V_{th} は、ゲートソース間電圧 V_{gs} 、ドレインソース間電圧 V_{ds} 、ドレインソース間電流 I_{ds} 、及び、動作温度 T_j から一意に推定することができる。

[0041] 例えば、あるタイミングで検出されたゲートソース間電圧 V_{gs} 及び動作温度 T_j に固定された下での、図3 (c) に示された、ゲート閾値電圧 V_{th} が異なる複数の $I_{ds} - V_{ds}$ 特性線から、当該タイミングでのドレインソース間電流 I_{ds} 及びドレインソース間電圧 V_{ds} の検出値の組み合わせが乗る $I_{ds} - V_{ds}$ 特性線を抽出することで、当該タイミングにおける半導体素子TRのゲート閾値電圧推定値を求めることができる。

[0042] 言い換えると、動作温度 T_j 及びゲートソース間電圧 V_{gs} の各組合せに対して、図3 (c) の様なゲート閾値電圧毎の $I_{ds} - V_{ds}$ 特性を準備することにより、結果的には、あるタイミングにおける、ゲートソース間電圧 V_{gs} 、ドレインソース間電圧 V_{ds} 、ドレインソース間電流 I_{ds} 、及び、動作温度 T_j の組み合わせに対して、ゲート閾値電圧 V_{th} が対応付けられる、ルックアップテーブル、又は、フィッティング関数を予め作成できる

ことが理解される。これらのルックアップテーブル、又は、フィッティング関数は、「保持部に格納された対応情報」の一実施例に相当する。

[0043] 尚、半導体素子TRの逆導通状態における $I_{ds}-V_{ds}$ 特性の V_{gs} 依存性は、半導体素子TRのオン状態時よりも、半導体素子TRのオフ状態時の方が大きい。同様に、 $I_{ds}-V_{ds}$ 特性の V_{gs} 依存性の程度と、ゲート閾値電圧 V_{th} 依存性の程度は正の相関がある。このため、半導体素子TRの逆導通状態の電流-電圧特性の V_{th} 依存性も同様に、半導体素子TRのオン状態時よりも、半導体素子TRのオフ状態時の方が大きくなる。従って、本実施の形態では、半導体素子TRがオフ状態かつ逆導通状態であるときに、ゲート閾値電圧 V_{th} を推定することで、高精度化が図られる。

[0044] 図3で説明した、ゲート閾値電圧 V_{th} に依存して変化する $I_{ds}-V_{ds}$ 特性を用いた推定では、絶縁酸化膜の劣化、又は、ゲート電圧印加履歴によってゲート閾値電圧 V_{th} が変化した場合でも、当該ゲート閾値電圧 V_{th} を高精度に推定することができる。又、特許文献1とは異なり、 V_{th} 依存性が大きい、オフ状態かつ逆導通状態での $I_{ds}-V_{ds}$ 特性を用いることで、ゲート閾値電圧 V_{th} の推定精度を高めることができる。

[0045] 但し、半導体素子TRのゲートソース間電圧 V_{gs} が負方向に大きすぎる場合には、逆導通時の $I_{ds}-V_{ds}$ 特性における V_{gs} 依存性及び V_{th} 依存性が消失することが懸念される。従って、駆動信号生成部20が出力するオフゲート電圧 V_{goff} は、上述の依存性が消失しない程度の値に設定される必要がある。例えば、オフゲート電圧 V_{goff} は、外部ノイズによる誤点弧の発生を防止可能な範囲内で、できるだけ高い値に設定することが望ましい。

[0046] 又、上述の様な依存性を伴う電流-電圧特性（ $I_{ds}-V_{ds}$ 特性）を有する半導体素子としては、SiC-MOSFET等のSiC製の絶縁ゲート型トランジスタが知られているが、同様の特性を有する半導体素子に対して、本実施の形態に係るゲート閾値電圧推定を適用することが可能である。

[0047] 図1に戻って、ゲート閾値電圧参照部6は、トリガ信号TRGが「0」～

「1」の変化したタイミング、即ち、半導体素子TRが、オフ状態かつ逆導通状態である状態に、そうでない状態から遷移したタイミングにおいて、当該タイミングにおける半導体素子TRの状態情報（具体的には、ゲートソース間電圧 V_{gs} 、ドレインソース間電圧 V_{ds} 、ドレインソース間電流 I_{ds} 、及び、動作温度 T_j ）を、状態検出部3から読出す。更に、読出された半導体素子TRの状態情報を用いて、保持部5に格納された対応情報を参照することによって、当該タイミングにおけるゲート閾値電圧推定値 $V_{th\#}$ を算出する。算出されたゲート閾値電圧推定値 $V_{th\#}$ は、駆動信号生成部20に対して出力することができる。

[0048] 例えば、保持部5がルックアップテーブル形式で対応情報を保持している場合は、ゲート閾値電圧参照部6は、状態検出部3による半導体素子TRの状態情報の検出値の組み合わせに最も近いパラメータの組を選択し、当該組み合わせに対応付けられる参照値を、ゲート閾値電圧推定値 $V_{th\#}$ とすることができる。

[0049] 或いは、保持部5がフィッティング関数形式で特性情報を保持している場合には、ゲート閾値電圧参照部6は、状態検出部3による半導体素子TRの状態情報の検出値と、当該フィッティング関数の情報とから、ゲート閾値電圧推定値 $V_{th\#}$ を算出することができる。

[0050] 図4には、実施の形態1に係る逆導通素子状態検知部4aの構成例を説明するブロック図が示される。

[0051] 逆導通素子状態検知部4aは、オフ状態検知部40aと、逆導通状態検知部40bと、AND判定部41とを含む。オフ状態検知部40aは、GS電圧検出部3aによって検出されたゲートソース間電圧 V_{gs} と、オフ判定電圧 V_{gsref} とを比較して、信号T1を出力する。オフ状態検知部40aは、 $V_{gs} < V_{gsref}$ であるときに、半導体素子TRがオフ状態であると判定して、 $T1 = 「1」$ に設定する。 $V_{gs} < V_{gsref}$ でないときには、半導体素子TRがオフ状態であるとは判定されず、 $T1 = 「0」$ に設定される。オフ判定電圧 V_{gsref} は「第1の判定電圧」の一実施例に対応

する。

[0052] オフ判定電圧 $V_{gs\ ref}$ は、半導体素子 T_R の変動し得る範囲でのゲート閾値電圧の最小値 $V_{th\ min}$ と、駆動信号生成部 20 からオフゲート電圧 $V_{go\ ff}$ が出力されている際のゲートソース間電圧 $V_{gs\ off}$ に対して、 $V_{gs\ off} < V_{gs\ ref} < V_{th\ min}$ を満たすように設定することができる。尚、上述の最小値 $V_{th\ min}$ は、半導体素子の構造及び製造プロセスによって変化するが、統計的手法等を用いて予め定めることができる。

[0053] 逆導通状態検知部 40b は、DS 電圧検出部 3b によって検出されたドレインソース間電圧 V_{ds} を、負値に設定される逆導通判定電圧 $V_{ds\ ref}$ と比較して、信号 T_2 を出力する。逆導通状態検知部 40b は、 $V_{ds} < V_{ds\ ref}$ であるときに、半導体素子 T_R が逆導通状態であると判定して、 $T_2 = 「1」$ に設定する。 $V_{ds} < V_{ds\ ref}$ でないときには、半導体素子 T_R が逆導通状態ではないと判定されて、 $T_2 = 「0」$ に設定される。逆導通判定電圧 $V_{ds\ ref}$ は「第2の判定電圧」の一実施例に対応する。

[0054] AND 判定部 41 は、オフ状態検知部 40a からの信号 T_1 と、逆導通状態検知部 40b からの信号 T_2 との論理積 (AND) 演算結果を、図 1 に示されたトリガ信号 T_{RG} として出力する。従って、トリガ信号 T_{RG} は、半導体素子 T_R がオフ状態であること、及び、逆導通状態であること、が同時に検知される期間で「1」に設定され、それ以外の期間では「0」に設定される。

[0055] 図 4 の構成例において、オフ状態検知部 40a 及び逆導通状態検知部 40b は、アナログ又はデジタルの比較器で構成することが可能であるが、同一の機能を達成することが可能であれば他の回路で構成することができる。AND 判定部 41 についても、アナログ又はデジタルの論理演算回路、又は、同一の機能を達成可能な他の回路で構成することができる。

[0056] 尚、上述の様に、逆導通判定電圧 $V_{ds\ ref}$ は、負値に設定すればよいが、ボディダイオードの立上り電圧 $V_{ds\ knee}$ ($V_{ds\ knee} < 0$)

に対して、 $V_{dsref} < V_{dsknee}$ を満たすように設定することが好ましい。このようにすると、 $V_{dsknee} < V_{ds} < 0$ という、ゲート閾値電圧 V_{th} 依存性が小さい領域での半導体素子TRの状態量（状態検出部3の検出値）を用いてゲート閾値電圧を推定することによる、推定精度の低下を抑制することができる。

[0057] 更に、逆導通判定電圧 V_{dsref} は、通常、 $V_{dsref} < 0$ に設定されるが、ゲート閾値電圧 V_{th} 依存性が小さくなる領域を避けて設定することが好ましい。即ち、逆導通判定電圧 V_{dsref} は、上記領域よりも低電圧側（負電圧領域）での最大値（0に近い電圧）に設定することが好ましい。これにより、逆導通電流が小さい場合でも、半導体素子TRが逆導通状態であることを検知することが可能であり、高頻度にゲート閾値電圧 V_{th} を推定することが可能となる。

[0058] 図5には、実施の形態1に係る半導体素子の駆動装置の動作例を説明するための波形図が示される。

[0059] 図5では、図1の半導体素子TRが他の半導体素子とアームを構成して、電力変換装置に組み込まれたときの電流及び電圧の推移例が示されている。図5中では、ゲート閾値電圧の推定対象である図1の半導体素子TRを「自アーム」として、半導体素子TRと同一アームを構成する他の半導体素子を「対向アーム」と表記している。

[0060] 図5では、対向アームの半導体素子が、オンオフ制御されるスイッチング素子である場合を記載しているため、自アームの半導体素子と、対向アームの半導体素子とが、デッドタイム t_{dtm} を設けた上で相補にオンオフされるように、自アーム及び他アームのゲートソース間電圧 V_{gs} が設定されている。

[0061] 又、電力変換装置の電源電圧 V_{dd} に比べて、半導体素子の導通時におけるドレインソース間電圧 V_{ds} は極めて小さいことが一般的であるが、図5を始めとする各波形図では、説明の便宜上、0[V]近辺での V_{ds} の絶対値を拡大して表記している。

- [0062] 自アームの半導体素子TRのドレインソース間電圧 V_{ds} 及びドレインソース間電流 I_{ds} は、ゲートソース間電圧 V_{gs} に応じた半導体素子TRのオンオフに従って変化する。即ち、半導体素子TRのオン期間である、 $I_{ds} \geq 0$ である期間では、 $V_{ds} \geq 0$ である。逆に、半導体素子TRの $I_{ds} < 0$ の期間では、 I_{ds} も負である。
- [0063] 従って、逆導通判定電圧 $V_{dsref} < 0$ に設定することで、逆導通状態検知部40bは、半導体素子TRが逆導通状態であるときを正確に検知することができる。
- [0064] 又、半導体素子TRがオフである期間は、半導体素子TRのゲートソース間電圧 V_{gs} は、ゲート閾値電圧 V_{th} 未満である。従って、上述の様に、オフ判定電圧 V_{gsref} を、 $V_{gs}off < V_{gsref} < V_{thmin}$ を満たすように設定することで、オフ状態検知部40aは、図中に「オフ」と表記される、半導体素子TRのオフ期間を正確に検知することができる。
- [0065] 図5の例では、半導体素子TRのオフ状態、及び、半導体素子TRの逆導通状態が重なっている、時刻 $t1a \sim t1b$ 、 $t2a \sim t2b$ 、 $t3a \sim t3b$ 、 $t4a \sim t4b$ 、 $t5a \sim t5b$ の期間の各々において、図4に示されたトリガ信号TRGが「1」に設定される。これにより、半導体素子TRがオフ状態かつ逆導通状態であるときを確実に検知することができる。
- [0066] トリガ信号TRGに応答して動作するゲート閾値電圧参照部6は、トリガ信号TRGが「0」から「1」に変化したタイミングでの状態検出部3による検出値（ゲートソース間電圧 V_{gs} 、ドレインソース間電圧 V_{ds} 、ドレインソース間電流 I_{ds} 、及び、動作温度 T_j ）に基づき、保持部5に格納された特性情報を用いて、ゲート閾値電圧推定値 $V_{th\#}$ を算出する。これにより、半導体素子TRが、オフ状態かつ逆導通状態である際の、 V_{th} 依存性を有する電流－電圧特性（ $I_{ds} - V_{ds}$ 特性）に基づいて、ゲート閾値電圧 V_{th} を高精度に推定することができる。
- [0067] この結果、本実施の形態1の構成によれば、半導体素子のゲート閾値電圧 V_{th} が温度変化及びゲートストレス履歴等によって変動する場合であって

も、当該ゲート閾値電圧をリアルタイムかつ高精度に推定することができる。

[0068] 尚、図5中には、参考のために対向アームの半導体素子のオンオフを規定するゲートソース間電圧 V_{gs} が記載されているが、上述の説明で明らかな通り、本実施の形態に係るゲート閾値電圧の推定は、対向アームの情報は不要であり、推定対象である半導体素子 T_R に係る情報のみで実現することが可能である。又、対向アームの半導体素子については、スイッチング機能を有さないダイオードで構成されてもよく、この場合にも、ゲート閾値電圧参照部6は、半導体素子 T_R のゲート閾値電圧 V_{th} を同様に推定することが可能である。

[0069] 実施の形態2.

図6には、実施の形態2に係る半導体素子の駆動装置100bの構成を説明するブロック図が示される。

[0070] 実施の形態2に係る半導体素子の駆動装置100bは、図1に示された駆動装置100aと比較して、ゲート閾値電圧推定部10a（図1）に代えて、ゲート閾値電圧推定部10bを含む点で異なる。ゲート閾値電圧推定部10bは、ゲート閾値電圧推定部10aと比較して、逆導通素子状態検知部4aに代えて、逆導通素子状態検知部4bを含む点で異なる。駆動装置100bのその他の構成は、実施の形態1に係る駆動装置100aと同様であるので、詳細な説明は繰り返さない。

[0071] 図7には、図6に示された逆導通素子状態検知部4bの構成例が示される。

逆導通素子状態検知部4bは、図4の逆導通素子状態検知部4aと比較して、逆導通状態検知部40bに代えて、逆導通状態検知部40cを含む点で異なる。

[0072] 逆導通状態検知部40cは、DS電流検出部3cによって検出されたドレインソース間電流 I_{ds} を、負値に設定される逆導通判定電流 I_{dsref} と比較して、信号T2を出力する。逆導通状態検知部40cは、 $I_{ds} < I_{dsref}$

i_{dsref} であるときに、半導体素子TRが逆導通状態であると判定して、 $T2 = 「1」$ に設定する。 $i_{ds} < i_{dsref}$ でないときには、半導体素子TRが逆導通状態ではないと判定されて、 $T2 = 「0」$ に設定される。逆導通判定電流 i_{dsref} は、 $i_{dsref} < 0$ を満たす様に設定することができる。逆導通判定電流 i_{dsref} は「判定電流」の一実施例に対応する。

[0073] オフ状態検知部40aは、実施の形態1で説明したのと同様に、GS電圧検出部3aによって検出されたゲートソース間電圧 V_{gs} とオフ判定電圧 V_{gsref} との比較に基づいて、半導体素子TRがオフ状態であるか否かの判定結果を示す信号T1を出力する。実施の形態2では、オフ判定電圧 V_{gsref} は「判定電圧」の一実施例に対応する。

[0074] 即ち、実施の形態2では、半導体素子TRの逆導通状態（ボディダイオードBD）ドレインソース間電圧 V_{ds} に代えて、ドレインソース間電流 i_{ds} を用いて判定される点のみが、実施の形態1と異なる。

[0075] 図8には、実施の形態2に係る半導体素子の駆動装置の動作例を説明するための波形図が示される。図8に示された電圧及び電流の挙動は、図5と同様である。

[0076] 実施の形態2においても、半導体素子TRがオフである期間は、図5と同様に判定される。一方で、半導体素子TRの逆導通状態は、ドレインソース間電流 i_{ds} 及び逆導通判定電流 i_{dsref} の比較に従って判定される。

[0077] この結果、図8では、半導体素子TRのオフ状態、及び、半導体素子TRの逆導通状態が重なっている、時刻 $t6a \sim t6b$ 、 $t7a \sim t7b$ 、 $t7a \sim t7b$ の期間の各々において、図7に示されたトリガ信号TRGが「1」に設定される。ゲート閾値電圧参照部6は、トリガ信号TRGが「0」から「1」に変化する各タイミングにおいて、実施の形態1と同様にゲート閾値電圧推定値 $V_{th\#}$ を算出することができる。

[0078] 本実施の形態2に係る構成によれば、実施の形態1で説明した効果に加えて、ドレインソース間電圧 V_{ds} の検出値と比較すると外乱の影響が小さい

ドレインソース間電流 I_{ds} の検出値を用いて、ゲート閾値電圧の推定タイミングを決定することができる。これにより、逆導通素子（ボディダイオードBD）の逆導通状態の誤検出を抑制することによってゲート閾値電圧が誤ったタイミングで推定されることを抑制して、ゲート閾値電圧の推定精度を向上することができる。

[0079] 実施の形態3.

実施の形態3では、実施の形態1と比較して、逆導通素子状態検知部4aが、図9に示される逆導通素子状態検知部4cに置き換えられる。

[0080] 図9に示される様に、逆導通素子状態検知部4cは、図4に示された逆導通素子状態検知部4aの構成に加えて、遅延時間生成部42を更に含む。遅延時間生成部42は、AND判定部41の出力信号と、トリガ信号TRGとの間に遅延時間Tdを付与する。これにより、トリガ信号TRGは、AND判定部41の出力信号が「0」から「1」に変化するタイミング（即ち、オフ状態検知部40a及び逆導通状態検知部40bからの信号T1及びT2の両方が「1」となるタイミング）から、遅延時間Td遅れて「0」から「1」に変化することになる。これにより、ゲート閾値電圧参照部6は、実施の形態1と比較すると、遅延時間Tdが経過した以降での状態検出部3の各検出値に基づいて、ゲート閾値電圧推定値 $V_{th\#}$ を算出する。

[0081] 尚、遅延時間Tdは、半導体素子TRが組み込まれた電力変換装置で設けられるデッドタイム t_{dtm} （図5，図8）に対して、 $0 \leq Td < t_{dtm}$ を満たすように設定される。更には、遅延時間Tdは、当該電力変換装置でのスイッチング所要時間 t_{swt} に対して、 $t_{swt} < Td < t_{dtm}$ を満たすように設定することが好ましい。尚、スイッチング所要時間 t_{swt} は、当該電力変換装置の上下アームどちらかのオンオフ状態を切り替え、任意の半導体素子のドレインソース間電圧 V_{ds} オン状態の電圧（ $V_{ds on}$ ）からオフ状態の電圧（ $V_{ds off}$ ）に遷移する場合において、ドレインソース間電圧 V_{ds} が、 $V_{ds on} + 0.1 \cdot (V_{ds off} - V_{ds on})$ から、 $V_{ds on} + 0.9 \cdot (V_{ds off} - V_{ds on})$ に遷移するの

に要する時間と定義される。

[0082] 図10には、実施の形態3に係る半導体素子の駆動装置の動作例を説明するための波形図が示される。

[0083] 図10の動作例では、実施の形態1と同様に、ゲートソース間電圧 V_{gs} 及びオフ判定電圧 $V_{gs\ ref}$ の比較によって半導体素子TRのオフ期間が判定され、更に、ドレインソース間電圧 V_{ds} と逆導通判定電圧 $V_{ds\ ref}$ との比較によって、半導体素子TRの逆導通期間が判定される。

[0084] これにより、時刻 $t_{7a} \sim t_{7b}$ 、 $t_{8a} \sim t_{8b}$ 、 $t_{9b} \sim t_{9b}$ の各期間において、逆導通状態検知部40bから出力される信号T2が「1」に設定されることになり、時刻 t_{7a} 、 t_{8a} 、 t_{9a} の各々において、AND判定部41の出力信号は「0」から「1」に変化する。しかしながら、遅延時間生成部42の配置により、トリガ信号TRGが「0」から「1」に変化するタイミングは、時刻 t_{7a} 、 t_{8a} 、 t_{9b} よりも遅延時間Td後の、時刻 t_{7x} 、 t_{8x} 、 t_{9x} に変更される。

[0085] この結果、ゲート閾値電圧参照部6は、時刻 t_{7x} 、 t_{8x} 、 t_{9x} での状態検出部3の各検出値を用いて、実施の形態1と同様にゲート閾値電圧推定値 $V_{th\#}$ を算出することができる。

[0086] 尚、遅延時間生成部42は、AND判定部41の出力信号が「0」から「1」に変化する立上がりエッジに対して遅延時間Tdを付与する一方で、AND判定部41の出力信号が「1」から「0」に変化する立下がりエッジに対しては、遅延時間Tdを付与しない様に構成することが好ましい。

[0087] 半導体素子TRのスイッチング中、即ち、オンオフ遷移中では、状態検出部3によって検出される電圧及び電流が過渡状態であるので、検出値が大きく変化している。このため、当該スイッチング中では、タイミングの微小なずれに対してゲート閾値電圧推定値 $V_{th\#}$ が大きく変化することで、ゲート閾値電圧の推定精度が低下することが懸念される。

[0088] これに対して、実施の形態3に係る構成では、遅延時間Tdを設けることによって、半導体素子TRの電圧及び電流が安定した状態での状態検出部3

の検出値を用いて、ゲート閾値電圧参照部 6 が、ゲート閾値電圧推定値 V_{th} を算出することができる。この結果、上述したゲート閾値電圧の推定精度の悪化を抑制することができる。

[0089] 実施の形態 3 の変形例。

実施の形態 3 の変形例では、実施の形態 2 に係る構成に対して、実施の形態 3 で説明した遅延時間を付与する構成を説明する。

[0090] 実施の形態 3 の変形例では、実施の形態 2 と比較して、逆導通素子状態検知部 4 b が、図 1 1 に示される逆導通素子状態検知部 4 d に置き換えられる。

[0091] 図 1 1 に示される様に、逆導通素子状態検知部 4 d は、図 7 に示された逆導通素子状態検知部 4 b の構成に加えて、実施の形態 3 で説明した遅延時間生成部 4 2 を更に含む。従って、トリガ信号 TRG は、AND 判定部 4 1 の出力信号が「0」から「1」に変化するタイミング（即ち、オフ状態検知部 4 0 a 及び逆導通状態検知部 4 0 c からの信号 $T1$ 及び $T2$ の両方が「1」となるタイミング）から、遅延時間 Td 遅れて「0」から「1」に変化することになる。

[0092] 図 1 2 には、実施の形態 3 に係る半導体素子の駆動装置の動作例を説明するための波形図が示される。

[0093] 図 1 2 の動作例では、実施の形態 2 と同様に、ゲートソース間電圧 V_{gs} 及びオフ判定電圧 V_{gsref} の比較によって半導体素子 TR のオフ期間が判定され、更に、ドレインソース間電流 I_{ds} と逆導通判定電流 I_{dsref} との比較によって、半導体素子 TR の逆導通期間が判定される。

[0094] これにより、 $I_{ds} < I_{dsref}$ となる時刻 $t10a \sim t11b$ 、 $t12a \sim t12b$ の期間において、逆導通状態検知部 4 0 b から出力される信号 $T2$ が「1」に設定されることになり、時刻 $t10a$ 、 $t11a$ 、 $t12a$ の各々において、AND 判定部 4 1 の出力信号は「0」から「1」に変化する。しかしながら、遅延時間生成部 4 2 の配置により、トリガ信号 TRG が「0」から「1」に変化するタイミングは、時刻 $t10a$ 、 $t11a$ 、 t

12bよりも遅延時間 T_d 後の、時刻 t_{10x} 、 t_{11x} 、 t_{12x} に変更される。

[0095] この結果、ゲート閾値電圧参照部6は、実施の形態3と同様に、半導体素子TRの電圧及び電流が不安定となるスイッチング中を避けて、時刻 t_{10x} 、 t_{11x} 、 t_{12x} での状態検出部3の各検出値を用いてゲート閾値電圧推定値 $V_{th\#}$ を算出することができる。

[0096] これにより、実施の形態3の変形例に係る構成では、実施の形態2で説明した効果に加えて、遅延時間 T_d を設けることによって、半導体素子TRの電圧及び電流が不安定な状態での状態検出部3の検出値を用いることによるゲート閾値電圧の推定精度の悪化を抑制することができる。

[0097] 実施の形態4.

実施の形態4では、実施の形態1～3及びその変形例に従って、ゲート閾値電圧参照部6によって算出されたゲート閾値電圧推定値 $V_{th\#}$ を用いた制御について説明する。

[0098] 図13には、実施の形態4に係る半導体素子の駆動装置の動作を説明するフローチャートが示される。

[0099] 実施の形態4に係る駆動装置は、ステップ（以下、単に「S」と表記する）110により、トリガ信号TRGが「0」から「1」に変化したか否かを判定し、「0」から「1」に変化したタイミング（S110のYES判定時）において、S120以降の処理を実行する。

[0100] 実施の形態4に係る駆動装置は、S120により、トリガ信号TRGが「0」から「1」に変化したタイミングにおける状態検出部3の検出値を読出すとともに、S130により、読出された検出値を用いて、ゲート閾値電圧推定値 $V_{th\#}$ を算出する。S110～S130による処理は、実施の形態1～3及びその変形例のいずれかに係るゲート閾値電圧推定部10によって実行される。

[0101] 更に、実施の形態4に係る駆動装置は、S140により、S130で算出されたゲート閾値電圧推定値 $V_{th\#}$ を、実施の形態4に係る駆動信号生成

部 2 1 へ伝送する。そして、S 1 5 0 では、駆動信号生成部 2 1 において、伝送されたゲート閾値電圧推定値 $V_{th\#}$ を反映して、駆動信号生成部 2 0 から半導体素子 T R のゲート G に出力されるオンゲート電圧 V_{gon} 及び V_{goff} が変調される。

[0102] 図 1 4 には、実施の形態 4 に係る駆動信号生成部 2 1 の構成例を説明するブロック図が示される。

[0103] 駆動信号生成部 2 1 は、オンゲート電圧調整部 2 2 a、オフゲート電圧調整部 2 2 b、及び、ゲート電圧出力部 2 4 を含む。オンゲート電圧調整部 2 2 a は、正の電源電圧 V_{cc} を用いてオンゲート電圧 V_{gon} を生成する。同様に、オフゲート電圧調整部 2 2 b は、電源電圧 V_{nn} ($V_{nn} < V_{th}$) を用いてオフゲート電圧 V_{goff} を生成する。

[0104] ゲート電圧出力部 2 4 は、半導体素子 T R のゲート信号 S_g に従って、オンゲート電圧 V_{gon} 及びオフゲート電圧 V_{goff} の一方を、半導体素子 T R のゲート G に対して出力する。具体的には、ゲート G に対して、ゲート信号 $S_g = 「1」$ の期間（オン指示期間）では、オンゲート電圧 V_{gon} が出力される一方で、ゲート信号 $S_g = 「0」$ の期間（オフ指示期間）では、オフゲート電圧 V_{goff} が出力される。又、デッドタイム期間では、オフゲート電圧 V_{goff} が強制的に出力される。

[0105] オンゲート電圧調整部 2 2 a 及びオフゲート電圧調整部 2 2 b は、ゲート閾値電圧参照部 6 からのゲート閾値電圧推定値 $V_{th\#}$ に応じて、オンゲート電圧 V_{gon} 及びオフゲート電圧 V_{goff} のそれぞれを可変調整する機能を有する。

[0106] 例えば、オンゲート電圧 V_{gon} 及びオフゲート電圧 V_{goff} は、予め定められたゲート閾値電圧の基準値 V_{th0} での基準オンゲート電圧 V_{gon0} 及び基準オフゲート電圧 V_{goff0} と、ゲート閾値電圧推定値 $V_{th\#}$ と、係数 α ($\alpha > 0$) を用いて、下記の式 (1) に従って設定することができる。

[0107]
$$V_{gon} = V_{gon0} + \alpha \cdot (V_{th\#} - V_{th0}) \quad \dots (1)$$

$$V_{goff} = V_{gon0} + \alpha \cdot (V_{th\#} - V_{th0}) \quad \dots (2)$$

ここで、基準オンゲート電圧 V_{gon0} 、基準オフゲート電圧 V_{goff0} 、及び、係数 α は、トレードオフの関係にある、半導体素子 TR のスイッチング及び通電による電力損失と、誤点弧の抑制とを考慮して、所望の特性が得られる様に予め定めることができる。或いは、基準オンゲート電圧 V_{gon0} は、半導体素子 TR の特性劣化の抑制を優先して低く設定されてもよい。

[0108] 実施の形態 4 に係る半導体素子の駆動装置によれば、ゲート閾値電圧の基準値 V_{th0} で設定された所望の特性が維持される様に、ゲート閾値電圧 V_{th} の変化を反映してオンゲート電圧 V_{gon} 及びオフゲート電圧 V_{goff} を変調することができる。これにより、半導体素子 TR のゲート閾値電圧 V_{th} が変化した場合でも、電力損失の増加、或いは、誤点弧の発生を抑制することができる。

[0109] 尚、図 14 に示された駆動信号生成部 21 についても、図 2 で説明したゲート閾値電圧推定部 10a の構成例と同様にマイクロコンピュータによって実現してもよいし、その一部又は全部について、FPGA 及び ASIC 等の専用回路、又は、アナログ回路によって構成することも可能である。即ち、オンゲート電圧調整部 22a、オフゲート電圧調整部 22b、及び、ゲート電圧出力部 24 の各機能についても、ソフトウェア処理及びハードウェア処理の少なくとも一方によって実現することができる。

[0110] 実施の形態 5.

実施の形態 5 では、半導体素子 TR が、並列接続された複数の半導体素子ユニット $TR(1) \sim TR(n)$ によって構成される際の駆動装置の構成を説明する。

[0111] 図 15 には、実施の形態 5 に係る半導体素子の駆動装置 100x の構成を説明するブロック図が示される、図 15 に示される様に、実施の形態 1～4 で説明した半導体素子 TR は、 n 個 ($n: 2$ 以上の整数) の半導体素子ユニット $TR(1) \sim TR(n)$ を並列接続することで構成される。この様な構

成とすることで、半導体素子TRの電流容量を確保することができる。

[0112] 実施の形態5に係る駆動装置100xは、n個（n：2以上の整数）の半導体素子ユニットTR（1）～TR（n）を、ゲート信号Sgに従ってオンオフさせる。半導体素子ユニットTR（1）～TR（n）には、温度検出器110（1）～110（n）及び電流検出器111（1）～111（n）がそれぞれ配置される。

[0113] 実施の形態5に係る駆動装置100xは、半導体素子ユニットTR（1）～TR（n）にそれぞれ対応して配置されたゲート閾値電圧推定部10（1）～10（n）と、駆動信号生成部21xとを備える。

[0114] ゲート閾値電圧推定部10（1）～10（n）の各々には、実施の形態1～3及びその変形例で説明した構成のいずれを適用することも可能である。ゲート閾値電圧推定部10（1）～10（n）の各々は、上述の様に、半導体素子ユニットTR（1）～TR（n）のオフ状態かつ逆導通状態が検知されると、半導体素子ユニットTR（1）～TR（n）の各々についてゲート閾値電圧推定値Vth#を算出する。

[0115] 駆動信号生成部21xは、ゲート閾値電圧推定部10（1）～10（n）からのゲート閾値電圧推定値Vth#（1）～Vth#（n）を受ける。更に、駆動信号生成部21xは、半導体素子ユニットTR（1）～TR（n）のそれぞれのオンゲート電圧Vgon（1）～Vgon（n）及びオフゲート電圧Vgoff（1）～Vgoff（n）を個別に設定する。例えば、駆動信号生成部21xは、図14に示された駆動信号生成部21の構成を、半導体素子ユニットTR（1）～TR（n）のそれぞれに対応してn個並列に有する。

[0116] 図16には、実施の形態5に係る半導体素子の駆動装置の動作を説明するフローチャートが示される。

[0117] 実施の形態4に係る駆動装置100xは、S210により、ゲート閾値電圧推定部10（1）～10（n）のいずれかにおいてトリガ信号TRGが「0」から「1」に変化したか否かを判定し、半導体素子ユニットTR（1）

～TR (n) のいずれかに対応してトリガ信号TRGが「0」から「1」に変化すると (S110のYES判定時) において、S220以降の処理を実行する。以下では、半導体素子ユニットTR (1) ～TR (n) のうちの半導体素子ユニットTR (i) において (i : 1 ≤ i ≤ nの整数) において、トリガ信号TRGが「0」から「1」に変化したときの動作を説明する。

[0118] 駆動装置100xは、S220により、トリガ信号TRGが「0」から「1」に変化したタイミングにおける、半導体素子ユニットTR (i) に対応する状態検出部3の検出値を読み出すとともに、S230により、読み出された検出値を用いて、半導体素子ユニットTR (i) のゲート閾値電圧推定値V_{th}# (i) を算出する。S210～S230による処理は、図15のゲート閾値電圧推定部10 (1) ～10 (n) のいずれかによって実行される。

[0119] 更に、駆動装置100xは、S240により、S230で算出されたゲート閾値電圧推定値V_{th}#を、駆動信号生成部21xへ伝送する。そして、S250では、駆動信号生成部21xにおいて、S240で伝送されたゲート閾値電圧推定値V_{th}# (i) を反映して、半導体素子ユニットTR (i) のオンゲート電圧V_{gon} (i) 及びV_{goff} (i) が変調される。

[0120] オンゲート電圧V_{gon} (i) 及びV_{goff} (i) は、半導体素子ユニットTR (1) ～TR (n) の間で、オンゲート電圧V_{gon} 及びゲート閾値電圧V_{th} の差 (V_{gon} - V_{th})、及び、オフゲート電圧V_{goff} 及びゲート閾値電圧V_{th} の差 (V_{th} - V_{goff}) が均衡する様に変調される。

[0121] 例えば、オンゲート電圧V_{gon} (i) 及びV_{goff} (i) は、上述の式 (1) 及び (2) を半導体素子ユニットTR (1) ～TR (n) の各々に展開した、下記の式 (3)、(4) に従って算出することができる。

$$[0122] \quad V_{gon}(i) = V_{gon0} + \alpha \cdot (V_{th}(i) \# - V_{th0}) \quad \dots$$

$$(3)$$

$$V_{goff}(i) = V_{goff0} + \alpha \cdot (V_{th}(i) \# - V_{th0})$$

$$\dots (4)$$

式(1)、(2)と同様の基準オンゲート電圧 V_{gon0} 、基準オフゲート電圧 V_{goff0} 、係数 α 、及び、ゲート閾値電圧の基準値 V_{th0} については、ゲート閾値電圧の基準値 V_{th0} で所望の特性が得られる様に定めることができる。尚、上記式(3)、(4)中では、これらの値を半導体素子ユニット $TR(1) \sim TR(n)$ に共通の値としたが、これらの値についても、半導体素子ユニット $TR(1) \sim TR(n)$ 毎に個別に設定することも可能である。

[0123] 駆動装置100xは、S260では、S250でのオンゲート電圧 $V_{gon}(i)$ 及び $V_{goff}(i)$ の変調を反映して、半導体素子ユニット $TR(1) \sim TR(n)$ のそれぞれのオンゲート電圧 $V_{gon}(1) \sim V_{gon}(n)$ 及びオフゲート電圧 $V_{goff}(1) \sim V_{goff}(n)$ の最新値を設定する。

[0124] 実施の形態5に係る半導体素子の駆動装置によれば、並列接続された複数の半導体素子ユニット $TR(1) \sim TR(n)$ の間でゲート閾値電圧が異なっても、各半導体素子の動作を均一化することが可能となる。これにより、半導体素子間でのスイッチング時、及び、オンオフ時における電流ばらつきを低減することができるので、発熱量の差異による動作温度のばらつき、及び、発振現象の発生を抑制することが可能である。

[0125] 特に、式(3)、(4)を用いることで、半導体素子ユニット $TR(1) \sim TR(n)$ の各々について、ゲート閾値電圧の基準値 V_{th0} で設定された所望の特性が維持される様に、ゲート閾値電圧 V_{th} の変化を反映してオンゲート電圧 V_{gon} 及びオフゲート電圧 V_{goff} を変調することができる。

[0126] 図17には、実施の形態5に係る半導体素子の駆動装置の動作の変形例を説明するフローチャートが示される。

[0127] 駆動装置100xは、図16のS240、S250、S260に代えて、S245、S255、S265を実行することが可能である。

[0128] 駆動装置100xは、図16と同様のS230により、半導体素子ユニッ

トTR (i) のゲート閾値電圧推定値Vth# (i) を算出すると、S245により、ゲート閾値電圧推定値Vth# (i) に加えて、半導体素子ユニットTR (i) の動作温度Tj (i) を駆動信号生成部21xへ伝送する。

[0129] 駆動装置100xは、S255では、S245で伝送されたゲート閾値電圧推定値Vth# (i) 及び動作温度Tj (i) を反映して、半導体素子ユニットTR (i) のオンゲート電圧Vgon (i) 及びVgoff (i) を変調する。動作温度Tjに従う変調は、半導体素子ユニットTR (1) ~ TR (n) の間で動作温度Tj (1) ~ Tj (n) の差が減少する様に実行される。

[0130] 例えば、オンゲート電圧Vgon (i) 及びVgoff (i) は、下記の式(5), (6)に従って算出することができる。

[0131]
$$V_{gon}(i) = V_{gon0} + \alpha \cdot \Delta V_{th}(i) + \beta \cdot \Delta T_j(i)$$

... (5)

$$V_{goff}(i) = V_{goff0} + \alpha \cdot \Delta V_{th}(i) + \beta \cdot \Delta T_j(i)$$

... (6)

但し、 $\Delta V_{th}(i) = V_{th}(i)_{\#} - V_{th0}$, $\Delta T_j(i) = T_j(i) - T_{j0}$ 。

[0132] 式(5), (6)は、式(3), (4)に対して、係数 β ($\beta < 0$)を用いた、 $\beta \cdot (T_j(i) - T_{j0})$ の項を加えたものである。これにより、動作温度が上昇した半導体素子ユニットでの発熱量を抑制するために、予め定められた基準温度Tj0からの動作温度Tj (i) の上昇量に比例して、オンゲート電圧Vgon (i) 及びVgoff (i) が低下される。

[0133] 尚、係数 β 、及び、基準温度Tj0についても、式(5), (6)では、半導体素子TRユニット(1) ~ TR (n) に共通の値としているが、半導体素子ユニットTR (1) ~ TR (n) 毎に個別に設定することも可能である。

[0134] 駆動装置100xは、S265では、S255でのオンゲート電圧Vgon (i) 及びVgoff (i) の変調を反映して、半導体素子ユニットTR

(1) ~ TR (n) のそれぞれのオンゲート電圧 $V_{gon}(1) \sim V_{gon}(n)$ 及びオフゲート電圧 $V_{goff}(1) \sim V_{goff}(n)$ の最新値を設定する。

[0135] 図 17 に示された変形例によれば、実施の形態 5 に係る半導体素子の駆動装置において、半導体素子ユニット TR (1) ~ TR (n) の動作温度 $T_j(1) \sim T_j(n)$ のばらつきを更に抑制することが可能である。

[0136] 尚、実施の形態 1 ~ 5 では、半導体素子 TR を電界効果トランジスタ (MOSFET) とした例を説明したが、半導体素子 TR は逆導通素子を内蔵する RC (Reverse Conductive) - IGBT で構成することも可能である。この場合には、本実施の形態での「ドレイン」及び「ソース」を「コレクタ (第 1 の電極)」及び「エミッタ (第 2 の電極)」に読替えることで、IGBT で構成された半導体素子 TR の同様の電流及び電圧を用いて、ゲート閾値電圧を推定することができる。

[0137] 実施の形態 6.

本実施の形態は、上述した実施の形態 1 ~ 5 に係る半導体素子の駆動装置を電力変換装置に適用したものである。本開示は特定の電力変換装置に限定されるものではないが、以下、実施の形態 6 として、三相のインバータに本開示を適用した場合について説明する。

[0138] 図 18 は、本実施の形態にかかる電力変換装置を適用した電力変換システムの構成を示すブロック図である。

[0139] 図 18 に示す電力変換システムは、電源 150、電力変換装置 200、及び、負荷 300 を備える。電源 150 は、直流電源であり、電力変換装置 200 に直流電力を供給する。電源 150 は、種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することが。或いは、交流系統に接続された整流回路、又は、AC/DC コンバータによって、電源 150 を構成することも可能である。或いは、電源 150 については、直流系統から出力される直流電力を所定の電力に変換する DC/DC コンバータによって構成することも可能である。

[0140] 電力変換装置200は、代表的には、電源150と負荷300の間に接続された三相のインバータであり、電源150から供給された直流電力を交流電力に変換して、負荷300に交流電力を供給する。電力変換装置200は、図18に示すように、直流電力を交流電力に変換して出力する主変換回路201と、主変換回路201を制御する制御信号を主変換回路201に出力する制御回路203とを含む。

[0141] 負荷300は、電力変換装置200から供給された交流電力によって駆動される三相の電動機である。尚、負荷300は特定の用途に限られるものではなく、各種電気機器に搭載された電動機を含む。例えば、ハイブリッド自動車、電気自動車、鉄道車両、エレベーター、及び、空調機器向けの電動機によって、負荷300を構成することが可能である。

[0142] 以下、電力変換装置200の詳細を説明する。

主変換回路201は、還流ダイオード（逆導通素子）が付加された半導体スイッチング素子を、制御回路203から供給されたゲート信号 S_g （図1等）に従ってオンオフ制御することにより、電源150及び負荷300の間での直流／交流電力変換を実行する。主変換回路201の具体的な回路構成は種々のものがあるが、例えば、主変換回路201は、6個の半導体スイッチング素子及び還流ダイオードを用いた、2レベルの三相フルブリッジ回路とすることができる。即ち、6個の半導体スイッチング素子は、2つの半導体スイッチング素子ごとに直列接続されて上下アームを構成し、各上下アームはフルブリッジ回路の各相（U相、V相、W相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路201の3つの出力端子は、負荷300に接続される。

[0143] 主変換回路201の半導体スイッチング素子（還流ダイオードを含む）の少なくともいずれかは、駆動装置100によってオンオフが制御される半導体素子TRによって構成される。駆動装置100は、上述の実施の形態1～5に係る駆動装置を包括的に総称するものである。即ち、主変換回路201は、逆導通素子を還流ダイオードとして有する半導体素子TRと、当該半導

体素子TRをオンオフする実施の形態1～5に係る駆動装置100とによって構成される半導体装置202を、少なくとも1個含んで構成される。

[0144] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示による技術的範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0145] 3 状態検出部、3a GS電圧検出部、3b DS電圧検出部、3c DS電流検出部、3d 温度検出部、4, 4a, 4b, 4c, 4d 逆導通素子状態検知部、5 保持部、6 ゲート閾値電圧参照部、10, 10a, 10b ゲート閾値電圧推定部、12 メモリ、13 I/Oインターフェイス、15 バス、20, 21, 21x 駆動信号生成部、22a オンゲート電圧調整部、22b オフゲート電圧調整部、24 ゲート電圧出力部、40a オフ状態検知部、40b, 40c 逆導通状態検知部、41 判定部、42 遅延時間生成部、100, 100a, 100b, 100x 駆動装置、110 温度検出器、111 電流検出器、150 電源、200 電力変換装置、201 主変換回路、202 半導体装置、203 制御回路、300 負荷、BD ボディダイオード、 I_{ds} ドレインソース間電流、 I_{dsref} 逆導通判定電流、 S_g ゲート信号、TR 半導体素子、TR(1)～TR(n) 半導体素子ユニット、TRG トリガ信号、 T_j 動作温度、 V_{dc} ドレインソース間電圧、 V_{dsref} 逆導通判定電圧、 V_{goff} オフゲート電圧、 V_{gon} オンゲート電圧、 V_{gs} ゲートソース間電圧、 V_{gsref} オフ判定電圧、 $V_{th\#}$ ゲート閾値電圧推定値、 T_d 遅延時間、 t_{dtm} デッドタイム、 t_{swt} スイッチング所要時間。

請求の範囲

- [請求項1] 絶縁ゲート構造を有する半導体素子の駆動装置であって、
- 前記半導体素子は、オン状態において第1の電極から第2の電極へ電流が生じる一方で、前記第2の電極から前記第1の電極への電流経路を確保するための逆導通素子を内蔵するように構成され、
- 前記駆動装置は、
- 前記半導体素子をオンするためのオンゲート電圧及びオフするためのオフゲート電圧の一方を前記半導体素子のゲートに出力するための駆動信号生成部と、
- 前記半導体素子がオフ状態であり、かつ、前記逆導通素子が通電する逆導通状態であるときに取得された前記半導体素子の状態情報に基づいて、前記半導体素子のゲート閾値電圧の推定値を算出するゲート閾値電圧推定部とを備える、半導体素子の駆動装置。
- [請求項2] 前記ゲート閾値電圧推定部は、前記半導体素子が前記オフ状態かつ前記逆導通状態であるときの前記半導体素子の電流電圧特性に従って予め規定された、前記状態情報と前記ゲート閾値電圧との対応情報を用いて、取得された前記状態情報から前記ゲート閾値電圧の推定値を算出する、請求項1記載の半導体素子の駆動装置。
- [請求項3] 前記状態情報は、前記第1及び第2の電極の間に流れる第1の電流と、前記第2の電極に対する前記ゲートの電圧差である第1の電圧と、前記第2の電極に対する前記第1の電極の電圧差である第2の電圧と、前記半導体素子の動作温度とを含む、請求項1又は2に記載の半導体素子の駆動装置。
- [請求項4] 前記ゲート閾値電圧推定部は、
- 前記第1及び第2の電極の間に流れる第1の電流と、前記第2の電極に対する前記ゲートの電圧差である第1の電圧と、前記第2の電極に対する前記第1の電極の電圧差である第2の電圧と、前記半導体素子の動作温度とを、前記状態情報として検出する状態検出部と、

前記半導体素子が前記オフ状態かつ前記逆導通状態であるときの前記半導体素子の電流電圧特性に従って予め規定された、前記第 1 の電圧、前記第 2 の電圧、前記第 1 の電流、及び、前記動作温度と、前記ゲート閾値電圧との対応情報を格納する保持部と、

前記半導体素子が前記オフ状態かつ前記逆導通状態であることを検知するための逆導通素子状態検知部と、

前記逆導通素子状態検知部によって前記半導体素子が前記オフ状態かつ前記逆導通状態であることが検知されているときにおける前記状態検出部による前記状態情報の検出値を用いて前記保持部に格納された前記対応情報を参照することによって、前記ゲート閾値電圧の推定値を算出するゲート閾値電圧参照部とを含む、請求項 1 記載の半導体素子の駆動装置。

[請求項5] 前記逆導通素子状態検知部は、前記第 1 の電圧が第 1 の判定電圧よりも低いときに前記オフ状態を検知し、前記第 2 の電圧が第 2 の判定電圧よりも低いときに前記半導体素子の前記逆導通状態を検出し、
前記第 1 の判定電圧は前記オフゲート電圧よりも高く設定され、
前記第 2 の判定電圧は負電圧である、請求項 4 記載の半導体素子の駆動装置。

[請求項6] 前記第 1 の電流は、前記第 1 の電極から前記第 2 の電極へ流れる電流を正電流として定義され、
前記逆導通素子状態検知部は、前記第 1 の電圧が判定電圧よりも低いときに前記オフ状態を検知し、前記第 1 の電流が判定電流よりも低いときに前記半導体素子の前記逆導通状態を検出し、
前記判定電圧は前記オフゲート電圧よりも高く設定され、
前記判定電流は負電流である、請求項 4 記載の半導体素子の駆動装置。

[請求項7] 前記ゲート閾値電圧参照部は、前記逆導通素子状態検知部によって前記半導体素子が前記オフ状態かつ前記逆導通状態であることが検知

されてから予め定められた遅延時間が経過した時点における前記状態検出部による前記状態情報の検出値を用いて、前記ゲート閾値電圧の推定値を算出する、請求項4～6のいずれか1項に記載の半導体素子の駆動装置。

[請求項8]

前記駆動信号生成部は、

前記ゲート閾値電圧推定部で算出された前記ゲート閾値電圧の推定値に応じて、前記オンゲート電圧及び前記オフゲート電圧を予め定められたオンゲート基準電圧及びオフゲート基準電圧から変調する電圧調整部を含む、請求項1～7のいずれか1項に記載の半導体素子の駆動装置。

[請求項9]

前記電圧調整部は、

前記ゲート閾値電圧の予め定められた基準値に対する前記推定値の差分に従って、前記推定値が前記基準値よりも高いときに、前記オンゲート電圧及び前記オフゲート電圧が前記オンゲート基準電圧及び前記オフゲート基準電圧よりも高くなる一方で、前記推定値が前記基準値よりも低いときに、前記オンゲート電圧及び前記オフゲート電圧が前記オンゲート基準電圧及び前記オフゲート基準電圧よりも低くなる様に、前記オンゲート電圧及び前記オフゲート電圧を変調する、請求項8記載の半導体素子の駆動装置。

[請求項10]

前記半導体素子は、並列接続された複数の半導体素子ユニットによって構成され、

各前記半導体素子ユニットは、前記半導体素子と同様に、前記オン状態において前記第1の電極から前記第2の電極へ電流が生じる一方で、前記第2の電極から前記第1の電極への電流経路を確保するための前記逆導通素子を内蔵するように構成され、

前記ゲート閾値電圧推定部は、前記複数の半導体素子ユニットのそれぞれについて前記ゲート閾値電圧の推定値を算出し、

前記駆動信号生成部は、前記複数の半導体素子ユニットを共通にオ

ンオフ制御する様に、前記複数の半導体素子ユニットのそれぞれのゲートに対して、前記複数の半導体素子ユニット毎に設定された前記オンゲート電圧又は前記オフゲート電圧を出力し、

前記駆動信号生成部は、

各前記半導体素子ユニットに対応して算出された前記推定値に従って、前記複数の半導体素子ユニットの間で、前記オンゲート電圧と前記推定値との差、及び、前記オフゲート電圧と前記推定値との差が均衡する様に、前記複数の半導体素子ユニットのそれぞれの前記オンゲート電圧及び前記オフゲート電圧を変調する電圧調整部を含む、請求項 1 ～ 7 のいずれか 1 項に記載の駆動装置。

[請求項11]

前記電圧調整部は、

各前記半導体素子ユニットの前記オンゲート電圧及び前記オフゲート電圧を、当該半導体素子ユニットでの前記ゲート閾値電圧の予め定められた基準値に対する前記推定値の差分に従って、前記推定値が前記基準値よりも高いときに前記オンゲート電圧及び前記オフゲート電圧が予め定められたオンゲート基準電圧及びオフゲート基準電圧よりも高くなる一方で、前記推定値が前記基準値よりも低いときに、前記オンゲート電圧及び前記オフゲート電圧が前記オンゲート基準電圧及び前記オフゲート基準電圧よりも低くなる様に変調する、請求項 10 記載の半導体素子の駆動装置。

[請求項12]

前記電圧調整部は、前記複数の半導体素子ユニットのそれぞれの前記オンゲート電圧及び前記オフゲート電圧を、前記複数の半導体素子ユニットの間で動作温度の差が減少する様に、当該半導体素子ユニットの動作温度に従って更に変調する、請求項 10 又は 11 に記載の半導体素子の駆動装置。

[請求項13]

前記電圧調整部は、

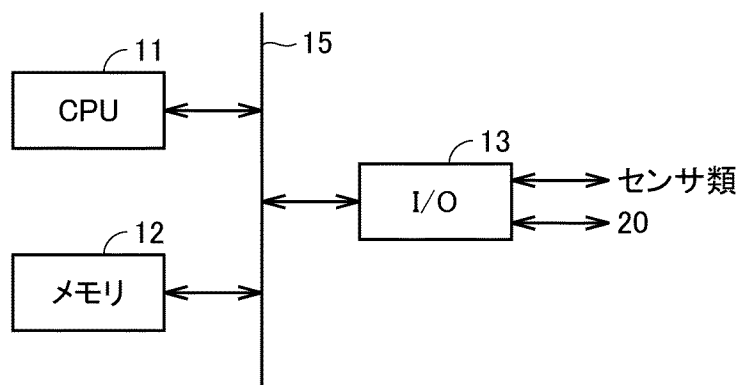
各前記半導体素子ユニットの各々の前記オンゲート電圧及び前記オフゲート電圧を、当該半導体素子ユニットでの予め定められた基準温

度値に対する前記動作温度の検出値の差分に従って、前記検出値が前記基準温度値よりも高いときに前記オンゲート電圧及び前記オフゲート電圧が低下する一方で、前記検出値が前記基準温度値よりも低いときに前記オンゲート電圧及び前記オフゲート電圧が上昇する様に変調する、請求項 1 2 記載の半導体素子の駆動装置。

[請求項14] 請求項 1 ～ 1 3 のいずれか 1 項に記載の半導体素子の駆動装置によってオンオフ制御される半導体素子を少なくとも 1 個含んで構成されて、入力される電力を変換して出力する主変換部と、

前記主変換部を制御する制御信号を前記主変換部に出力する制御部とを備える、電力変換装置。

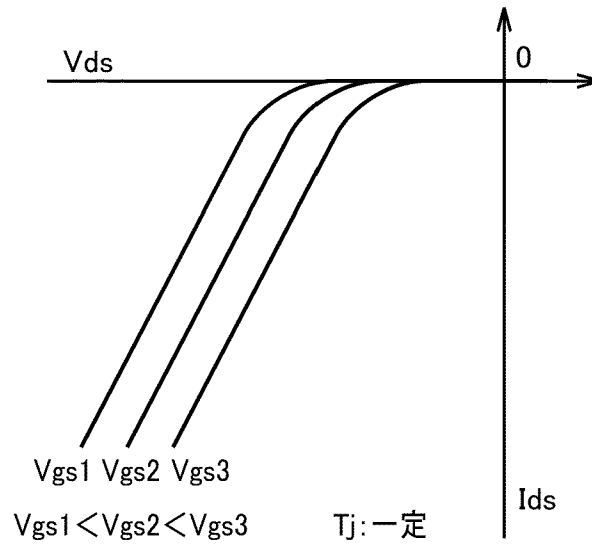
图1



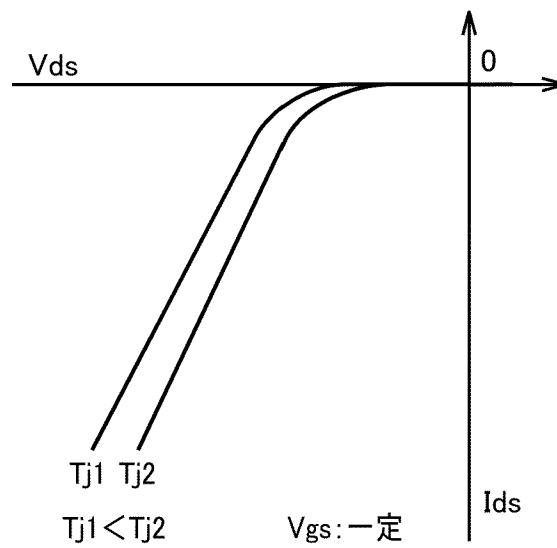
[図3]

図3

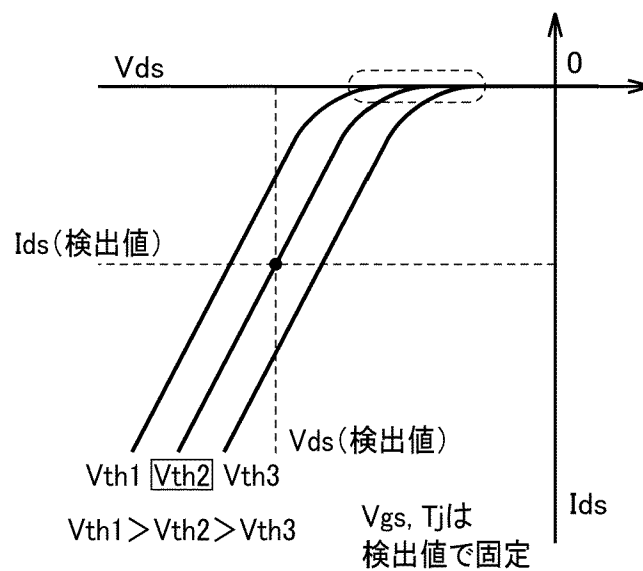
(a)



(b)

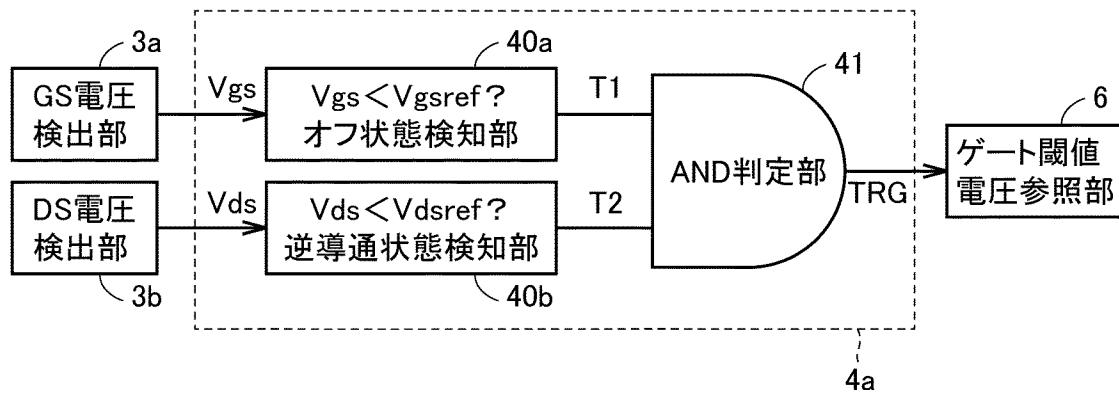


(c)



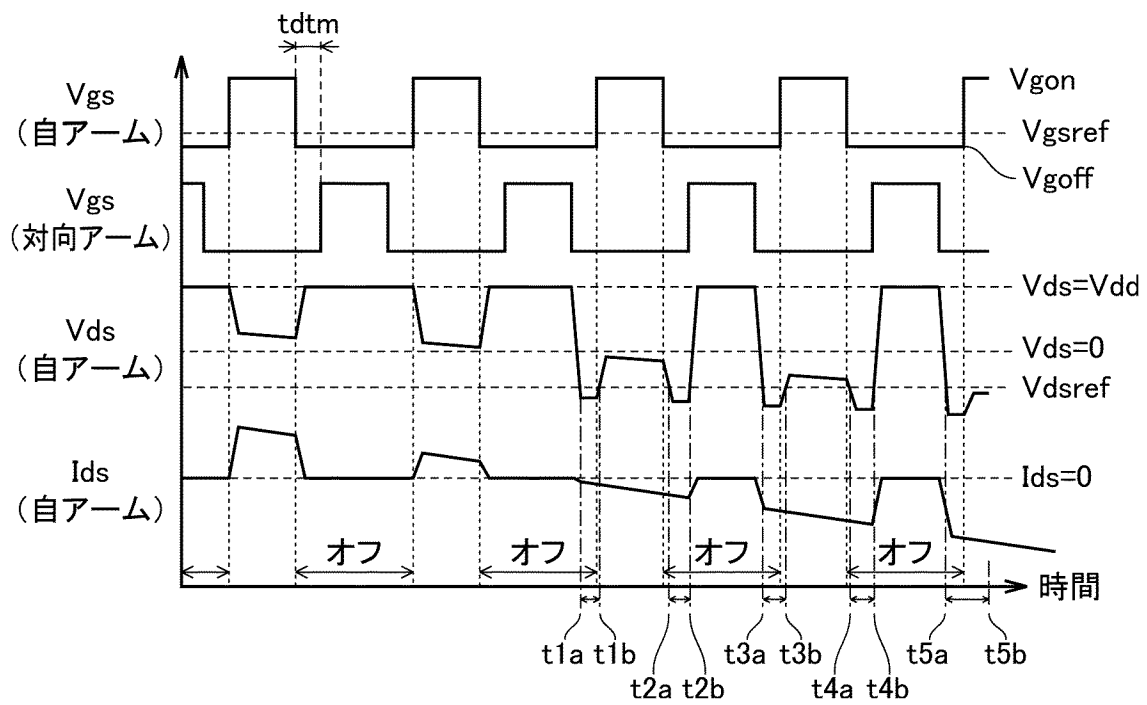
[図4]

図4



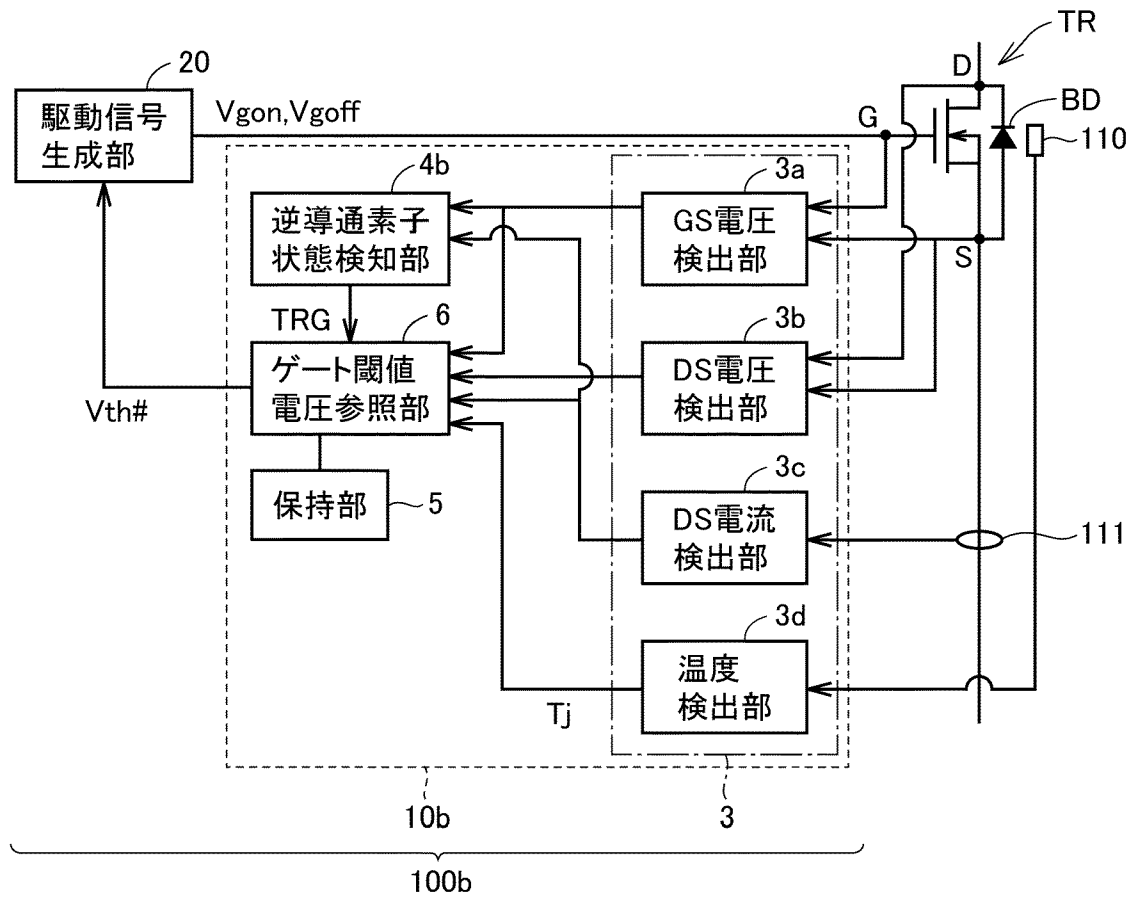
[図5]

図5



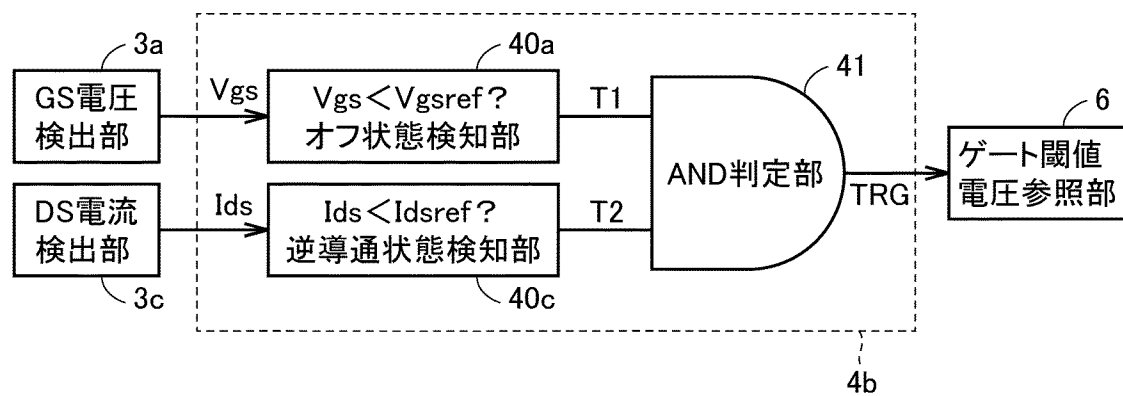
[図6]

図6



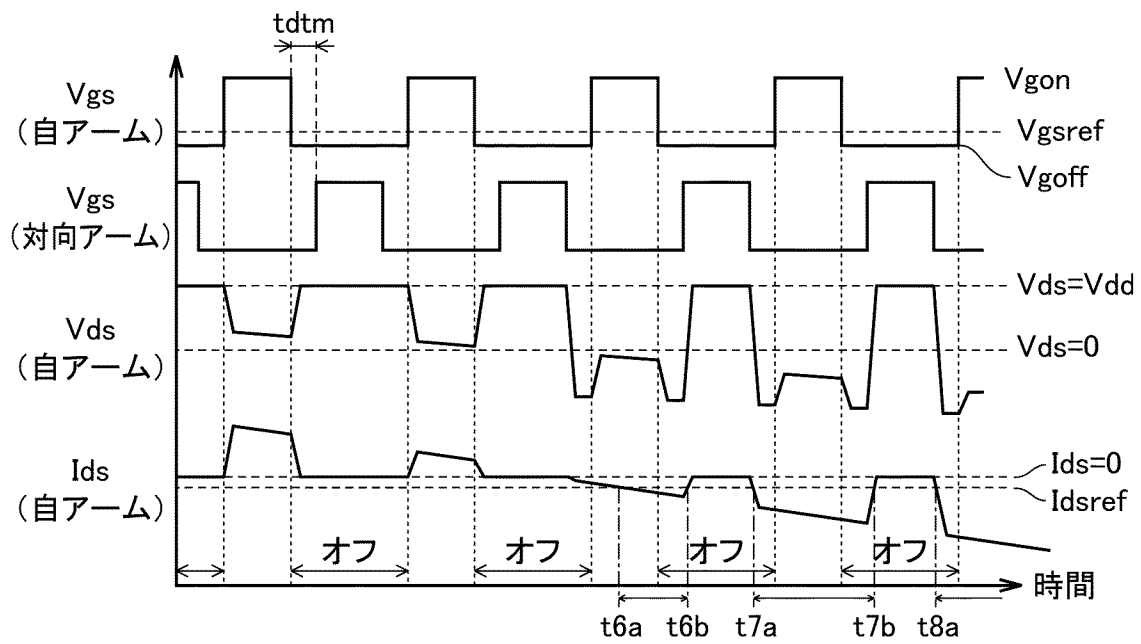
[図7]

図7



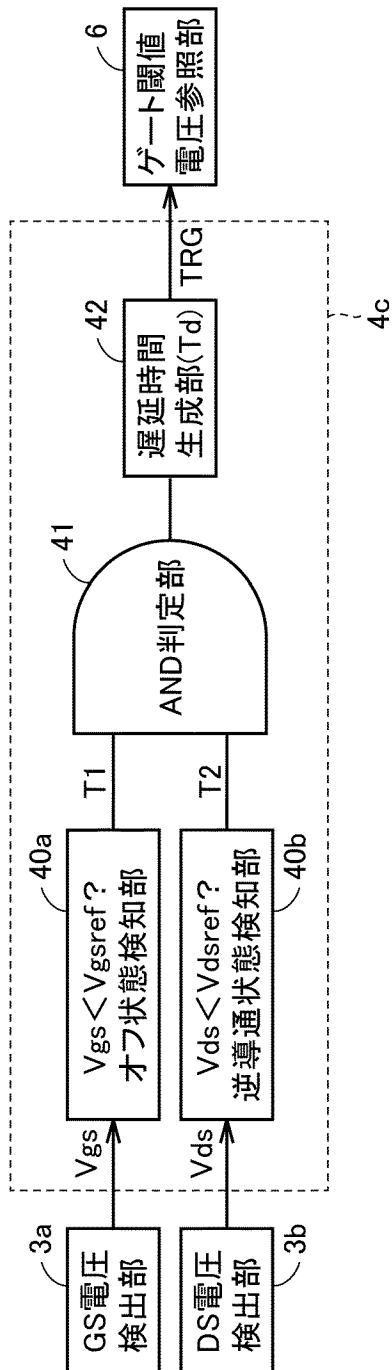
[図8]

図8



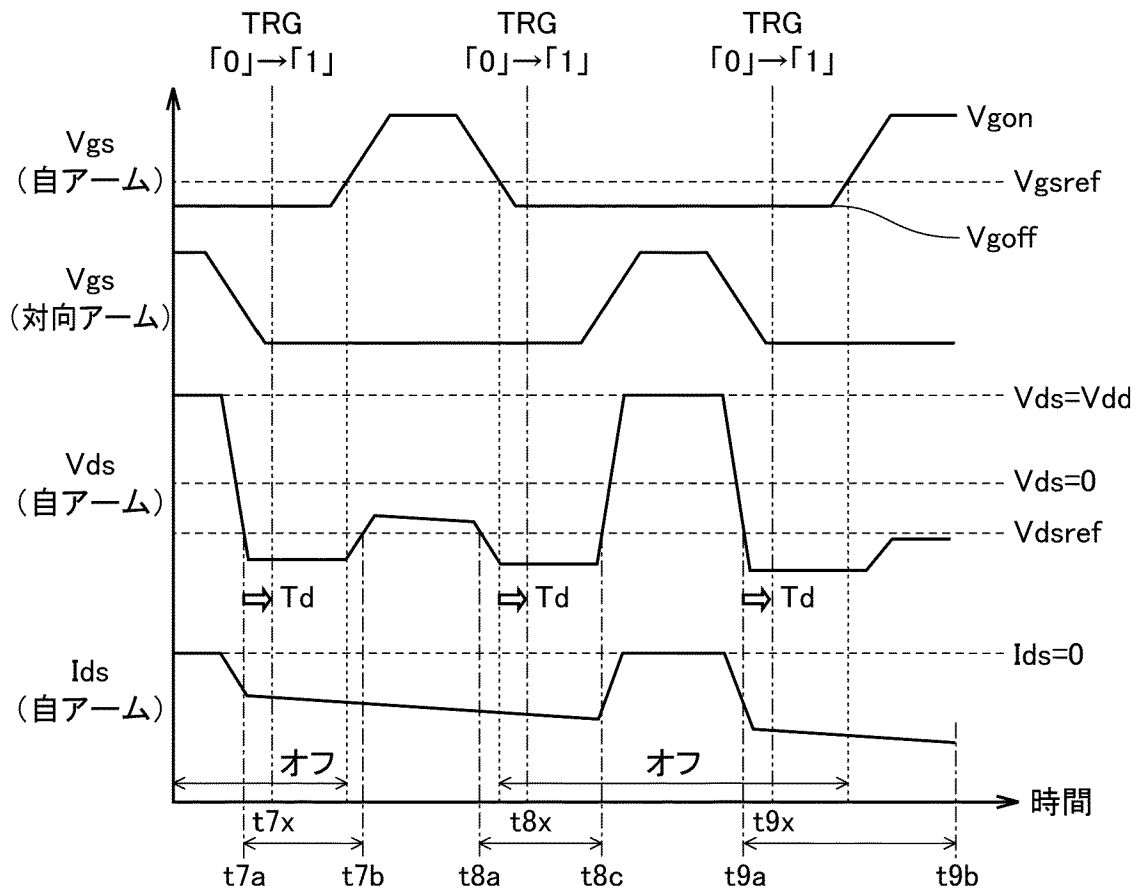
[図9]

図9



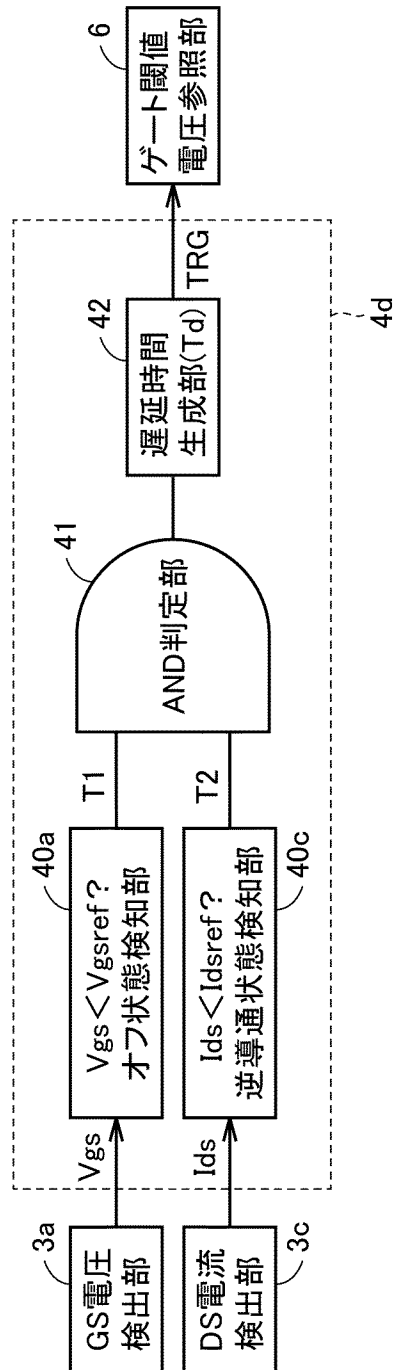
[図10]

図10



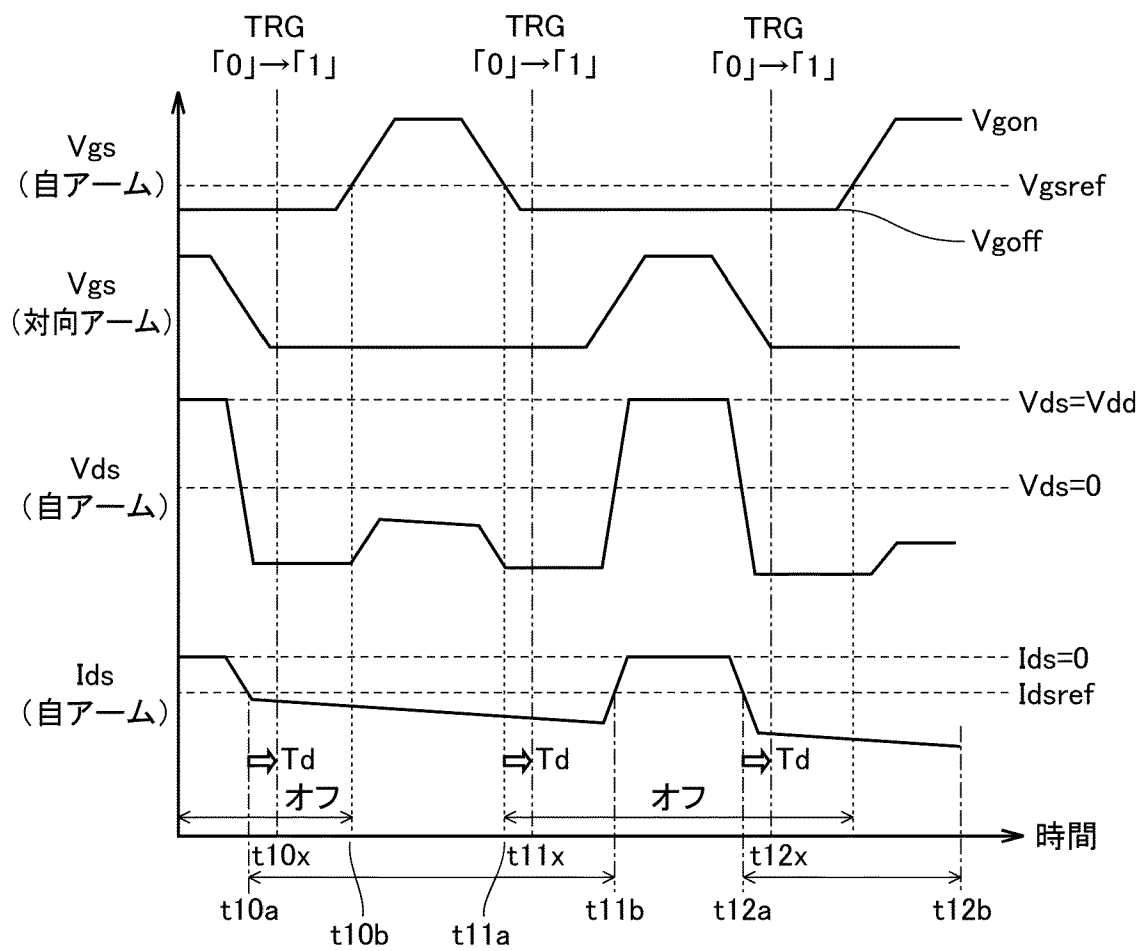
[図11]

図11



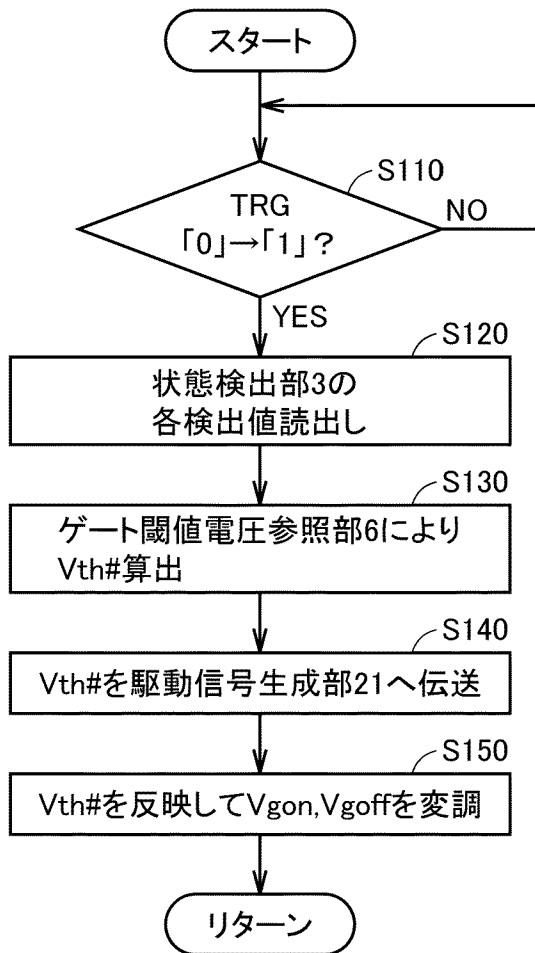
[図12]

図12



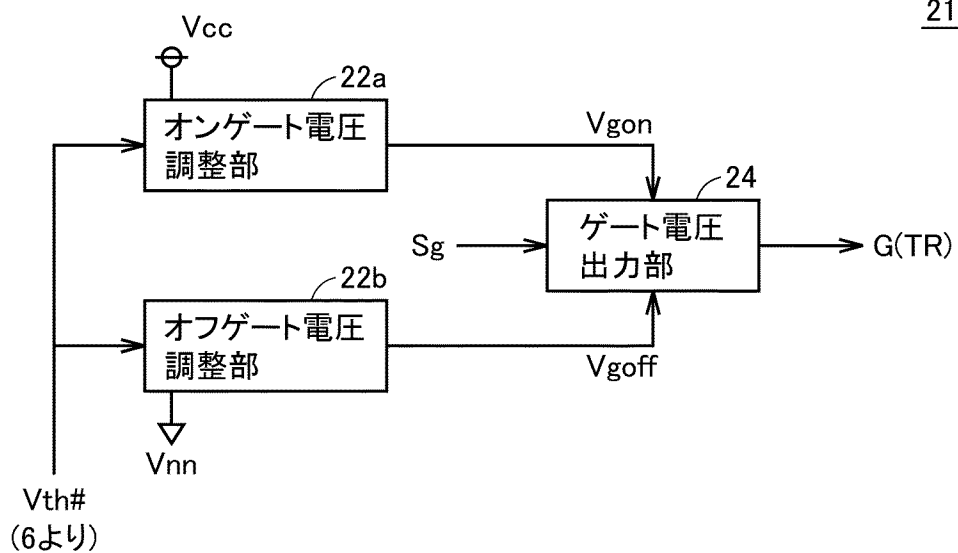
[図13]

図13



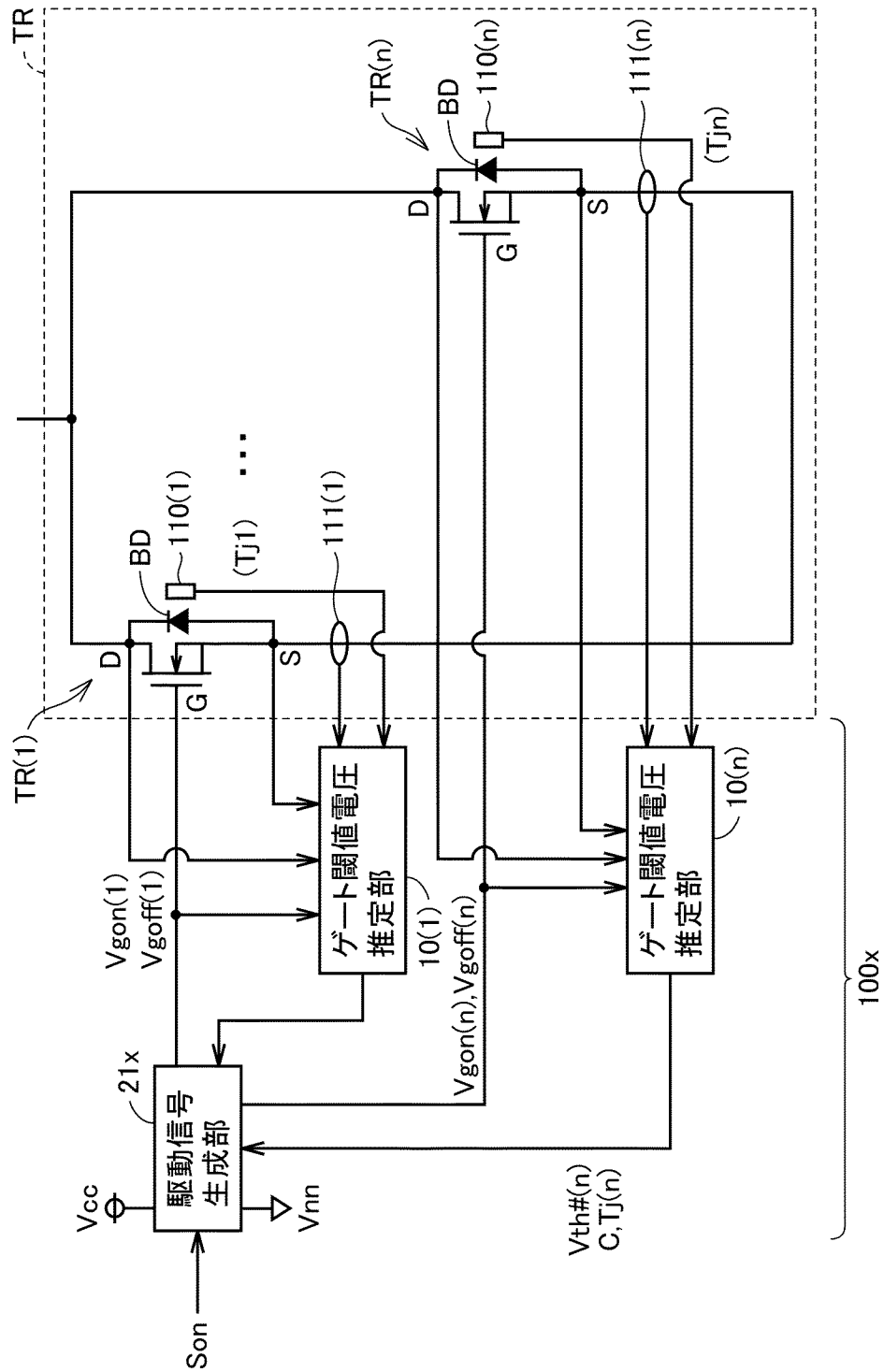
[図14]

図14



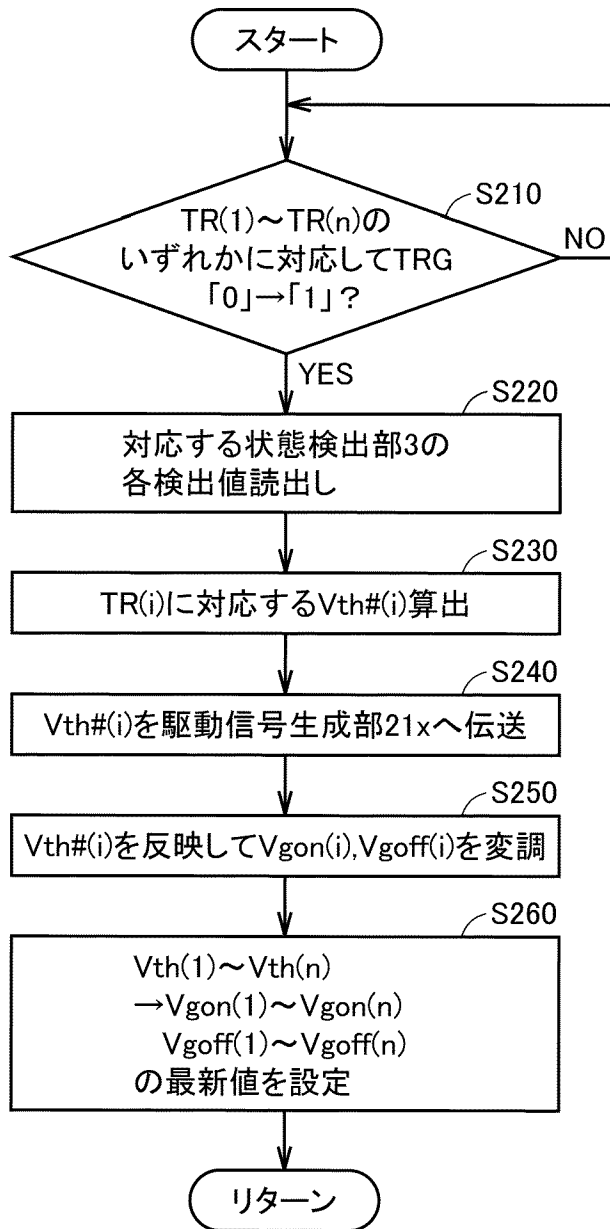
[図15]

図15



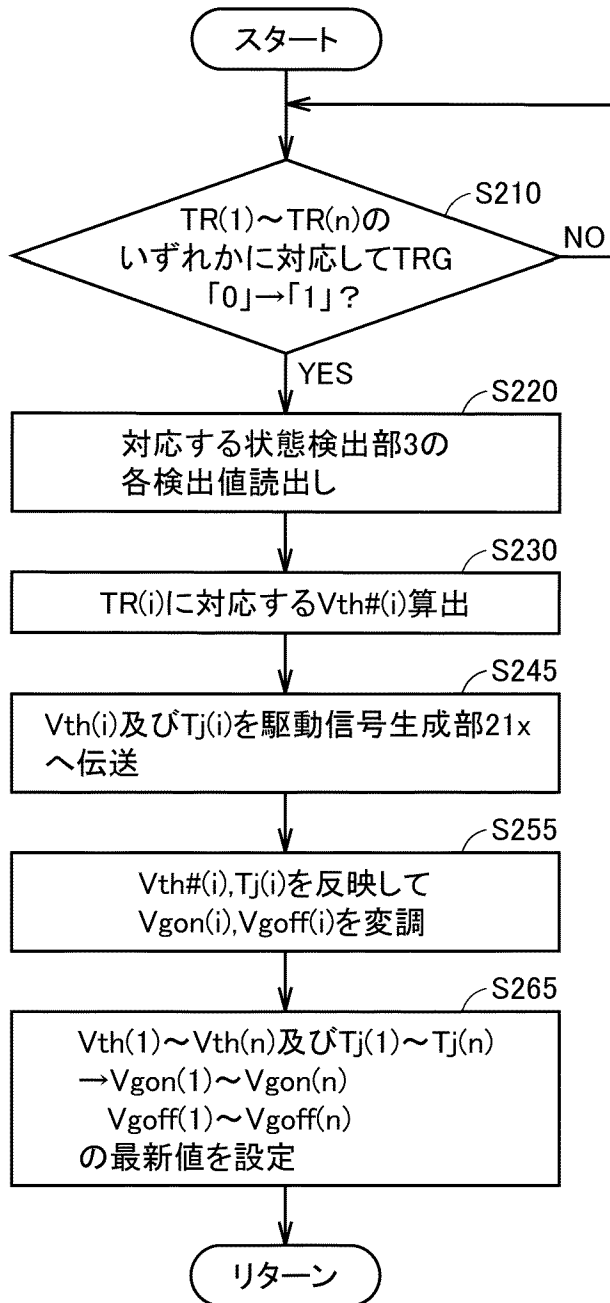
[図16]

図16



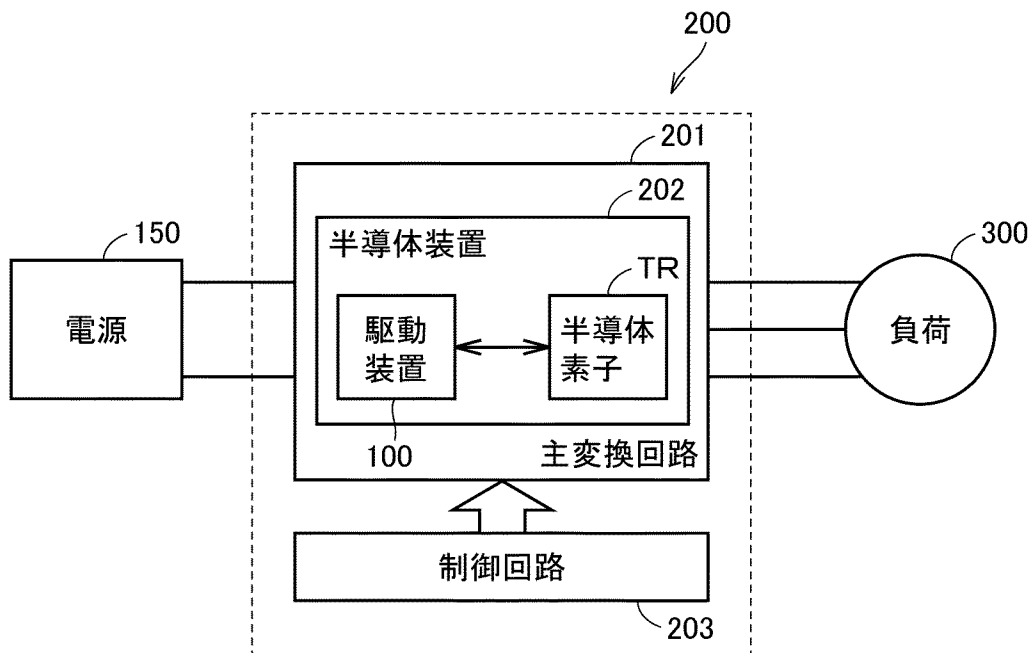
[図17]

図17



[図18]

図18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/012233

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H03K17/687 (2006.01) i, H02M1/08 (2006.01) i
FI: H02M1/08 A, H03K17/687 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03K17/687, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-184211 A (MITSUBISHI HEAVY INDUSTRIES, LTD.) 05 October 2017 (2017-10-05), entire text, all drawings	1-14
A	JP 2019-88104 A (UNIVERSITY OF YAMANASHI) 06 June 2019 (2019-06-06), entire text, all drawings	1-14
A	WO 2019/058545 A1 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 28 March 2019 (2019-03-28), entire text, all drawings	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09.06.2021

Date of mailing of the international search report
22.06.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/012233

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2017-184211 A	05.10.2017	(Family: none)	
JP 2019-88104 A	06.06.2019	(Family: none)	
WO 2019/058545 A1	28.03.2019	CN 111108672 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/687(2006.01)i; H02M 1/08(2006.01)i FI: H02M1/08 A; H03K17/687 A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H03K17/687; H02M1/08														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2017-184211 A（三菱重工株式会社）05.10.2017（2017 - 10 - 05） 全文，全図	1-14												
A	JP 2019-88104 A（国立大学法人山梨大学）06.06.2019（2019 - 06 - 06） 全文，全図	1-14												
A	WO 2019/058545 A1（新電元工業株式会社）28.03.2019（2019 - 03 - 28） 全文，全図	1-14												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 09.06.2021	国際調査報告の発送日 22.06.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 栗栖 正和 5G 3987 電話番号 03-3581-1101 内線 3526													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/012233

引用文献			公表日	パテントファミリー文献			公表日
JP	2017-184211	A	05.10.2017	(ファミリーなし)			
JP	2019-88104	A	06.06.2019	(ファミリーなし)			
WO	2019/058545	A1	28.03.2019	CN	111108672	A	