



(12) 发明专利

(10) 授权公告号 CN 101866684 B

(45) 授权公告日 2014. 07. 23

(21) 申请号 200910171086. 3

US 6633500 B1, 2003. 10. 14,

(22) 申请日 2009. 09. 04

US 7016246 B2, 2006. 03. 21,

CN 101017703 A, 2007. 08. 15,

(30) 优先权数据

10-2009-0032364 2009. 04. 14 KR

审查员 胡嫵

(73) 专利权人 海力士半导体有限公司

地址 韩国京畿道利川市

(72) 发明人 吴荣训

(74) 专利代理机构 北京集佳知识产权代理有限公司

公司 11227

代理人 杨林森 康建峰

(51) Int. Cl.

G11C 11/401 (2006. 01)

G11C 11/4063 (2006. 01)

G11C 11/406 (2006. 01)

(56) 对比文件

US 6856568 B1, 2005. 02. 15,

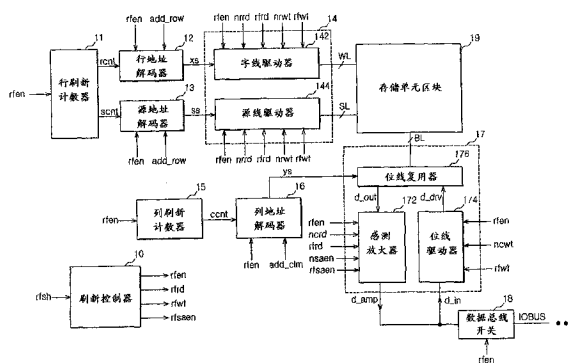
权利要求书6页 说明书11页 附图6页

(54) 发明名称

半导体存储器装置及其刷新控制方法

(57) 摘要

公开了一种半导体存储器装置及其刷新控制方法。半导体存储器装置包括存储单元区块，所述存储单元区块包括多个浮动体单元 (FBC) 晶体管。每个 FBC 晶体管具有连接至字线的栅极、连接至位线的漏极和连接至源线的源极。通过在多个浮动体单元晶体管中共享源线来形成 FBC 晶体管对。半导体存储器装置还包括刷新控制器。刷新控制器被配置成响应于刷新信号来产生刷新使能信号，顺序地使能刷新读取信号和刷新写入信号，以及通过使能刷新读取信号来读取存储在存储单元区块中的数据，并通过使能刷新写入信号来将读取数据重写到存储单元区块中。



1. 一种半导体存储器装置,包括:

存储单元区块,包括多个浮动体单元晶体管,每个浮动体单元晶体管具有连接至字线的栅极、连接至位线的漏极和连接至源线的源极,其中浮动体单元晶体管对通过共享所述浮动体单元晶体管中的所述源线而形成,以及

刷新控制器,被配置成响应于刷新信号来产生刷新使能信号,顺序地使能刷新读取信号和刷新写入信号,以及响应于使能的所述刷新读取信号来读取存储在所述存储单元区块中的数据,并响应于使能的所述刷新写入信号将读取数据重写到所述存储单元区块中。

2. 如权利要求 1 的半导体存储器装置,其中,所述刷新控制器被配置成产生具有与所述刷新读取信号相同的使能间隔的刷新感测放大使能信号。

3. 如权利要求 2 的半导体存储器装置,进一步包括:

行刷新计数器,被配置成通过在所述刷新使能信号被使能时执行计数操作来产生行计数信号和源计数信号;

行地址解码器,被配置成通过解码所述行计数信号来产生行选择信号;

源地址解码器,被配置成通过解码所述源计数信号来产生源选择信号;以及

行操作控制器,被配置成在所述刷新使能信号被使能时响应于所述行选择信号和所述源选择信号来供应电压到所述字线和所述源线。

4. 如权利要求 3 的半导体存储器装置,其中所述行操作控制器包括:

字线驱动器,被配置成响应于所述刷新使能信号、所述刷新读取信号、所述刷新写入信号和所述行选择信号来供应所述电压到所述字线;以及

源线驱动器,被配置成响应于所述刷新使能信号、所述刷新读取信号、所述刷新写入信号和所述源选择信号来供应所述电压到所述源线。

5. 如权利要求 4 的半导体存储器装置,其中所述字线驱动器被配置成当所述刷新使能信号被使能时,响应于所述刷新读取信号和所述刷新写入信号,根据被分成读取操作模式、写入操作模式和保持操作模式的对应操作模式,来供应写入栅极电压、读取栅极电压和保持栅极电压中的任意一个到所述字线。

6. 如权利要求 4 的半导体存储器装置,其中所述源线驱动器被配置成在刷新操作期间响应于所述刷新读取信号和所述刷新写入信号,根据被分成保持操作模式和激活操作模式的对应操作模式,供应激活源极电压或保持源极电压到所述源线。

7. 如权利要求 2 的半导体存储器装置,进一步包括:

列刷新计数器,被配置成当所述刷新使能信号被使能时通过执行计数操作来产生列计数信号;

列地址解码器,被配置成通过解码所述列计数信号来产生列选择信号;

列操作控制器,被配置成当所述刷新使能信号被使能时响应于所述列选择信号来顺序地重写所述位线的数据;以及

数据总线开关,被配置成当所述刷新使能信号被使能时中断所述列操作控制器和数据输入/输出总线的连接。

8. 如权利要求 7 的半导体存储器装置,其中所述列操作控制器包括:

感测放大器,被配置成通过响应于所述刷新使能信号、所述刷新读取信号和所述刷新感测放大使能信号来对输出数据进行放大而输出放大数据;

位线驱动器,被配置成通过响应于所述刷新使能信号和所述刷新写入信号来驱动所述放大数据而输出驱动数据;以及

位线复用器,被配置成响应于多位列选择信号来传送所述驱动数据到所述多个位线中的任意一个,或将从所述多个位线中的任意一个传送来的数据传送到所述感测放大器作为所述输出数据。

9. 如权利要求 8 的半导体存储器装置,其中所述位线驱动器被配置成在刷新操作期间响应于所述刷新写入信号来判断是否要进入写入操作模式,并在所述写入操作期间通过确定所述放大数据的逻辑值来供应写入漏极电压到所述驱动数据的输出线。

10. 一种半导体存储器装置,包括:

刷新控制器,被配置成响应于刷新信号来产生刷新使能信号、刷新读取信号、刷新写入信号和刷新感测放大使能信号;

行操作控制器,被配置成当所述刷新使能信号被使能时,响应于所述刷新读取信号和所述刷新写入信号来供应电压到存储单元区块的字线和源线;

列操作控制器,被配置成当所述刷新使能信号被使能时,响应于所述刷新读取信号、所述刷新感测放大使能信号和所述刷新写入信号来放大从所述存储单元区块的位线传来的数据,并被配置成供应对应于放大的数据的电压到所述位线;以及

数据总线开关,被配置成当所述刷新使能信号被使能时,中断所述放大的数据到数据输入/输出总线的输出。

11. 如权利要求 10 的半导体存储器装置,其中所述刷新控制器被配置成产生在第一间隔期间被使能的所述刷新使能信号,产生在所述第一间隔开始后被使能并在所述第一间隔结束前被禁止的所述刷新读取信号,和产生在所述刷新读取信号被禁止后被使能并在所述第一间隔结束前被禁止的所述刷新写入信号。

12. 如权利要求 10 的半导体存储器装置,其中多个字线和多个源线设置在所述存储单元区块中,以及

其中所述行操作控制器被配置成根据多位行选择信号和多位源选择信号的逻辑值的变化来顺序地供应预定的电压到所述多个字线和所述多个源线。

13. 如权利要求 12 的半导体存储器装置,其中所述行操作控制器包括:

字线驱动器,被配置成响应于所述刷新使能信号、所述刷新读取信号、所述刷新写入信号和所述多位行选择信号来供应电压到所述多个字线;以及

源线驱动器,被配置成响应于所述刷新使能信号、所述刷新读取信号、所述刷新写入信号和所述多位源选择信号来供应电压到所述多个源线。

14. 如权利要求 13 的半导体存储器装置,其中所述字线驱动器被配置成在所述刷新使能信号被使能的状态中,响应于所述刷新读取信号和所述刷新写入信号,根据被分成读取操作模式、写入操作模式和保持操作模式的对应操作模式,来供应写入栅极电压、读取栅极电压和保持栅极电压中的任意一个到激活的字线。

15. 如权利要求 14 的半导体存储器装置,其中所述字线驱动器包括:

操作模式设定单元,被配置成当所述刷新使能信号被使能时响应于多个行选择信号中的对应行选择信号、所述刷新写入信号和所述刷新行信号来产生写入模式信号、读取模式信号和保持模式信号;以及

切换单元,被配置成响应于所述写入模式信号、所述读取模式信号和所述保持模式信号来供应所述写入栅极电压、所述读取栅极电压和所述保持栅极电压中的任意一个到激活的字线。

16. 如权利要求 13 的半导体存储器装置,其中所述源线驱动器被配置成:在刷新操作期间,响应于所述刷新读取信号和所述刷新写入信号,根据被分成保持操作模式和激活操作模式的对应操作模式,供应激活源极电压或保持源极电压到激活的源线。

17. 如权利要求 16 的半导体存储器装置,其中所述源线驱动器包括:

操作模式设定单元,被配置成当所述刷新使能信号被使能时响应于所述刷新写入信号和所述刷新读取信号来产生所述保持模式信号;以及

切换单元,被配置成响应于所述多位源选择信号中的对应源选择信号和所述保持模式信号来供应所述激活源极电压或所述保持源极电压到对应源线。

18. 如权利要求 10 的半导体存储器装置,其中多个位线设置在所述存储单元区块中,以及

其中所述列操作控制器被配置成根据多位列选择信号的逻辑值的变化来顺序地激活所述多个位线。

19. 如权利要求 18 的半导体存储器装置,其中所述列操作控制器包括:

感测放大器,被配置成通过响应于所述刷新使能信号、所述刷新读取信号和所述刷新感测放大使能信号来对输出数据进行放大而输出放大数据;

位线驱动器,被配置成通过响应于所述刷新使能信号和所述刷新写入信号来驱动所述放大数据而输出驱动数据;以及

位线复用器,被配置成响应于所述多位列选择信号来传送所述驱动数据到所述多个位线中的任意一个,或将从所述多个位线中的任意一个传来的数据传送到所述感测放大器作为所述输出数据。

20. 如权利要求 19 的半导体存储器装置,其中所述感测放大器包括:

操作模式设定单元,被配置成响应于所述刷新读取信号来设定读取操作模式,且当所述刷新使能信号被使能时来传送所述输出数据;以及

放大单元,被配置成当所述刷新使能信号被使能时响应于所述刷新感测放大使能信号,通过放大经由所述操作模式设定单元传送的所述输出数据来输出所述放大数据。

21. 如权利要求 19 的半导体存储器装置,其中所述位线驱动器被配置成在所述刷新操作期间响应于所述刷新写入信号来判断是否要进入写入操作模式,并在所述写入操作期间通过确定输入数据的逻辑值来供应写入漏极电压到所述驱动数据的输出线。

22. 如权利要求 21 的半导体存储器装置,其中所述位线驱动器包括:

驱动单元,被配置成响应于所述输入数据来输出第一写入漏极电压或第二写入漏极电压;以及

操作模式设定单元,被配置成响应于所述刷新写入信号来设定写入操作模式,并在所述刷新使能信号被使能期间响应于从所述驱动单元传送的电压来输出所述驱动数据。

23. 如权利要求 10 的半导体存储器装置,其中所述存储单元区块包括多个存储单元,每个所述存储单元包括浮动体单元晶体管,所述浮动体单元晶体管具有连接至所述字线的栅极、连接至所述源线的源极以及连接至所述位线的漏极。

24. 一种半导体存储器装置,包括:

行刷新计数器,被配置成当刷新使能信号被使能时,通过执行计数操作来产生行计数信号和源计数信号;

行地址解码器,被配置成通过解码所述行计数信号来产生行选择信号;

源地址解码器,被配置成通过解码所述源计数信号来产生源选择信号;

行操作控制器,被配置成当所述刷新使能信号被使能时,响应于所述行选择信号和所述源选择信号,来顺序地供应电压到存储单元区块的多个源线和多个字线;

列刷新计数器,被配置成当所述刷新使能信号被使能时,通过执行所述计数操作来产生列计数信号;

列地址解码器,被配置成通过解码所述列计数信号来产生列选择信号;以及

列操作控制器,被配置成当所述刷新使能信号被使能时,响应于所述列选择信号来顺序地重写所述存储单元区块的多个位线的数据。

25. 如权利要求 24 的半导体存储器装置,其中所述行刷新计数器被配置成执行所述行计数信号的计数操作,所述行计数信号的计数操作的速度比所述源计数信号的计数操作更快,且所述行计数信号的计数操作的速度是所述源计数信号的计数操作的两倍,以及

其中所述列刷新计数器被配置成:执行所述列计数信号的计数操作,所述列计数信号的计数操作比所述行刷新计数器的所述行计数信号的计数操作更快,且倍数与所述多个位线的数目相同。

26. 如权利要求 25 的半导体存储器装置,其中所述列操作控制器被配置成,当所述多个字线中的任意一个和所述多个源线的任意一个被激活时,顺序地执行所述多个位线的刷新操作。

27. 如权利要求 26 的半导体存储器装置,其中所述行操作控制器被配置成,当所述列操作单元完成所述多个位线中的每一个的所述刷新操作时,仅改变激活的字线或者改变所述激活的字线和激活的源线。

28. 如权利要求 24 的半导体存储器装置,进一步包括:

刷新控制器,被配置成响应于刷新信号来产生具有预定使能间隔的所述刷新使能信号,并当所述刷新使能信号使能时产生被顺序地使能的刷新读取信号和刷新写入信号。

29. 如权利要求 28 的半导体存储器装置,其中所述行操作控制器包括:

字线驱动器,被配置成响应于所述刷新使能信号、所述刷新读取信号、所述刷新写入信号和所述行选择信号来供应电压到所述多个字线;以及

源线驱动器,被配置成响应于所述刷新使能信号、所述刷新读取信号、所述刷新写入信号和所述源选择信号来供应电压到所述多个源线。

30. 如权利要求 29 的半导体存储器装置,其中所述字线驱动器被配置成:当所述刷新使能信号被使能时,响应于所述刷新写入信号和所述刷新读取信号,根据分成读取操作模式、写入操作模式和保持操作模式的操作模式,供应写入栅极电压、读取栅极电压和保持栅极电压中的任意一个到所述多个字线中的激活的字线。

31. 如权利要求 28 的半导体存储器装置,其中所述源线驱动器被配置成在刷新操作期间响应于所述刷新读取信号和所述刷新写入信号,根据被分成保持操作模式和激活操作模式的对应操作模式,供应激活源极电压或保持源极电压到所述多个源线中的激活的源线。

32. 如权利要求 28 的半导体存储器装置,其中所述刷新控制器进一步产生具有与所述刷新读取信号相同波形的刷新感测放大使能信号,

其中所述列操作控制器包括:

感测放大器,被配置成通过响应于所述刷新使能信号、所述刷新读取信号和所述刷新感测放大使能信号来对输出数据进行放大而输出放大数据;

位线驱动器,被配置成通过响应于所述刷新使能信号和所述刷新写入信号来驱动所述放大数据而输出驱动数据;以及

位线复用器,被配置成响应于多位列选择信号来传送所述驱动数据到所述多个位线中的任意一个,或将从所述多个位线中的任意一个传来的数据传送到所述感测放大器作为所述输出数据。

33. 如权利要求 32 的半导体存储器装置,其中所述位线驱动器被配置成在刷新操作期间响应于所述刷新写入信号来判断是否要进入写入操作模式,并在写入操作期间通过确定输入数据的逻辑值来供应写入漏极电压到所述驱动数据的输出线。

34. 如权利要求 32 的半导体存储器装置,进一步包括数据总线开关,所述数据总线开关被配置成当所述刷新使能信号被使能时中断所述放大数据到数据输入/输出总线的输出。

35. 如权利要求 24 的半导体存储器装置,其中所述存储单元区块包括多个存储单元,每个所述存储单元包括浮动体单元晶体管,所述浮动体单元晶体管具有连接至所述字线的栅极、连接至所述源线的源极以及连接至所述位线的漏极。

36. 一种半导体存储器装置的刷新控制方法,所述半导体存储器装置包括存储单元区块,所述存储单元区块具有多个浮动体单元晶体管,所述浮动体单元晶体管具有连接至字线的栅极、连接至位线的漏极和连接至源线的源极,其中通过共享所述浮动体单元晶体管中的所述源线而形成浮动体单元晶体管对,所述刷新控制方法包括:

当刷新信号被使能时使能刷新读取信号;

响应于所述刷新读取信号,通过供应电压到所述字线、所述源线和所述位线来从任意一个存储单元中输出数据;

禁止所述刷新读取信号和使能刷新写入信号;以及

响应于所述刷新写入信号,通过供应具有与从所述存储单元输出的数据的逻辑值对应的电平的电压至所述位线,来将所述数据重写到所述位线中。

37. 如权利要求 36 的刷新控制方法,其中输出所述数据包括:

响应于行选择信号、源选择信号和列选择信号来选择所述字线、所述源线和所述位线;

供应读取栅极电压到所述字线和供应激活源极电压到所述源线;以及

对从所述存储单元经由所述位线而输出的数据进行放大。

38. 如权利要求 37 的刷新控制方法,其中输出所述数据的步骤放大并输出从所述存储单元输出的数据,并中断所述放大数据到数据输入/输出总线的传输。

39. 如权利要求 36 的刷新控制方法,其中重写所述数据的步骤中断来自数据输入/输出总线的所述数据的输入,并通过确定从所述存储单元输出的所述数据的逻辑值来使用第一写入漏极电压或第二写入漏极电压来驱动所述位线。

40. 一种半导体存储器装置的刷新控制方法,所述半导体存储器装置包括存储单元区块,所述存储单元区块包括多个浮动体单元晶体管,每个浮动体单元晶体管具有连接至字线的栅极、连接至位线的漏极和连接至源线的源极,其中通过共享所述多个浮动体单元晶体管中的所述源线而形成浮动体单元晶体管对,所述刷新控制方法包括:

当刷新使能信号被使能时,供应用于读取操作或写入操作的电压到第一字线和第一源线;

针对所述多个位线顺序地执行数据的重写操作;

停用所述第一字线,并供应用于所述读取操作或所述写入操作的电压到第二字线;

顺序地再次执行所述多个位线中的所述数据的所述重写操作;以及

停用所述第二字线和所述第一源线,并激活第三字线和第二源线。

41. 如权利要求 40 的刷新控制方法,其中供应用于所述读取操作或所述写入操作的电压到所述第一字线和所述第一源线包括:

供应读取栅极电压到所述第一字线和供应激活源极电压到所述第一源线;

供应保持栅极电压到所述第一字线和供应保持源极电压到所述第一源线;以及

供应写入栅极电压到所述第一字线和供应所述激活源极电压到所述第一源线。

42. 如权利要求 40 的刷新控制方法,其中针对所述多个位线执行所述数据的所述重写操作包括:

输出和放大来自所述多个位线中的任意一个的数据;

中断从数据输入/输出总线的数据输入和确定放大的数据的逻辑值;以及

根据所述放大的数据的逻辑值,供应第一写入漏极电压或第二写入漏极电压到任意一个位线。

43. 如权利要求 40 的刷新控制方法,其中供应用于所述读取操作或所述写入操作的电压到所述第二字线包括:

供应读取栅极电压到所述第二字线和供应激活源极电压到所述第一源线;

供应保持栅极电压到所述第二字线和供应保持源极电压到所述第一源线;以及

供应写入栅极电压到所述第二字线和供应所述激活源极电压到所述第一源线。

44. 如权利要求 40 的刷新控制方法,其中激活所述第三字线和所述第二源线包括:

供应读取栅极电压到所述第三字线和供应激活源极电压到所述第二源线;

供应保持栅极电压到所述第三字线和供应保持源极电压到所述第二源线;以及

供应写入栅极电压到所述第三字线和供应所述激活源极电压到所述第二源线。

半导体存储器装置及其刷新控制方法

技术领域

[0001] 本发明涉及一种半导体存储器装置,更具体而言,涉及一种半导体存储器装置的存储单元及其控制电路。

背景技术

[0002] 常规的动态随机存取存储器 (DRAM) 包括许多存储单元,每个存储单元包括一个晶体管和一个电容器以便存储数据。但是,具有这些存储单元的普通结构并不适合降低存储核心区域的面积,使得在提高半导体存储器装置的集成度时存在技术上的限制。因此,已经开发了一种用于将存储单元的晶体管和电容器实施为一个晶体管的浮动体单元 (FBC, Floating body cell) 技术。

[0003] 以下将参照附图更为详细地描述 FBC 技术。

[0004] 图 1 为实施 FBC 的晶体管的横截面图,并图示出 N 型晶体管作为示例。在此应理解所述附图未必是成比例地绘制,在某些情况下比例会被放大以便更为清楚地描述本发明的某些特征。

[0005] 如图 1 所示,类似于普通的 N 型 MOS 晶体管,实施 FBC 的晶体管具有以下结构:掺杂有 N 型杂质的源极 1 与漏极 2 被配置在半导体衬底上,而栅极电极 3 与栅极氧化层 4 形成在源极 1 与漏极 2 的顶部部分的预定区域处。但是,绝缘层 5 设置在本体区域的中间部分中。因此,该本体区域被分成浮动体部分 6 和衬底部分 7。并且,浮动体部分 6 和衬底部分 7 掺杂有 P 型杂质。

[0006] 绝缘层 5 介于浮动体部分 6 与衬底部分 7 之间,因此,利用分别施加于源极 1、漏极 2 与栅极电极 3 的电压而将空穴累积在浮动体部分 6 中。因此,虚拟电容器 (virtual capacitor) 形成在 FBC 中。由于以上产生的电容器的特性,晶体管可作为存储单元,该存储单元具有切换晶体管与存储单元彼此组合的结构。

[0007] 为了实施 FBC 技术,预定的电压必须在读取操作或写入操作中准确地施加于晶体管的源极、漏极与栅极中的每一个。另外,在 FBC 技术中,需要支持保持操作以及读取和写入操作,并且即使在写入操作期间,输入逻辑值 1 的操作和输入逻辑值 0 的操作也需要不同。

[0008] 另外,根据每个操作而要施加于源极、漏极与栅极的电压电平显示于表 1。

[0009] [表 1]

[0010]

	写入 1 操作	写入 0 操作	读取操作	保持操作
源极电压	2.5V	2.5V	2.5V	0V
漏极电压	0V	0.5V	0V	0V

栅极电压	0.5V	0.5V	-1.0V	-1.5V
------	------	------	-------	-------

[0011] 如表 1 所示, FBC 技术中的单元晶体管在执行四种不同操作时, 应在其源极、漏极与栅极处施加所设定的电压。为此, 应提供一种可以针对每种操作来供应电压到单元晶体管的源极、漏极和栅极中的每一个的电路。

[0012] 到目前为止, 因为尚未开发出用于供应电压到每个单元晶体管的源极、漏极与栅极的电路, FBC 技术难以用于半导体存储器装置的存储单元。而且, 与 DRAM 类似, 采用 FBC 技术的半导体存储器装置的数据也是易失性的。因此, 即使在本文的方案中, 也需要执行刷新操作, 并且应提供相关的技术配置。因此, 非常需要相关电路的开发以便采用 FBC 技术来提高半导体存储器装置的集成度。

发明内容

[0013] 本发明提供一种半导体存储器装置及其刷新控制方法, 其能够在存储核心区域的单元晶体管中实施 FBC 技术。

[0014] 在第一实施例中, 半导体存储器装置包括存储单元区块, 该存储单元区块包括多个浮动体单元 (FBC) 晶体管, 每个 FBC 晶体管具有连接至字线的栅极、连接至位线的漏极和连接至源线的源极, 其中通过共享 FBC 晶体管中的源线而形成 FBC 晶体管对。半导体存储器装置还包括刷新控制器。刷新控制器被配置成响应于刷新信号来产生刷新使能信号, 顺序地使能刷新读取信号和刷新写入信号, 以及响应于使能的刷新读取信号来读取存储在存储单元区块中的数据, 并响应于使能的刷新写入信号来将读取数据重写到存储单元区块中。

[0015] 在第二实施例中, 半导体存储器装置包括: 刷新控制器, 被配置成响应于刷新信号来产生刷新使能信号、刷新读取信号、刷新写入信号和刷新感测放大使能信号; 行操作控制器, 被配置成当刷新使能信号被使能时响应于刷新读取信号和刷新写入信号来供应电压到存储单元区块的字线和源线; 列操作控制器, 被配置成当刷新使能信号被使能时响应于刷新读取信号、刷新感测放大使能信号和刷新写入信号来放大从存储单元区块的位线传来的数据, 并被配置成供应对应于放大的数据的电压到位线; 以及数据总线开关, 被配置成当刷新使能信号被使能时, 中断放大的数据到数据输入 / 输出总线的输出。

[0016] 在第三实施例中, 半导体存储器装置包括: 行刷新计数器, 被配置成当刷新使能信号被使能时通过执行计数操作来产生行计数信号和源计数信号; 行地址解码器, 被配置成通过解码行计数信号而产生行选择信号; 源地址解码器, 被配置成通过解码源计数信号而产生源选择信号; 行操作控制器, 被配置成当刷新使能信号被使能时响应于行选择信号和源选择信号顺序地供应电压到存储单元区块的多个字线和多个源线; 列刷新计数器, 被配置成当刷新使能信号被使能时通过执行计数操作来产生列计数信号; 列地址解码器, 被配置成通过解码列计数信号来产生列选择信号; 以及列操作控制器, 被配置成当刷新使能信号被使能时响应于列选择信号顺序地重写存储单元区块的多个位线的数据。

[0017] 在第四实施例中, 提供一种半导体存储器装置的刷新控制方法, 该半导体存储器装置包括存储单元区块, 该存储单元区块具有多个浮动体单元 (FBC) 晶体管, FBC 晶体管具有连接至字线的栅极、连接至位线的漏极和连接至源线的源极, 其中通过共享 FBC 晶体管中的源线而形成 FBC 晶体管对, 该刷新控制方法包括: 当刷新信号被使能时使能刷新读取

信号；响应于刷新读取信号通过供应电压到字线、源线和位线而从任意一个存储单元输出数据；禁止刷新读取信号和使能刷新写入信号；以及，响应于刷新写入信号通过供应具有与从存储单元输出的数据的逻辑值对应的的电平的电压而重写位线中的数据。

[0018] 在第五实施例中，提供一种半导体存储器装置的刷新控制方法，该半导体存储器装置包括存储单元区块，该存储单元区块包括多个浮动体单元 (FBC) 晶体管，每个 FBC 晶体管具有连接至字线的栅极、连接至位线的漏极和连接至源线的源极，其中通过共享多个浮动体单元晶体管中的源线而形成 FBC 晶体管对，该刷新控制方法包括：当刷新使能信号被使能时供应用于读取操作或写入操作的电压到第一字线和第一源线；顺序地执行所述多个位线中的数据的重写操作；停用第一字线，并供应用于读取或写入操作的电压到第二字线；顺序地再次执行所述多个位线的数据的重写操作；以及，停用第二字线和第一源线，并激活第三字线和第二源线。

[0019] 这些及其它的特征、方面及实施例在以下的“具体实施方式”中进行说明。

附图说明

[0020] 结合附图说明特征、方面及实施例，其中：

[0021] 图 1 为实施 FBC 的晶体管的横截面图；

[0022] 图 2 为示出根据一个实施例的半导体存储器装置的存储核心区域的配置的框图；

[0023] 图 3 为示出图 2 的刷新控制器的操作的波形图；

[0024] 图 4 为根据一个实施例的图 2 的示例性存储单元区块的配置图；

[0025] 图 5 为根据一个实施例的图 2 的示例性字线驱动器的配置图；

[0026] 图 6 为根据一个实施例的图 2 的示例性源线驱动器的配置图；

[0027] 图 7 为根据一个实施例的图 2 的示例性位线复用器的配置图；以及

[0028] 图 8 为根据一个实施例的图 2 的示例性感测放大器和位线驱动器的配置图。

具体实施方式

[0029] 图 2 为示出根据一个实施例的半导体存储器装置的存储核心区域的配置的框图。

[0030] 如图 2 所示，半导体存储器装置可以包括刷新控制器 10、行刷新计数器 11、行地址解码器 12、源地址解码器 13、行操作控制器 14、列刷新计数器 15、列地址解码器 16、列操作控制器 17、数据总线开关 18 以及存储单元区块 19。

[0031] 刷新控制器 10 可响应于刷新信号 rfsh 来产生刷新使能信号 rfен、刷新读取信号 rfrd、刷新写入信号 rfwt 以及刷新感测放大使能信号 rfсаen。行刷新计数器 11 可响应于刷新使能信号 rfен 通过执行计数操作来产生多位行计数信号 rcnt 和多位源计数信号 scnt。行地址解码器 12 可响应于刷新使能信号 rfен 通过解码行计数信号 rcnt 来产生多位行选择信号 xs。源地址解码器 13 可响应于刷新使能信号 rfен 通过解码源计数信号 scnt 来产生多位源选择信号 ss。行操作控制器 14 可响应于刷新使能信号 rfен、正常行读取信号 nrrd、刷新读取信号 rfrd、正常行写入信号 nrwt、刷新写入信号 rfwt、多位行选择信号 xs 和多位源选择信号 ss 来供应电压到多个字线 WL 和多个源线 SL。

[0032] 列刷新计数器 15 可响应于刷新使能信号 rfен 通过执行计数操作来产生多位列计数信号 ccnt。列地址解码器 16 可响应于刷新使能信号 rfен 通过解码多位列计数信号 ccnt

来产生多位列选择信号 ys 。列操作控制器 17 可响应于刷新使能信号 $rfen$ 、正常列读取信号 $ncrd$ 、刷新读取信号 $rfrd$ 、正常列写入信号 $ncwt$ 、刷新写入信号 $rfwt$ 、正常感测放大使能信号 $nsaen$ 、刷新感测放大使能信号 $rfsaen$ 以及多位列选择信号 ys 而驱动和转移输入数据 d_in 到多个位线 BL 中的任意一个或者放大和输出自多个位线 BL 中的任意一个传送的数据作为放大数据 d_amp 。数据总线开关 18 可响应于刷新使能信号 $rfen$ 来中断放大数据 d_amp 到数据输入 / 输出总线 IOBUS 的输出和将从数据输入 / 输出总线 IOBUS 传来的数据输入到列操作控制器 17 中。存储单元区块 19 连接至所述多个字线 WL、所述多个源线 SL 和所述多个位线 BL。存储单元区块 19 包括多个存储单元。

[0033] 如上所述,刷新控制器 10 可响应于刷新信号 $rfsh$ 来产生刷新使能信号 $rfen$ 、刷新读取信号 $rfrd$ 、刷新写入信号 $rfwt$ 和刷新感测放大使能信号 $rfsaen$ 。所述信号的波形示于图 3。

[0034] 图 3 为示出图 2 的刷新控制器的操作的波形图。

[0035] 参照图 3,刷新使能信号 $rfen$ 具有预定的使能间隔。在此间隔中,在刷新读取信号 $rfrd$ 被使能且然后被禁止之后,刷新写入信号 $rfwt$ 被使能且然后被禁止。刷新感测放大使能信号 $rfsaen$ 具有类似于刷新读取信号 $rfrd$ 的波形。

[0036] 仅针对包括在存储单元区块 19 中的一个存储单元的刷新操作示出此波形。该操作在执行刷新操作期间重复与存储单元一样多的次数。产生具有该波形的信号的刷新控制器 10 的配置可由本领域技术人员容易地实现。因此,将省略刷新控制器 10 的详细配置。

[0037] 存储单元区块 19 包括通过 FBC 晶体管实施的多个存储单元。字线 WL 被设置成与所述多个存储单元的行数目一样多,源线 SL 被设置为字线 WL 数目的一半,而位线 BL 被设置成与所述多个存储单元的列数目一样多。

[0038] 因此,为了执行每个存储单元的刷新操作,行刷新计数器 11 对于多位行计数信号 $rcnt$ 执行计数操作,该计数操作的速度比对于多位源计数信号 $scnt$ 的计数操作的速度要快,且该计数操作的速度是对于多位源计数信号 $scnt$ 的计数操作的速度速度的两倍。另外,列刷新计数器 15 对于多位列计数信号 $ccnt$ 执行计数操作,该计数操作比行刷新计数器 11 对于所述多位行计数信号 $rcnt$ 的计数操作要快,且倍数与所有位线 BL 的数目相同。因此,从列地址解码器 16 产生的多位列选择信号 ys 的逻辑值的改变速度比由行地址解码器 12 产生的多位行选择信号 xs 的改变速度快,且倍数与所有位线 BL 的数目相同,而多位源选择信号 ss 的逻辑值的改变速度比由行地址解码器 12 产生的多位行选择信号 xs 要慢,且多位源选择信号 ss 的逻辑值的改变速度是由行地址解码器 12 产生的多位行选择信号 xs 的改变速度的二分之一。

[0039] 也就是说,在预定字线 WL 和预定源线 SL 被激活的状态中,半导体存储器装置顺序地对于所述多个位线 BL 执行刷新操作。此后,半导体存储器装置停用字线 WL 而激活另一字线 WL,接着重复上述操作。预定源线 SL 被激活同时两个字线 WL 被顺序地激活。此后,当另一字线 WL 被激活时,另一源线 SL 也被激活。半导体存储器装置重复地执行该操作,以便对于包括在存储单元区块 19 中多个存储单元中的每一个执行刷新操作。

[0040] 行地址解码器 12 与源地址解码器 13 在刷新使能信号 $rfen$ 未被使能的情况下,也就是说在正常模式中接收多位行地址 add_row ,并对多位行地址 add_row 执行解码操作。进一步,列地址解码器 16 在正常模式下接收多位列地址 add_clm ,并对多位列地址 add_clm

执行解码操作。相反地,当刷新使能信号 rfen 被使能时,行地址解码器 12 和源地址解码器 13 响应于多位行计数信号 rcnt 来执行解码操作,而列地址解码器 16 响应于多位列计数信号 ccnt 来执行解码操作。

[0041] 行操作控制器 14 可响应于正常模式下的正常行读取信号 nrrd、正常行写入信号 nrwt、多位行选择信号 xs 和多位源选择信号 ss 来供应电压到存储单元区块 19 的所述多个字线 WL 和所述多个源线 SL。但是,当刷新使能信号 rfen 被使能时,行操作控制器 14 可响应于刷新读取信号 rfrd、刷新写入信号 rfwt、多位行选择信号 xs 和多位源选择信号 ss 来供应电压到存储单元区块 19 的所述多个字线 WL 和所述多个源线 SL。此时,行操作控制器 14 可根据多位行选择信号 xs 和多位源选择信号 ss 的逻辑值的变化,顺序地供应预定的电压到所述多个字线 WL 和所述多个源线 SL。

[0042] 这里,当行命令解码器(未示出)解码从外部传送的行命令时,产生正常行读取信号 nrrd 和正常行写入信号 nrwt。类似地,当列命令解码器(未示出)解码从外部传送的列命令时,产生正常列读取信号 nerd、正常列写入信号 newt 和正常感测放大使能信号 nsaen。

[0043] 行操作控制器 14 可包括字线驱动器 142 和源线驱动器 144。

[0044] 字线驱动器 142 可以响应于刷新使能信号 rfen、正常行读取信号 nrrd、刷新读取信号 rfrd、正常行写入信号 nrwt、刷新写入信号 rfwt 和多位行选择信号 xs 来分别供应电压到所述多个字线 WL。源线驱动器 144 可以响应于刷新使能信号 rfen、正常行读取信号 nrrd、刷新读取信号 rfrd、正常行写入信号 nrwt、刷新写入信号 rfwt 和多位源选择信号 ss 来分别供应电压到所述多个源线 SL。

[0045] 列操作控制器 17 可以响应于正常模式下的正常列读取信号 nerd、正常列写入信号 newt、正常感测放大使能信号 rfsaen 和多位列选择信号 ys 来放大和输出所述多个位线 BL 中的任意一个的数据,或是驱动和传送从数据输入/输出总线 IOBUS 经由数据总线开关 18 传送的输入数据 d_in 到所述多个位线 BL 中的任意一个。但是,当刷新使能信号 rfen 被使能时,列操作控制器 17 响应于刷新读取信号 rfrd 和刷新感测放大使能信号 rfsaen 来放大从所述多个位线 BL 中的任意一个传来的数据并输出该数据作为放大数据 d_amp,然后响应于多位列选择信号 ys 以在响应于刷新写入信号 rfwt 输出数据的位线 BL 中重写放大数据 d_amp。这里,通过供应预定电平的电压到对应位线 BL 来重写放大数据 d_amp。多位列选择信号 ys 控制要被顺序地从所述多个位线 BL 中输出和重写到所述多个位线 BL 中的数据。

[0046] 类似地,为了支持在刷新操作期间重写从位线 BL 输出的数据的操作,数据总线开关 18 被关断,以中断列操作控制器 17 和数据输入/输出总线 IOBUS 之间的连接。但是,数据总线开关 18 在正常操作期间接通,以连接数据输入/输出总线 IOBUS 与列操作控制器 17。

[0047] 列操作控制器 17 可以包括感测放大器 172、位线驱动器 174 和位线复用器 176。

[0048] 感测放大器 172 响应于刷新使能信号 rfen、正常列读取信号 ncrd、刷新读取信号 rfrd、正常感测放大使能信号 nasen 和刷新感测放大使能信号 rfsaen,通过放大输出数据 d_out 来输出放大数据 d_amp。位线驱动器 174 可响应于刷新使能信号 rfen、正常列写入信号 ncwt 和刷新写入信号 rfwt,通过驱动输入数据 d_in 来输出驱动数据 d_drv。位线复用器 176 可以传送驱动数据 d_drv 到所述多个位线 BL 中的任意一个,或传送由所述多个位线

BL 中的任意一个传来的数据到感测放大器 172 作为输出数据 d_{out} 。

[0049] 字线驱动器 142 可在正常操作期间响应于正常行读取信号 $nrrd$ 和正常行写入信号 $nrwt$, 根据所分成的读取操作模式、写入操作模式和保持操作模式中的每一个, 来供应读取栅极电压、写入栅极电压和保持栅极电压中的任意一个到激活的字线 WL。另一方面, 字线驱动器 142 可在刷新操作期间响应于被顺序地使能的刷新读取信号 $rfrd$ 和刷新写入信号 $rfwt$, 来供应电压到激活的字线 WL。此时, 考虑到 FBC 晶体管的特性, 字线驱动器 142 可在刷新读取信号 $rfrd$ 被使能时供应 $-1.0V$ 的读取栅极电压, 在刷新写入信号 $rfwt$ 被使能时供应 $0.5V$ 的写入栅极电压, 而在其它情况下供应 $-1.5V$ 的保持栅极电压。

[0050] 另外, 源线驱动器 144 可在正常操作期间响应于正常行读取信号 $nrrd$ 和正常行写入信号 $nrwt$, 根据所分成的保持操作模式和激活操作模式 (激活操作模式包括读取操作模式和写入操作模式) 中的每一个, 来供应保持源极电压或激活源极电压到激活的源线 SL。另一方面, 源线驱动器 144 可在刷新操作期间响应于被顺序地使能的刷新读取信号 $rfrd$ 和刷新写入信号 $rfwt$ 而供应电压到激活的源线 SL。此时, 考虑到 FBC 晶体管的特性, 源线驱动器 144 可在刷新读取信号 $rfrd$ 和刷新写入信号 $rfwt$ 被使能时供应 $2.5V$ 的激活源极电压, 而在其它情况下供应 $0V$ 的保持源极电压。

[0051] 位线驱动器 174 可在正常操作期间响应于正常列写入信号 $newt$ 来识别是否要进入写入操作模式, 并在写入操作期间确定输入数据 d_{in} 的逻辑值是 0 还是 1 之后供应写入漏极电压到驱动数据 d_{drv} 的输出线。另一方面, 位线驱动器 174 在刷新操作期间响应于刷新写入信号 $rfwt$ 来供应电压到经由位线复用器 176 连接的位线 BL。在这种情况下, 在刷新读取信号 $rfrd$ 被使能时所产生的放大数据 d_{amp} 被输入, 作为输入数据 d_{in} 。此时, 考虑到 FBC 晶体管的特性, 根据输入数据 d_{in} 的逻辑值来供应 $0V$ 或 $0.5V$ 的写入漏极电压到所连接的位线 BL。

[0052] 由于字线 WL 连接到存储单元区块 19 中的单元晶体管的栅极, 源线 SL 连接到单元晶体管的源极, 而位线 BL 连接到单元晶体管的漏极, 所以给出了栅极电压、源极电压和漏极电压这样的命名。通过使用根据操作模式而设置在半导体存储器装置中的多种电压产生器, 可以实施用于改变栅极电压、源极电压和漏极电压的电压电平的电压产生器。显然, 对于本领域技术人员而言这在技术上并非是独特的。

[0053] 图 4 为根据一个实施例的图 2 的示例性存储单元区块的配置图, 为了方便说明仅例示 16 个单元晶体管的配置关系。

[0054] 如图 4 所示, 存储单元区块 19 可包括四个字线 $WL<1 : 4>$ 、四个位线 $BL<1 : 4>$ 、两个源线 $SL<1 : 2>$ 和十六个单元晶体管 $CTR<1 : 16>$ 。

[0055] 两个源线 $SL<1 : 2>$ 中的每一个设置在两个字线 $WL<1 : 2>$ 之间和在两个字线 $WL<3 : 4>$ 之间。十六个单元晶体管 $CTR<1 : 16>$ 中的每一个包括连接至对应字线 WL 的栅极、连接至对应源线 SL 的源极和连接至对应位线 BL 的漏极。单元晶体管 $CTR<1 : 16>$ 包括晶体管对, 其中晶体管对包括共享对应源线 SL 的两个晶体管。

[0056] 如上所述, 因为根据一个实施例的单元晶体管是通过实施 FBC 技术来制造的, 所以每个存储单元不需要具有切换晶体管和单元电容器, 并且每个单元晶体管可作为存储单元来操作。在此, 施加于每个晶体管的栅极、源极和漏极的电压应具有根据操作模式来设定的电压电平, 使得每个晶体管可执行读取、写入和保持操作。因此, 每个单元晶体管可以根

据经由字线 WL 供应的电压、经由源线 SL 供应的电压和经由位线 BL 供应的电压来实现每个操作模式。

[0057] 在刷新模式中,四个字线 WL<1 : 4>、两个源线 SL<1 : 2> 和四个字线 BL<1 : 4> 按照其顺序而被激活,使得可以针对单元晶体管 CTR<1 : 16> 中的每一个进行刷新操作。例如,在四个字线 WL<1 : 4> 中的第一字线 WL<1> 和两个源线 SL<1 : 2> 中的第一源线 SL<1> 被激活的状态下,四个字线 BL<1 : 4> 被顺序地激活,使得四个单元晶体管 CTR<1, 5, 9, 13> 的刷新操作被顺序地执行。然后,第一字线 WL<1> 被停用,第二字线 WL<2> 被激活,并再次执行上述的操作,使得另外四个单元晶体管 cTR<2, 6, 10, 14> 的刷新操作被顺序地执行。然后,第二字线 WL<2> 和第一源线 SL<1> 都被停用,而第三字线 WL<3> 和第二源线 SL<2> 被激活。在此状态下,四个字线 BL<1 : 4> 被顺序地激活,使得另外四个单元晶体管 CTR<3, 7, 11, 15> 的刷新操作被顺序地执行。半导体存储器装置通过执行上述的操作可以执行所有十六个单元晶体管 CTR<1 : 16> 的刷新操作。

[0058] 图 5 为根据一个实施例的图 2 的示例性字线驱动器的配置图,为了方便说明仅例示电压被供应到多个字线中的任一字线 WL<i> 的配置。本领域技术人员能够容易地认识到:图 5 所示的部件被提供成与字线 WL 一样多。

[0059] 如图 5 所示,字线驱动器 142 可包括第一操作模式确定单元 1422、第一操作模式设定单元 1424 和第一切换单元 1426。

[0060] 第一操作模式确定单元 1422 可以响应于刷新使能信号 rfen 来选择性地输出正常行写入信号 nrwt 或刷新写入信号 rfwrt 作为第一行写入信号 wt_r1,并选择性地输出正常行读取信号 nrrd 或刷新读取信号 rfrd 作为第一行读取信号 rd_r1。第一操作模式确定单元 1422 可以包括第一复用器 MUX1 和第二复用器 MUX2。

[0061] 第一操作模式设定单元 1424 可响应于所述多个行选择信号 xs 中的对应行选择信号 xs<i>、第一行写入信号 wt_r1 和第一行读取信号 rd_r1 来产生写入模式信号 wtmd、读取模式信号 rdmd 和第一保持模式信号 hdmd1。第一操作模式设定单元 1424 可包括第一 NAND 门 ND1、第二 NAND 门 ND2、第一反向器 IV1、第二反向器 IV2 和第一 NOR 门 NR1。

[0062] 第一 NAND 门 ND1 可接收行选择信号 xs<i> 和第一行写入信号 wt_r1。第一反向器 IV1 可接收第一 NAND 门 ND1 的输出信号并输出写入模式信号 wtmd。第二 NAND 门 ND2 可接收行选择信号 xs<i> 和第一行读取信号 rd_r1。第二反向器 IV2 可接收第二 NAND 门 ND2 的输出信号,并输出读取模式信号 rdmd。第一 NOR 门 NR1 可接收第一行写入信号 wr_r1 和第一行读取信号 rd_r1,并输出第一保持模式信号 hdmd1。

[0063] 第一切换单元 1426 响应于写入模式信号 wtmd、读取模式信号 rdmd 和第一保持模式信号 hdmd1 来供应写入栅极电压 Vgwt、读取栅极电压 Vgrd 和保持栅极电压 Vghd 中的任何一个到对应字线 WL<i>。第一切换单元 1426 可包括第三反向器 IV3、第四反向器 IV4、第五反向器 IV5、第一路径门 PG1、第二路径门 PG2 和第三路径门 PG3。

[0064] 第三反向器 IV3 可接收写入模式信号 wtmd。第一路径门 PG1 响应于写入模式信号 wtmd 和第三反向器 IV3 的输出信号来传送写入栅极电压 vgwrt 到字线 WL<i>。第四反向器 IV4 可接收读取模式信号 rdmd。第二路径门 PG2 响应于读取模式信号 rdmd 和第四反向器 IV4 的输出信号来传送读取栅极电压 Vgrd 到字线 WL<i>。第五反向器 IV5 可接收第一保持模式信号 hdmd1。第三路径门 PG3 可响应于第一保持模式信号 hdmd1 和第五反向器 IV5 的

输出信号来传送保持栅极电压 V_{ghd} 到字线 $WL<i>$ 。

[0065] 这里,写入栅极电压 V_{gwt} 、读取栅极电压 V_{grd} 和保持栅极电压 V_{ghd} 的电平可根据单元晶体管的特性而改变,但优选地是分别为 0.5V、-1.0V 和 -1.5V。

[0066] 第一操作模式确定单元 1422 在刷新使能信号 r_{fen} 被禁止时,可分别输出正常行读取信号 $nrrd$ 和正常行写入信号 $nrwt$ 作为第一行读取信号 rd_{r1} 和第一行写入信号 wt_{r1} 。另一方面,第一操作模式确定单元 1422 在当刷新使能信号 r_{fen} 被使能时,可分别输出刷新读取信号 $rfrd$ 和刷新写入信号 $rftw$ 作为第一行读取信号 rd_{r1} 和第一行写入信号 wt_{r1} 。

[0067] 当行选择信号 $xs<i>$ 在第一行写入信号 wt_{r1} 被使能的状态下被使能时,第一操作模式设定单元 1424 可以使能写入模式信号 w_{tmd} 。第一切换单元 1426 可以响应于写入模式信号 w_{tmd} 被使能的情况来供应写入栅极电压 V_{gwt} 到字线 $WL<i>$ 。

[0068] 另一方面,当行选择信号 $xs<i>$ 在第一行读取信号 rd_{r1} 被使能的状态下被使能时,第一操作模式设定单元 1424 可以使能读取模式信号 r_{dmd} 。第一切换单元 1426 响应于读取模式信号 r_{dmd} 被使能的情况来供应读取栅极电压 V_{grd} 到字线 $WL<i>$ 。

[0069] 另外,当第一行写入信号 wt_{r1} 和第一行读取信号 rd_{r1} 都未被使能时,第一操作模式设定单元 1424 可使能第一保持模式信号 h_{dmd1} 。第一切换单元 1426 响应于第一保持模式信号 h_{dmd1} 被使能的情况来供应保持栅极电压 V_{ghd} 到字线 $WL<i>$ 。

[0070] 因此,刷新读取信号 r_{frd} 和刷新写入信号 r_{ftw} 在刷新模式下被顺序地使能,这些信号分别用作第一行读取信号 rd_{r1} 和第一行写入信号 wt_{r1} ,使得读取栅极电压 V_{grd} 和写入栅极电压 V_{gwt} 被顺序地施加到字线 $WL<i>$ 。在刷新读取信号 r_{frd} 和刷新写入信号 r_{ftw} 都被禁止的间隔期间,保持栅极电压 V_{ghd} 被施加到字线 $WL<i>$ 。

[0071] 图 6 为根据一个实施例的图 2 的示例性源线驱动器的配置图,为了方便说明,仅例示电压被供应到多个源线中的任一 $SL<i>$ 的配置。本领域技术人员能够容易地认识到:图 6 所示的部件被提供成与源线 SL 一样多。

[0072] 如图 6 所示,源线驱动器 144 可包括第二操作模式确定单元 1442、第二操作模式设定单元 1444 和第二切换单元 1446。

[0073] 第二操作模式确定单元 1442 可以响应于刷新使能信号 r_{fen} 选择性地输出正常行写入信号 $nrwt$ 或刷新写入信号 r_{ftw} 作为第二行写入信号 wt_{r2} ,和选择性地输出正常行读取信号 $nrrd$ 或刷新读取信号 r_{frd} 作为第二行读取信号 rd_{r2} 。第二操作模式确定单元 1442 可以包括第三复用器 $MUX3$ 和第四复用器 $MUX4$ 。

[0074] 第二操作模式设定单元 1444 可以响应于第二行写入信号 wt_{r2} 和第二行读取信号 rd_{r2} 来产生第二保持模式信号 h_{dmd2} 。第二操作模式设定单元 1444 可包括第二 NOR 门 $NR2$,第二 NOR 门 $NR2$ 可接收第二行写入信号 wt_r 和第二行读取信号 rd_r 并输出第二保持模式信号 h_{dmd2} 。

[0075] 第二切换单元 1446 响应于第二保持模式信号 h_{dmd2} 和多位源选择信号 ss 中的对应源选择信号 $ss<i>$ 来供应激活源极电压 V_{sac} 或保持源极电压 V_{shd} 到对应源线 $SL<i>$ 。第二切换单元 1446 可包括第一晶体管 $TR1$ 、第二晶体管 $TR2$ 、第三晶体管 $TR3$ 和第四晶体管 $TR4$ 。

[0076] 第一晶体管 $TR1$ 包括接收源选择信号 $ss<i>$ 的栅极和被施加激活源极电压 V_{sac}

的源极。第二晶体管 TR2 包括接收第二保持模式信号 hdmd2 的栅极、连接至第一晶体管 TR1 的漏极端子的源极以及连接至源线 SL<i> 的漏极。第三晶体管 TR3 包括接收第二保持模式信号 hdmd2 的栅极和连接至源线 SL<i> 的源极。第四晶体管 TR4 包括接收源选择信号 ss<i> 的栅极、连接至第三晶体管 TR3 的源极端子的漏极以及被施加保持源极电压 Vshd 的源极。

[0077] 这里, 激活源极电压 Vsac 和保持源极电压 Vshd 的电平可根据单元晶体管的特性而改变, 但优选地分别为 2.5V 和 0V。

[0078] 根据上述的配置, 应理解当第二行写入信号 wt_r2 和第二行读取信号 rd_r2 都被禁止时, 第二保持模式信号 hdmd2 被使能。

[0079] 因此, 当源选择信号 ss<i> 被使能并执行激活操作模式即写入操作模式或读取操作模式时, 激活源极电压 Vsac 被供应到源线 SL<i>。另一方面, 当源线激活信号 slact 被使能且执行保持操作模式时, 保持源极电压 Vshd 被施加到源线 SL<i>。

[0080] 刷新读取信号 rfrd 和刷新写入信号 rfwrt 在刷新模式下被顺序地使能, 这些信号分别用作第二行读取信号 rd_r2 和第二行写入信号 wt_r2, 使得激活源极电压 Vsac 被施加到源线 SL<i> 两次。另一方面, 在刷新读取信号 rfrd 和刷新写入信号 rfwrt 都被禁止的间隔期间, 施加保持源极电压 Vshd。

[0081] 图 7 为根据一个实施例的图 2 的示例性位线复用器的配置图, 为了方便说明, 仅例示出位线复用器被连接至多个位线中的四个位线 BL<1 : 4> 的配置。因此, 四个列选择信号 ys<1 : 4> 也被标出在该配置中。

[0082] 如图 7 所示, 位线复用器 176 可包括输入 / 输出节点 Nio、第五晶体管 TR5、第六晶体管 TR6、第七晶体管 TR7 和第八晶体管 TR8。

[0083] 向输入 / 输出节点 Nio 传递来自位线驱动器 174 的驱动数据 d_drv, 并且输入 / 输出节点 Nio 传送输出数据 d_out 到感测放大器 172。第五晶体管 TR5 包括接收第一列选择信号 ys<1> 的栅极并被设置在第一位线 BL<1> 和输入 / 输出节点 Nio 之间。第六晶体管 TR6 包括接收第二列选择信号 ys<2> 的栅极并被设置在第二位线 BL<2> 和输入 / 输出节点 Nio 之间。第七晶体管 TR7 包括接收第三列选择信号 ys<3> 的栅极并被设置在第三位线 BL<3> 和输入 / 输出节点 Nio 之间。第八晶体管 TR8 包括接收第四列选择信号 ys<4> 的栅极并被设置在第四位线 BL<4> 和输入 / 输出节点 Nio 之间。

[0084] 按照上述的配置, 位线复用器 176 根据从列地址解码器 16 输出的多位列选择信号 ys 的控制来连接输入 / 输出节点 Nio 到多个位线 BL 中的任意一个, 而没有区分读取操作模式、写入操作模式和保持操作模式。因为在写入操作模式下感测放大器 172 被停用而位线驱动器 174 被激活, 所以驱动数据 d_drv 可经由任何一个位线 BL 被传送到存储单元。另一方面, 因为在读取操作模式下位线驱动器 174 被停用而感测放大器 172 被激活, 所以经由预定位线 BL 从任何一个存储单元输出的输出数据 d_out 可经由感测放大器 172 输出。

[0085] 图 8 为根据一个实施例的图 2 的示例性感测放大器和位线驱动器的配置图。

[0086] 如图 8 所示, 感测放大器 172 可包括第三操作模式确定单元 1722、第三操作模式设定单元 1724 和放大单元 1726。

[0087] 第三操作模式确定单元 1722 可响应于刷新使能信号 rfen 选择性地输出正常感测放大使能信号 nsaen 或刷新感测放大使能信号 rfsaen 作为感测放大使能信号 saen, 并响应于刷新使能信号 rfen 输出正常列读取信号 ncrd 或刷新读取信号 rfrd 作为列读取信号

rd_c。第三操作模式确定单元 1722 可以包括第五复用器 MUX5 和第六复用器 MUX6。

[0088] 第三操作模式设定单元 1724 可响应于列读取信号 rd_c 来设定读取操作模式,并传送输出数据 d_out。第三操作模式设定单元 1724 可包括第九晶体管 TR9。

[0089] 放大单元 1726 可响应于感测放大使能信号 saen,通过放大经由第三操作模式设定单元 1724 传送的输出数据 d_out 来输出放大数据 d_amp。可以使用通过接收刷新电压 Vref 而操作的普通差动放大器电路来简单地实施放大单元 1726。

[0090] 另外,位线驱动器 174 可包括第四操作模式确定单元 1742、驱动单元 1744 和第四操作模式设定单元 1746。

[0091] 第四操作模式确定单元 1742 可响应于刷新使能信号 rfen,选择性地输出正常列写入信号 ncwt 或刷新写入信号 rfw 作为列写入信号 wt_c。第四操作模式确定单元 1742 可包括第七复用器 MUX7。

[0092] 驱动单元 1744 可响应于输入数据 d_in 来输出第一写入漏极电压 Vdwt1 或第二写入漏极电压 Vdwt2。驱动单元 1744 可包括第十晶体管 TR10 和第十一晶体管 TR11。

[0093] 第十晶体管 TR10 包括接收输入数据 d_in 的栅极、被施加以第一写入漏极电压 Vdwt1 的源极以及连接至第一节点 N1 的漏极。第十一晶体管 TR11 包括接收输入数据 d_in 的栅极、连接至第一节点 N1 的漏极以及被施加以第二写入漏极电压 Vdwt2 的源极。

[0094] 第四操作模式设定单元 1746 响应于列写入信号 wt_c 来设定写入操作模式,并响应于从驱动单元 1744 传送的电压来输出驱动数据 d_drv。第四操作模式设定单元 1746 可包括通过列写入信号 wt_c 来控制的第十二晶体管 TR2,第四操作模式设定单元 1746 在其一端连接至第一节点 N1 并通过其另一端来输出驱动数据 d_drv。

[0095] 此处,被传送到感测放大器 172 的输出数据 d_out 的传输线和从位线驱动器 174 输出的驱动数据 d_drv 的传输线被连接至位线复用器 176。另外,从感测放大器 172 输出的放大数据 d_amp 的传输线和被传送到位线驱动器 174 的输入数据 d_in 的传输线为同一线,并连接至数据总线开关 18。

[0096] 在正常操作期间,正常感测放大使能信号 nsaen 和正常列读取信号 nerd 分别用作感测放大使能信号 saen 和列读取信号 rd_c,且正常列写入信号 newt 用作列写入信号 wt_c。因此,感测放大器 172 和位线驱动器 174 分别响应于正常列读取信号 nerd 和正常列写入信号 ncwt 来操作。

[0097] 但是,在刷新操作期间,刷新感测放大使能信号 rfsaen 和刷新读取信号 rfrd 分别用作感测放大使能信号 saen 和列读取信号 rd_c,且刷新写入信号 rfw 用作列写入信号 wt_c。如上所述,在这种情况下,刷新感测放大使能信号 rfsaen 和刷新读取信号 rfrd 被使能,此后刷新写入信号 rfw 被使能。

[0098] 因此,当刷新操作开始时,位线驱动器 174 的操作在感测放大器 172 输出放大数据 d_amp 之后开始。此时,因为数据总线开关 18 被关闭,放大数据 d_amp 被输入到位线驱动器 174 作为输入数据 d_in。当刷新写入信号 rfw 被使能时,位线驱动器 174 根据输入数据 d_in 的逻辑值施加第一写入漏极电压 Vdwt1 或第二写入漏极电压 Vdwt2 到数据输出线,使得输出驱动数据 d_drv。

[0099] 在此,第一写入漏极电压 Vdwt1 和第二写入漏极电压 Vdwt2 的电平可根据单元晶体管的特性而改变,但优选地是分别为 0.5V 和 0V。

[0100] 如上所述,半导体存储器装置可以通过使用实施 FBC 技术的晶体管来实施存储单元区块。为此,半导体存储器装置包括连接至存储单元区块的多个单元晶体管的栅极的多个字线、连接至存储单元区块的多个单元晶体管的源极的多个源线以及连接至存储单元区块的多个单元晶体管的漏极的多个位线,并施加根据操作模式而设定的电压。通过将操作模式分成读取操作、写入操作和保持操作,按照上述配置实施 FBC 的单元晶体管可根据操作模式来执行操作。象这样,可以显著地降低存储核心区域的占用面积,并通过实施使用 FBC 技术的存储单元来明显地提高半导体存储器装置的集成度。

[0101] 此外,由于数据可能会因 FBC 晶体管的特性而丢失,所以应实施刷新操作。为此,当刷新信号被使能时,半导体存储器装置使能刷新读取信号,并通过供应电压到字线、源线和位线来从任意一个存储单元输出数据。然后,半导体存储器装置禁止刷新读取信号,并使能刷新写入信号,然后通过供应具有与从存储单元输出的数据的逻辑值对应的电平的电压到位线,来将数据重写到位线中。

[0102] 半导体存储器装置在字线和源线被激活的状态下,顺序地执行多个位线的刷新操作,并在再次激活其它字线后执行上述的操作。然后,半导体存储器装置在激活其它字线和另一源线之后再次地执行上述的操作。半导体存储器装置通过重复地执行所述操作来针对存储单元区块中所有存储单元执行刷新操作。半导体存储器装置可通过执行刷新操作来稳定地存储数据。

[0103] 尽管上文描述了某些实施例,但本领域技术人员应理解所描述的实施例仅作为示例。因此,不应基于所描述的实施例来限定这里所描述的装置。相反,只能结合以上描述和附图,依据所附权利要求来限定这里所描述的装置。

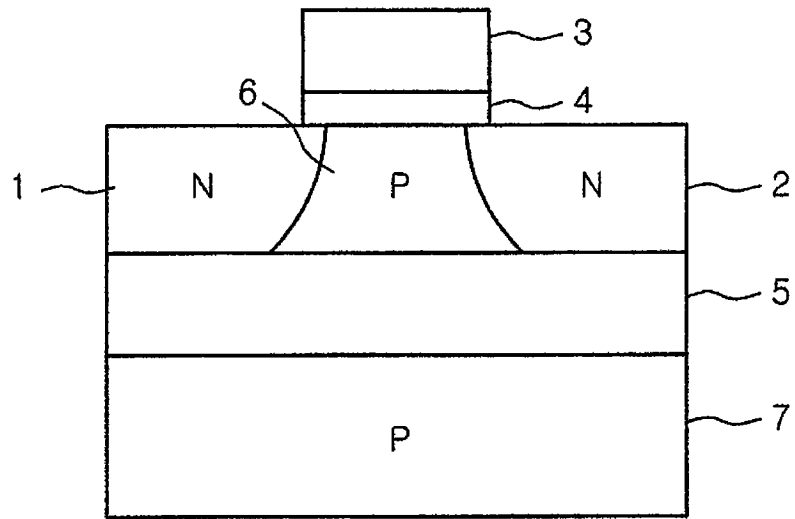


图 1

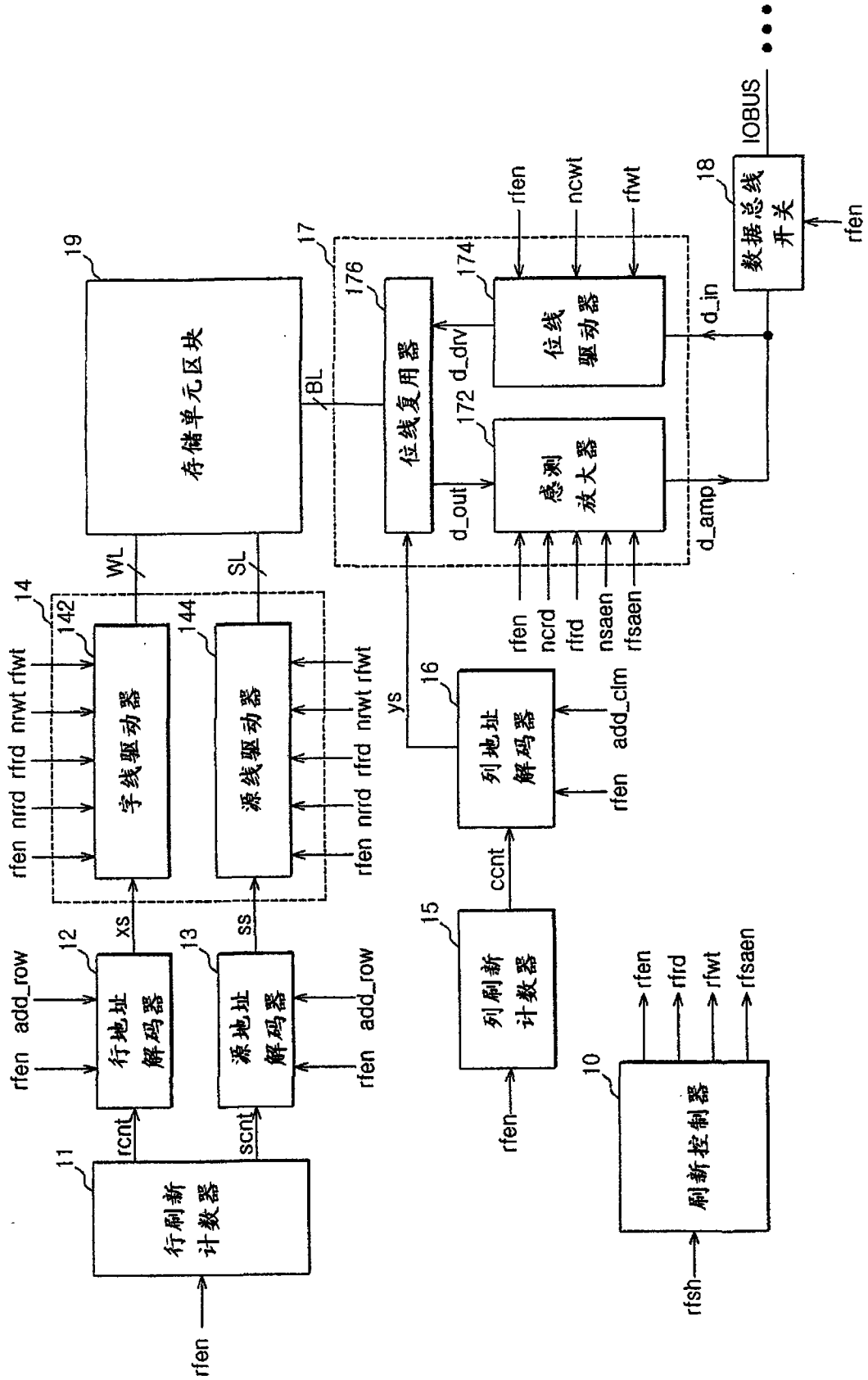


图 2

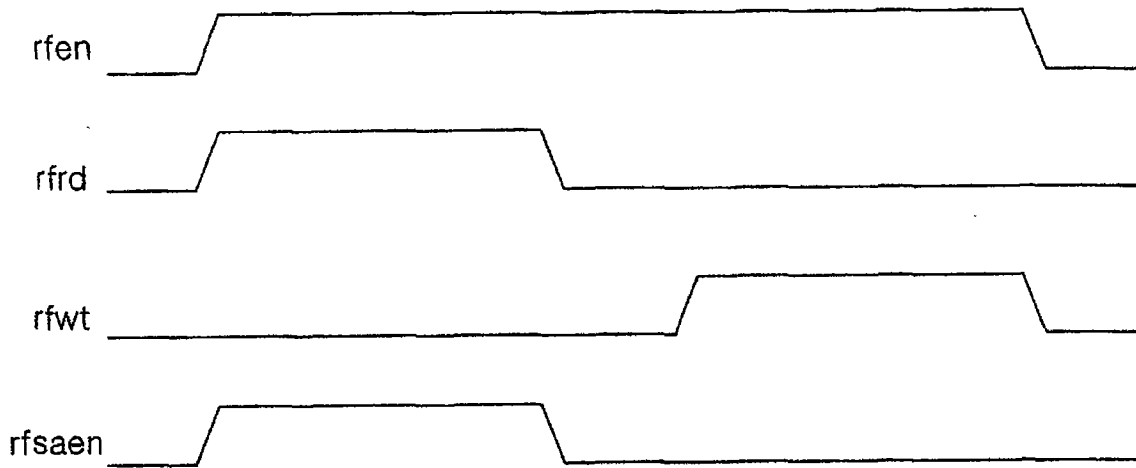


图 3

19

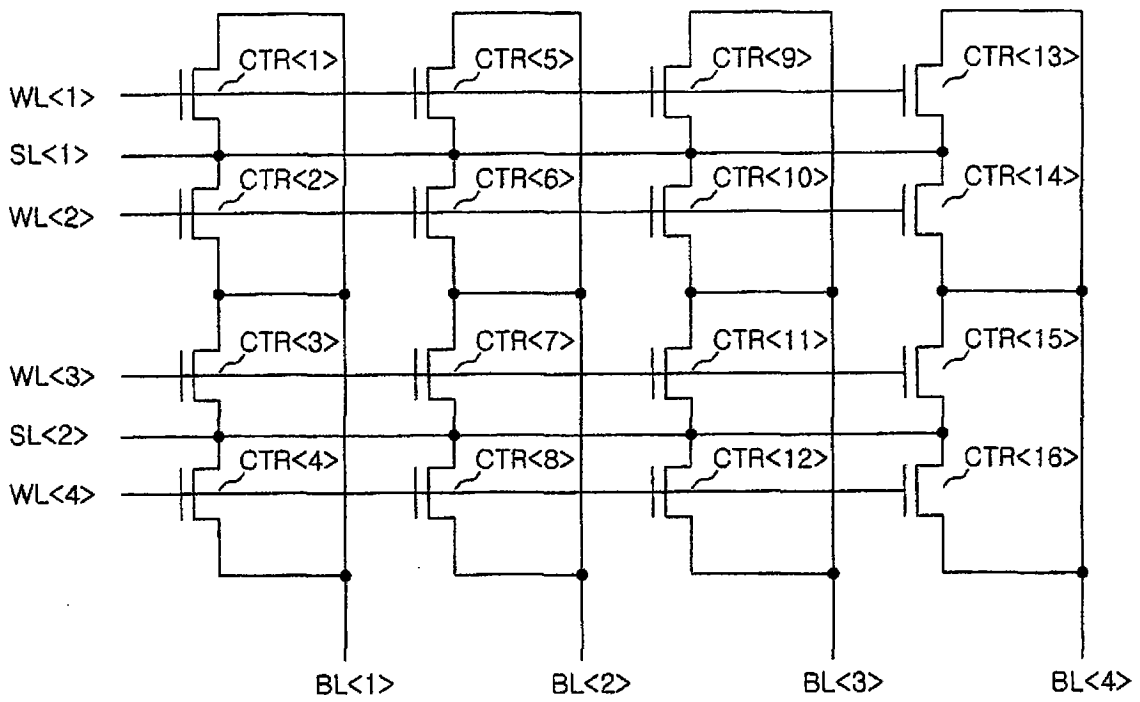


图 4

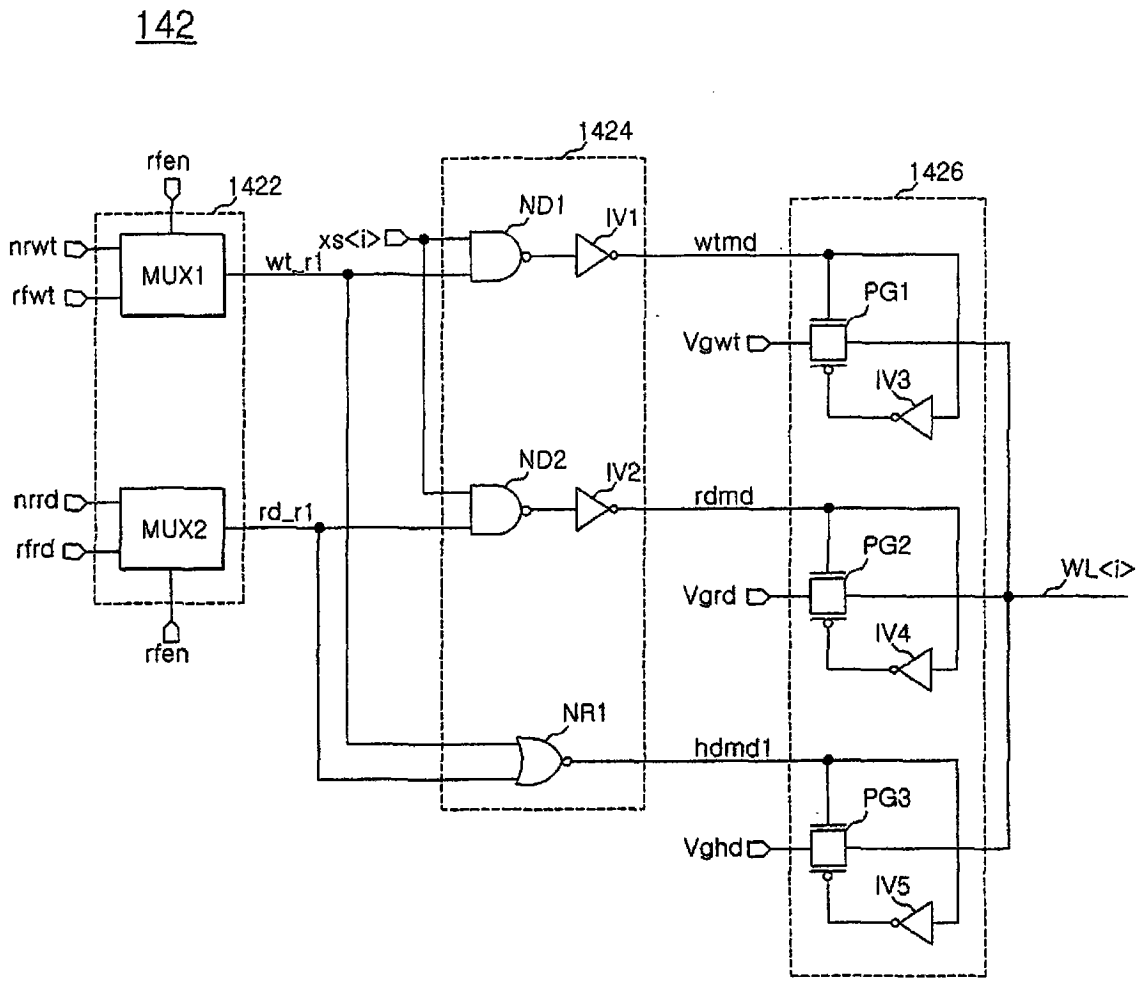


图 5

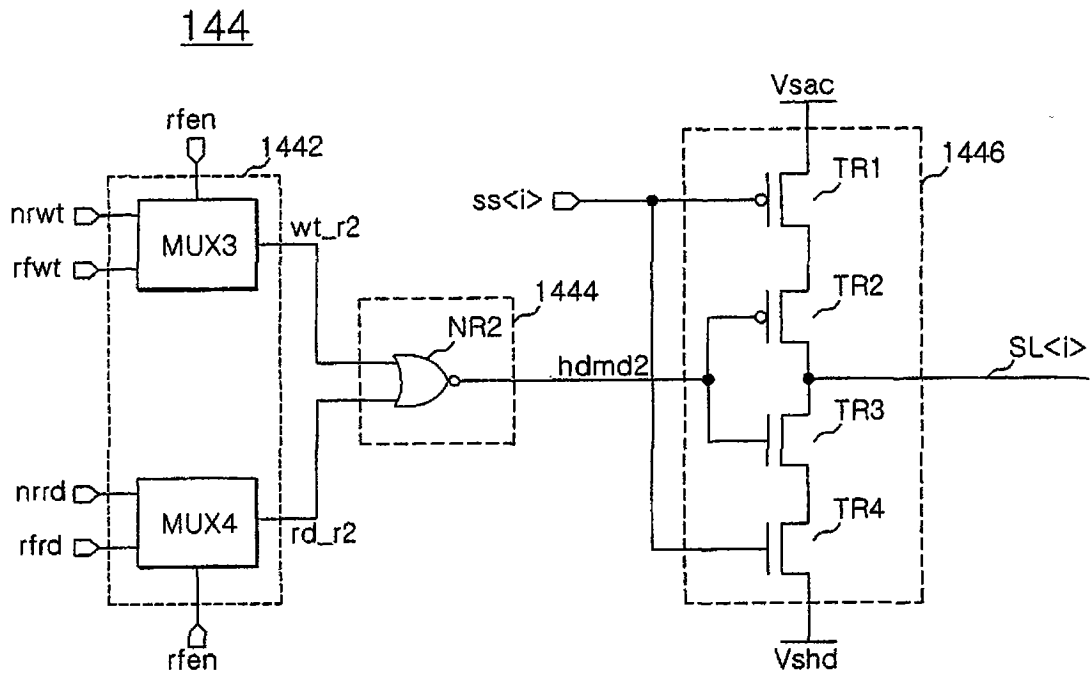


图 6

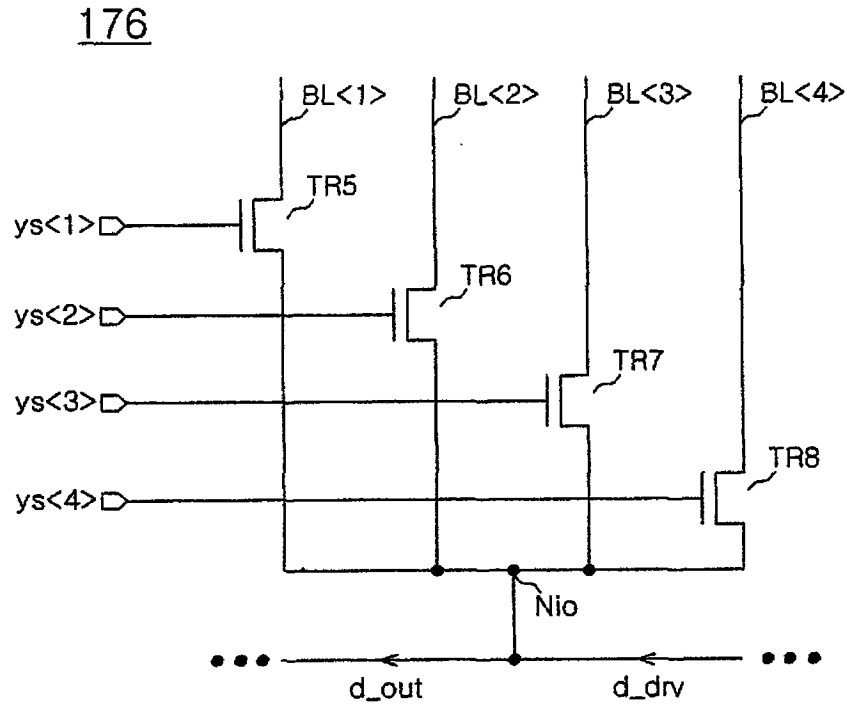


图 7

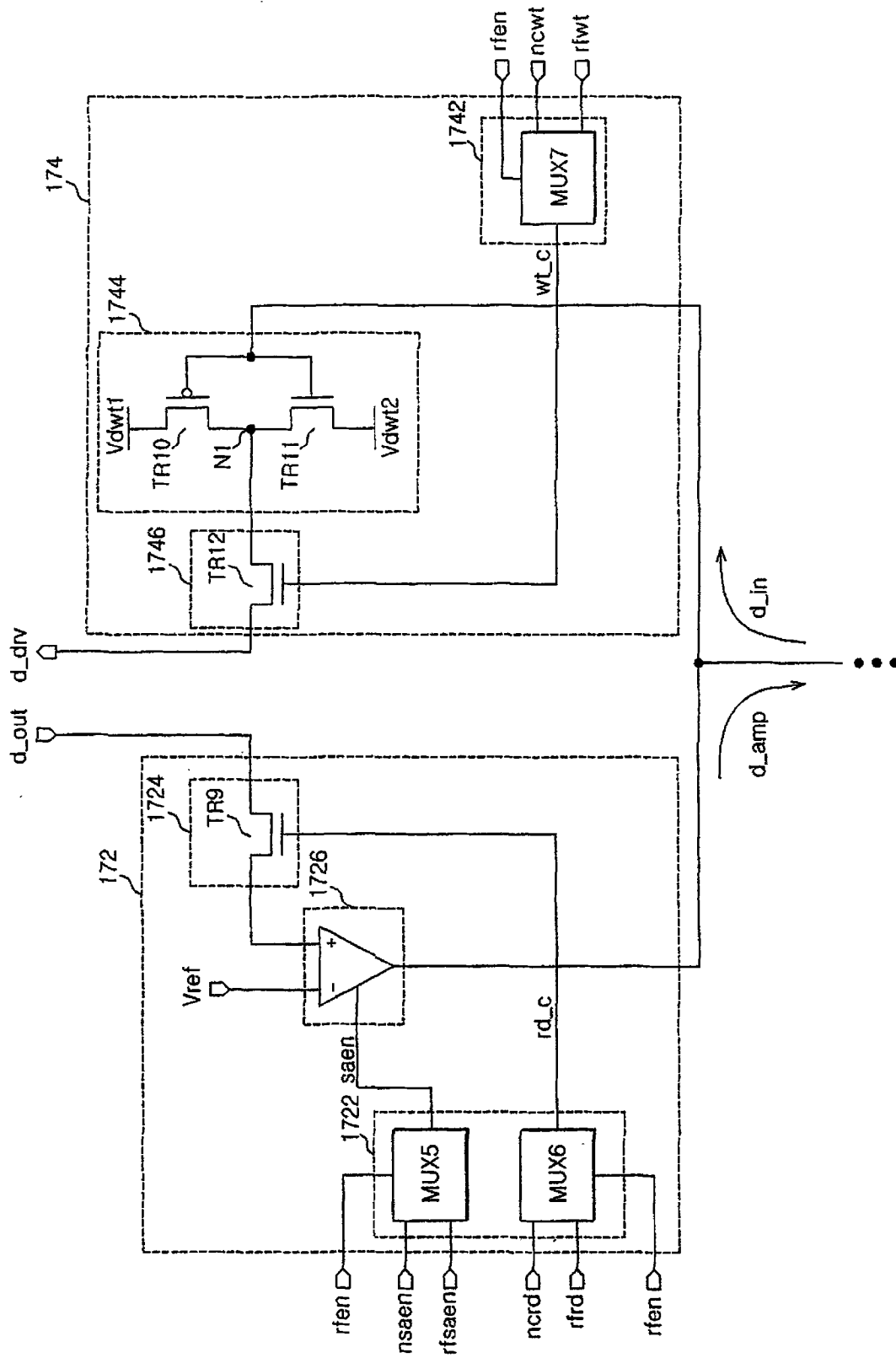


图 8