RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 494 501**
(A n'utiliser que pour les commandes de reproduction).

A1

DEMANDE DE BREVET D'INVENTION

(21) **N° 81 21665**

(54) **Protection d'entrée pour circuit intégré de type MOS à basse tension d'alimentation et à haute densité d'intégration.**

(51) Classification internationale (Int. Cl. ³). **H 01 L 29/78, 27/06; H 02 H 9/04.**

(22) Date de dépôt ..... 19 novembre 1981.

(33) (32) (31) Priorité revendiquée : *Italie, 19 novembre 1980, n° 26063 A/80.*

(41) Date de la mise à la disposition du public de la demande ..... B.O.P.I. — « Listes » n° 20 du 21-5-1982.

(71) Déposant : Société dite : SGS-ATES COMPONENTI ELETTRONICI SPA, résidant en Italie.

(72) Invention de : Livio Baldi.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Blétry,
2, bd de Strasbourg, 75010 Paris.

La présente invention concerne un circuit et un dispositif de protection contre les surtensions accidentelles en entrée, pour des circuits intégrés de type MOS (Métal - Oxyde - Semiconducteur) à densité élevée d'intégration et à basse tension d'alimentation, y compris des transistors à effet de champ à gâchette isolée (IGFET) comportant des couches d'oxyde d'isolation de gâchette dont l'épaisseur est égale ou inférieure à 500 Å.

Les dispositifs MOS ont une impédance d'entrée extrêmement élevée : en effet, la résistance d'entrée est typiquement supérieure à 10^{14} ohm et la capacité d'entrée est de l'ordre de 10^{-12} F.

Pour cette raison, ils sont particulièrement sensibles à l'accumulation de charges statiques. Cet inconvénient apparaît de plus en plus évident au fur et à mesure qu'augmente la densité d'intégration des dispositifs MOS, avec des canaux plus courts, des jonctions moins profondes et des couches isolantes de gâchette plus minces; étant donné que des champs électriques de l'ordre de grandeur de 10^{7} V/cm provoquent la rupture de l'oxyde de silicium, les oxydes de gâchette utilisés dans les dispositifs à densité élevée d'intégration, particulièrement minces, sont sujets déjà à un tel inconvénient avec des tensions de 25 à 30 V.

Au cours de la fabrication, du contrôle, de l'assemblage et des autres opérations concernant le dispositif, il est difficile, sinon impossible, d'éviter des surtensions de cet ordre de grandeur, dues à l'accumulation de charges électrostatiques. Les charges électrostatiques créées accidentellement, surtout en raison de manipulations sans précautions de la part des opéra-

teurs, donnent lieu à des champs électriques très élevés qui provoquent, dans des zones imprévisibles, le claquage des jonctions bipolaires présentes dans le circuit et la rupture des oxydes de gâchette des IGFET, avec une probabilité d'autant plus élevée qu'est plus petite l'épaisseur de ces oxydes.

Un dispositif de protection contre les surtensions en entrée pour un circuit intégré de type MOS, y compris un IGFET, doit atténuer les éventuelles surtensions jusqu'à une valeur inférieure à la tension de rupture des oxydes de gâchette des IGFET et à la tension de claquage des jonctions bipolaires présentes dans le circuit lui-même.

Même répétées dans le temps, les surtensions en entrée ne doivent pas endommager la protection; par conséquent, il doit être dissipé le moins d'énergie possible dans celle-ci pendant la décharge et la dissipation inévitable doit se produire de la manière la plus uniforme aux différents points, de manière à réduire au minimum les effets thermiques qui l'accompagnent. La protection d'entrée d'un dispositif à circuit intégré ne doit pas en altérer la qualité et/ou la rapidité; elle doit avoir de petites dimensions, en utilisant un nombre minime d'éléments et en occupant le minimum possible de surface topologique de la plaquette du circuit intégré dans laquelle elle est incorporée.

Un dispositif de protection d'entrée connu, pour dispositifs à circuit intégré du type MOS, est constitué simplement par une diode dont la cathode est raccordée directement à la borne d'entrée du signal et à la "gâchette" des IGFET présents dans le circuit, tandis que son anode est reliée à la borne de masse du circuit (figure 1A), la valeur de la tension de claquage de la diode étant inférieure à la tension de rupture des oxydes de gâchette.

Durant le fonctionnement normal, la diode ne conduit pas, étant polarisée en sens inverse; mais lorsqu'une tension positive excessive est appliquée à la borne d'entrée, la diode passe à l'état de claquage, conduisant en sens inverse; pour cette raison, la tension résultante appliquée aux "gâchettes", même en cas de surtension, devrait rester au maximum égale à la tension de cla-

quage de la diode, c'est-à-dire inférieure à la valeur de la tension de rupture des oxydes de gâchette. En réalité, ce type de protection ne protège pas suffisamment les oxydes de gâchette contre la rupture, en raison du fait que l'impédance dynamique d'une diode est beaucoup plus élevée lors du fonctionnement inverse que lors du fonctionnement direct ; dans les conditions de fonctionnement en claquage inverse, il passe des courants très forts (20 à 30 A) et la tension sur la diode ne reste pas fixe à la valeur de la tension de claquage, mais s'élève lorsqu'augmente le courant, ce qui fait que la valeur de seuil de rupture des oxydes de gâchette peut être facilement dépassée. Par contre, le comportement du dispositif de protection à diode est satisfaisant du point de vue de la dissipation d'énergie dans le dispositif de protection lui-même.

Un perfectionnement du dispositif de protection décrit ci-dessus prévoit l'adjonction d'une résistance (généralement formée par diffusion) en série entre la borne d'entrée et la "gâchette" à protéger, en amont de la diode montée en parallèle sur le circuit (figure 1B). La fonction de cette résistance, désignée par R_S, est précisément de limiter le courant maximal qui passe à travers la diode de protection. En comparaison de la diode seule, la dissipation d'énergie dans la protection est légèrement plus forte, mais l'atténuation des surtensions en entrée est meilleure et, en conséquence, la protection des isolants de gâchette contre le risque de rupture est meilleure.

Toutefois, la protection avec diode plus résistante, présente elle aussi des inconvénients : elle atténue également les signaux en entrée et présente des désavantages au fonctionnement à vitesse élevée; de plus, le maximum possible d'atténuation des surtensions n'est pas encore suffisant pour la protection des oxydes de gâchette dont l'épaisseur est inférieure à 500 Å.

La technique de protection des circuits intégrés MOS au moyen d'une diode ou d'une diode plus une résistance, est analysée dans l'article de M. Lenzlinger, "Gate protection of MIS devices",

IEEE Trans. on Electron Devices, vol. ED-18, avril 1971, pp. 249-257.

Dans l'article de F.H. de la Moneda et ses collaborateurs, "Hybrid Protective Device for MOS - LSI Chips", IEEE Trans. on Parts, Hybrids and Packaging, vol. PHP-12, nº 3, septembre 1976, pp. 172-175, il est par contre décrit des dispositifs de protection constitués par un transistor latéral NPN, avec collecteur et émetteur reliés électriquement à l'entrée et au substrat respectivement, à base inacesssible et avec une "gâchette", rattachée au substrat, sur l'oxyde qui recouvre la jonction d'entrée.

Un dispositif de ce type à "oxyde mince" présente des caractéristiques optimales en ce qui concerne l'atténuation des surtensions, mais il est particulièrement sujet à des phénomènes de second claquage et aux résultats destructifs qui y sont associés. Un dispositif à transistor latéral à "oxyde épais" ne peut par contre pas être utilisé pour des dispositifs MOS à densité élevée d'intégration, car il atténue les surtensions jusqu'à des valeurs encore trop élevées pour des oxydes de gâchette extrêmement minces qui sont utilisés.

Le but de la présente invention est d'obtenir un dispositif et un circuit de protection d'entrée pour circuits intégrés de type MOS, à basse tension d'alimentation et à densité élevée d'intégration, y compris les IGFET, qui permettent d'atténuer les surtensions en entrée jusqu'à des valeurs de tension ne risquant pas de provoquer la rupture d'oxydes isolants de gâchette d'épaisseur égale ou inférieure à 500 Å, comme en exigent les techniques les plus avancées d'intégration, sans présenter d'inconvénients qui nuisent de quelque manière que ce soit au fonctionnement du circuit intégré protégé.

Ce but est atteint suivant l'invention avec un circuit intégré de type MOS à basse tension d'alimentation et à forte densité d'intégration, comprenant une première borne d'entrée des signaux, une seconde borne de raccordement à la masse, une troisième borne de raccordement à l'alimentation, au moins un transistor IGFET à oxyde isolant degâchette dont l'épaisseur ne dépasse pas

500 Å et un disposutif de protection contre les surtensions en entrée comprenant un transistor bipolaire latéral dont les régions d'émetteur et de collecteur sont dopées avec le même type et la même concentration d'impuretés que les régions de source et de drain du transistor IGFET, la région d'émetteur étant raccordée électriquement à la borne de masse et la région de collecteur étant raccordée électriquement à la borne d'entrée et à l'électrode de gâchette du transistor IGFET, ce dispositif de protection étant caractérisé en ce que la concentration d'impuretés dans la région de base du transistor bipolaire latéral est beaucoup plus élevée que dans les autres régions de même polarité du circuit intégré, et en ce que l'étendue de la région de base et la concentration d'impuretés dans celle-ci sont telles que la tension de claquage ("breakdown") et la tension de manifestation des phénomènes de résistance négative du transistor latéral soient maintenues à une valeur inférieure à la tension de rupture des oxydes isolants de gâchette et à la tension de rupture des jonctions bipolaires comprises dans le circuit intégré, et telles que la tension d'entretien ("sustaining") du transistor latéral soit maintenue à une valeur supérieure à la tension d'alimentation du circuit intégré.

L'invention pourra être mieux comprise à l'aide de la description détaillée qui suit, donnée purement à titre d'exemple et, par suite, sans caractère limitatif, en référence aux dessins ci-annexés.

La figure 1A est le schéma du circuit d'une protection d'entrée de type connu, comprenant une seule diode polarisée en sens inverse, raccordée à l'entrée en parallèle sur le circuit à protéger.

La figure 1B est le schéma du circuit d'une protection perfectionnée par rapport à celle de la figure 1A, avec addition d'une résistance en série à l'entrée.

Les figures 2A et 2B sont les schémas de deux formes d'exécution différentes d'une protection d'entrée de type connu, comprenant un transistor NPN latéral avec, sur la jonction d'entrée, une "gâchette" reliée électriquement au substrat, respectivement avec une couche d'oxyde mince et épaisse entre gâchette et jonction.

La figure 3 est une vue plane, fortement agrandie, d'une section de la structure d'une protection d'entrée suivant l'invention.

La figure 4 est l'un des schémas de circuit possibles pour représenter une protection d'entrée suivant l'invention.

Les figures 5, 6, 7, 8, 9 et 10 sont des vues en coupe, fortement agrandies, d'un dispositif à circuit intégré, comprenant une protection d'entrée suivant l'invention et au moins un IGFET.

Sur les différents dessins, les mêmes lettres et chiffres de référence ont été utilisés pour les parties et éléments correspondants.

La structure représentée sur la figure 3 comprend un substrat 1 de silicium monocristallin, dopé avec des impuretés de type P, dans lequel sont formées deux régions 4 et 5, fortement dopées avec des impuretés de type N (un tel dopage est indiqué sur la figure par N^+), séparées par une région 3 fortement dopée avec des impuretés de type P (P^{++}). Les régions 4, 3 et 5 constituent deux jonctions bipolaires rapprochées et parallèles, désignées par 24 et 25.

Les zones contiguës à la structure formée par les régions 4, 3 et 5 faisant partie de ce qu'on appelle champ, désigné par 2 sur la figure, sont dopées avec des impuretés de type P, mais avec une concentration supérieure à celle du substrat 1 et inférieure à celle de la région 3 (sur la figure, le dopage des zones 2 est indiqué par P+). Les régions 2 et 3, indiquées par des hachures respectivement moins et plus denses, sont recouvertes complètement par une couche 9 de bioxyde de silicium. A la couche d'oxyde est superposée une autre couche de matière isolante et protectrice, connue sous la dénomination "P-Vapox", qui recouvre complètement les oxydes et les zones de diffusion, sauf dans les surfaces de contact des électrodes.

Les électrodes 10 et 11 des régions 4 et 5 sont raccordées respectivement à la masse et aux moyens de jonction entre l'entrée et le circuit à protéger.

La structure de la figure 3 peut être représentée par le circuit qui figure sur la figure 4.

La paire de jonctions bipolaires parallèles 24 et 25 est représentée par un transistor, désigné par T_1, dont la base, l'émetteur et le collecteur sont constitués respectivement par les régions 3,4 et 5. L'émetteur est connecté électriquement à la masse; le collecteur est raccordé à la borne I d'entrée et à la "gâchette" G des IGFET à protéger. La base de T_1 correspond à la région 3, laquelle est dépourvue d'électrode puisque, sur le schéma de circuit, elle est reliée à la masse par l'intermédiaire de la résistance R_B qui représente la résistivité du corps de matière semi-conductrice. Sur la figure 4, on a indiqué un seul IGFET M_1 pour représenter l'ensemble du circuit intégré à protéger.

Dans des conditions normales de fonctionnement, c'est-à-dire quand le signal est seul présent à l'entrée, le transistor T_1, dont la jonction base-émetteur n'est pas polarisée, n'est pas à l'état passant. Par contre, en cas de surtension accidentelle à l'entrée I - surtension qui peut être due à une accumulation de charges électrostatiques -, au moment où la tension collecteur-émetteur dépasse la tension de claquage du transistor, il se produit l'effet d'avalanche, dû aux électrons accélérés par le fort champ électrique créé. Le transistor T_1 passe à l'état de claquage et le courant de collecteur augmente rapidement. Le courant de collecteur provoque, au niveau de la résistance ohmique de base (r_{bb}) du transistor, une chute de tension suffisante pour polariser en sens direct la jonction d'émetteur. A partir de la région d'émetteur, il est alors injecté des charges qui augmentent le courant total de collecteur, à égalité de tension collecteur-émetteur.

Le transistor latéral présente donc des caractéristiques de "résistance négative".

De tels phénomènes de "résistance négative" se manifestent à une valeur de tension collecteur-émetteur (LV_{CEO}) à peine supérieure à la tension de claquage et ils provoquent une diminution brusque de la tension V_{CE} à une valeur V_S inférieure à celle de la tension de claquage.

Cette valeur de la tension collecteur-émetteur reste presque constante lorsque le courant de collecteur continue à augmenter, dans les limites d'une gamme étendue de valeurs de courant. Le passage, entre émetteur et collecteur, d'un courant sans limites pour une valeur constante de la tension collecteur-émetteur, est connu en tant que phénomène d'entretien ("sustaining").

Les "gâchettes" des IGFET du circuit protégé, étant raccordées à l'électrode de collecteur de T_1, seront soumises, même en cas de surtension en entrée, à une tension ne dépassant pas la tension maximale V_{CE} de T_1; celle-ci étant la tension LV_{CEO} de manifestation des phénomènes de résistance négative.

Un dispositif de protection suivant l'invention, représenté avec son schéma de circuit sur les figures 3 et 4, est intégré, avec le circuit MOS à protéger, en un corps monolithique de matière semi-conductrice.

Dans l'essentiel, celui-ci est constitué par un transistor NPN latéral (T_1) dont l'émetteur et le collecteur sont obtenus par dopage avec des impuretés de type N de façon simultanée et identique aux régions de "source" et de "drain" des IGFET du circuit MOS, et dont la base est obtenue par un dopage fort et profond avec des ions accepteurs (impuretés de type P) par implantation ionique. L'implantation ionique, après un masquage approprié, permet de créer une zone de protection à tension de claquage différenciée par rapport au reste du dispositif intégré, ce qui détermine au niveau de la protection la valeur, assez basse, de tension de claquage nécessaire pour éviter, en cas de surtension en entrée, la rupture des oxydes de gâchette ayant une épaisseur égale ou inférieure à 500 Å, tout en maintenant au niveau du circuit protégé des tensions de claquage plus élevées, afin d'éviter les inconvénients lors du fonctionnement normal. La concentration d'ions accepteurs dans la base, beaucoup plus élevée que dans les autres zones du circuit intégré, détermine précisément la valeur de la tension de claquage du transistor latéral, valeur qui doit être inférieure, tant à la tension de rupture des oxydes de gâchette qu'à la tension de claquage des jonctions bipolaires du circuit intégré.

La tension LV_{CEO} de manifestation des phénomènes de résistance négative doit également être maintenue au-dessous de la tension de rupture des oxydes et de la tension de claquage des jonctions; elle peut être contrôlée par l'implantation d'ions accepteurs dans la zone 3 de base, en fonction non seulement de la concentration d'ions, comme pour la tension de claquage, mais aussi de la profondeur d'implantation et de la largeur de la zone concernée par une telle implantation, c'est-à-dire de la distance entre les deux jonctions bipolaires du transistor latéral. La dose d'ions accepteurs implantée dans la base détermine aussi la valeur de la tension V_S d'entretien ("sustaining"), inférieure à celle de la tension de claquage, à laquelle se stabilise la V_{CE} du transistor pour des valeurs élevées de courant de collecteur.

Il est très important que la tension V_S soit supérieure à la tension d'alimentation du dispositif intégré dont fait partie la protection : dans le cas contraire, une fois dépassée la tension de claquage à cause d'une surtension non dangereuse en entrée, le circuit d'alimentation pourrait fournir une énergie suffisante pour provoquer la rupture du dispositif.

Des valeurs typiques d'une forme de réalisation de la protection suivant l'invention pour des dispositifs intégrés de type MOS à densité élevée d'intégration, avec une tension d'alimentation de 5 V, y compris des IGFET à couches isolantes de gâchette de 500 Å, sont les suivantes :

- tension de claquage au niveau de la protection : 15 V (tension de claquage au niveau du reste du circuit : 30 à 35 V);
- tension de manifestation des phénomènes de résistance négative (distance entre les jonctions, 4 microns): 17 V;
- tension d'entretien ("sustaining") : 9 à 11 V.

Du point de vue de la dissipation de l'énergie, une protection suivant l'invention, constituée par deux jonctions bipolaires parallèles dont l'une est reliée à la masse et qui sont séparées par une zone fortement dopée, a un excellent comportement, surtout lorsque des courants très élevés passent dans la protection. Lorsque dans les conditions d'entretien, le courant dépasse

certaines valeurs de seuil, il s'établit d'habitude des phénomènes d'instabilité qualifiés de "second claquage", avec des effets parfois destructifs pour le dispositif lui-même. Dans un dispositif de protection suivant l'invention, le courant est distribué uniformément le long de toute la protection, ce qui limite à des valeurs non dangereuses la densité de courant aux points individuels.

L'énergie totale dissipée dans la protection est celle que l'on observe d'habitude avec les protections connues à transistor bipolaire latéral, c'est-à-dire qu'elle est assez basse par rapport à d'autres types de protection.

Un procédé de fabrication pour des dispositifs à circuit intégré de type MOS, y compris les IGFET à canal N, se prêtant à la réalisation simultanée de la protection suivant l'invention, sans que soient amoindries la qualité et la rapidité du dispositif, peut être exécuté en modifiant le procédé connu des spécialistes en la matière sous le nom de "procédé Planox". Cette modification consiste en deux opérations supplémentaires, l'une de masquage et l'autre d'implantation ionique. Comme on peut le voir en se référant aux figures 5, 6, 7, 8, 9 et 10 qui sont des vues planes de la section d'une partie du dispositif intégré, muni d'une protection d'entrée suivant l'invention, faites au cours des différentes phases de fabrication, le procédé ainsi modifié comprend les opérations suivantes :

- Formation (par oxydation à haute température) d'une couche protectrice 21 de bioxyde de silicium sur la grande surface d'une tranche 1 de silicium, dopée avec des impuretés de type P.
- Dépôt sur la surface oxydée d'une couche 22 de nitrure de silicium (Si_3N_4) (figure 5).
- Formation, au moyen d'un vernis photosensible (substance photorésistante) 23, d'un premier masque protecteur sur quelques zones de la couche de nitrure de silicium.
- Attaque chimique des parties non protégées par la couche de substance photorésistante, de telle manière que la couche de nitrure ne persiste que dans les zones protégées.

- Implantation ionique dans le champ, de façon connue des spécialistes, d'un dopant de type P, avec une énergie suffisante pour traverser uniquement la couche de bioxyde de silicium, mais insuffisante pour traverser les couches superposées de bioxyde de silicium, de nitrure et de substance photorésistante. Sur la figure 6, les régions dopées de cette manière sont indiquées par des hachures et par le symbole P^+.

Dans l'exemple préféré d'exécution de l'invention, on effectue une implantation d'ions accepteurs avec une énergie d'implantation de 120 keV et un niveau de dopage d'environ 8.10^{12} ions/cm^2.

- Elimination du masque protecteur de substance photorésistante, suivie du dépôt d'une nouvelle couche protectrice 24 de substance photorésistante (figure 7), pour former un second masque protecteur.
- Implantation ionique d'ions accepteurs de type P, ayant une énergie suffisante pour traverser la couche de bioxyde de silicium, mais insuffisante pour traverser la couche de substance photorésistante; cette implantation est effectuée dans la région 3, déjà concernée par la précédente implantation de champ, à travers une fenêtre du masque de substance photorésistante; dans la zone 3, indiquée par des hachures plus denses et par le symbole P^{++}, on obtient une concentration d'impuretés de type P beaucoup plus élevée que dans les autres zones P du dispositif intégré.

Dans l'exemple préféré d'exécution de l'invention, on utilise une implantation ionique avec une énergie d'implantation de 120 keV, pour obtenir des doses de dopage d'environ 2.10^{13} ions/cm^2.

La région 3 a une largeur constante, comprise entre 4 et 10 microns.

- Elimination du second masque protecteur de substance photorésistante.
- Oxydation à haute température, pendant un temps suffisant pour former une couche épaisse (9) de bioxyde de silicium sur les zones de silicium (figure 8) non recouvertes de nitrure.

- Attaque chimique du nitrure de silicium qui est éliminé par application des techniques connues d'attaque chimique sélective.

Oxydation "de gâchette" : on crée une couche mince d'oxyde qui constituera le diélectrique 8 de la "gâchette" des IGFET compris dans le dispositif à semi-conducteur.

- Dépôt d'une couche 18 de silicium polycristallin.
- Masquage et attaque chimique du silicium polycristallin : le silicium polycristallin non éliminé constitue le masque auto-aligné, nécessaire pour l'opération suivante.
- Délimitation de l'oxyde de "gâchette" des IGFET et attaque chimique de l'oxyde non protégé par le silicium polycristallin.
- Opérations de masquage, de dépôt et de diffusion à haute température d'impuretés de type N dans le substrat semi-conducteur pour former les régions de "source" 6 et de "drain" 7 des IGFET compris dans le circuit.

Par les mêmes opérations, on forme simultanément les deux régions 4 et 5 de type N de la protection d'entrée, régions qui forment avec la région 3, fortement dopée avec des impuretés de type P, deux jonctions bipolaires voisines (4 à 10 microns) et parallèles (figure 9).

- Dépôt d'une couche protectrice 15 de "P-Vapox" (figure 10).
- Ouverture des contacts 10, 11, 12, 13 et 14 dans le P-Vapox.
- Dépôt et délimitation de la couche d'Al-Si d'interconnexion.
- Recouvrement avec une couche de passivation finale et ouverture des zones de contact ("pad").

Etant donné que ce qui a été décrit et représenté ne constitue qu'un exemple de réalisation de l'invention et un exemple de procédé de fabrication, il va de soi que de nombreuses variantes sont possibles, sans que l'on s'écarte pour autant du cadre de la présente invention.

- REVENDICATION -

Circuit intégré de type MOS à basse tension d'alimentation et à forte densité d'intégration, comprenant une première borne d'entrée des signaux, une seconde borne de raccordement à la masse, une troisième borne de raccordement à l'alimentation, au moins un transistor IGFET à oxyde isolant de gâchette dont l'épaisseur ne dépasse pas 500 Å et du dispositif de protection contre les surtensions en entrée comprenant un transistor bipolaire latéral (T_1) dont les régions d'émetteur et de collecteur sont dopées avec le même type et la même concentration d'impuretés que les régions de source et de drain du transistor IGFET, la région d'émetteur étant raccordée électriquement à la borne de masse et la région de collecteur étant raccordée électriquement à la borne d'entrée et à l'électrode de gâchette du transistor IGFET, ce dispositif de protection étant caractérisé en ce que la concentration d'impuretés dans la région de base du transistor bipolaire latéral (T_1) est beaucoup plus élevée que dans les autres régions de même polarité du circuit intégré, et en ce que l'étendue de la région de base et la concentration d'impuretés dans celle-ci sont telles que la tension de claquage (breakdown") et la tension de manifestation des phénomènes de résistance négative (LV_{CEO}) du transistor latéral (T_1) soient maintenues à une valeur inférieure à la tension de rupture des oxydes isolants de gâchette et à la tension de rupture des jonctions bipolaires comprises dans le circuit intégré, et telles que la tension d'entretien ("sustaining") du transistor latéral (T_1) soit maintenue à une valeur supérieure à la tension d'alimentation du circuit intégré.

FIG. 1A

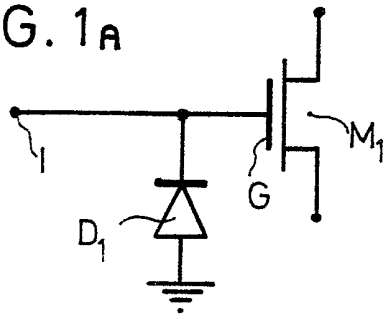


FIG. 1B

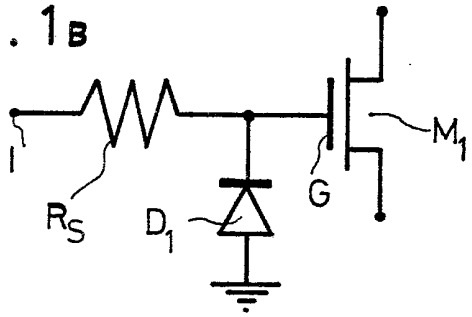


FIG. 2A

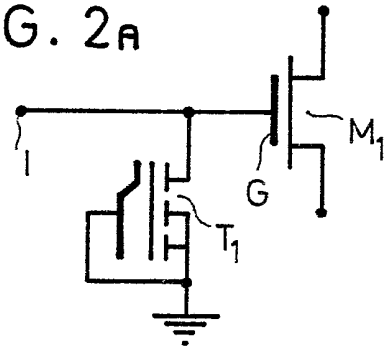


FIG. 2B

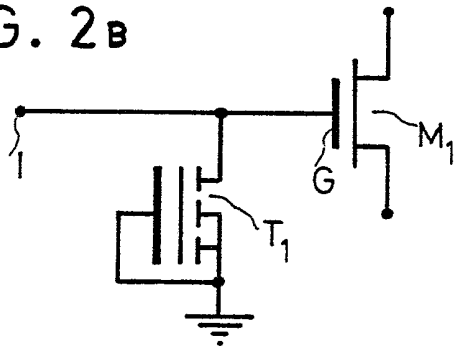


FIG. 4

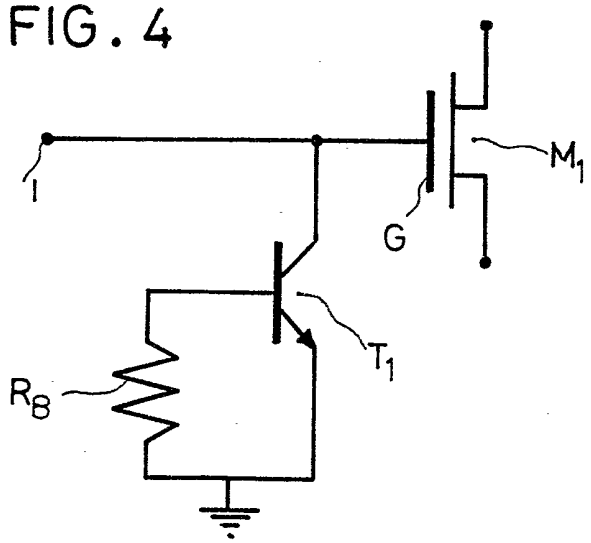


FIG. 3

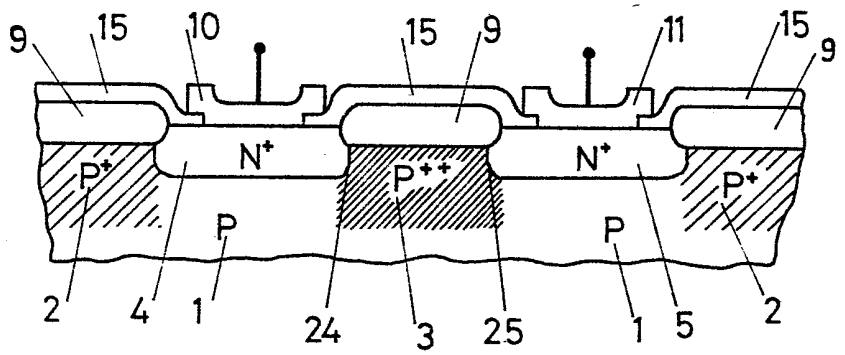


FIG. 5

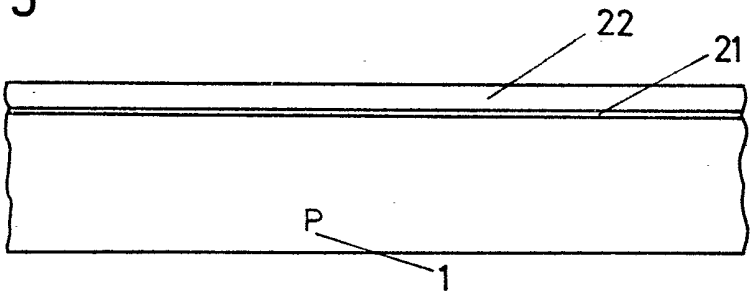


FIG. 6

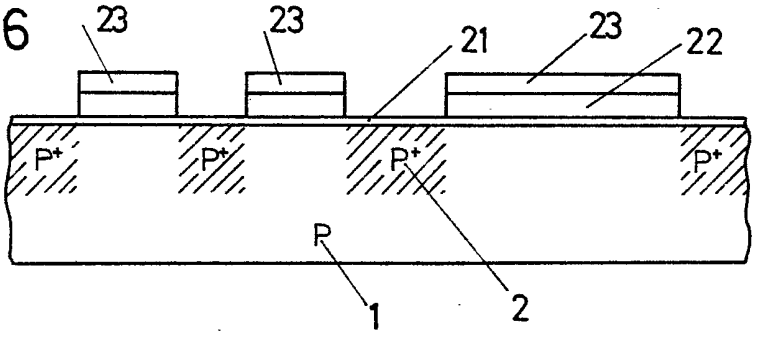


FIG. 7

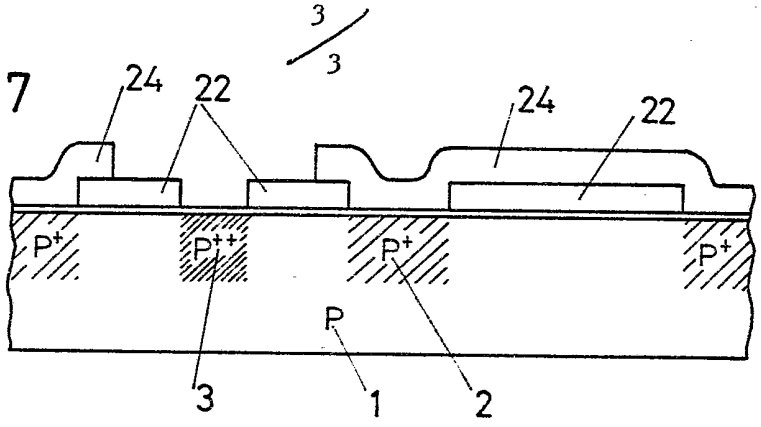


FIG. 8

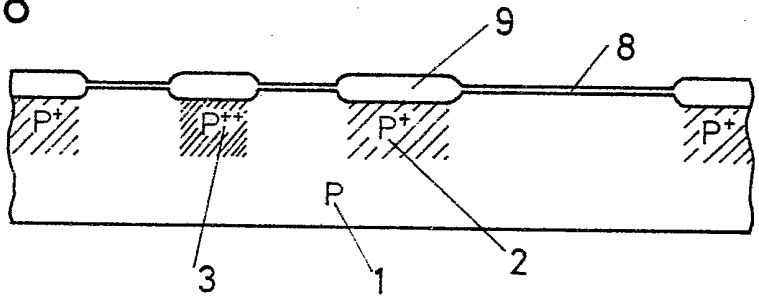


FIG. 9

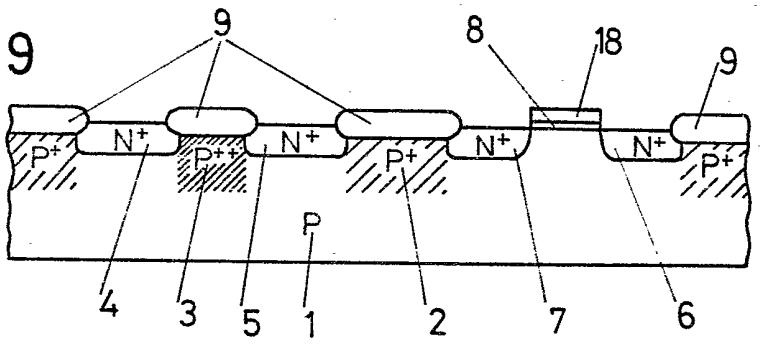


FIG. 10

