

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 9 日 (09.01.2025)



(10) 国际公布号
WO 2025/007345 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01)

国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430205 (CN)。

(21) 国际申请号: PCT/CN2023/106137

(22) 国际申请日: 2023 年 7 月 6 日 (06.07.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 长江存储科技有限责任公司
(**YANGTZE MEMORY TECHNOLOGIES CO., LTD.**)
[CN/CN]; 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430205 (CN)。

(72) 发明人: 刘小欣 (**LIU, Xiaoxin**); 中国湖北省武汉市东湖新技术开发区未来三路 88 号, Hubei 430205 (CN)。霍宗亮 (**HUO, Zongliang**); 中

(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦 C 座2901, Guangdong 518052 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREFOR, MEMORY AND STORAGE SYSTEM

(54) 发明名称: 半导体器件及其制作方法、存储器和存储系统

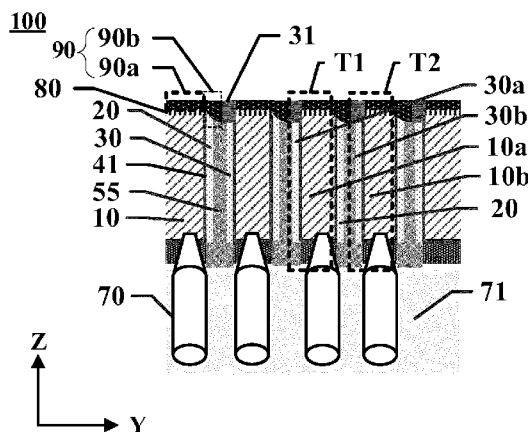


图 28

(57) **Abstract:** The present application discloses a semiconductor device, a manufacturing method therefor, a memory, and a storage system. The semiconductor device comprises multiple semiconductor columns. A gate electrode strip and a shielding strip are disposed between adjacent semiconductor columns along a second direction. A barrier strip extends along a first direction, and the barrier strip and the shielding strip are connected at one end along a third direction, the barrier strip being located on the same side of the shielding strip and the gate strip in the third direction. The present application can improve yield and reliability.

(57) 摘要: 本申请公开一种半导体器件及其制作方法、存储器和存储系统; 半导体器件包括多个半导体柱; 沿第二方向上相邻半导体柱之间设有一栅极条和一屏蔽条; 阻隔条沿第一方向延伸, 阻隔条与屏蔽条在第三方向上的一端连接, 且位于屏蔽条与栅极条在第三方向上的同一侧。本申请可提高良率和可靠性。

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

半导体器件及其制作方法、存储器和存储系统

技术领域

5 本申请涉及半导体技术领域，具体涉及一种半导体器件及其制作方法、存储器和存储系统。

背景技术

 随着存储单元的特征尺寸接近工艺下限，平面工艺和制造技术变得具有挑战性且成本高昂，这造成2D结构的存储器的存储密度接近上限。

10 为克服2D结构的存储器带来的限制，业界已经研发了具有三维结构的存储器以提高存储密度。

 然而，随着存储器的集成度要求增高，如何妥善安排各种栅极的排布，以减少栅极间的相互干扰，仍是目前有待克服的问题。

15 发明内容

 本申请提供一种半导体器件及其制作方法、存储器和存储系统，可以提高存储器的良率和可靠性。

 第一方面，本申请提供一种半导体器件，包括：

 半导体柱阵列，所述半导体柱阵列包括沿第一方向与第二方向阵列排布且
20 在第三方向上延伸的多个半导体柱，所述第一方向、所述第二方向、以及所述第三方向彼此相交叉；

 沿所述第二方向上相邻所述半导体柱之间设有一栅极条和一屏蔽条，所述栅极条与所述屏蔽条沿所述第一方向延伸并在第二方向上相间隔；以及，

 阻隔条，所述阻隔条沿所述第一方向延伸，所述阻隔条与所述屏蔽条在所述
25 第三方向上的一端连接，且位于所述屏蔽条与所述栅极条在所述第三方向上

的同一侧。

第二方面，本申请还提供一种半导体器件的制作方法，包括：

形成多个半导体柱，并使所述多个半导体柱在第一方向与第二方向阵列排布且在第三方向上延伸，且所述第一方向、所述第二方向、以及所述第三方向彼此相交叉；

在相邻的所述第一行半导体柱与所述第二行半导体柱之间，形成一个栅极条与一个屏蔽条，并使所述栅极条与所述屏蔽条沿所述第一方向延伸并在第二方向上相间隔；以及，

在所述屏蔽条沿所述第三方向上的一端形成阻隔条，所述阻隔条沿第一方向延伸，且位于所述屏蔽条与所述栅极条在所述第三方向上的同一侧。

第三方面，本申请还提供一种存储器，所述存储器包括：

阵列存储结构，所述阵列存储结构包括如第一方面所述的半导体器件；以及

外围电路，所述外围电路与所述阵列存储结构相接，以控制所述阵列存储结构的偏压。

第四方面，本申请还提供一种存储系统，包括：如第三方面所述的存储器；以及与所述存储器耦合的控制器，所述控制器用于控制所述存储器执行数据写入和读取操作。

本申请有益效果：本申请在相邻半导体柱之间形成两个电极即第一电极和第二电极，于所述第一电极和第二电极在所述第三方向上的同一端，形成沿所述第一方向延伸且与第二电极连接的阻隔条，这样第一电极可以作为栅极条，第二电极可以作为屏蔽条，在形成栅极条的同时形成屏蔽条，从而可以通过屏蔽条来防止相邻半导体柱之间的干扰，进而降低了相邻半导体柱之间的耦合效应。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

5 图1是本申请实施例提供的半导体器件中一个存储单元的等效电路图；

图2是本申请实施例提供的半导体器件的一种剖视图；

图3是本申请实施例提供的衬底的俯视图；

图4是本申请实施例提供的衬底的剖视图；

图5是本申请实施例提供的形成隔离沟槽的俯视图；

10 图6是本申请实施例提供的形成隔离沟槽在图5中AA'切割线的剖视图；

图7是本申请实施例提供的在隔离沟槽中沉积介质材料的俯视图；

图8是本申请实施例提供的在隔离沟槽在图7中BB'切割线的剖视图；

图9是本申请实施例提供的形成栅极沟槽的俯视图；

图10是本申请实施例提供的形成栅极沟槽图9中CC'切割线的剖视图；

15 图11是本申请实施例提供的在栅极沟槽的侧壁形成第一氧化层的俯视图；

图12是本申请实施例提供的在栅极沟槽的侧壁形成第一氧化层在图11中DD'切割线的剖视图；

图13是本申请实施例提供的在第一氧化层形成导电层的俯视图；

20 图14是本申请实施例提供的在第一氧化层形成导电层在图13中EE'切割线的剖视图；

图15是本申请实施例提供的半导体器件在图12中BB'切割线的剖视图；

图16是本申请实施例提供的在栅极沟槽的内壁填入隔离材料的一种俯视图；

25 图17是本申请实施例提供的在栅极沟槽的内壁填入隔离材料在图16中FF'切割线的剖视图；

图18是本申请实施例提供的在栅极沟槽的内壁填入隔离材料以覆盖栅极条

和屏蔽条的一种剖视图；

图19是本申请实施例提供的形成电容阵列的一种剖视图；

图20至图26是本申请实施例提供的形成阻隔层的制作流程的多个剖视图；

图27是本申请实施例提供的形成阻隔条和栅极导接结构的一种俯视图；

5 图28是本申请实施例提供的形成阻隔条和栅极导接结构在图27中GG'切割线的剖视图；

图29至图30是本申请实施例提供的形成栅极引出触点的制作流程的多个剖视图；

10 图31是本申请实施例提供的一种形成栅极引出触点、屏蔽引出触点的俯视图；

图32是本申请实施例提供的形成栅极引出触点、屏蔽引出触点在图31中HH'切割线的一种剖视图；

图33和图34是本申请实施例提供的另一种形成栅极引出触点、屏蔽引出触点的制作流程的多个俯视图；

15 图35是本申请实施例提供的形成半导体柱引出触点的一种俯视图；

图36是本申请实施例提供的形成栅极引出触点、屏蔽引出触点和半导体柱引出触点的剖视图；

图37是本申请实施例提供的半导体器件的制作方法的一种流程图；

图38是本申请实施例提供的存储系统的结构示意图。

20

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。此外，应当理解

25 的是，此处所描述的具体实施方式仅用于说明和解释本申请，并不用于限制本

申请。在本申请中，在未作相反说明的情况下，使用的方位词如“上”和“下”通常是指装置实际使用或工作状态下的上和下，具体为附图中的图面方向；而“内”和“外”则是针对装置的轮廓而言的。

晶体管可以用于动态随机存储器(DRAM, Dynamic Random Access Memory)中，用于控制每一存储单元中的电容。动态随机存取存储器的基本存储单元结构由一个晶体管和一个存储电容组成，其主要的作用原理是利用电容内存储电荷的多寡来代表一个二进制比特(bit)是1还是0。

随着动态随机存取存储器技术的发展，存储单元的尺寸越来越小，其阵列架构由 $8F^2$ 到 $6F^2$ 再到 $4F^2$ ；另外，基于动态随机存取存储器中对离子和漏电流的需求，存储器的架构从平面阵列晶体管(Planar array transistor)到凹栅阵列晶体管(Recess gate array transistor)，又从凹栅阵列晶体管到掩埋式阵列晶体管(Buried saddle Fin array transistor)，再从掩埋式阵列晶体管到垂直栅极晶体管(Vertical gate transistor)。

实际应用中，不论是平面晶体管、凹栅阵列晶体管、掩埋式晶体管还是垂直栅极晶体管，动态随机存取存储器均由多个存储单元结构构成，每一个存储单元结构主要是由一个晶体管与一个由晶体管所操控的存储电容构成，即动态随机存取存储器包括1个晶体管(T, Transistor)和1个电容(C, Capacitance)即1T1C的架构；其主要的作用原理是利用电容内存储电荷的多寡来代表一个二进制比特(bit)是1还是0。

图1为本申请实施例中提供的一种采用1T1C的架构的电路连接示意图，如图1所示，晶体管T的漏极与位线(BL, Bite Line)电连接，晶体管T的源极与电容C的其中一个电极板电连接，电容C的另外一个电极板通过接地端(GND, Ground)接地，晶体管T的栅极与字线(WL, Word Line)连接；通过字线WL施加电压控制晶体管T导通或截止，位线BL用于在晶体管T导通时，对所述电容C执行读取或写入操作。

图2为本申请实施例中提供的一种半导体结构200的剖面示意图，本申请实

施例提供了一种半导体结构，如图2所示，所述半导体结构包括：沿Y轴方向并列设置且被第一隔离结构206间隔分开的第二晶体管220，所述第一晶体管210和所述第二晶体管220，所述第一隔离结构206中包括有气隙205（Airgap）；所述第一晶体管210、第二晶体管220均包括：沿Z轴方向延伸的栅极201、沿Z轴方向延伸的沟道区204、位于栅极201与沟道区204之间且沿Z轴方向延伸的栅氧化层（Gate oxide layer）202、分别位于所述沟道区204沿Z方向相对的两端的源极（图中未示出）和漏极（图中未示出）。栅极201位于所述沟道区204的一侧；其中，所述第一晶体管210的栅极201位于所述沟道区204的两侧中远离所述第一隔离结构206的一侧，所述第二晶体管220的栅极201位于所述沟道区204的两侧中远离所述第一隔离结构206的一侧。

在采用如图2所示的栅极垂直晶体管结构时，由于第一隔离结构206的中间形成气隙205，以改善半导体结构中相邻的第一晶体管210和第二晶体管220容易发生耦合效应的问题，但是该半导体结构对于工艺控制要求高，且容易发生倾倒问题。

为了改善上述问题，参考图3至图38所示，本申请一些实施例提供了一种半导体器件100及其制作方法、存储器320和存储系统300。本申请在相邻半导体柱10之间形成两个电极即第一电极和第二电极，于所述第一电极和第二电极在所述第三方向Z上的同一端，形成沿所述第一方向X延伸且与第二电极连接的阻隔条90，这样第一电极可以作为栅极条30，第二电极可以作为屏蔽条20，在形成栅极条30的同时形成屏蔽条20，从而可以通过屏蔽条20来防止相邻半导体柱10之间的干扰，进而降低了相邻半导体柱10之间的耦合效应。

请参阅图3至图36所示，为本申请一些实施例提供的一种半导体器件100的制作工艺过程示意图，首先就所述半导体器件100作说明，其中，图27为本申请实施例提供的一种半导体结构的一种俯视图，图28为本申请实施例提供的半导体结构在图27中GG'切割线的一种剖视图，图30为本申请实施例提供的半导体结构在图27中GG'切割线的另一种剖视图，如图27、图28和图30所示，半导体

器件100包括：

半导体柱阵列，所述半导体柱阵列包括沿第一方向与第三方向阵列排布且在第三方向上延伸的多个半导体柱10，所述第一方向、所述第二方向、以及所述第三方向彼此相交叉；

5 沿所述第二方向Y上相邻所述半导体柱10之间设有一栅极条30和一屏蔽条20，所述栅极条30与所述屏蔽条20沿所述第一方向X延伸并在第三方向Y上相间隔；以及，

阻隔条90，所述阻隔条90沿所述第一方向X延伸，所述阻隔条90与所述屏蔽条20在所述第三方向Z上的一端连接，且位于所述屏蔽条20与所述栅极条30
10 在所述第三方向Z上的同一侧。

在一些具体示例中，所述第一方向和第三方向之间具有夹角，第三方向与第一方向和第三方向所在平面之间具有夹角，所述夹角范围为：小于或等于90度。例如，本申请的一些实施例中设定第一方向为X方向，第二方向为Y方向，第三方向为Z方向。

15 如图27所示，多个半导体柱10包括沿第一方向X排布且在所述第二方向Y相邻的第一行半导体柱10a与第二行半导体柱10b。半导体柱10用于在外加电场的作用下传递电荷或者停止电荷的传递，使得晶体管导通或者截止，每一半导体柱10的延伸方向是晶体管导通时的电流方向，示例性的，如图28和图30所示，半导体柱10的延伸方向为第三方向Z，并且多个半导体柱10沿第一
20 方向X和第三方向Y阵列分布以形成半导体柱阵列。

在一些具体示例中，如图27、图28和图30所示，沿第二方向Y上相邻的两个半导体柱10之间设有一个栅极条30和一个屏蔽条20。另外，如图27所示，沿所述第二方向Y上位于相邻所述半导体柱10之间的栅极条30沿第一方向X延伸，沿所述第二方向Y上位于相邻所述半导体柱10之间的屏蔽条20沿第一方向X延
25 伸，并且，沿第二方向Y上每相邻的两个半导体柱10之间的一个栅极条30和一个屏蔽条20相互之间间隔，即相邻的半导体柱10之间栅极条30和屏蔽条20不接

触或具有间距。

在一些具体示例中，如图28和图30所示，半导体结构还设有沿第一方向X延伸的阻隔条90，阻隔条90与屏蔽条20在第三方向Z上的一端接触或连接，并且，阻隔条90与位于所述屏蔽条20与所述栅极条30在所述第三方向Z上的同一侧，即阻隔条90、屏蔽条20中在所述第三方向Z上与阻隔条90连接的一端，以及栅极条30中在第三方向Z上与后文实施例形成的栅极导接结构31连接的一端位于同一侧。这样，就可以通过阻隔条90将沿第二方向Y上相邻半导体柱10之间的栅极条30和屏蔽条20隔离开，并且由于阻隔条90具有绝缘功能，这样，阻隔条90可以更好的隔离屏蔽条20与栅极条30。

在一些具体示例中，如图28和图30所示，阻隔条90位于屏蔽条20与栅极条30之间且与屏蔽条20在第三方向Z上的一端（例如，半导体柱10在第三方向Z上远离下文实施例中的电容结构70的一端）接触连接，并且阻隔条90与栅极条30在第二方向Y上具有间距。

在一些具体示例中，阻隔条90还可以位于所述屏蔽条20与半导体柱10在所述第三方向Z上的同一端，例如，如图28和图30所示，阻隔条90的第一阻隔部分90a位于相邻半导体柱10之间的屏蔽条20和栅极条30在第三方向Z上的同一端，即第一阻隔部分90a连接屏蔽条20在第三方向Z上的一端，阻隔条90的第二阻隔部分90b位于相邻半导体柱10在第三方向Z上的同一端，即第二阻隔部分90b连接半导体柱10在第三方向Z上的一端，并且屏蔽条20在第三方向Z上的一端连接的第一阻隔部分90a和半导体柱10在第三方向Z上的一端连接的第二阻隔部分90b位于第三方向Z上的同一侧。

在一些示例中，如图28和图30所示，第一阻隔部分90a和第二阻隔部分90b。如图28所示第二阻隔部分90b的横截面形状可以是扇形，如图30所示，第二阻隔部分90b的横截面形状可以是矩形。当然，第二阻隔部分90b的横截面形状还可以是倒梯形、弧形等。

在一些实施例中，如图28所示第一阻隔部分90a可以被去除以连接下文实

施例中的位线 BL。

在一些具体示例中，阻隔条90的组成材料可以包括氧化硅、氮化硅、氮氧化硅、氧化铝、聚硅氧烷或者聚硅氮烷等绝缘材料。此处氧化硅是指硅氧化物，如 Si_xO_y ，氮化硅是指氮硅化合物，如 Si_xN_y 。

5 在一些实施例中，所述半导体器件100还包括：栅极导接结构31，所述栅极导接结构31沿所述第一方向X延伸，且位于所述栅极条30在所述第三方向Z上的所述一端与所述阻隔条90之间，并与所述阻隔条90至少部分并列。

在一些具体示例中，如图28至图30所示，栅极条30在第三方向Z上的一端连接有栅极导接结构31。其中，在第三方向Z上栅极导接结构31位于栅极条30与阻隔条90之间，栅极导接结构31与栅极条30在第三方向Z上的一端（例如，半导体柱10在第三方向Z上远离下文实施例中的电容结构70的一端）接触连接，且栅极导接结构31与阻隔条90相邻。也就是说，栅极条30所连接的栅极导接结构31与屏蔽条20所接触的阻隔条90在第三方向Z上的同一侧，且沿第二方向Y上栅极导接结构31与阻隔条90相邻。

15 在一些具体示例中，栅极导接结构31的组成材料可以包括导电材料，导电材料包括但不限于：钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或者其任何组合。

在一些实施例中，所述半导体器件100还包括：位于所述半导体柱阵列在所述第三方向Z上的一端的栅极引出触点32，所述栅极引出触点32与所述栅极导接结构31连接。

20 在一些具体示例中，如图30和图32所示，每个栅极导接结构31在第三方向Z上远离栅极条30的一端连接有栅极引出触点32，即在第三方向Z上栅极导出结构位于栅极引出触点32和栅极条30之间。

在一些具体示例中，栅极引出触点32的组成材料可以包括导电材料，导电材料包括但不限于：钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或者其任何组合。
25 栅极引出触点32与栅极导接结构31的材料可以相同也可以不同。本申请通过栅极引出触点32和栅极导接结构31来引出栅极条30的连接，有利于工艺流程，并

可以提高可靠性。

在一些实施例中，所述半导体器件100还包括：位于所述半导体柱阵列在所述第三方向Z上的所述一端的屏蔽引出触点21，所述屏蔽引出触点21与所述屏蔽条20连接。

5 在一些具体示例中，如图31、图32和图34所示，屏蔽条20在第三方向Z上的一端连接有屏蔽引出触点21。在一些示例中，例如位于屏蔽条20的非端部部位时，屏蔽引出触点21沿第三方向Z穿过阻隔条90，并且屏蔽引出触点21通过阻隔条90与屏蔽条20在第三方向Z上的一端（例如，半导体柱10在第三方向Z上远离下文实施例中的电容结构70的一端）接触连接。也就是说，屏蔽条20所连
10 接的屏蔽引出触点21与屏蔽条20所连接的阻隔条90在第三方向Z上的同一侧，且沿第三方向Z上屏蔽引出触点21和屏蔽条20位于阻隔条90的相对两侧。

在一些具体示例中，屏蔽引出触点21的组成材料可以包括导电材料，导电材料包括但不限于：钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或者其任何组合。屏蔽引出触点21与屏蔽条20的材料可以相同也可以不同。本申请屏蔽引出触点
15 21与屏蔽条20电互连，通过屏蔽引出触点21对屏蔽条20施加固定的电压，即屏蔽引出触点21可以与公共端连接以使所述屏蔽条20起到屏蔽作用。

在一些具体示例中，公共端可以包括接低电压端、接地端，其中，低电压可以包括-0.5V、-1V等。在一些实施例中，屏蔽条20与公共端相连。在实际应用时，可以根据需求将屏蔽条20设置为单独供电而不与公共端相连。本申请的一些实施例中通过对屏蔽条20施加低电压或将屏蔽条20接地，以使屏蔽条20可
20 以屏蔽相邻半导体柱10之间的干扰。

在一些实施例中，所述半导体器件100还包括：位于所述半导体柱阵列在所述第三方向Z上的所述一端的半导体柱引出触点11，所述半导体柱引出触点11与所述半导体柱10连接。

25 在一些具体示例中，如图35和图36所示，半导体柱10在第三方向Z上的一端连接有半导体柱引出触点11。其中，半导体柱引出触点11沿第三方向Z穿过覆

盖半导体柱10的阻隔条90，使得半导体柱引出触点11穿过阻隔条90与半导体柱10在第三方向Z上的一端（例如，半导体柱10在第三方向Z上远离下文实施例中的电容结构70的一端）接触连接。也就是说，半导体柱10所连接的半导体柱引出触点11与半导体柱10所连接的阻隔条90在第三方向Z上的同一侧，且沿第三方向Z上半导体柱引出触点11与屏蔽条20的一端连接。

在一些实施例中，可以将图28所示的与半导体柱10沿第三方向Z上的一端连接的第一阻隔部分90a去除。

在一些具体示例中，半导体柱引出触点11的组成材料可以包括导电材料，导电材料包括但不限于：钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或者其任何组合。半导体柱引出触点11与半导体柱10的材料可以相同也可以不同。本申请半导体柱引出触点11与半导体柱10电互连，通过半导体柱引出触点11可以将多个半导体柱10沿第三方向Z的一端与同一条位线BL连接。当然，在一些实施例中，半导体柱引出触点11也可以替换形成位线BL，即本申请实施例可以通过半导体柱引出触点11引出位线BL的连接，也可以不通过半导体柱引出触点11引出位线BL的连接，即可以直接在多个半导体柱10沿第三方向Z的一端形成与之邻接的位线BL。

示例性的，如图35所示，在阵列排布的多个半导体柱10的底部各自形成有一半导体柱引出触点11，可通过如图35所示的沿第一方向X和第二方向Y间隔排布的多个半导体柱引出触点11引出对应的半导体柱10，即八列半导体柱引出触点11分别依次与第一位线BL1至第八字线BL8连接。需要说明的是，本申请实施例图示中半导体柱引出触点11的数量只是示例，其他数量的半导体柱引出触点11亦在本申请保护范围内。

在一些具体示例中，半导体器件100还可以包括沿第二方向Y延伸且位于所述半导体柱阵列在所述第三方向Z上的所述一端的绝缘层91。如图32所示，在第三方向Z上绝缘层91覆盖所述阻隔条90、所述栅极导接结构31、栅极引出触点32、屏蔽引出触点21和半导体柱引出触点11。

在一些具体示例中，半导体器件100还可以包括沿第二方向Y延伸且位于所述半导体柱阵列在所述第三方向Z上的所述一端的隔离层80。如图32所示，在第三方向Z上隔离层80覆盖半导体柱10沿第三方向Z上远离下文实施例的电容结构70的一端，即如图32所示，沿第三方向Z上隔离层80和绝缘层91分别位于所述阻隔条90的相对两侧，并且隔离层80覆盖各半导体柱10，绝缘层91覆盖沿第三方向Z上位于同一侧的阻隔条90、所述栅极导接结构31、栅极引出触点32、屏蔽引出触点21和半导体柱引出触点11。

在一些具体示例中，隔离层80和绝缘层91的组成材料可以均包括氧化硅、氮化硅、氮氧化硅、氧化铝、聚硅氧烷或者聚硅氮烷等绝缘材料中的任意一种或者多种组合，在本申请实施例中，隔离层80和绝缘层91的材料可以相同也可以不同。

在一些实施例中，所述半导体器件100还包括：

沿所述第三方向Y间隔排布于各行半导体柱10之间的多个所述栅极条30；

沿所述第三方向Y间隔排布于所述各行半导体柱10之间，且与所述多个栅极条30交错间隔排布的多个所述屏蔽条20；

沿所述第三方向Y间隔排布于所述各行半导体柱10之间的多个所述阻隔条90；以及，

沿所述第三方向Y间隔排布于所述各行半导体柱10之间的多个所述栅极导接结构31。

在一些具体示例中，如图27所示，沿第一方向X上多个半导体柱10间隔排布，且沿第二方向Y上多个半导体柱10间隔排布，即多个半导体柱10沿第一方向X和第二方向Y阵列排布。如图27、图28和图31所示，多个半导体柱10沿第一方向X和第二方向Y阵列排布，沿第二方向Y上相邻的半导体柱10中的栅极条30位于各半导体柱10的一侧，即多个所述栅极条30沿所述第三方向Y间隔排布于各行半导体柱10之间，并且多个栅极条30沿第二方向Y上位于半导体柱10的一侧。沿第二方向Y上相邻的半导体柱10中的屏蔽条20位于各半导体柱10的另一

侧，即多个所述屏蔽条20沿所述第三方向Y间隔排布于各行半导体柱10之间，并且多个屏蔽条20沿第二方向Y上位于半导体柱10的另一侧。另外，沿第二方向Y上多个栅极条30与多个所述屏蔽条20交错排布，且沿第二方向Y上相邻半导体柱10中的栅极条30与屏蔽条20之间有间距。

5 在一些具体示例中，如图28和图30所示，半导体结构还设有沿第一方向X延伸的多个阻隔条90，每个屏蔽条20在第三方向Z上的一端连接有各自的阻隔条90，并且，多个屏蔽条20各自连接的阻隔条90均位于第三方向Z上的同一端。其中，阻隔条90与屏蔽条20在第三方向Z上的一端（例如，半导体柱10在第三方向Z上远离下文实施例中的电容结构70的一端）接触连接，阻隔条90位于所
10 述屏蔽条20与所述栅极条30在所述第三方向Z上的同一侧，并且阻隔条90与栅极条30在第二方向Y上具有间距，这样，就可以通过阻隔条90将沿第二方向Y上相邻半导体柱10之间的栅极条30和屏蔽条20隔离开，并且由于阻隔条90具有绝缘功能，这样，与阻隔条90接触连接的屏蔽条20就能够起到屏蔽作用，从而实现改善第二方向Y上相邻晶体管之间的耦合效应，降低相邻晶体管之间的干
15 扰，提升提高存储器的良率和可靠性。

在一些具体示例中，如图30所示沿第二方向Y上多个阻隔条90可以位于半导体柱10的一侧。当然，如图28所示沿第二方向Y上多个阻隔条90可以位于半导体柱10的另一侧。需要说明的是，阻隔条90的组成材料可参考上文实施例，在此不再一一赘述。

20 示例性的，如图28所示，第一晶体管T1包括栅极条30a和半导体柱10a，第二晶体管T2包括栅极条30b和半导体柱10b，半导体柱10a和半导体柱10b之间设有与阻隔条90接触连接的屏蔽条20，这样，可以通过与阻隔条90接触连接的屏蔽条20改善第一晶体管T1和第二晶体管T2之间的耦合效应，即当第一晶体管T1被导通时，第一晶体管T1的半导体柱10a区域变成高压，位于第一晶体管T1和
25 第二晶体管T2之间的屏蔽条20会屏蔽第一晶体管T1的半导体柱10a中的电子与第二晶体管T2的半导体柱10b中的电子之间的干扰，从而降低导通的第一晶体

管T1对第二晶体管T2的干扰问题。

在一些具体示例中，如图28至图30、图32至图33所示，每个栅极条30在第三方向Z上的一端连接有栅极导接结构31，并且，多个栅极条30各自连接的栅极导接结构31均位于第三方向Z上的同一端，其中，沿第三方向Z上栅极导接结构31位于栅极条30与阻隔条90之间，栅极导接结构31与栅极条30在第三方向Z上的一端（例如，半导体柱10在第三方向Z上远离下文实施例中的电容结构70的一端）接触连接，且沿第二方向Y上栅极导接结构31与阻隔条90相邻。

在一些具体示例中，如图28所示沿第二方向Y上多个栅极导接结构31可以位于相邻半导体柱10之间的一侧，此时第二方向Y上多个阻隔条90位于相邻半导体柱10之间的另一侧。当然，如图30所示沿第二方向Y上多个栅极导接结构31可以位于半导体柱10的另一侧，此时第二方向Y上多个阻隔条90位于相邻半导体柱10之间的一侧。总之，栅极导接结构31和阻隔条90位于半导体柱10沿第三方向Z上的同一侧，且栅极导接结构31和阻隔条90位于相邻半导体柱10沿第二方向Y上的不同侧。需要说明的是，栅极导接结构31的组成材料可参考上文实施例，在此不再一一赘述。

在一些实施例中，所述半导体器件100还包括多个栅极引出触点32，一个所述栅极引出触点32对应于一个所述栅极导接结构31，且所述多个栅极引出触点32沿所述第一方向X与所述第二方向Y同步间隔排列呈阶梯状分布。

在一些实施例中，所述半导体器件100还包括多个屏蔽引出触点21，一个所述屏蔽引出触点21对应于一个所述屏蔽条20，且所述多个屏蔽引出触点21沿所述第一方向X与所述第二方向Y同步间隔排列呈阶梯状分布。

在具体的示例中，如图30、图34和图32所示，半导体器件100包括沿第一方向X上以及第二方向Y上依图30和图32所示示例的四个栅极条30的排列顺序同时或同步间隔排布的栅极引出触点32a、栅极引出触点32b、栅极引出触点32c和栅极引出触点32d，从而呈阶梯状排列，半导体器件100包括沿第一方向X上以及第二方向Y上如图32和图34所示，半导体器件100所示示例

的四个屏蔽条 20 的排列顺序同时或同步间隔排布的屏蔽引出触点 21a、屏蔽引出触点 21b、屏蔽引出触点 21c 和屏蔽引出触点 21d，从而呈阶梯状排列，并且，栅极引出触点 32 位于相邻半导体柱 10 之间的一栅极条 30 沿第三方向 Z 上远离下文实施例中电容结构 70 的一端，屏蔽引出触点 21 位于相邻半导体柱 10 之间的一屏蔽条 20 沿第三方向 Z 上远离下文实施例中电容结构 70 的一端。需要说明的是，栅极引出触点 32、屏蔽引出触点 21 的组成材料可参考上文实施例，在此不再一一赘述。

在一些实施例中，如图31和图32所示，所述半导体器件100还包括多个栅极引出触点32与多个屏蔽引出触点21，一个所述栅极引出触点32对应于一个所述栅极导接结构31，一个所述屏蔽引出触点21对应于一个所述屏蔽条20，且所述多个栅极引出触点32与所述多个屏蔽引出触点21沿所述第二方向Y交错间隔排列。

示例性的，如图31所示，沿第二方向Y上间隔排列设置有四个沿第一方向延伸X的四个栅极条30，每个栅极条30沿第二方向Y上靠近下文实施例中隔离结构50的一侧连接有一个栅极导接结构31，一个所述栅极导接结构31对应连接有一个所述栅极引出触点32，通过四个间隔排列的栅极引出触点32及其各自连接的栅极导接结构31引出四个栅极条30，即四个栅极条30分别依次与第一字线WL1、第二字线WL2、第三字线WL3和第四字线WL4连接。同理，沿第二方向Y上间隔排列设置有四个沿第一方向延伸X的四个屏蔽条20，每个屏蔽条20沿第二方向上靠近下文实施例中隔离结构50的一侧连接有一个阻隔条90，一个屏蔽条对应连接有一个所述屏蔽引出触点21，通过四个间隔排列的屏蔽引出触点21来引出四个屏蔽条20，即四个屏蔽条20分别依次与第一盘线PL1、第二盘线PL2、第三盘线PL2和第四盘线PL4连接。可以通过盘线PL(Plate Line)对其连接的屏蔽条20施加一定的固定电压，以使屏蔽条20可以屏蔽相邻半导体柱10之间的干扰。需要说明的是，本申请实施例图示中栅极引出触点32与屏蔽引出触点21的数量只是示例，其他数量的半导体柱引出触点11亦在本申请保护范围内。

在一些实施例中，如图 32 和图 34 所示，所述半导体器件 100 还包括多个栅极引出触点 32 与多个屏蔽引出触点 21，一个所述栅极引出触点 32 对应于一个所述栅极导接结构 31，一个所述屏蔽引出触点 21 对应于一个所述屏蔽条 20，且所述多个栅极引出触点 32 与所述多个屏蔽引出触点 21 沿所述第一方向 X 与
5 所述第二方向 Y 同步交错间隔排列而呈阶梯状分布。

示例性的，如图 34 所示，同样可以参照图 31 所示引出四个栅极条 30 和四个屏蔽条 20，图 34 与图 31 的不同在于图 34 的多个栅极引出触点 32 与多个屏蔽引出触点 21 沿所述第二方向 Y 交错间隔排列呈阶梯状分布。

在一些实施例中，所述半导体柱 10 在所述第二方向 Y 上的横截面尺寸，与
10 两相邻所述半导体柱 10 之间的间隔尺寸相等。

在一些具体示例中，如图 32 所示，沿第二方向 Y 上各半导体柱 10 在所述第二方向 Y 上的横截面尺寸 L2 等于相邻所述半导体柱 10 之间的间隔尺寸 L1。由于工艺精度控制的原因，本实施例中的等于包括近似等于或者约等于。本申请的一些实施例中在相邻半导体柱 10 之间形成两个电极即第一电极和第二电极，于
15 所述第一电极和第二电极在所述第三方向 Z 上的同一端，形成沿所述第一方向 X 延伸且与第二电极连接的阻隔条 90，这样第一电极可以作为栅极条 30，第二电极可以作为屏蔽条 20，不需要在相邻半导体柱 10 直接形成气隙或者其他屏蔽隔离结构 50，通过阻隔条 90 可以在形成栅极条 30 的同时形成屏蔽条 20，这样可以屏蔽栅极条 30 对相邻半导体柱 10 的干扰，进而降低了相邻半导体柱 10 之间的耦合效应。而且，沿第二方向 Y 上各半导体柱 10 在所述第二方向 Y 上的横截面尺寸
20 L2 等于相邻所述半导体柱 10 之间的间隔尺寸 L1，降低负载效应，工艺控制难度降低。

在一些实施例中，所述半导体柱 10 在所述第二方向 Y 上的横截面尺寸，与两相邻所述半导体柱 10 之间的间隔尺寸的差异小于预设值。

25 在一些具体示例中，如图 32 所示，沿第二方向 Y 上各半导体柱 10 在所述第二方向 Y 上的横截面尺寸 L2 等于相邻所述半导体柱 10 之间的间隔尺寸 L1 的尺寸

差异小于基于工艺或者设备的精度要求、或者产品要求的设定数值，例如，间隔尺寸L1和横截面尺寸L2的差值的绝对值小于及其他可行数值，即 $|L1-L2| < \Delta L$ ， ΔL 指代预设值。

在一些实施例中，所述半导体器件100还包括：

5 位于所述半导体柱10与所述栅极条30之间以及所述半导体柱10与所述屏蔽条20之间的第一氧化层41；

位于所述栅极条30和所述屏蔽条20之间的隔离结构50。

10 在一些具体示例中，如图18至图26、图28至图30和图32所示，半导体器件100还包括第一氧化层41和隔离结构50。其中，沿第二方向Y上半导体柱10与所述栅极条30之间设有第一氧化层41，并且沿第二方向Y上所述半导体柱10与所述屏蔽条20之间设有第一氧化层41。另外，沿第二方向Y上所述栅极条30和所述屏蔽条20之间设有隔离结构50。如图18至图26、图28至图30和图32所示，沿第二方向Y上半导体柱10、第一氧化层41、栅极条30、隔离结构50、屏蔽条20、第一氧化层41、半导体柱10依次排布。

15 在一些实施例中，在第二方向Y上相邻半导体柱10之间设有一栅极条30和一屏蔽条20，并且半导体柱10与屏蔽条20之间的间隔距离与相邻半导体柱10与栅极条30之间的间隔距离相同。也就是说，在第二方向Y上一个栅极条30和一个屏蔽条20分别位于相邻半导体柱10的不同侧壁，并且屏蔽条20与栅极条30之间的位置镜像对称。

20 如图2所示的第一隔离结构206沿第二方向Y上位于相邻两个栅极201之间的中间位置，在第二方向Y上相邻沟道区204的中间位置设有一个第一隔离结构206，也就是说，在第二方向Y上第一隔离结构206与相邻沟道区204的距离相同，且在第二方向Y上第一隔离结构206与相邻栅极201的距离相同。不同于图2所示，本申请由于如图11至图28所示，同步形成栅极沟槽K2，沿第二方向Y在栅极沟槽的不同侧壁沉积形成第一电极和第二电极，在位于一侧壁的第二电极沿
25 所述第三方向Z上的一侧形成阻隔条90，从而使得与阻隔条90连接的第二电极

形成具有屏蔽作用的屏蔽条20,使得未与阻隔条90连接的第一电极形成栅极条,相对于图2而言额外在相邻晶体管之间挖槽得到用于形成第一隔离结构206的隔离凹槽,本申请直接利用多个等间距排布的多个栅极凹槽形成镜像对称设置的导电层配合阻隔条形成栅极条30和屏蔽条20,降低工艺控制难度,还可以增强5 半导体柱10的强度,提升半导体器件100的抗倾倒能力。

在一些具体示例中,第一氧化层41的组成材料可以包括氧化硅、氮氧化硅等。

在一些具体示例中,隔离结构50的组成材料可以包括氧化硅、氮化硅、氮氧化硅、氧化铝、聚硅氧烷或者聚硅氮烷等绝缘材料中的任意一种或者多种组10 合。

在一些实施例中,所述半导体器件100还包括:位于所述半导体柱阵列在所述第三方向Z上的另一端的电容阵列71,所述电容阵列71包括多个沿所述第一方向X与所述第二方向Y阵列排布且在所述第三方向Z上延伸的多个电容结构70,所述电容结构70包括与所述半导体柱10在所述第三方向Z上的另一端连接15 的第一电极层(图中未示出),以及位于所述第一电极层内的电容介质层(图中未示出)和第二电极层(图中未示出)。

在一些具体示例中,如图28、图30和图32所示,半导体器件100还包括电容阵列71,电容阵列71包括多个在所述第三方向Z上延伸的电容结构70,多个电容结构70沿所述第一方向X与所述第二方向Y阵列排布,并且沿第三方向Z上各20 半导体柱10的另一端(即与上文实施例中与阻隔条90、栅极导接结构31连接的与半导体柱10的一端沿第三方向Z上是相对两端)连接有一个电容结构70。并且,每个电容结构70包括与所述半导体柱10的源极连接的第一电极层。

半导体阵列的各半导体柱10侧壁形成有栅极条30,位于同一列的各半导体柱10(即沿第二方向Y间隔排布的各半导体柱10)的栅极条30相连接以形成25 字线,晶体管阵列的各半导体柱10沿第三方向Z上的一端形成源极(图中未示出),源极与电容结构70的第一电极层连接,晶体管阵列的各半导体柱10沿第

三方向 Z 上的另一端形成漏极(图中未示出), 位于同一行的各半导体柱 10(即沿第一方向 X 间隔排布的各半导体柱 10)的漏极相连接以形成位线 BL(图中未示出)。在上述半导体器件 100 中半导体柱 10 沿第三方向 Z 延伸, 源极和漏极分别形成在半导体柱 10 沿第三方向 Z 的相对两端, 沿第三方向 Z 上电容结构 70 和位线 BL 分别位于半导体柱 10 的相对两侧, 这样可以在衬底 1 的两侧分别制作, 提高工艺制造效率。

可以理解的是, 半导体柱 10 的源极与漏极是一种相对的概念, 源极和漏极可以是半导体柱 10 的沿第三方向 Z 上的任意一个表面。

其中, 一个电容结构 70 与一个晶体管构成一个 DRAM 存储单元, 通过晶体管的导通与关闭, 实现对所连接电容结构 70 的选定与非选定, 进而可实现对选中的存储单元进行读、写或者擦除操作。本申请实施例对电容结构 70 和晶体管的数量不作限制, 可以是电容阵列 71 与晶体管阵列(包括多个沿第一方向 X 和第二方向 Y 阵列排布的晶体管)耦接, 构成 DRAM 阵列存储结构。

可以理解的是, 晶体管的源极与漏极是一种相对的概念, 跟晶体管实际接入电路的方式相关, 而与源极与漏极处于晶体管的物理位置无关。在一些示例中, 当晶体管接入电路后, 可将晶体管接入电路的输入端作为源极, 输出端作为漏极, 载流子从源极流入漏极。为了更好的解释说明本申请实施例中电容结构 70 与晶体管的耦接关系, 将晶体管与电容结构 70 耦接的一端作为漏极, 而晶体管的源极则可以与施加操作电压的位线 BL 耦接。

本申请实施例还提供一种半导体器件 100 的制作方法, 可以通过下述半导体器件 100 的制作方法制造得到上述实施例中的半导体器件 100。图 37 是本申请实施例中半导体器件 100 的制作方法的流程示意图, 如图 37 所示, 包括:

S100、形成多个半导体柱 10, 并使所述多个半导体柱 10 在第一方向 X 与第三方向 Y 阵列排布且在第三方向 Z 上延伸, 所述第一方向 X、所述第二方向 Y、以及所述第三方向 Z 彼此交叉。

在一些实施例中, 所述形成多个半导体柱 10 的步骤包括:

S110、提供一衬底1。

在一些具体的示例中，衬底1是用于制作半导体器件100的材料，衬底1的材料可以包括硅(例如，单晶硅、多晶硅)、硅锗(SiGe)、碳化硅(SiC)、氮化镓(GaN)、磷化铟(InP)、砷化镓(GaAs)、锗(Ge)、绝缘体上硅(SOI)、绝缘体上锗(GOI)或其
5 任何合适的组合。衬底1可以包括由圆柱形的单晶硅经过研磨、抛光以及切片等步骤后形成的晶圆。

在一些具体的示例中，在形成步骤 S120 的隔离沟槽 K1 之前，先沿第三方向 Z 沉积形成覆盖衬底 1 的第一介质层 14，然后高温条件下沿第三方向 Z 沉积覆盖第一介质层 14 的第二氧化层(liner oxide)13 以修复衬底 1 表面，以形成如
10 图 3 和图 4 所示沿第三方向 Z 上衬底 1、第一介质层 14 和第二氧化层 13 依次层叠的结构。

在一些具体的示例中，第二氧化层 13 和第一介质层 14 的组成材料可以包括氧化硅、氮化硅、氧化铝或氮氧化硅中的任意一种或多种。

S120、如图5和图6所示在所述衬底1中形成多个沿所述第三方向Y延伸且沿
15 第一方向X间隔排布的隔离沟槽K1，如图7和图8所示，并于所述隔离沟槽K1的内壁填入介质材料42；

在一些具体的示例中，可以在衬底1中形成多个隔离沟槽K1，也可以如图5和图6所示在如图3和图4所示的结构中形成多个隔离沟槽K1。如图5和图6所示，多个隔离沟槽K1沿所述第二方向Y延伸且沿第一方向X间隔排布，并且隔离沟
20 槽K1沿第三方向Z延伸但不穿透衬底1。

形成隔离沟槽K1的步骤包括：从如图4所示的第二氧化层13表面刻蚀，形成沿第三方向Y延伸且沿第一方向X间隔排布的隔离沟槽K1，并且隔离沟槽K1可以沿第三方向Z延伸至衬底1但不穿透衬底1。如5和图6所示，在进行刻蚀的过程中，可以通过掩模(图中未示出)遮盖衬底1或第二氧化层13表面的部分区
25 域，即需要形成隔离沟槽K1的各区域。然后对衬底1表面沿衬底1的厚度方向(即第三方向Z)进行刻蚀，在掩模遮盖的区域以外，衬底1、第一介质层14和第二

氧化层13均被刻蚀掉一部分，形成一定深度的凹槽，即上述隔离沟槽K1。需要注意的是，形成隔离沟槽K1的刻蚀深度小于衬底1的初始厚度，即刻蚀过程不会将衬底1刻穿。

5 在一些具体的示例中，可以采用光刻(Photolithography, PH)或者干法刻蚀(Etching, ET)等工艺进行刻蚀，例如，电子束光刻工艺、等离子体刻蚀工艺或者反应离子刻蚀工艺等，本申请的一些实施例不做限定。

本申请一些实施例中，通过对整个衬底1表面进行刻蚀，同步地形成多个具有相同深度的隔离沟槽K1，可以简化制造工艺，提高效率。

10 在一些具体的示例中，图7为本申请的一些实施例提供的在隔离沟槽K1中沉积介质材料42的俯视图，图8为本申请的一些实施例提供的在隔离沟槽K1中沉积介质材料42的剖视图。形成如图5和图6所示的隔离沟槽K1后，如图7和图8所示，利用沉积工艺在隔离沟槽K1中沉积介质材料42。

15 在一些实施例中，介质材料42包括但不限于氮化硅、氧化硅或氮氧化硅中任一种或任意多种的组合。此处氧化硅是指硅氧化合物，如 Si_xO_y ，氮化硅是指氮硅化合物，如 Si_xN_y 。

20 由于如图5和图6所示形成隔离沟槽K1，多个隔离沟槽K1沿第一方向X间隔排布，因此，衬底1中形成去除部分半导体材料形成的隔离沟槽K1与隔离沟槽K1之间会有用于间隔相邻两个隔离沟槽K1的凸起结构211。需要说明的是，在实际沉积介质材料42的过程中，介质材料42会覆盖在凸起结构211的表面，如图7所示，每一凸起结构211的周围填充有介质材料42。另外，在沉积完成后，可以采用化学机械研磨(Chemical Mechanical Polishing, CMP)工艺，打磨去除多余的介质材料42以实现平坦化。

25 本申请一些实施例中，介质材料42、第一介质层14、第二氧化层13的沉积方法可以采用但不限于化学气相沉积(chemical vapor deposition, CVD)、物理气象沉积(Physical vapor deposition, PVD)、等离子体增强化学气象沉积(Plasma-enhanced CVD, PECVD)、溅镀(Sputtering)、有机金属化学气象沉积

(Metal-organic chemical vapor deposition, MOCVD)及原子层沉积(Atomic layer deposition, ALD)等。

5 S130、如图9、图10所示，形成多个沿所述第一方向X延伸且沿第三方向Y间隔排布的栅极沟槽K2，而形成沿所述第一方向X延伸且沿第三方向Y间隔排布且在第三方向Z上延伸的所述多个半导体柱10。

10 在一些具体示例中，在隔离沟槽K1内填充介质材料42后，如图9、图10所示，在所述衬底1中形成沿所述第一方向X延伸且沿第二方向Y间隔排布的栅极沟槽K2，且沿第二方向Y上所述半导体柱10位于相邻的所述栅极沟槽K2之间，由于填充有介质材料42的隔离沟槽K1沿第二方向Y延伸且沿第一方向X间隔排布，而栅极沟槽K2沿第一方向X延伸且第二方向Y间隔排布，因此通过栅极沟槽K2可以将填充有介质材料42的隔离沟槽K1划分为在第一方向X与第三方向Y阵列排布且在第三方向Z上延伸的多个半导体柱10。

15 在一些具体示例中，在第二方向Y间隔排布的多个栅极沟槽K2沿第一方向X上的尺寸可以相同也可以不同。例如，如图9、图10所示，所述栅极沟槽K2a和所述栅极沟槽K2b沿所述第三方向Y间隔交错排布，且所述栅极沟槽K2a沿所述第一方向X的尺寸大于所述栅极沟槽K2b沿所述第一方向X的尺寸。

在一些具体示例中，刻蚀形成的栅极沟槽K2沿所述第二方向Y的尺寸等于半导体柱10沿所述第三方向Y的尺寸。

20 S200、在相邻的所述半导体柱10之间形成一个栅极条30与一个屏蔽条20，并使所述栅极条30与所述屏蔽条20沿所述第一方向X延伸并在第三方向Y上相间间隔；以及，

在一些实施例中，所述形成一个栅极条30与一个屏蔽条20的步骤，包括：

S210、如图11和图12所示，在所述栅极沟槽K2的侧壁内形成第一氧化层41。

25 在一些具体示例中，如图9和图10所示，形成栅极沟槽K2后，可以如图11和图12所示，在所述栅极沟槽K2的侧壁内形成第一氧化层41，第一氧化层41可以是利用热氧化法(RTO, Rapid Thermal Oxidation)或原位蒸汽生成法

(ISSG, In-situ Stream Generation)形成的氧化硅层。如图 11 和图 12 所示, 通过所述栅极沟槽 K2 对所述半导体柱 10 裸露的侧壁进行氧化处理, 在所述半导体柱 10 的所述侧壁即所述栅极沟槽 K2 的侧壁内形成第一氧化层 41。对上述半导体柱 10 裸露在栅极沟槽 K2 内的侧壁进行氧化处理的工艺包括但不限于: 直接氧化, 碱性氧化或者酸性氧化。

本申请的一些实施例中, 通过加热的方式直接氧化, 使半导体柱10侧壁上的硅与含有氧化物质的气体在高温下进行化学反应, 从而在硅表面产生一层致密的二氧化硅薄膜, 形成位于半导体柱10侧壁上的第一氧化层41。第一氧化层41包括例如氧化硅、氮氧化硅等绝缘材料。

S220、如图13和图14所示, 在所述第一氧化层41的侧壁内形成导电层66。

在一些具体示例中, 在所述第一氧化层 41 的侧壁内沉积形成导电层 66, 导电层的材料包括但不限于: 钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或者其任何组合的导电材料。

在一些实施例中, 导电材料的沉积方法可以采用但不限于化学气相沉积 (800emical vapor deposition, CVD)、物理气象沉积(Physicalvapor deposition, PVD)、等离子体增强化学气象沉积(Plasma-enhanced CVD, PECVD)、溅镀 (Sputtering)、有机金属化学气象沉积(Metal-organic emical vapor deposition, MOCVD)及原子层沉积(Atomic layer deposition, ALD)等。

S230、如图15和图16所示, 去除位于所述第一氧化层41的侧壁上且沿所述第三方向Z上靠近所述衬底1的部分所述导电层66, 以及位于所述栅极沟槽K2在所述第一方向X的两端部的连接部分, 而形成分开的所述栅极条30与所述屏蔽条20。

S300、在所述屏蔽条20沿所述第三方向Z上的一端形成阻隔条90, 所述阻隔条90沿第一方向X延伸, 且位于所述屏蔽条20与所述栅极条30在所述第三方向Z上的同一侧。

在一些具体示例中, 在栅极沟槽K2内形成的所述栅极条30和所述屏蔽条20

在所述第三方向Y上相邻，并且，栅极条30和所述屏蔽条20分别位于与之相邻的所述半导体柱10的一侧。例如，如图28所示，半导体柱10a与半导体柱10b在所述第三方向Y上相邻，位于半导体柱10a与半导体柱10b之间设有一栅极条30和一屏蔽条20，且栅极条30沿第三方向Y位于靠近半导体柱10b的一侧，该栅极条30中所述屏蔽条20沿第三方向Y位于靠近半导体柱10a的一侧。

形成阻隔条90的步骤具体包括：如图23所示，沿第三方向Z在半导体柱10背离电容阵列71的一端沉积隔离层80，如图24所示，通过例如离子注入（IMP Process）等工艺对暴露的栅极条30和屏蔽条20进行掺杂，例如N型掺杂，上述N型掺杂可包括任何合适的例如N型掺杂剂（例如，磷（P）、砷（As）或锑（Sb）），以贡献自由电子并且增加栅极条30和屏蔽条20的导电性。如图25所示，基于沉积工艺形成覆盖半导体柱10、栅极条30和屏蔽条20的阻隔层92，阻隔层92沿第二方向Y延伸，去除如图25阻隔层92中与屏蔽条20连接的部分以形成如图26所示的凹槽K3，从而去除与屏蔽条20连接的部分后剩余的阻隔层92形成如图26所示的沿第一方向X延伸的阻隔条90，在第三方向Z上阻隔条90与屏蔽条20的一端连接，并且阻隔条90在所述屏蔽条20与所述栅极条30在所述第三方向Z上的同一端。

本申请的一些实施例中在相邻半导体柱10之间形成两个电极即第一电极和第二电极，于所述第一电极和第二电极在所述第三方向Z上的同一端，形成沿所述第一方向X延伸且与第二电极连接的阻隔条90，这样第一电极可以作为栅极条30，第二电极可以作为屏蔽条20，通过阻隔条90可以在形成栅极条30的同时形成屏蔽条20，这样可以屏蔽栅极条30对相邻半导体柱10的干扰，进而降低了相邻半导体柱10之间的耦合效应。

在一些实施例中，所述制作方法还包括：如图15、图17和图18所示，在所述栅极沟槽K2中填入隔离材料55，并使所述隔离材料55覆盖所述栅极条30与所述屏蔽条20而形成隔离结构50。

在一些具体示例中，隔离材料55的材料包括但不限于氮化硅、氧化硅或氮氧化硅中任一种或任意多种的组合。隔离材料55的沉积方法可以采用但不限于化学气相沉积(chemical vapor deposition, CVD)、物理气象沉积(Physical vapor deposition, PVD)、等离子体增强化学气象沉积(Plasma-enhanced CVD, PECVD)、溅镀(Sputtering)、有机金属化学气象沉积(Metal-organic chemical vapor deposition, MOCVD)及原子层沉积(Atomic layer deposition, ALD)等。

在一些实施例中，所述制作方法还包括：

如图19所示，于所述半导体柱阵列在所述第三方向Z上的另一端形成电容阵列71，并使所述电容阵列71包括多个沿所述第一方向X与所述第二方向Y阵列排布且在所述第三方向Z上延伸的多个电容结构70，所述电容结构70包括与所述半导体柱10在所述第三方向Z上的另一端连接的第一电极层（图中未示出），以及位于所述第一电极层内的电容介质层（图中未示出）和第二电极层（图中未示出）。

在一些具体示例中，如图19所示，于所述半导体柱阵列在所述第三方向Z上的另一端形成电容阵列71，如图20所示，去除沿第三方向Z上远离电容阵列71的衬底1的一部分。

在一些实施例中，所述制作方法还包括：

如图21和图22所示，去除所述衬底1在所述第三方向Z上远离所述电容阵列71的一端，以及位于所述栅极沟槽K2的底部的所述隔离结构50，而露出所述栅极条30在所述第三方向Z上的一端，以及所述屏蔽条20在所述第三方向Z上的一端。

在一些具体示例中，如图21所示，可以采用光刻(Photolithography, PH)或者干法刻蚀(Etching, ET)等工艺去除衬底1在所述第三方向Z上远离所述电容阵列71的一端。然后，如图22所示，可以采用干法刻蚀或者湿法刻蚀去除所述隔离结构50中沿第三方向Z上远离电容阵列71的部分隔离材料55即隔离结构50的底端部分56，隔离结构50的底端部分56在第三方向Z上覆盖栅极条30远离电容

阵列71的一端，以及在第三方向Z上覆盖屏蔽条20远离电容阵列71的一端，因此，去除隔离结构50的底端部分56可以露出所述栅极条30在所述第三方向Z上的一端，以及所述屏蔽条20在所述第三方向Z上的一端。

在一些实施例中，所述制作方法还包括：

- 5 于所述栅极沟槽K2的底部形成栅极导接结构31，所述栅极导接结构31沿所述第一方向X延伸，且位于所述栅极条30以及所述隔离结构50在所述第三方向Z上的所述一端，并与所述屏蔽条20在所述第三方向Z上的所述一端相间隔。

10 在一些具体示例中，凹槽K3位于所述栅极条30以及所述隔离结构50在所述第三方向Z上远离电容结构70的一端，并且凹槽K3与所述屏蔽条20在所述第三方向Z上远离电容结构70的一端相间隔，这样在如图26所示的凹槽K3内形成栅极导接结构31，可以形成如图28所示的栅极导接结构31。栅极导接结构31的材料可参见上述实施例，在此不再一一赘述。

在一些实施例中，所述制作方法还包括：

- 15 如图26至图28所示，于所述半导体柱阵列在所述第三方向Z上的一端形成栅极引出触点32，所述栅极引出触点32与所述栅极导接结构31连接。

在一些具体示例中，如图29所示，于所述半导体柱阵列在所述第三方向Z上远离电容阵列71的一端沉积形成绝缘层91，绝缘层91覆盖阻隔条90和栅极导接结构31。去除绝缘层91的一部分形成第一沟槽K4，并于第一沟槽K4中形成栅极引出触点32，栅极引出触点32的材料可参见上述实施例，在此不再一一赘述。

- 20 在一些实施例中，所述制作方法还包括：

如图31至图32所示，或如图33、图34和图36所示，于所述半导体柱阵列在所述第三方向Z上的所述一端形成屏蔽引出触点21，所述屏蔽引出触点21与所述屏蔽条20连接。去除绝缘层91的一部分形成第二沟槽K5，并于第二沟槽K5中形成屏蔽引出触点21，屏蔽引出触点21的材料可参见上述实施例，在此不再一一赘述。

- 25 在一些实施例中，所述制作方法还包括：

如图35和图36所示，于所述半导体柱阵列在所述第三方向Z上的所述一端形成半导体柱引出触点11，所述半导体柱引出触点11与所述半导体柱10连接。去除绝缘层91的一部分形成第三沟槽K6，并于第三沟槽K6中形成半导体柱引出触点11，半导体柱引出触点11的材料可参见上述实施例，在此不再一一赘述。

5 如图26至图29和图33至图34所示，在一些实施例中，所述于所述半导体柱阵列在所述第三方向Z上的一端形成栅极引出触点32的步骤包括：

形成多个所述栅极引出触点32，一个所述栅极引出触点32对应于一个所述栅极导接结构31，并使所述多个栅极引出触点32沿所述第一方向X与所述第二方向Y同步间隔排列呈阶梯状分布。

10 如图26至图29和图33至图34所示，在一些实施例中，所述于所述半导体柱阵列在所述第三方向Z上的所述一端形成屏蔽引出触点21的步骤包括：

形成多个屏蔽引出触点21，一个所述屏蔽引出触点21对应于一个所述屏蔽条20，并使所述多个屏蔽引出触点21沿所述第一方向X与所述第二方向Y同步间隔排列呈阶梯状分布。

15 如图26至图29和图33至图34所示，在一些实施例中，所述制作方法还包括形成多个栅极引出触点32与多个屏蔽引出触点21，一个所述栅极引出触点32对应于一个所述栅极导接结构31，一个所述屏蔽引出触点21对应于一个所述屏蔽条20，并使所述多个栅极引出触点32与所述多个屏蔽引出触点21沿所述第一方向X与所述第二方向Y同步交错间隔排列而呈阶梯状分布。

20 如图31至图32所示，在一些实施例中，所述制作方法还包括形成多个栅极引出触点与多个屏蔽引出触点，一个所述栅极引出触点对应于一个所述栅极导接结构，一个所述屏蔽引出触点对应于一个所述屏蔽条，并使所述多个栅极引出触点与所述多个屏蔽引出触点沿所述第一方向与所述第二方向同步交错间隔排列。

25 在一些实施例中，如图32所示，所述形成多个半导体柱10的步骤包括使半导体柱10在所述第二方向Y上的横截面尺寸，与两相邻所述半导体柱10之间的

间隔尺寸的差异小于预设值。

在一些具体示例中，在形成如图33所示用于形成栅极引出触点32的第一沟槽K4，用于形成屏蔽引出触点21的第二沟槽K5之前，沿第三方向Z上在绝缘层91背离电容阵列71的表面形成图案化的第一掩膜层(图未示)，第一掩膜层具有多个第一开口(图未示)和第二开口(图未示)，第一开口用来形成第一沟槽K4，第二开口用来形成第二沟槽K5。以在经图案化的第一掩膜层中形成对应于第一沟槽K4和第二沟槽K5的开口，开口暴露出后续进行刻蚀工艺需刻蚀出的第一沟槽K4和第二沟槽K5的位置，即，沿第三方向Z上第一开口在绝缘层91的背离电容阵列71的表面的垂直投影可至少大体上与第一沟槽K4的位置重叠，沿第三方向Z上第二开口在绝缘层91的背离电容阵列71的表面的垂直投影可至少大体上与第二沟槽K5的位置重叠。通过设置第一掩膜层，能够快速准确的确定第一沟槽K4和第二沟槽K5的刻蚀位置，便于对绝缘层91进行刻蚀处理，进而在第一沟槽K4内形成栅极引出触点32，在第二沟槽K5内形成屏蔽引出触点21。

在一些具体示例中，在形成如图34所示用于形成半导体柱引出触点11的第三沟槽K6之前，沿第三方向Z上在绝缘层91背离电容阵列71的表面形成图案化的第二掩膜层(图未示)，第二掩膜层具有多个第三开口(图未示)，第三开口用来形成第三沟槽K6。以在经图案化的第二掩膜层中形成对应于第二沟槽K5的开口，开口暴露出后续进行刻蚀工艺需刻蚀出的第三沟槽K6的位置，即，沿第三方向Z上第一开口在绝缘层91的背离电容阵列71的表面的垂直投影可至少大体上与第三沟槽K6的位置重叠，沿第三方向Z上第三开口在绝缘层91的背离电容阵列71的表面的垂直投影可至少大体上与第三沟槽K6的位置重叠。通过设置第二掩膜层，能够快速准确的确定第三沟槽K6的刻蚀位置，便于对绝缘层91进行刻蚀处理形成第三沟槽K6，进而在第三沟槽K6内形成半导体柱引出触点11。

通过本申请的一些实施例提供了一种半导体器件100及其制造方法，该制造方法形成的半导体器件100中的相邻半导体柱10之间还形成有屏蔽条20，该屏蔽条20能够防止相邻半导体柱10之间的干扰，进而降低了相邻半导体柱

10 之间的耦合效应。

基于上述的半导体器件100及其制作方法，参考图38所示，本申请实施例还提供了一种存储器320，所述存储器320包括：

5 阵列存储结构321，所述阵列存储结构321包括如图3至图36所示实施例的半导体器件100；以及外围电路322，所述外围电路322与所述阵列存储结构321相接，以控制所述阵列存储结构321的偏压。

基于上述的半导体器件100及其制作方法，参考图38所示，本申请实施例还提供了一种存储系统300，存储系统300包括如图38所示的存储器320，以及与所述存储器320耦合的控制器，所述控制器用于控制所述存储器执行数据写入和读
10 取操作。

具体地，如图38所示，存储系统300包括控制器310和一个或多个存储器320，其中，存储器320(3D NAND Flash)包括阵列存储结构321(Array)和外围电路322(Periphery Circuit)，其中，阵列存储结构321包括上述任一项的半导体器件100。存储系统300可通过控制器310与主机400通信，其中，控制器310可经由一个或多个存储器320中的通道连接到一个或多个存储器320。每个存储器320可以由控制器310经由存储器320中的通道来管理。
15

具体地，其中，阵列存储结构321用于存储信息，而外围电路322可以位于阵列存储结构321的上方或者下方，也可以位于阵列存储结构321的四周，外围电路322用于控制对应的阵列存储结构321。另外，该半导体器件100还可以应用于其它的微电子器件中，比如，非易失闪存(Nor Flash)等，具体不作限制。此外，本申请实施例的半导体器件100可以是存储器320，可以是外围存储器中的一部分，不作特别地限定。
20

以上对本申请实施例所提供的一种半导体器件100及其制作方法、存储器和存储系统300进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的技术人员，依据本申请的思想，在具体实施方式及应
25

用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本申请的限制。

权 利 要 求 书

1、一种半导体器件，其中，包括：

5 半导体柱阵列，所述半导体柱阵列包括沿第一方向与第二方向阵列排布且在第三方向上延伸的多个半导体柱，所述第一方向、所述第二方向、以及所述第三方向彼此相交叉；

沿所述第二方向上相邻所述半导体柱之间设有一栅极条和一屏蔽条，所述栅极条与所述屏蔽条沿所述第一方向延伸并在第二方向上相间隔；以及，

10 阻隔条，所述阻隔条沿所述第一方向延伸，所述阻隔条与所述屏蔽条在所述第三方向上的一端连接，且位于所述屏蔽条与所述栅极条在所述第三方向上的同一侧。

2、根据权利要求1所述的半导体器件，其中，所述半导体器件还包括：栅极导接结构，所述栅极导接结构沿所述第一方向延伸，且位于所述栅极条在所述第三方向上的所述一端与所述阻隔条之间，并与所述阻隔条至少部分并列。

15 3、根据权利要求2所述的半导体器件，其中，所述半导体器件还包括：位于所述半导体柱阵列在所述第三方向上的一端的栅极引出触点，所述栅极引出触点与所述栅极导接结构连接。

20 4、根据权利要求3所述的半导体器件，其中，所述半导体器件还包括：位于所述半导体柱阵列在所述第三方向上的所述一端的屏蔽引出触点，所述屏蔽引出触点与所述屏蔽条连接。

5、根据权利要求1所述的半导体器件，其中，所述半导体器件还包括：位于所述半导体柱阵列在所述第三方向上的所述一端的半导体柱引出触点，所述半导体柱引出触点与所述半导体柱连接。

25 6、根据权利要求2所述的半导体器件，其中，所述半导体器件还包括：沿所述第二方向间隔排布于各行半导体柱之间的多个所述栅极条；

沿所述第二方向间隔排布于所述各行半导体柱之间，且与所述多个栅极条

交错间隔排布的多个所述屏蔽条；

沿所述第二方向间隔排布于所述各行半导体柱之间的多个所述阻隔条；以及，

沿所述第二方向间隔排布于所述各行半导体柱之间的多个所述栅极导接结构。

7、根据权利要求6所述的半导体器件，其中，所述半导体器件还包括多个栅极引出触点，一个所述栅极引出触点对应于一个所述栅极导接结构，且所述多个栅极引出触点沿所述第一方向与所述第二方向同步间隔排列呈阶梯状分布。

8、根据权利要求6所述的半导体器件，其中，所述半导体器件还包括多个屏蔽引出触点，一个所述屏蔽引出触点对应于一个所述屏蔽条，且所述多个屏蔽引出触点沿所述第一方向与所述第二方向同步间隔排列呈阶梯状分布。

9、根据权利要求6所述的半导体器件，其中，所述半导体器件还包括多个栅极引出触点与多个屏蔽引出触点，一个所述栅极引出触点对应于一个所述栅极导接结构，一个所述屏蔽引出触点对应于一个所述屏蔽条，且所述多个栅极引出触点与所述多个屏蔽引出触点沿所述第一方向与所述第二方向同步交错间隔排列而呈阶梯状分布。

10、根据权利要求6所述的半导体器件，其中，所述半导体器件还包括多个栅极引出触点与多个屏蔽引出触点，一个所述栅极引出触点对应于一个所述栅极导接结构，一个所述屏蔽引出触点对应于一个所述屏蔽条，且所述多个栅极引出触点与所述多个屏蔽引出触点沿所述第二方向交错间隔排列。

11、根据权利要求1所述的半导体器件，其中，所述半导体柱在所述第二方向上的横截面尺寸，与两相邻所述半导体柱之间的间隔尺寸相等。

12、根据权利要求1所述的半导体器件，其中，所述半导体柱在所述第二方向上的横截面尺寸，与两相邻所述半导体柱之间的间隔尺寸的差异小于预设值。

13、根据权利要求 1 所述的半导体器件，其中，所述半导体器件还包括：

位于所述半导体柱与所述栅极条之间以及所述半导体柱与所述屏蔽条之间的第一氧化层；

位于所述栅极条和所述屏蔽条之间的隔离结构。

5 14、根据权利要求 1 所述的半导体器件，其中，所述半导体器件还包括：

位于所述半导体柱阵列在所述第三方向上的另一端的电容阵列，所述电容阵列包括多个沿所述第一方向与所述第二方向阵列排布且在所述第三方向上延伸的多个电容结构，所述电容结构包括与所述半导体柱在所述第三方向上的另一端连接的第一电极层，以及位于所述第一电极层内的电容介质层和第二电极层。

10 15、一种半导体器件的制作方法，其中，包括：

形成多个半导体柱，并使所述多个半导体柱在第一方向与第二方向阵列排布且在第三方向上延伸，所述第一方向、所述第二方向、以及所述第三方向彼此相交叉；

15 在相邻的所述半导体柱之间形成一个栅极条与一个屏蔽条，并使所述栅极条与所述屏蔽条沿所述第一方向延伸并在第二方向上相间隔；以及，

在所述屏蔽条沿所述第三方向上的一端形成阻隔条，所述阻隔条沿第一方向延伸，且位于所述屏蔽条与所述栅极条在所述第三方向上的同一侧。

16、根据权利要求 15 所述的半导体器件的制作方法，其中，所述形成多个半导体柱的步骤包括：

20 提供一衬底；

在所述衬底中形成多个沿所述第二方向延伸且沿第一方向间隔排布的隔离沟槽，并于所述隔离沟槽的内壁填入介质材料；

形成多个沿所述第一方向延伸且沿第二方向间隔排布的栅极沟槽，而形成沿所述第一方向延伸且沿第二方向间隔排布且在第三方向上延伸的所述多个半
25 导体柱。

17、根据权利要求 16 所述的半导体器件的制作方法，其中，所述形成一个

栅极条与一个屏蔽条的步骤，包括：

在所述栅极沟槽的侧壁内形成第一氧化层；

在所述第一氧化层的侧壁内形成导电层；

5 去除位于所述第一氧化层的侧壁上且沿所述第三方向上靠近所述衬底的部分所述导电层，以及位于所述栅极沟槽在所述第一方向的两端部的连接部分，而形成分开的所述栅极条与所述屏蔽条。

18、根据权利要求 17 所述的半导体器件的制作方法，其中，所述制作方法还包括：在所述栅极沟槽中填入隔离材料，并使所述隔离材料覆盖所述栅极条与
所述屏蔽条而形成隔离结构。

10 19、根据权利要求 18 所述的半导体器件的制作方法，其中，所述制作方法还包括：

于所述半导体柱阵列在所述第三方向上的另一端形成电容阵列，并使所述电容阵列包括多个沿所述第一方向与所述第二方向阵列排布且在所述第三方向
15 上延伸的多个电容结构，所述电容结构包括连接所述半导体柱在所述第三方向上的另一端的第一电极层，以及位于所述第一电极内的电容介质层和第二电极层。

20、根据权利要求 19 所述的半导体器件的制作方法，其中，所述制作方法还包括：

20 去除所述衬底在所述第三方向上远离所述电容阵列的一端，以及位于所述栅极沟槽的底部的所述隔离结构，而露出所述栅极条在所述第三方向上的一端，以及所述屏蔽条在所述第三方向上的一端。

21、根据权利要求 20 所述的半导体器件的制作方法，其中，所述制作方法还包括：

25 于所述栅极沟槽的底部形成栅极导接结构，所述栅极导接结构沿所述第一方向延伸，且位于所述栅极条以及所述隔离结构在所述第三方向上的一端，并与所述屏蔽条在所述第三方向上的所述一端相间隔。

22、根据权利要求 21 所述的半导体器件的制作方法，其中，所述制作方法还包括：

于所述半导体柱阵列在所述第三方向上的一端形成栅极引出触点，所述栅极引出触点与所述栅极导接结构连接。

5 23、根据权利要求 17 所述的半导体器件的制作方法，其中，所述制作方法还包括：

于所述半导体柱阵列在所述第三方向上的所述一端形成屏蔽引出触点，所述屏蔽引出触点与所述屏蔽条连接。

10 24、根据权利要求 15 所述的半导体器件的制作方法，其中，所述制作方法还包括：

于所述半导体柱阵列在所述第三方向上的所述一端形成半导体柱引出触点，所述半导体柱引出触点与所述半导体柱连接。

25、根据权利要求 22 所述的半导体器件的制作方法，其中，所述于所述半导体柱阵列在所述第三方向上的一端形成栅极引出触点的步骤包括：

15 形成多个所述栅极引出触点，一个所述栅极引出触点对应于一个所述栅极导接结构，并使所述多个栅极引出触点沿所述第一方向与所述第二方向同步间隔排列呈阶梯状分布。

26、根据权利要求 23 所述的半导体器件的制作方法，其中，所述于所述半导体柱阵列在所述第三方向上的所述一端形成屏蔽引出触点的步骤包括：

20 形成多个屏蔽引出触点，一个所述屏蔽引出触点对应于一个所述屏蔽条，并使所述多个屏蔽引出触点沿所述第一方向与所述第二方向同步间隔排列呈阶梯状分布。

27、根据权利要求 21 所述的半导体器件的制作方法，其中，所述制作方法还包括形成多个栅极引出触点与多个屏蔽引出触点，一个所述栅极引出触点对应于一个所述栅极导接结构，一个所述屏蔽引出触点对应于一个所述屏蔽条，并使所述多个栅极引出触点与所述多个屏蔽引出触点沿所述第一方向与所述第

25

二方向同步交错间隔排列而呈阶梯状分布。

28、根据权利要求 15 所述的半导体器件的制作方法，其中，所述形成多个半导体柱的步骤包括使半导体柱在所述第二方向上的横截面尺寸，与两相邻所述半导体柱之间的间隔尺寸的差异小于预设值。

5 29、一种存储器，其中，所述存储器包括：

阵列存储结构，所述阵列存储结构包括如权利要求 1 至 14 所述的半导体器件；以及

外围电路，所述外围电路与所述阵列存储结构相接，以控制所述阵列存储结构的偏压。

10 30、一种存储系统，其中，包括：

如权利要求 29 所述的存储器；以及

与所述存储器耦合的控制器，所述控制器用于控制所述存储器执行数据写入和读取操作。

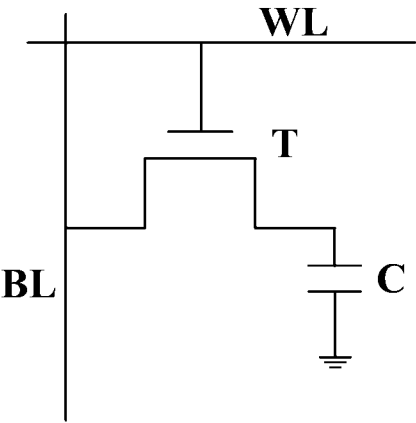


图 1

200

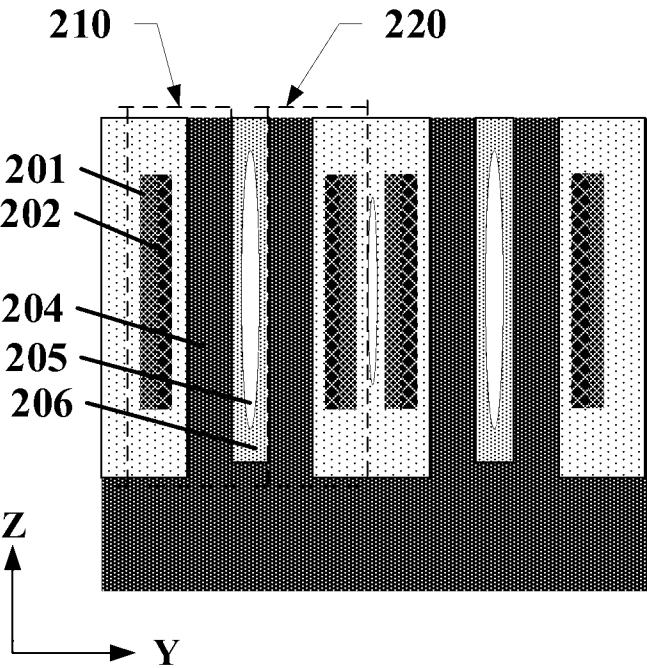


图 2

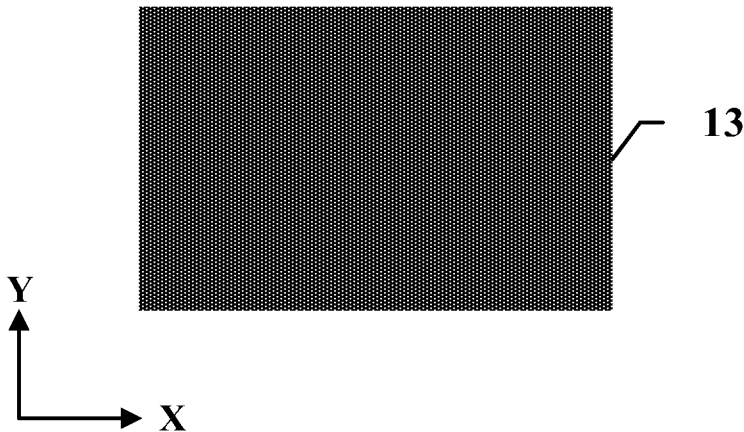


图 3

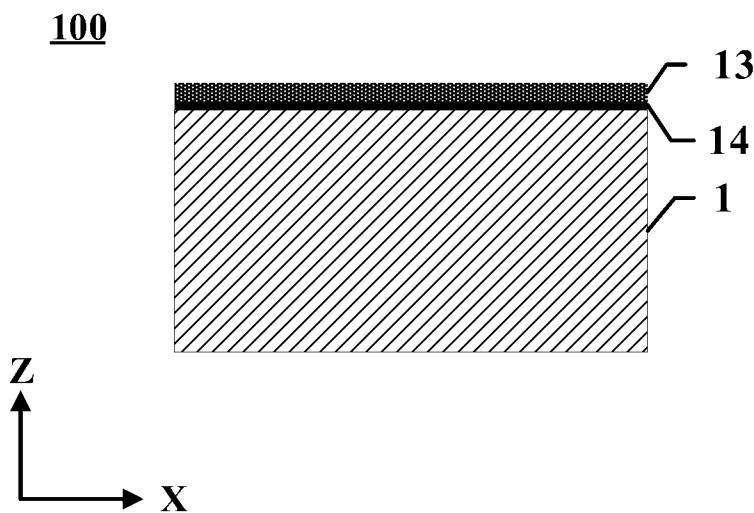


图 4

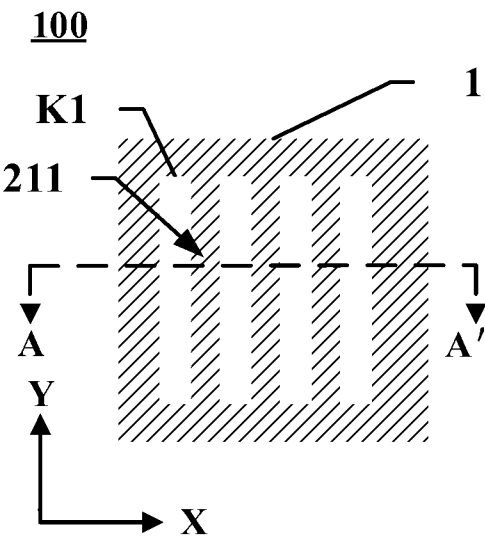


图 5

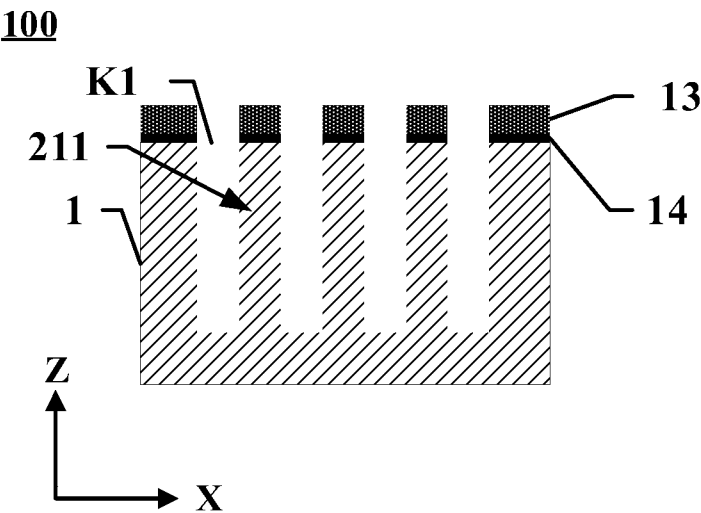


图 6

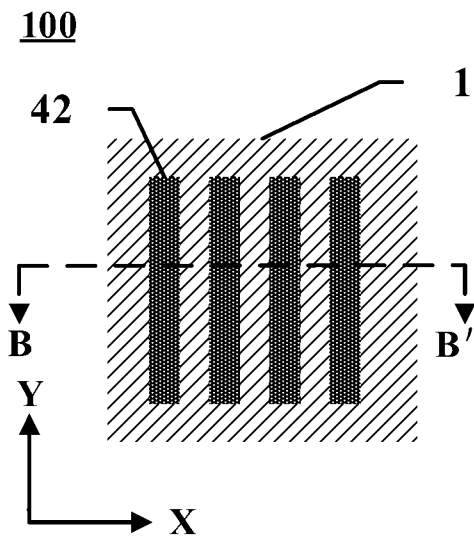


图 7

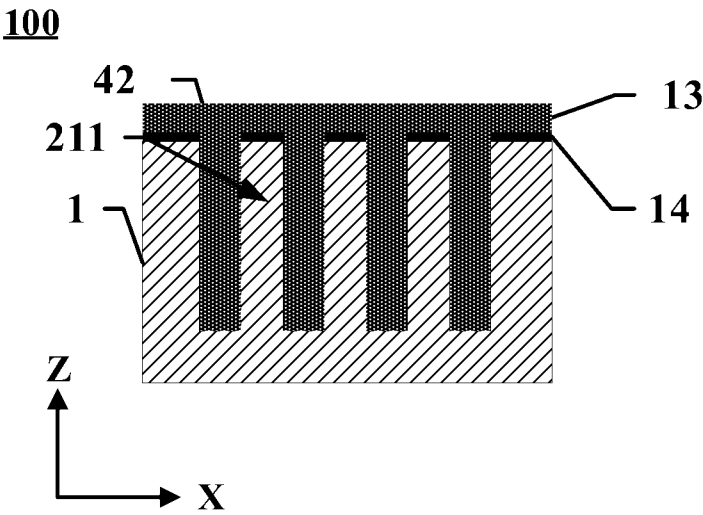


图 8

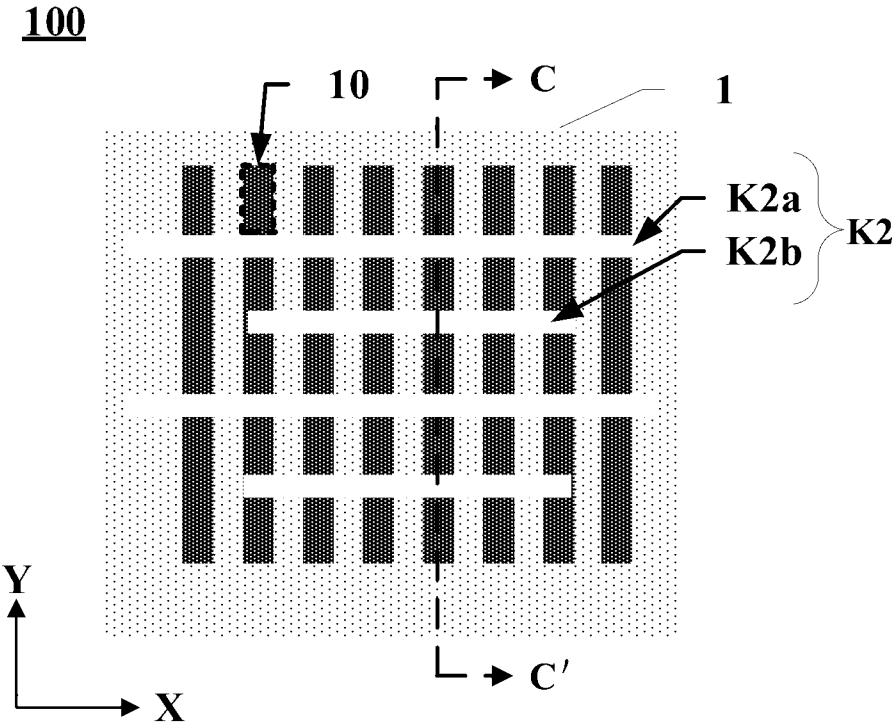


图 9

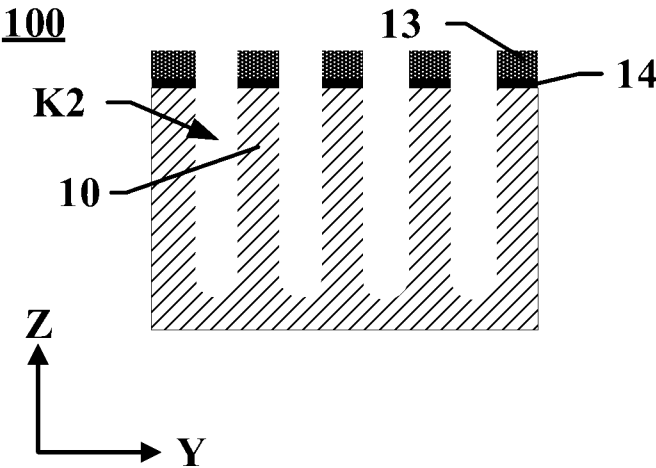


图 10

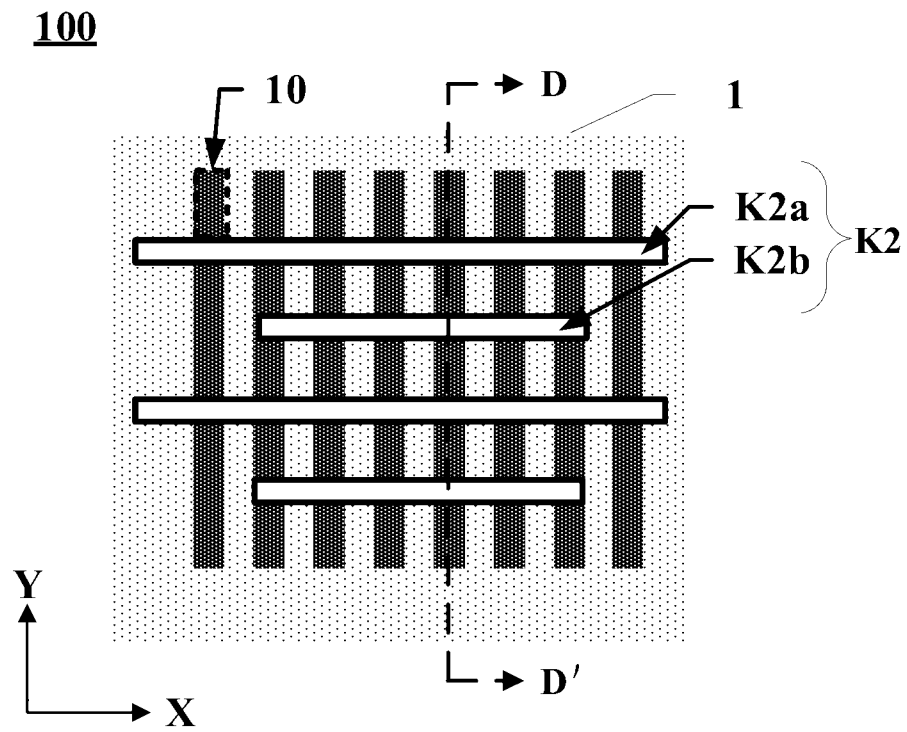


图 11

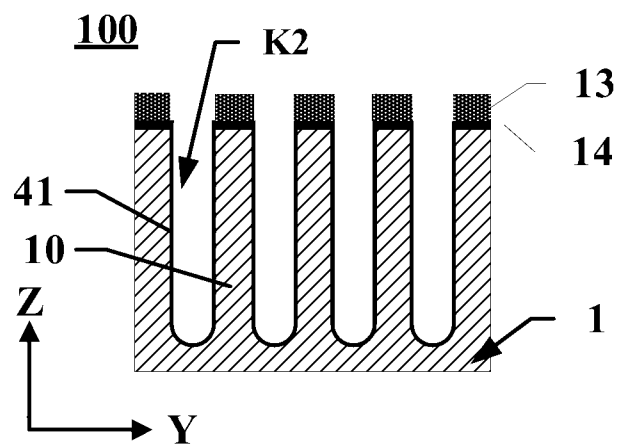


图 12

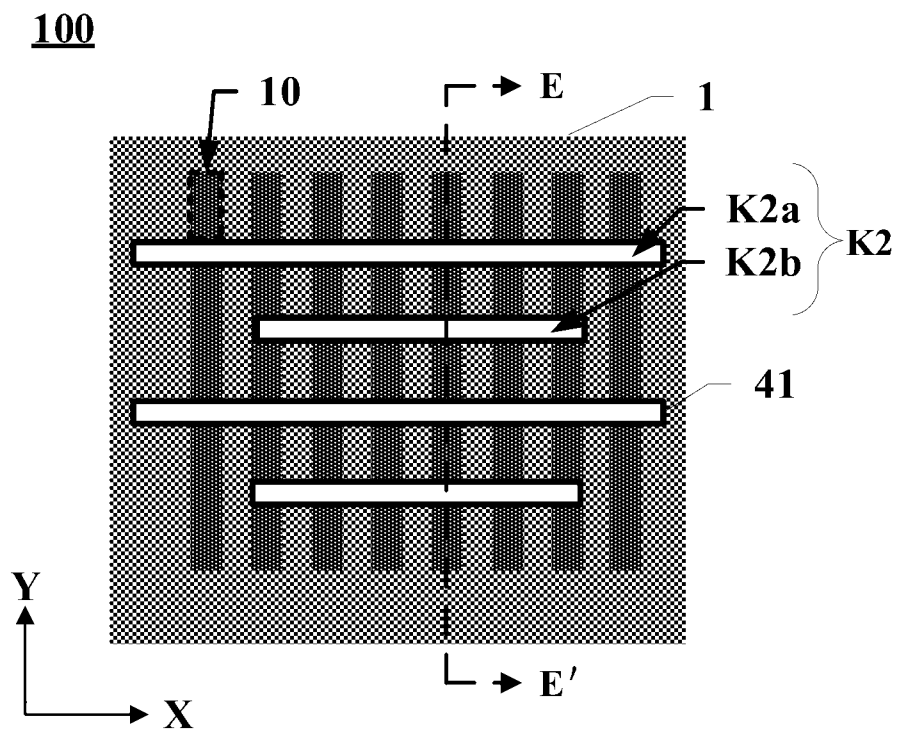


图 13

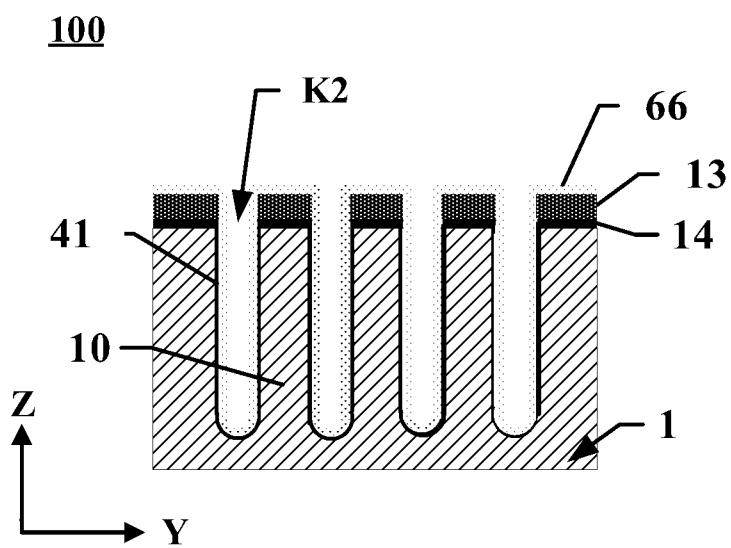


图 14

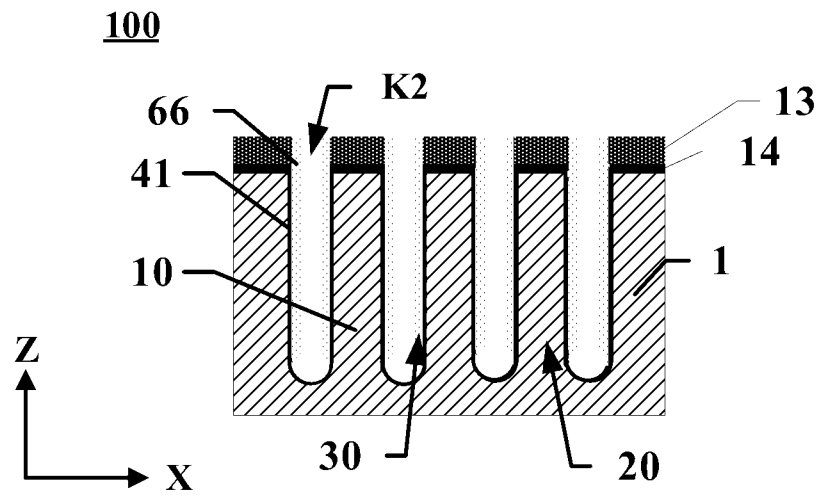


图 15

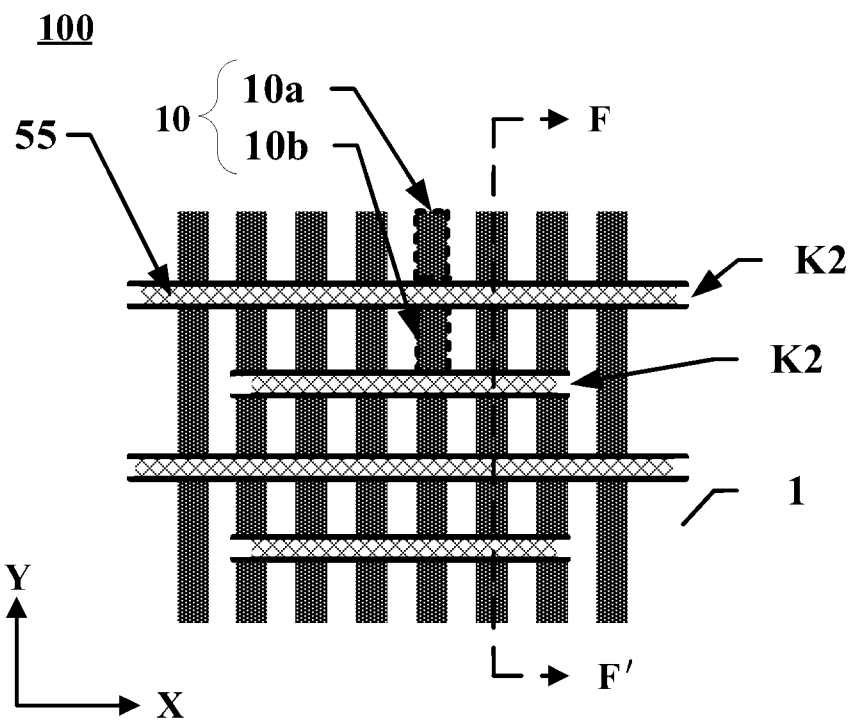


图 16

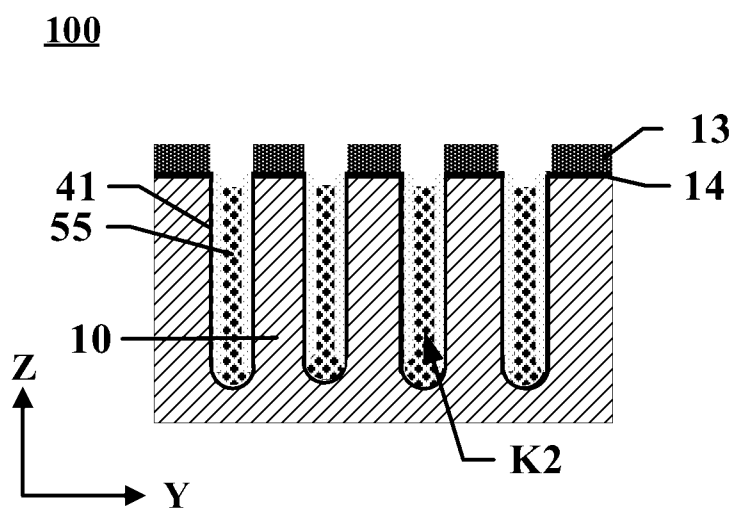


图 17

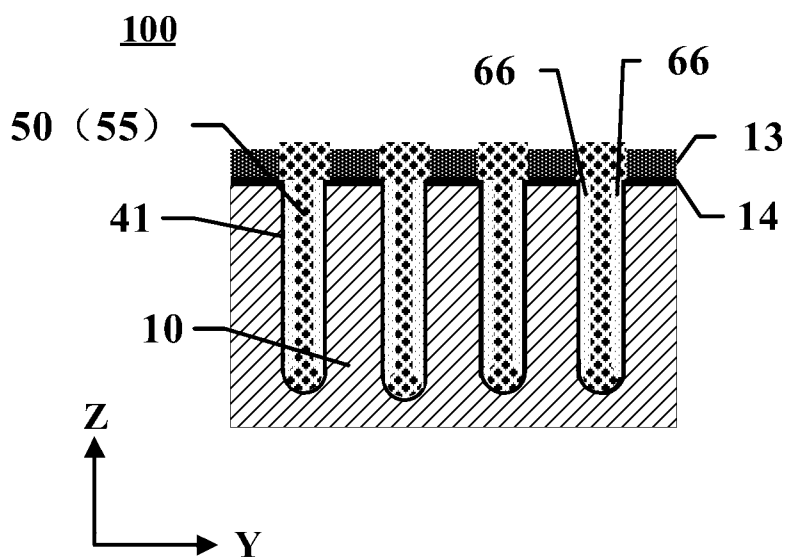


图 18

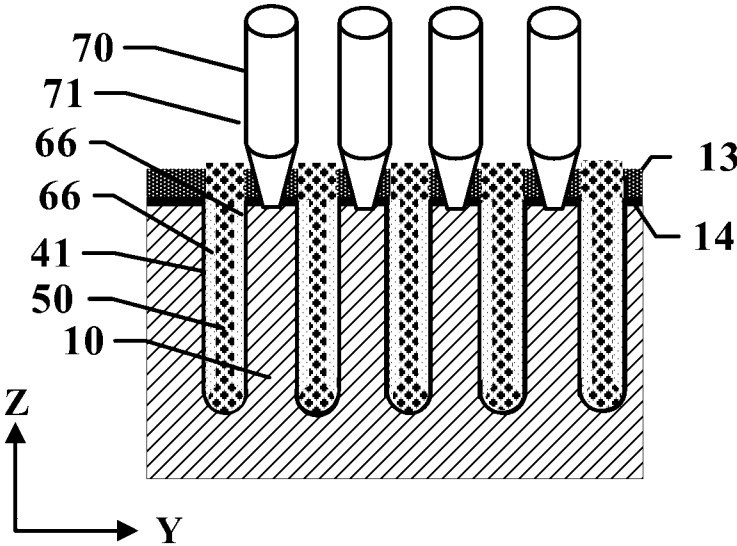


图 19

100

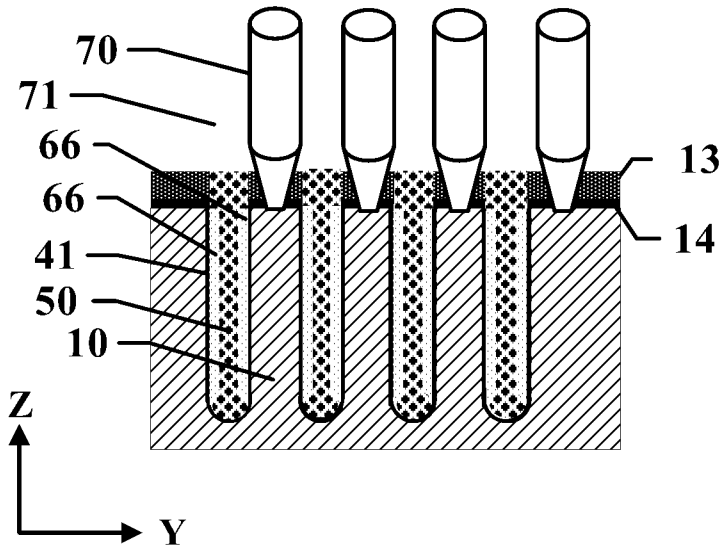


图 20

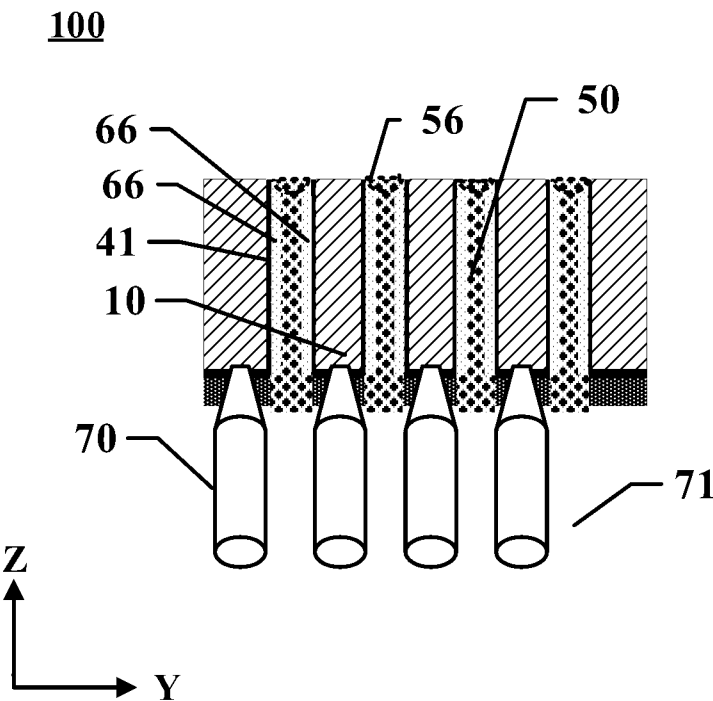


图 21

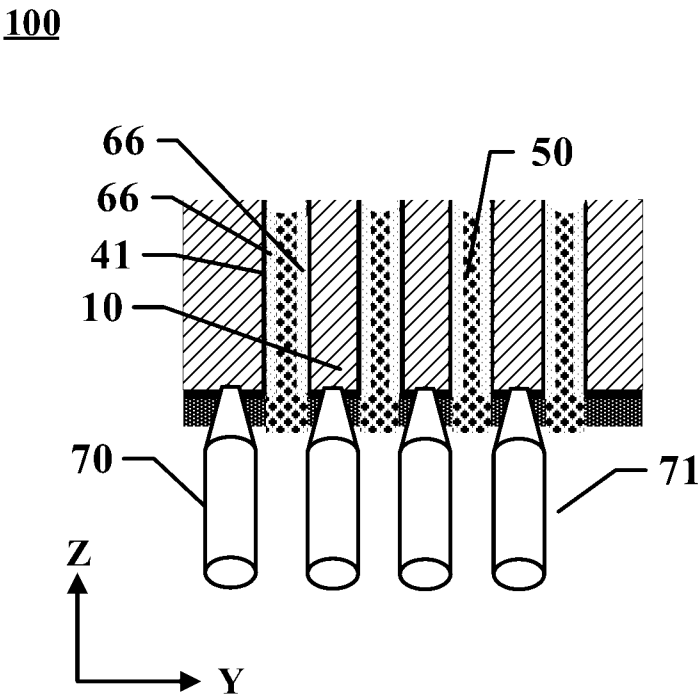


图 22

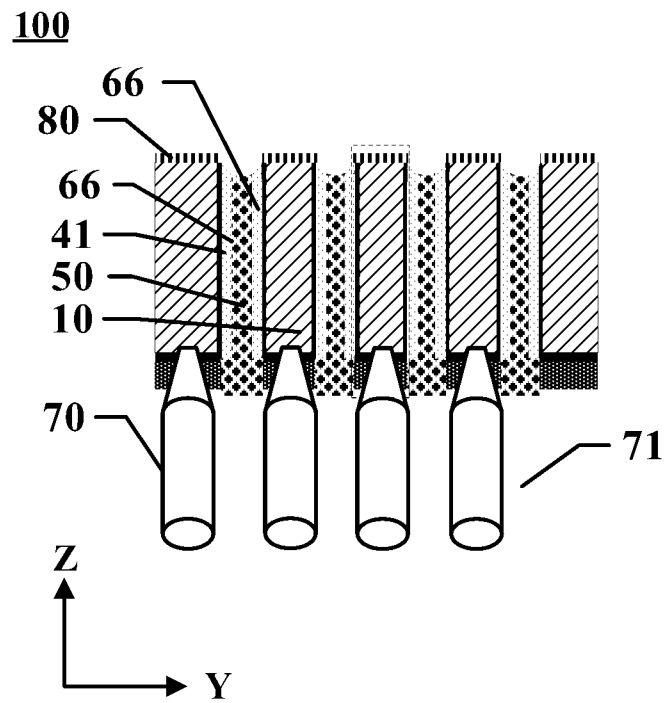


图 23

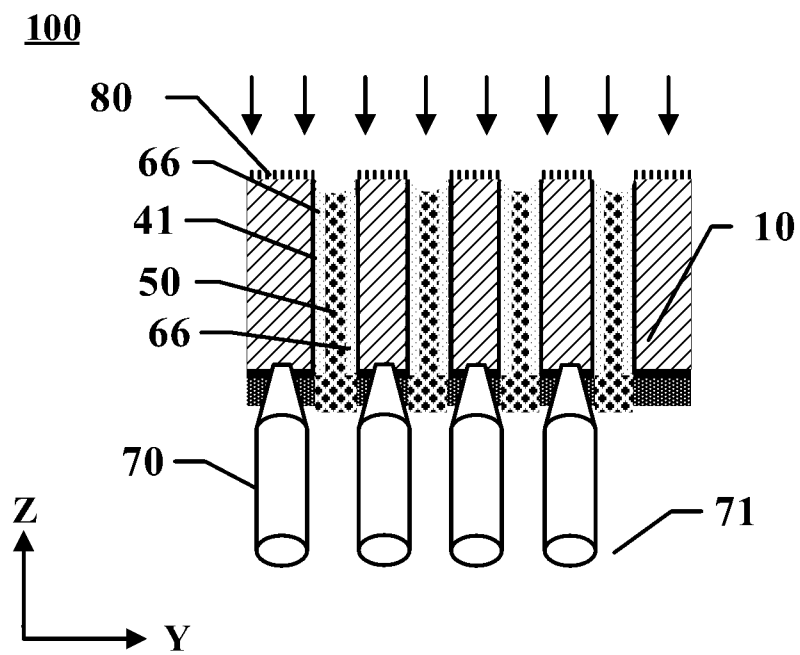


图 24

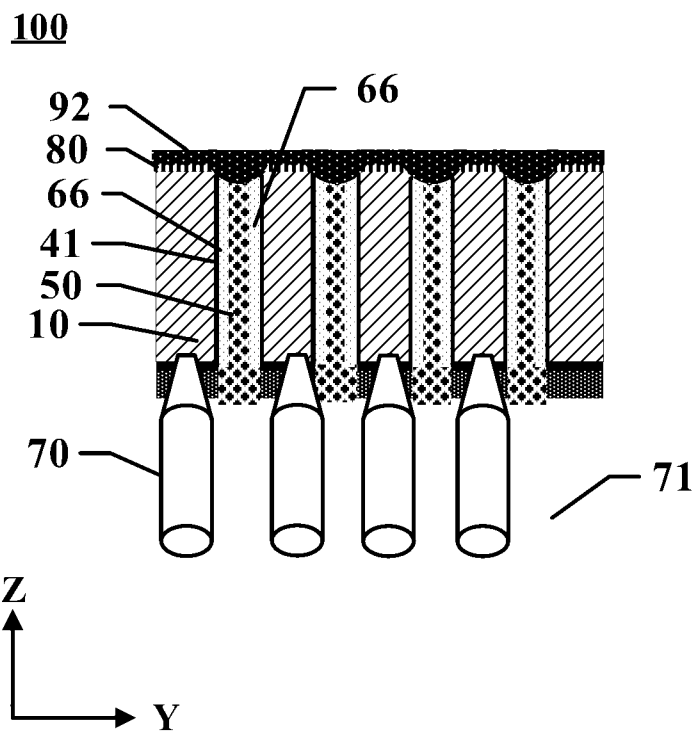


图 25

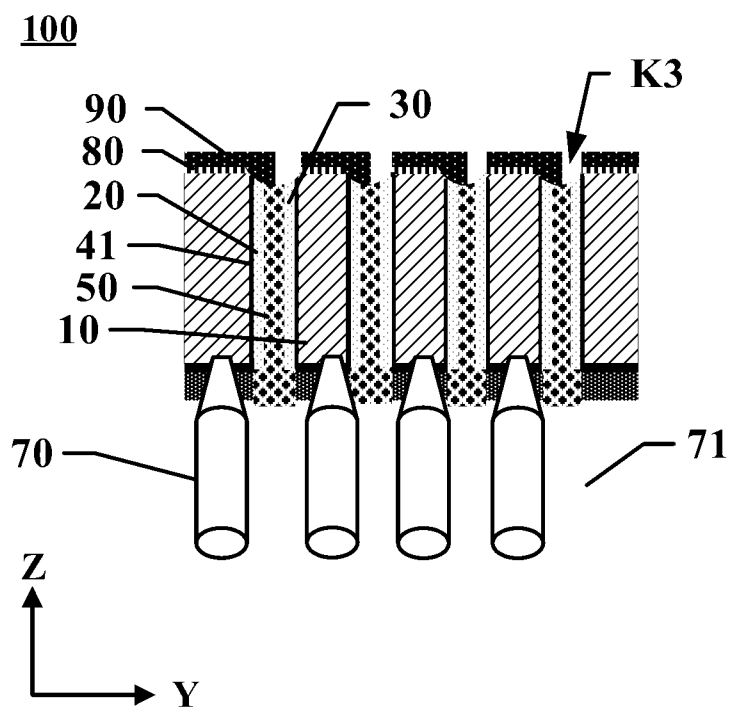


图 26

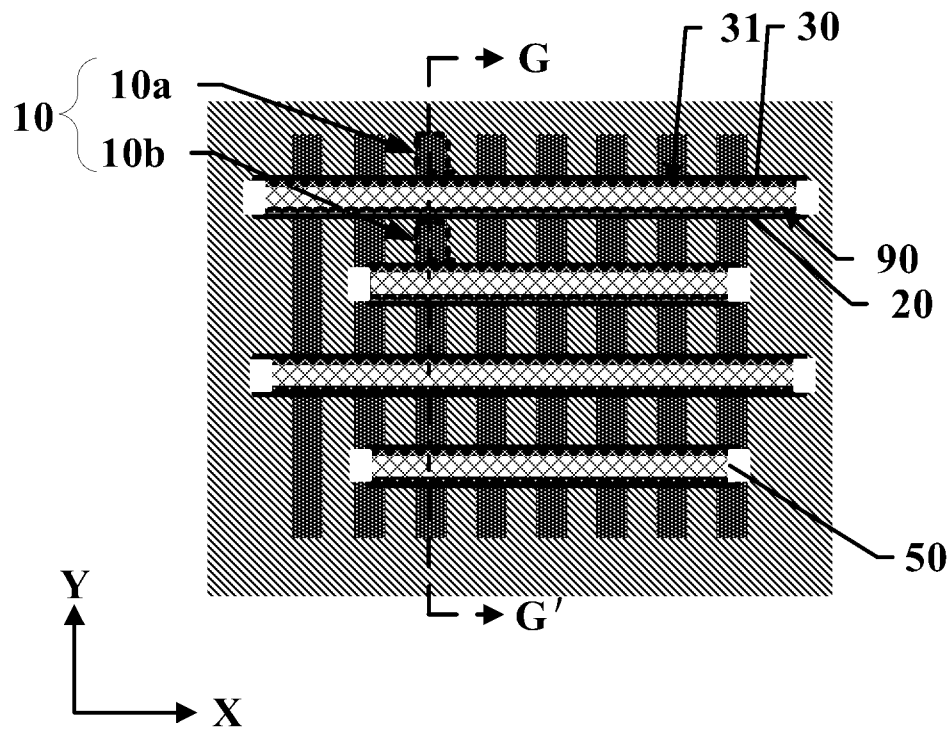
100

图 27

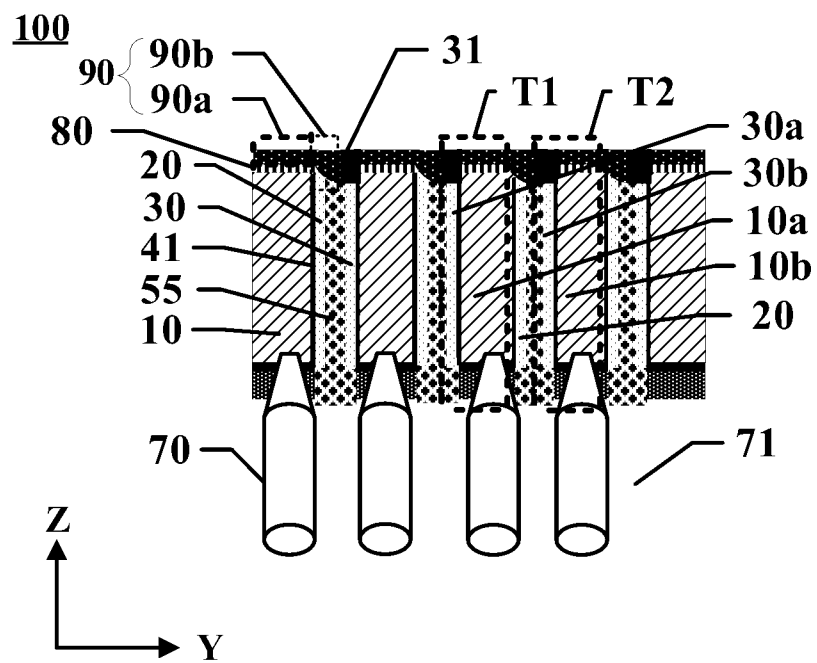


图 28

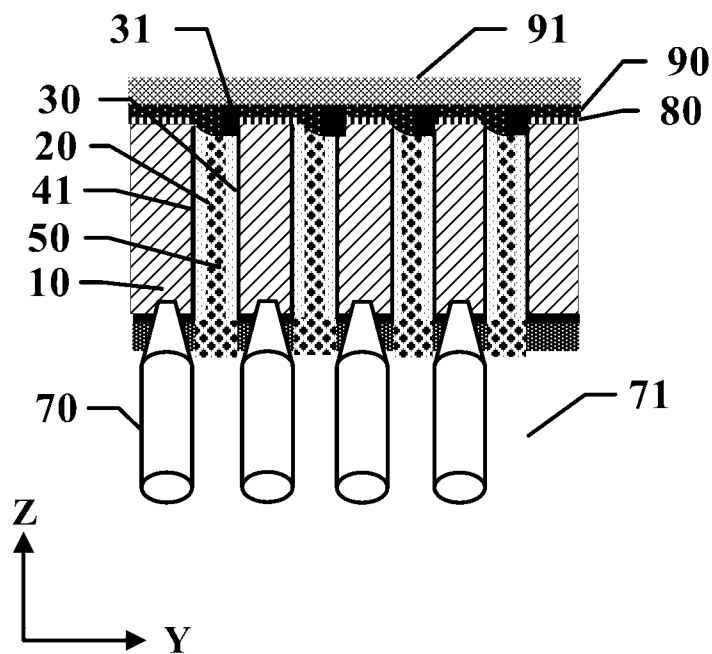
100

图 29

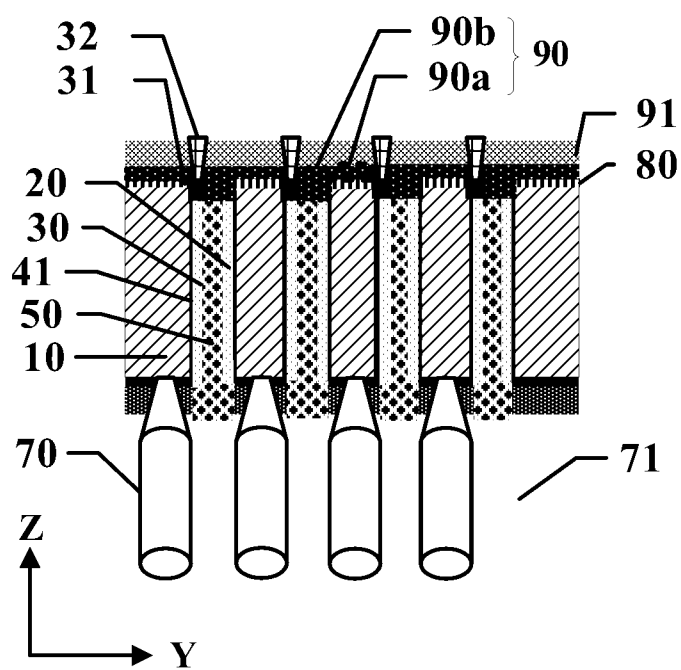
100

图 30

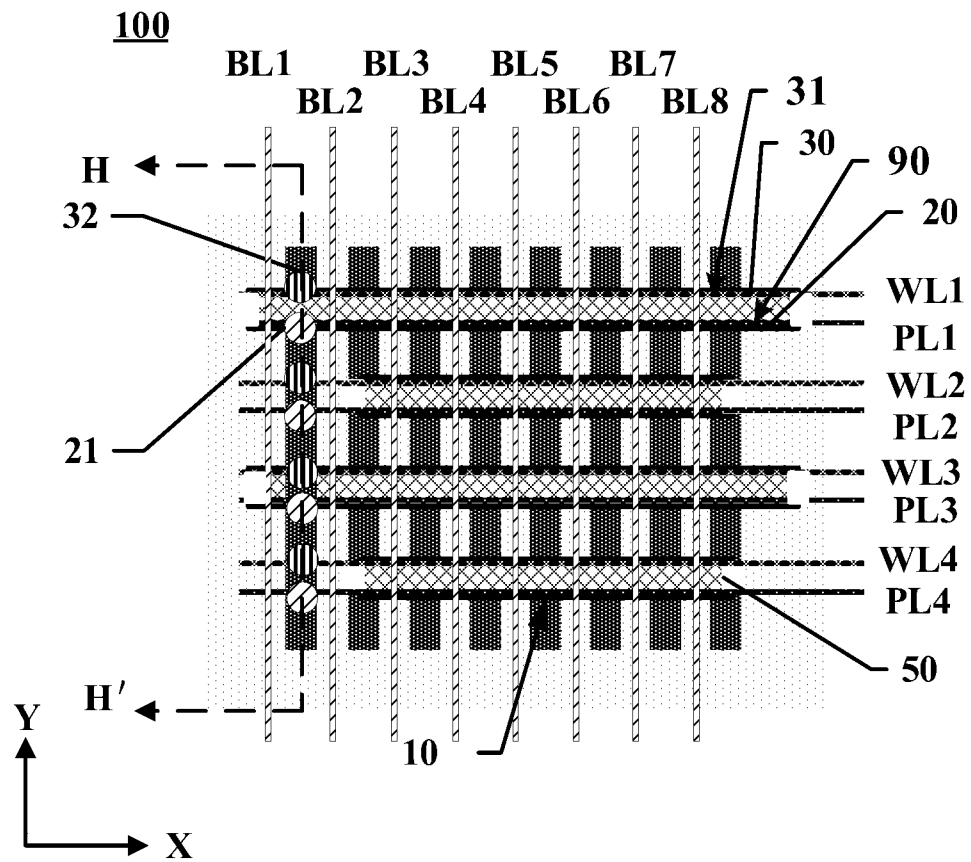


图 31

100

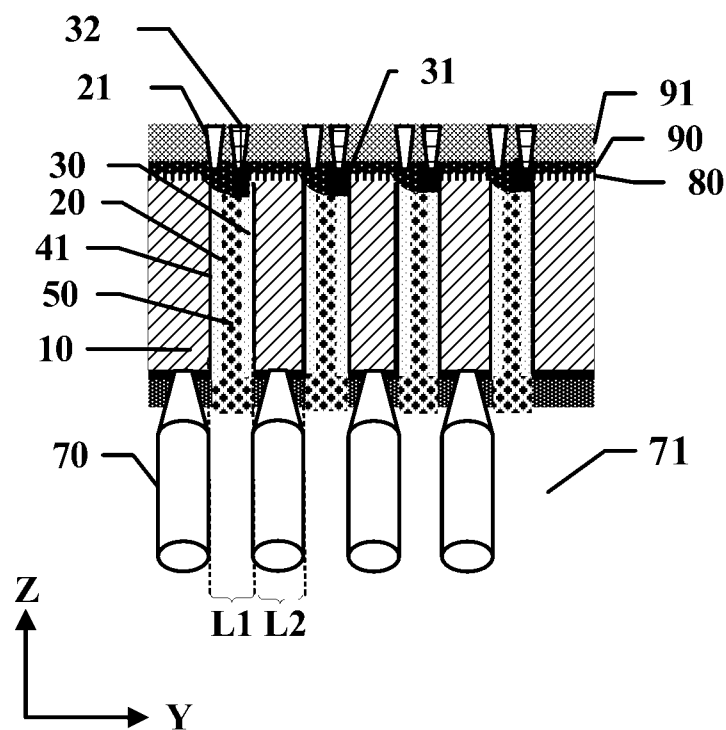


图 32

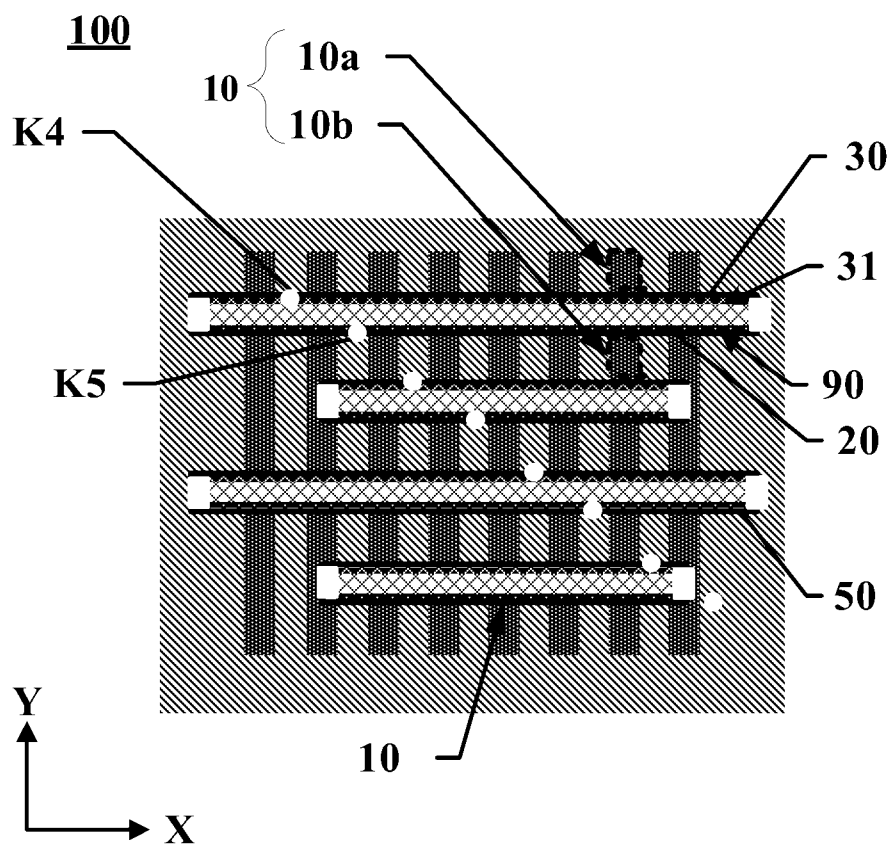


图 33

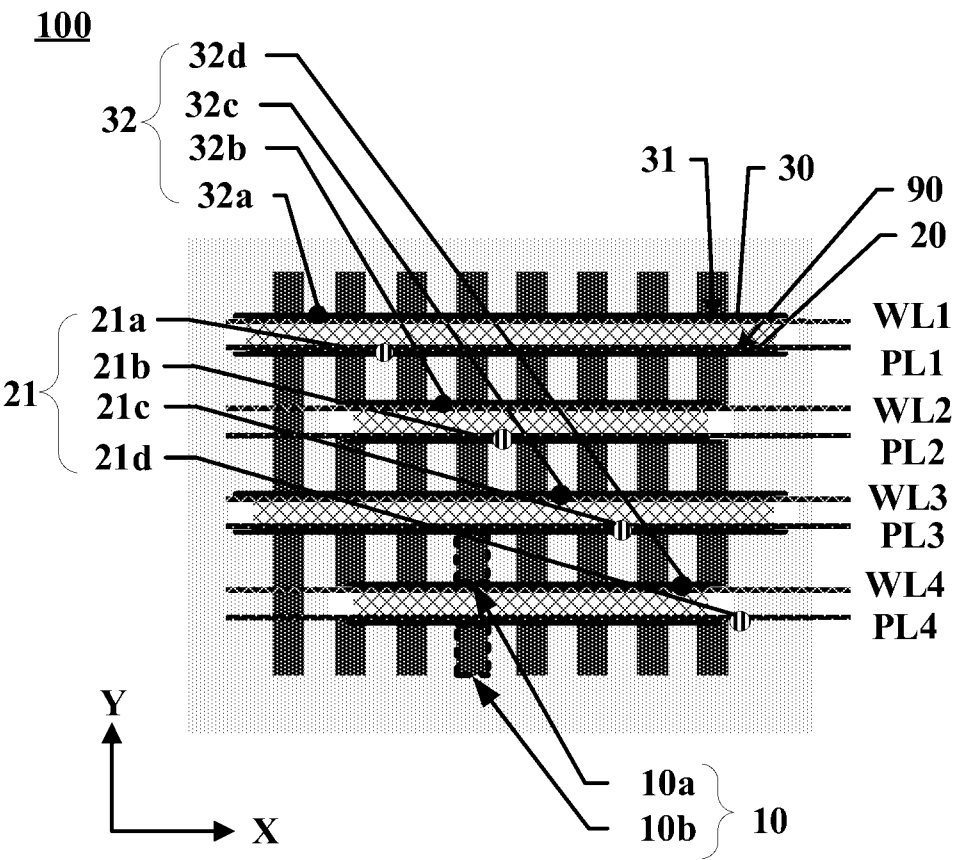


图 34

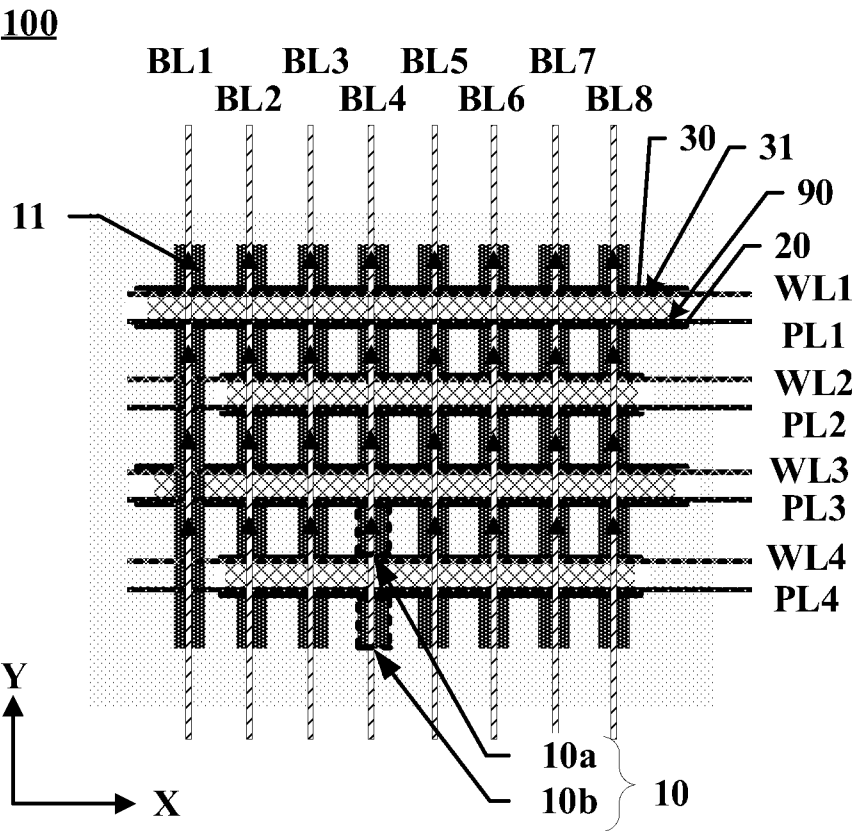


图 35

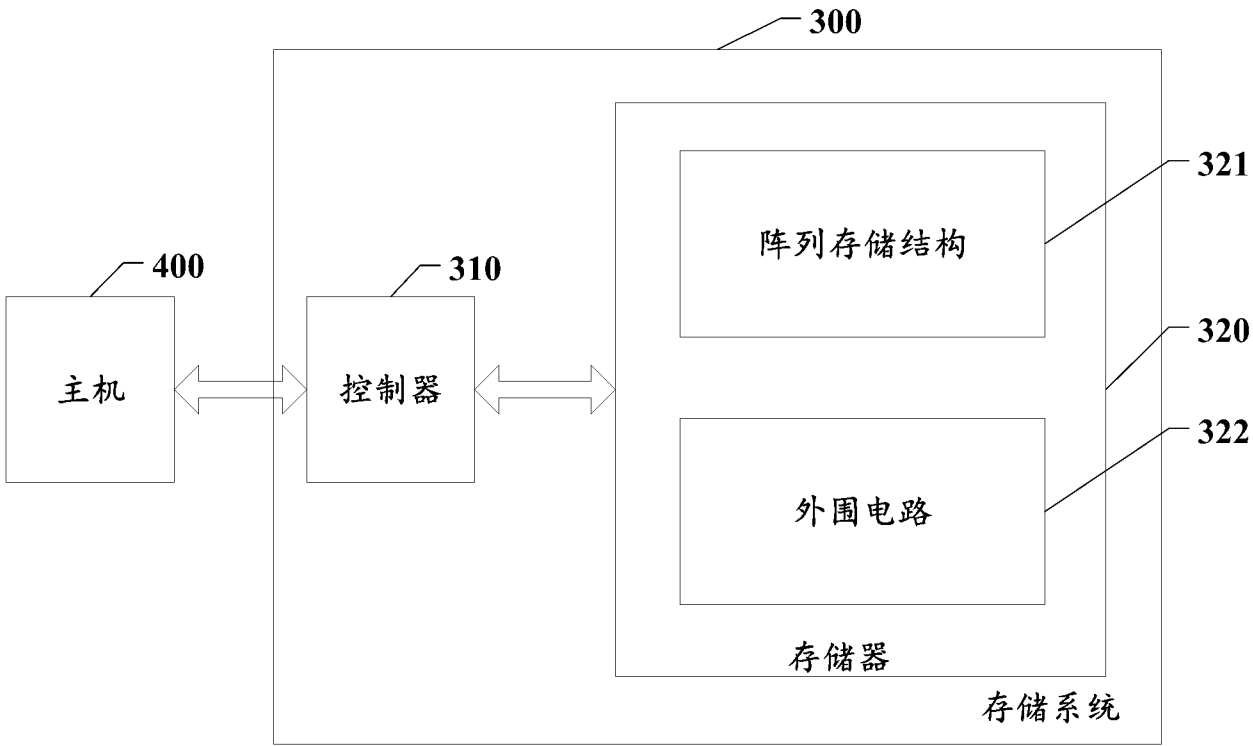


图 38

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/106137

A. CLASSIFICATION OF SUBJECT MATTER

H10B12/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10B, H01L, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 动态随机存储, 阵列, 柱, 沟道, 垂直, 竖直, 栅极, 屏蔽, 阻隔, 绝缘, DRAM, array, pole, pillar, post, channel, vertical, gate, shield, screen, insulate, insulating

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103456639 A (SK HYNIX INC.) 18 December 2013 (2013-12-18) description, paragraphs [0035]-[0180], and figures 1A-12C	1-30
A	CN 107611179 A (GUIZHOU MARCHING POWER TECHNOLOGY CO., LTD.) 19 January 2018 (2018-01-19) entire document	1-30
A	US 2009207667 A1 (SEOUL NATIONAL UNIVERSITY INDUSTRY FOUNDATION) 20 August 2009 (2009-08-20) entire document	1-30
A	US 2013146960 A1 (MICRON TECHNOLOGY, INC.) 13 June 2013 (2013-06-13) entire document	1-30
A	US 2012012927 A1 (ELPIDA MEMORY, INC.) 19 January 2012 (2012-01-19) entire document	1-30



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 October 2023

Date of mailing of the international search report

25 December 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/106137

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103456639	A	18 December 2013	TW	201349354	A	01 December 2013
				TWI	575606	B	21 March 2017
				JP	2013251525	A	12 December 2013
				JP	6120548	B2	26 April 2017
				KR	20130134813	A	10 December 2013
				US	2015031180	A1	29 January 2015
				US	9245976	B2	26 January 2016
				US	2013320433	A1	05 December 2013
				US	8860127	B2	14 October 2014
CN	107611179	A	19 January 2018	None			
US	2009207667	A1	20 August 2009	KR	20090088693	A	20 August 2009
				KR	100966265	B1	28 June 2010
				US	2011256680	A1	20 October 2011
				US	8394698	B2	12 March 2013
				US	7995390	B2	09 August 2011
US	2013146960	A1	13 June 2013	US	2014138754	A1	22 May 2014
				US	8987801	B2	24 March 2015
				WO	2013090400	A1	20 June 2013
				KR	20140105827	A	02 September 2014
				KR	101531806	B1	25 June 2015
				US	8637914	B2	28 January 2014
US	2012012927	A1	19 January 2012	JP	2012039077	A	23 February 2012
				US	8395198	B2	12 March 2013

A. 主题的分类 H10B12/00(2023.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: H10B, H01L, G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 动态随机存储, 阵列, 柱, 沟道, 垂直, 竖直, 栅极, 屏蔽, 阻隔, 绝缘, DRAM, array, pole, pillar, post, channel, vertical, gate, shield, screen, insulate, insulating		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103456639 A (爱思开海力士有限公司) 2013年12月18日 (2013 - 12 - 18) 说明书第[0035]-[0180]段, 附图1A-12C	1-30
A	CN 107611179 A (贵州芯长征科技有限公司) 2018年1月19日 (2018 - 01 - 19) 全文	1-30
A	US 2009207667 A1 (SEOUL NATIONAL UNIVERSITY INDUSTRY FOUNDATION) 2009年8月20日 (2009 - 08 - 20) 全文	1-30
A	US 2013146960 A1 (MICRON TECHNOLOGY, INC.) 2013年6月13日 (2013 - 06 - 13) 全文	1-30
A	US 2012012927 A1 (ELPIDA MEMORY, INC.) 2012年1月19日 (2012 - 01 - 19) 全文	1-30
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年10月9日		国际检索报告邮寄日期 2023年12月25日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 黄万国 电话号码 (+86) 010-53961457

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/106137

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103456639	A	2013年12月18日	TW	201349354	A	2013年12月1日
				TWI	575606	B	2017年3月21日
				JP	2013251525	A	2013年12月12日
				JP	6120548	B2	2017年4月26日
				KR	20130134813	A	2013年12月10日
				US	2015031180	A1	2015年1月29日
				US	9245976	B2	2016年1月26日
				US	2013320433	A1	2013年12月5日
				US	8860127	B2	2014年10月14日
-----				-----			
CN	107611179	A	2018年1月19日	无			
-----				-----			
US	2009207667	A1	2009年8月20日	KR	20090088693	A	2009年8月20日
				KR	100966265	B1	2010年6月28日
				US	2011256680	A1	2011年10月20日
				US	8394698	B2	2013年3月12日
				US	7995390	B2	2011年8月9日
-----				-----			
US	2013146960	A1	2013年6月13日	US	2014138754	A1	2014年5月22日
				US	8987801	B2	2015年3月24日
				WO	2013090400	A1	2013年6月20日
				KR	20140105827	A	2014年9月2日
				KR	101531806	B1	2015年6月25日
				US	8637914	B2	2014年1月28日
-----				-----			
US	2012012927	A1	2012年1月19日	JP	2012039077	A	2012年2月23日
				US	8395198	B2	2013年3月12日
-----				-----			