

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-54860

(P2009-54860A)

(43) 公開日 平成21年3月12日(2009.3.12)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 W	5FO41
HO 1 L 33/00 (2006.01)	HO 1 L 33/00 N	5FO44
HO 1 L 21/60 (2006.01)	HO 1 L 21/60 3O1A	

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号	特願2007-221416 (P2007-221416)	(71) 出願人	000131430 シチズン電子株式会社 山梨県富士吉田市上暮地1丁目23番1号
(22) 出願日	平成19年8月28日 (2007.8.28)	(74) 代理人	100085280 弁理士 高宗 寛暁
		(72) 発明者	門谷 典和 山梨県富士吉田市上暮地1丁目23番1号 シチズン電子株式会社内
		(72) 発明者	菊池 悟 山梨県富士吉田市上暮地1丁目23番1号 シチズン電子株式会社内
		(72) 発明者	深沢 孝一 山梨県富士吉田市上暮地1丁目23番1号 シチズン電子株式会社内

最終頁に続く

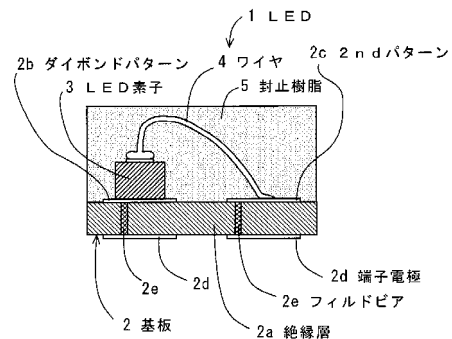
(54) 【発明の名称】 チップ型半導体装置

(57) 【要約】

【課題】 ボールボンディングで行う場合に、フィールドピア上のパターンにも問題なくワイヤを打つことができるチップ型半導体装置。

【解決手段】 LED 1の基板2は、絶縁層2aを挟んで表面側電極であるダイボンドパターン2b及び2ndボンディングパターン2cと裏面側電極である端子電極2d、2dとをそれぞれ対向配置させ、スルーホール内に導電剤を充填して形成したフィールドピア2eによって表裏電極を導通させている。ダイボンドパターン2bにはLED素子3が接合され、金ワイヤ4によってLED素子3の電極と2ndボンディングパターン2cとが接続されている。LED素子3とワイヤ4とは封止樹脂5によって封止されている。2ndボンディングパターン2cにおけるフィールドピア2eがボンディングポイントから離れた、キャピラリの先端径と垂直方向に重ならない位置に形成されているところに特徴がある。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

絶縁層の両面に銅箔が張られ、表面側には半導体素子を実装するダイボンパターンとワイヤボンディングされる2ndボンディングパターンとを有し、裏面側には前記両パターンの端子電極となる裏パターンを有し、表裏の前記パターンが絶縁層を貫通して導通している実装基板と、前記実装基板上に固着された半導体素子と、前記半導体素子と前記2ndボンディングパターンとをボールボンディングにより接続する金属線とから成り、前記半導体素子および前記金属線を封止する絶縁樹脂で前記実装基板の表面側全面を覆ったチップ型半導体装置において、前記フィルドピアと、前記キャピラリ先端とが垂直方向に重ならないように、2ndボンディングがなされていることを特徴とするチップ型半導体装置。

10

【請求項 2】

前記裏パターン側から前記ダイボンパターンあるいは前記2ndボンディングパターンの銅箔に達する穴をレーザー処理により設け、メッキにより表裏のパターンを導通し、さらに穴全体を塞ぎフィルドピアを形成したことを特徴とする請求項1記載のチップ型半導体装置。

【請求項 3】

前記フィルドピア径は、ワイヤボンディングのキャピラリ先端径よりも小であることを特徴とする請求項1又は請求項2記載のチップ型半導体装置。

【請求項 4】

前記フィルドピアは、ダイボンパターン側に複数形成されていることを特徴とする請求項1乃至請求項3のいずれかに記載のチップ型半導体装置。

20

【請求項 5】

絶縁層の両面に銅箔が張られ、表面側には半導体素子を実装するダイボンパターンとワイヤボンディングされる2ndボンディングパターンとを有し、裏面側には前記両パターンの端子電極となる裏パターンを有し、表裏の前記パターンが絶縁層を貫通して導通している実装基板と、前記実装基板上に固着された半導体素子と、前記半導体素子と前記2ndボンディングパターンとをボールボンディングにより接続する金属線とから成り、前記半導体素子および前記金属線を封止する絶縁樹脂で前記実装基板の表面側全面を覆ったチップ型半導体装置において、前記フィルドピアは、2ndボンディングパターン側に複数形成されており、前記キャピラリ先端と前記複数のフィルドピアの少なくとも2つ以上とが垂直方向に重なるように2ndボンディングがなされていることを特徴とするチップ型半導体装置。

30

【請求項 6】

前記裏パターン側から前記ダイボンパターンあるいは前記2ndボンディングパターンの銅箔に達する穴をレーザー処理により設け、メッキにより表裏のパターンを導通し、さらに穴全体を塞ぎフィルドピアを形成したことを特徴とする請求項5記載のチップ型半導体装置。

【請求項 7】

前記フィルドピア径は、ワイヤボンディングのキャピラリ先端径よりも小であることを特徴とする請求項5又は請求項6記載のチップ型半導体装置。

40

【請求項 8】

前記フィルドピアは、ダイボンパターン側に複数形成されていることを特徴とする請求項5乃至請求項7のいずれかに記載のチップ型半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、チップ型半導体装置に関し、更に詳しくは、半導体素子がワイヤボンディングによって実装されたチップ型半導体装置に関する。

【背景技術】

50

【 0 0 0 2 】

近年の電子機器の小形・薄形化傾向に伴って、回路基板へ表面実装が可能な電子部品、即ちチップ型半導体装置の需要が急速に増加している。チップ型半導体装置は、通常は直方体ブロックに近い形状をしており、絶縁基板の表面側にそれぞれ一对の電極を備え、裏面または裏面に近い側面に一对の端子電極が形成されている。そして、表裏面の電極同士はスルーホールによって導通する一方、表面側電極の一方に半導体素子を実装し、該半導体素子と他方の表面側電極とを金属細線によってワイヤボンディングしたのち、これらの半導体素子及び金属細線を透光性樹脂によって封止したものである。このようなチップ型半導体装置は、回路基板上の配線パターンと所定の端子電極とが接触するように回路基板上に配設して、半田などの導電性接着剤で回路基板上に固着する。

10

【 0 0 0 3 】

このようなチップ型半導体装置において、基板の表面側に半導体素子を接合するダイボンパターン及び2ndボンディングパターンと裏面側の端子電極とを絶縁層を挟んで対向配置させることによって、装置の小型化を追求したものが知られている(例えば、特許文献1、特許文献2及び特許文献3参照。)。

【 0 0 0 4 】

図4は従来のようなチップ型半導体装置の一例である発光ダイオード(以下LEDと略記する)の断面図を示している。LED51の基板52は、絶縁層52aを挟んで表面側電極であるダイボンパターン52b及び2ndボンディングパターン52cと裏面側電極である端子電極52d、52dとをそれぞれ対向配置させ、絶縁層52aを貫通するレーザーで開けた穴内に導電剤を充填して形成したフィルドビア52eによって表裏電極を導通させている。フィルドビア52eはレーザーによって穴開けを行う都合上、基板52はプリント配線板やフレキシブル基板等の薄いものである。ダイボンパターン52bにはLED素子3が接合され、金ワイヤ4(径20~30 μm)によってLED素子3の電極と2ndボンディングパターン52cとが接続されている。LED素子3と金ワイヤ4とは封止樹脂5によって封止されている。LED51ではフィルドビア51eの径がキャピラリの先端径より大きいのでキャピラリの片当たりが起きない。

20

【 0 0 0 5 】

図5は他の従来のようなチップ型半導体装置の一例であるLEDの断面図を示しており、ワイヤボンディングをボールボンディングで行った場合の、2ndボンディングの様子を表している。LED61ではフィルドビア62eの径($d = 40 \sim 50 \mu\text{m}$)はキャピラリ9の先端径($D = 80 \sim 100 \mu\text{m}$)よりも小さい径を有している。このような場合には、図5に示すように、キャピラリ9の先端の一部がフィルドビア上の電極に、他の一部が基板の基材上の電極にくる場合、即ちキャピラリ9の片当たりが発生する。

30

【特許文献1】特開2001-102638号公報

【特許文献2】特開平09-181359号公報

【特許文献3】特開2003-017754号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかし、ワイヤボンディングをウェッジボンディングで行った場合には、2ndボンディング側においてより広いスペースを必要とする。また、キャピラリの構造上、同じ方向にしかワイヤのループを張れない。そこでボールボンディングで行おうとすると、フィルドビアの径がワイヤボンダーのキャピラリの先端径より小さい場合には、キャピラリの片当たりが発生する。この場合には超音波が基材部分には伝わり難くなるのでワイヤが2ndボンディング位置で押しつぶしに不具合が生じやすく、ワイヤが引っ張られたときに接続部が剥がれたり、剥がれやすくなるという問題があった。

40

【 0 0 0 7 】

本発明は、上記問題を解決して、ワイヤボンディングをボールボンディングで行った場合に、フィルドビアの径がワイヤボンダーのキャピラリの先端径より小さい場合にもフィ

50

ルドビア上のパターンに問題なくワイヤを打つことができるチップ型半導体装置を提供することを目的としている。

【課題を解決するための手段】

【0008】

前述した目的を達成するための本発明の手段は、絶縁層の両面に銅箔が張られ、表面側には半導体素子を実装するダイボンドパターンとワイヤボンディングされる2ndボンディングパターンとを有し、裏面側には前記両パターンの端子電極となる裏パターンを有し、表裏の前記パターンが絶縁層を貫通して導通している実装基板と、前記実装基板上に固着された半導体素子と、前記半導体素子と前記2ndボンディングパターンとをボールボンディングにより接続する金属線とから成り、前記半導体素子および前記金属線を封止する絶縁樹脂で前記実装基板の表面側全面を覆ったチップ型半導体装置において、前記フィルドビアと、前記キャピラリ先端とが垂直方向に重ならないように、2ndボンディングがなされていることを特徴とする。

10

【0009】

また、前記裏パターン側から前記ダイボンドパターンあるいは前記2ndボンディングパターンの銅箔に達する穴をレーザー処理により設け、メッキにより表裏のパターンを導通し、さらに穴全体を塞ぎフィルドビアを形成したことを特徴する。

【0010】

また、前記フィルドビアの径がワイヤボンディングのキャピラリ先端径よりも小であることを特徴する。

20

【0011】

また、前記フィルドビアは、ダイボンドパターン側に複数形成されていることを特徴する。

【0012】

また、前述した目的を達成するための本発明の他の手段は、絶縁層の両面に銅箔が張られ、表面側には半導体素子を実装するダイボンドパターンとワイヤボンディングされる2ndボンディングパターンとを有し、裏面側には前記両パターンの端子電極となる裏パターンを有し、表裏の前記パターンが絶縁層を貫通して導通している実装基板と、前記実装基板上に固着された半導体素子と、前記半導体素子と前記2ndボンディングパターンとをボールボンディングにより接続する金属線とから成り、前記半導体素子および前記金属線を封止する絶縁樹脂で前記実装基板の表面側全面を覆ったチップ型半導体装置において、前記フィルドビアは、2ndボンディングパターン側に複数形成されており、前記キャピラリ先端と前記複数のフィルドビアの少なくとも2つ以上とが垂直方向に重なるように2ndボンディングがなされていることを特徴とするチップ型半導体装置。

30

【0013】

また、前記裏パターン側から前記ダイボンドパターンあるいは前記2ndボンディングパターンの銅箔に達する穴をレーザー処理により設け、メッキにより表裏のパターンを導通し、さらに穴全体を塞ぎフィルドビアを形成したことを特徴とする。

【0014】

また、前記フィルドビア径は、ワイヤボンディングのキャピラリ先端径よりも小であることを特徴とする。

40

【0015】

また、前記フィルドビアは、ダイボンドパターン側に複数形成されていることを特徴とする。

【発明の効果】

【0016】

本発明によれば、絶縁層の両面に銅箔が張られ、表面側には半導体素子を実装するダイボンドパターンとワイヤボンディングされる2ndボンディングパターンとを有し、裏面側には前記両パターンの端子電極となる裏パターンを有し、表裏の前記パターンが絶縁層を貫通して導通している実装基板と、前記実装基板上に固着された半導体素子と、前記半

50

導体素子と前記 2 n d ボンディングパターンとをボールボンディングにより接続する金属線とから成り、前記半導体素子および前記金属線を封止する絶縁樹脂で前記実装基板の表面側全面を覆ったチップ型半導体装置において、前記フィルドビアと、前記キャピラリ先端とが垂直方向に重ならないように、2 n d ボンディングがなされているので、端子電極をボンディングパターンに対向する位置に配設して、チップ半導体装置を小型化することができる。また、フィルドビアやスルーホール形成に必要なスペースを有効利用できるのでパターン面積を増やすことによって素子数増加（LED素子の場合には高輝度化）が可能になる。また、製品小型化に伴い基板取り個数の向上（低コスト化）が可能である。また、製品外形サイズの制約があって、端子を共有化させることが必要な場合でも各素子専用の端子を出すことが可能になる。また、ダイボンドパターンの直下にあるフィルドビアから端子電極へ放熱されるので、半導体素子の放熱性がよくなる。また、ワイヤボンディングをボールボンディングで行う場合に、2 n d ボンディングにおいてフィルドビアがボンディングポイントから離れているために、フィルドビアの影響を受けないでボンディング不良の発生を未然に防止できる。

10

【0017】

また、前記裏パターン側から前記ダイボンドパターンあるいは前記 2 n d ボンディングパターンの銅箔に達する穴をレーザー処理により設け、メッキにより表裏のパターンを導通し、さらに穴全体を塞ぎフィルドビアを形成したので、パターン側の熱を効率よく端子電極側へ放熱することができる。

20

【0018】

また、前記フィルドビアの径がワイヤボンディングのキャピラリ先端径よりも小であるので、キャピラリの片当たりが発生せず、ボールボンディングの不良発生を防ぐことができる。

【0019】

また、前記フィルドビアは、ダイボンドパターン側に複数形成されているので、素子実装部直下のフィルドビアを経由して端子電極から放熱し易くなるので放熱性を向上させることができる。

【0020】

また、前記フィルドビアと、前記キャピラリ先端とが垂直方向に重ならないように、2 n d ボンディングがなされているので、2 n d ボンディングの際に、フィルドビアの影響を受けず、ボールボンディングの不良発生を未然に防ぐことができる。

30

【0021】

また、前述した目的を達成するための本発明の他の手段は、絶縁層の両面に銅箔が張られ、表面側には半導体素子を実装するダイボンドパターンとワイヤボンディングされる 2 n d ボンディングパターンとを有し、裏面側には前記両パターンの端子電極となる裏パターンを有し、表裏の前記パターンが絶縁層を貫通して導通している実装基板と、前記実装基板上に固着された半導体素子と、前記半導体素子と前記 2 n d ボンディングパターンとをボールボンディングにより接続する金属線とから成り、前記半導体素子および前記金属線を封止する絶縁樹脂で前記実装基板の表面側全面を覆ったチップ型半導体装置において、前記フィルドビアは、2 n d ボンディングパターン側に複数形成されており、前記キャピラリ先端と前記複数のフィルドビアとが垂直方向に重なるように 2 n d ボンディングがなされているので、前記複数のフィルドビアの何れかがキャピラリ先端と重なることとなるのでキャピラリの片当たりが発生せず、ボールボンディングの不良発生を未然に防ぐことができる。また、小さなフィルドビアが、複数あることによりワイヤボンディングのボンディング条件をフィルドビアと基板との混成部に合わせることで、多少位置ズレが起きても、混成部の範囲内ならばどこでも同じ条件でボンディングできるので、ボンディング不良が発生しない。

40

【発明を実施するための最良の形態】**【0022】**

以下、本発明を実施するための最良の形態であるチップ型半導体装置を図面に基づいて

50

詳細に説明する。図 1 は本発明の第 1 の実施の形態である L E D の断面図である。

【 0 0 2 3 】

まず、本発明の第 1 の実施の形態である L E D の構成について説明する。図 1 において、L E D 装置 1 は、従来技術で説明したものと同様であるが、ボンディング位置ズレが起きたとしても、2 n d ボンディングパターン 2 c におけるフィルドビア 2 e が、ボンディングポイントから離れた位置であるキャピラリの先端と垂直方向に重ならない位置に形成されているところに特徴がある。

【 0 0 2 4 】

次に、本発明の第 1 の実施の形態である L E D の効果について説明する。L E D 1 において、端子電極 2 d が絶縁層 2 a を介してダイボンドパターン 2 b 及び 2 n d ボンディングパターン 2 c と対向配置されており、L E D 1 の小型化に寄与している。フィルドビアやスルーホール形成に必要なスペースを有効利用できるため、パターン面積を増やすことによって素子数増加（L E D 素子の場合には高輝度化）が可能になる。また、製品外形サイズの制約があつて端子を共有化させることが必要な場合でも、各素子専用の端子を出すことが可能になる。製品小型化に伴い基板取り個数の向上による低コスト化が可能である。また、L E D 素子 3 の直下にフィルドビア 2 e があるので、端子電極 2 d へ放熱されるので L E D 素子 3 の放熱性がよくなる。また、ワイヤボンディングをボールボンディングで行う場合に、2 n d ボンディングにおいてフィルドビア 2 e がボンディングポイントから離れているために、フィルドビア 2 e の影響を受けないでボンディング不良の発生を未然に防止できる。

【 0 0 2 5 】

次に、本発明の第 2 の実施の形態である L E D の構成について説明する。図 2 において、L E D 装置 1 1 には、2 n d ボンディングパターン 1 2 c において複数のフィルドビア 1 2 e が縦横に形成されており、ボールボンディングにおいてキャピラリの先端は必ず複数のフィルドビアの少なくとも 2 つ以上が垂直方向に重なるように 2 n d ボンディングされている。このように複数のフィルドビアの周辺に基材が存在する構成、即ちフィルドビアと基材との混成部では、キャピラリの先端部は複数（2 つ以上）のフィルドビアにかかることになるので、片当りは起きず、ボンディング不良を発生させない。

【 0 0 2 6 】

次に、本発明の第 3 の実施の形態である L E D の構成について説明する。図 3 において、L E D 装置 2 1 は、第 2 の実施の形態の L E D 1 1 と同様であり、ダイボンドパターン 2 2 b におけるフィルドビア 2 2 e が複数形成されているところに特徴がある。これにより、L E D 素子 3 の放熱性を L E D 1 や L E D 1 1 よりも更に向上させることができる。

【 図面の簡単な説明 】

【 0 0 2 7 】

【 図 1 】 本発明の第 1 の実施の形態である L E D の断面図である。

【 図 2 】 本発明の第 2 の実施の形態である L E D の断面図である。

【 図 3 】 本発明の第 3 の実施の形態である L E D の断面図である。

【 図 4 】 従来 L E D を示す断面図である。

【 図 5 】 他の従来 L E D の 2 n d ボンディングを示す断面図である。

【 符号の説明 】

【 0 0 2 8 】

- 1、1 1、2 1 L E D
- 2、1 2、2 2 基板
- 2 a、1 2 a、2 2 a 絶縁層
- 2 b、1 2 b、2 2 b ダイボンドパターン
- 2 c、1 2 c、2 2 c 2 n d ボンディングパターン
- 2 d、1 2 d、2 2 d 端子電極
- 2 e、1 2 e、2 2 e フィルドビア
- 3 L E D 素子

10

20

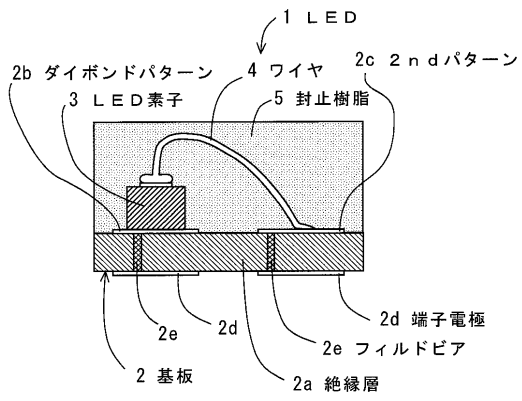
30

40

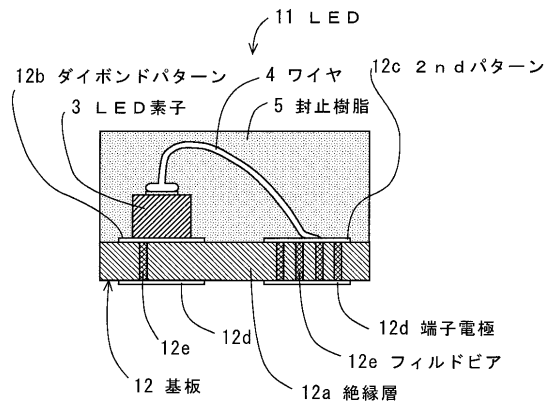
50

- 4 金ワイヤ
- 5 封止樹脂

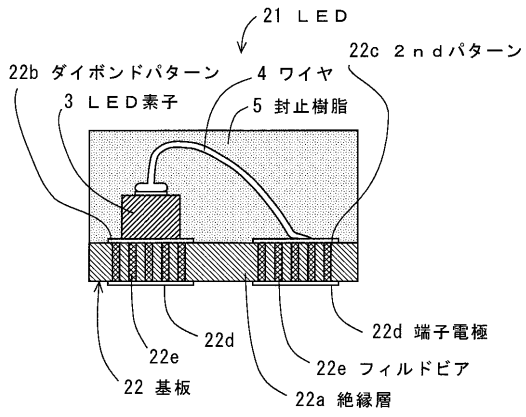
【図 1】



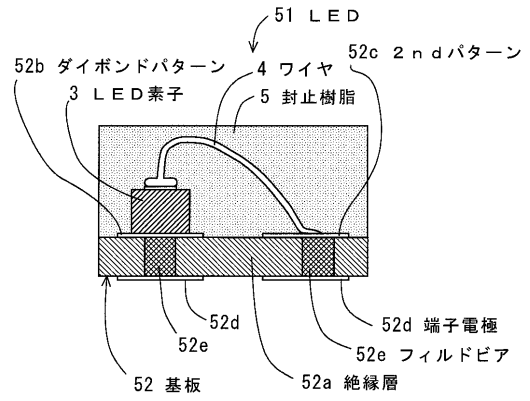
【図 2】



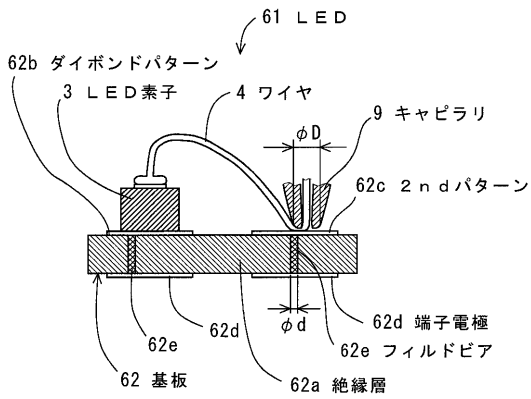
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

Fターム(参考) 5F041 AA25 AA47 DA07 DA12 DA19 DA35 DA43 DB09
5F044 AA05