

(12) 发明专利申请

(10) 申请公布号 CN 102033372 A

(43) 申请公布日 2011.04.27

(21) 申请号 200910093486.7

(22) 申请日 2009.09.24

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中
路 8 号

(72) 发明人 曹昆 李于华

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 曲鹏

(51) Int. Cl.

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

H01L 21/82(2006.01)

G09G 3/36(2006.01)

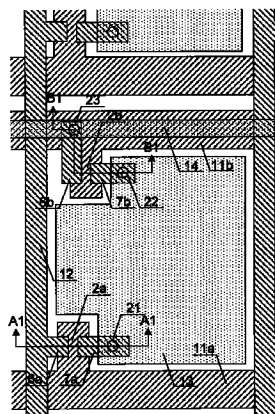
权利要求书 2 页 说明书 8 页 附图 7 页

(54) 发明名称

TFT-LCD 阵列基板及其制造、检测和驱动方法

(57) 摘要

本发明涉及一种 TFT-LCD 阵列基板及其制造、检测和驱动方法。TFT-LCD 阵列基板包括形成在基板上的第一栅线、数据线、像素电极和第一薄膜晶体管,所述第一薄膜晶体管用于控制数据线向像素电极提供数据电压,还包括第二栅线、检测线和第二薄膜晶体管,所述第二薄膜晶体管包括第二栅电极、第二源电极和第二漏电极,所述第二栅电极与第二栅线连接,所述第二源电极与检测线连接,所述第二漏电极与像素电极连接。本发明通过设置第二栅线、检测线和第二薄膜晶体管,一方面通过电学方式对薄膜晶体管是否不良和薄膜晶体管特性进行检测,另一方面有效克服残像缺陷,提高了良品率,降低了生产成本。



1. 一种 TFT-LCD 阵列基板,包括形成在基板上的第一栅线、数据线、像素电极和第一薄膜晶体管,所述第一薄膜晶体管用于控制数据线向像素电极提供数据电压,其特征在于,还包括第二栅线、检测线和第二薄膜晶体管,所述第二薄膜晶体管包括第二栅电极、第二源电极和第二漏电极,所述第二栅电极与第二栅线连接,所述第二源电极与检测线连接,所述第二漏电极与像素电极连接。

2. 根据权利要求 1 所述的 TFT-LCD 阵列基板,其特征在于,所述第二栅线和第二栅电极形成在基板上,其上覆盖栅绝缘层,包括半导体层和掺杂半导体层的第二有源层形成在栅绝缘层上并位于第二栅电极的上方,所述第二源电极和第二漏电极形成在第二有源层上,钝化层形成在上述构图上,其上开设有使第二漏电极与像素电极连接的第二过孔和使第二源电极与检测线连接的第三过孔。

3. 根据权利要求 1 所述的 TFT-LCD 阵列基板,其特征在于,所述检测线位于第二栅线的上方。

4. 根据权利要求 1 所述的 TFT-LCD 阵列基板,其特征在于,所述检测线与像素电极同层设置。

5. 一种 TFT-LCD 阵列基板制造方法,其特征在于,包括:

通过构图工艺形成包括第一栅线、第二栅线、第一栅电极和第二栅电极的图形,所述第一栅电极与第一栅线连接,所述第二栅电极与第二栅线连接;

通过构图工艺形成包括第一有源层、第二有源层、数据线、第一源电极、第一漏电极、第二源电极和第二漏电极的图形;

通过构图工艺形成包括第一过孔、第二过孔和第三过孔的图形,所述第一过孔位于第一漏电极所在位置,所述第二过孔位于第二漏电极所在位置,所述第三过孔位于第二源电极所在位置;

通过构图工艺形成包括像素电极和检测线的图形,所述像素电极通过第一过孔与第一漏电极连接,通过第二过孔与第二漏电极连接,所述检测线通过第三过孔与第二源电极连接。

6. 一种 TFT-LCD 阵列基板检测方法,其特征在于,包括:

在第一栅线和 / 或第二栅线上加载开启或关断电压;

根据数据线与检测线之间导通状态的测量结果判断薄膜晶体管是否不良。

7. 一种 TFT-LCD 阵列基板驱动方法,其特征在于,包括:在第一栅线提供开启信号之前,向第二栅线提供开启信号,通过检测线与像素电极导通使像素电极产生消除残像的变化。

8. 根据权利要求 7 所述的 TFT-LCD 阵列基板驱动方法,其特征在于,所述通过检测线与像素电极导通使像素电极产生消除残像的变化包括:第二薄膜晶体管导通使检测线与像素电极导通,使检测线成为像素电极上残存电荷的释放通道,释放像素电极的残存电荷以消除残像。

9. 根据权利要求 7 所述的 TFT-LCD 阵列基板驱动方法,其特征在于,所述通过检测线与像素电极导通使像素电极产生消除残像的变化包括:第二薄膜晶体管导通使检测线与像素电极导通,通过检测线向像素电极施加反向过驱动电压,消除液晶分子被极化现象以消除残像。

10. 根据权利要求 7 所述的 TFT-LCD 阵列基板驱动方法,其特征在于,所述通过检测线与像素电极导通使像素电极产生消除残像的变化包括:第二薄膜晶体管导通使检测线与像素电极导通,通过检测线向像素电极施加黑屏控制电压,在两帧画面中插入一帧黑画面以消除残像。

TFT-LCD 阵列基板及其制造、检测和驱动方法

技术领域

[0001] 本发明涉及一种液晶显示器、液晶显示器的制造方法、检测方法和驱动方法，尤其是一种 TFT-LCD 阵列基板及其制造、检测和驱动方法。

背景技术

[0002] 薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 的主体结构包括对盒在一起并将液晶夹设其间的阵列基板和彩膜基板, 阵列基板上形成有栅线、数据线以及以矩阵方式排列的薄膜晶体管和像素电极, 彩膜基板上形成有黑矩阵、彩色树脂和公共电极, 通过控制阵列基板的像素电极与彩膜基板的公共电极之间的电压差使液晶分子偏转, 液晶分子偏转的角度不同使透过的光线不同, 从而产生不同的灰度, 实现所需画面的显示。

[0003] TFT-LCD 生产中, 对制作完成的 TFT-LCD 阵列基板进行检测 (Array Test) 是保证产品质量的重要环节, 目前现有技术通常是采用模拟成盒方式进行 TFT-LCD 阵列基板的检测。检测装置是一种通过光电转换进行检测的设备, 主体结构包括用来反射光的镜子和镜子上方的液晶层。在检测时, 将 TFT-LCD 阵列基板设置在镜子下方 $12\ \mu\text{m} \sim 20\ \mu\text{m}$ 处, 并输入数据信号, 利用液晶分子随周围电场改变而旋转的特性, 配合光电转换和成像系统完成对 TFT-LCD 阵列基板的检测。由此可见, 采用模拟成盒方式进行 TFT-LCD 阵列基板检测的装置不仅结构复杂, 价格昂贵, 而且检测手段相对单一, 灵活性不足。

[0004] 此外, 残像 (Image Sticking) 问题一直是 TFT-LCD 亟待解决的重要缺陷之一。由于 TFT-LCD 是稳态模式 (Hold-Type) 显示方式, 在液晶两侧的取向层或其它微结构中可能存在电荷累积, 累积的电荷在像素电极与公共电极之间产生额外的电位差, 在不施加数据信号时额外的电位差也会使液晶偏转, 从而产生旋光效果, 引起影像残留。另外, 当长时间显示同一画面时, 液晶分子容易被极化, 被极化的液晶分子也会产生旋光效果, 引起影像残留。目前现有技术通常是采用材料多元化的方法克服残像缺陷, 但效果并不显著。

发明内容

[0005] 本发明的目的是提供一种 TFT-LCD 阵列基板及其制造、检测和驱动方法, 不仅可以通过电学方式实现薄膜晶体管是否不良和特性的检测, 而且可以有效克服残像缺陷。

[0006] 为了实现上述目的, 本发明提供了一种 TFT-LCD 阵列基板, 包括形成在基板上的第一栅线、数据线、像素电极和第一薄膜晶体管, 所述第一薄膜晶体管用于控制数据线向像素电极提供数据电压, 还包括第二栅线、检测线和第二薄膜晶体管, 所述第二薄膜晶体管包括第二栅电极、第二源电极和第二漏电极, 所述第二栅电极与第二栅线连接, 所述第二源电极与检测线连接, 所述第二漏电极与像素电极连接。

[0007] 所述第二栅线和第二栅电极形成在基板上, 其上覆盖栅绝缘层, 包括半导体层和掺杂半导体层的第二有源层形成在栅绝缘层上并位于第二栅电极的上方, 所述第二源电极和第二漏电极形成在第二有源层上, 钝化层形成在上述构图上, 其上开设有使第二漏电极

与像素电极连接的第二过孔和使第二源电极与检测线连接的第三过孔。

[0008] 所述检测线位于第二栅线的上方。

[0009] 所述检测线与像素电极同层设置。

[0010] 为了实现上述目的,本发明还提供了一种 TFT-LCD 阵列基板制造方法,包括:

[0011] 通过构图工艺形成包括第一栅线、第二栅线、第一栅电极和第二栅电极的图形,所述第一栅电极与第一栅线连接,所述第二栅电极与第二栅线连接;

[0012] 通过构图工艺形成包括第一有源层、第二有源层、数据线、第一源电极、第一漏电极、第二源电极和第二漏电极的图形;

[0013] 通过构图工艺形成包括第一过孔、第二过孔和第三过孔的图形,所述第一过孔位于第一漏电极所在位置,所述第二过孔位于第二漏电极所在位置,所述第三过孔位于第二源电极所在位置;

[0014] 通过构图工艺形成包括像素电极和检测线的图形,所述像素电极通过第一过孔与第一漏电极连接,通过第二过孔与第二漏电极连接,所述检测线通过第三过孔与第二源电极连接。

[0015] 为了实现上述目的,本发明还提供了一种 TFT-LCD 阵列基板检测方法,包括:

[0016] 在第一栅线和 / 或第二栅线上加载开启或关断电压;

[0017] 根据数据线与检测线之间导通状态的测量结果判断薄膜晶体管是否不良。

[0018] 所述在第一栅线和 / 或第二栅线上加载开启或关断电压包括:在第一栅线和第二栅线上加载关断电压;或在第一栅线上加载开启电压,在第二栅线上加载关断电压;或在第一栅线上加载关断电压,在第二栅线上加载开启电压;或在第一栅线和第二栅线上加载开启电压。

[0019] 为了实现上述目的,本发明还提供了一种 TFT-LCD 阵列基板驱动方法,包括:在第一栅线提供开启信号之前,向第二栅线提供开启信号,通过检测线与像素电极导通使像素电极产生消除残像的变化。

[0020] 所述通过检测线与像素电极导通使像素电极产生消除残像的变化包括:第二薄膜晶体管导通使检测线与像素电极导通,使检测线成为像素电极上残存电荷的释放通道,释放像素电极的残存电荷以消除残像;或第二薄膜晶体管导通使检测线与像素电极导通,通过检测线向像素电极施加反向过驱动电压,消除液晶分子被极化现象以消除残像;或第二薄膜晶体管导通使检测线与像素电极导通,通过检测线向像素电极施加黑屏控制电压,在两帧画面中插入一帧黑画面以消除残像。

[0021] 本发明提供了一种 TFT-LCD 阵列基板及其制造方法,在现有第一栅线、像素电极和第一薄膜晶体管结构基础上,通过设置第二栅线、检测线和第二薄膜晶体管,一方面通过电学方式对薄膜晶体管是否不良和薄膜晶体管特性进行检测,另一方面有效克服了残像缺陷,提高了良品率,降低了生产成本。本发明还提供了一种 TFT-LCD 阵列基板检测方法,不仅能够单纯地通过电学方式实现薄膜晶体管是否不良的检测,并且能够对薄膜晶体管特性进行检测。与采用模拟成盒方式进行阵列基板检测的现有技术相比,本发明 TFT-LCD 阵列基板检测方法手段简捷,结果明了,不仅检测设备结构简单,而且灵活性高,具有广泛的应用前景。本发明进一步提供了一种 TFT-LCD 阵列基板驱动方法,可以有效克服残像缺陷。

附图说明

- [0022] 图 1 为本发明 TFT-LCD 阵列基板的平面图；
 [0023] 图 2 为图 1 中 A1-A1 向的剖面图；
 [0024] 图 3 为图 1 中 B1-B1 向的剖面图；
 [0025] 图 4 为本发明 TFT-LCD 阵列基板第一次构图工艺后的平面图；
 [0026] 图 5 为图 4 中 A2-A2 向的剖面图；
 [0027] 图 6 为图 4 中 B2-B2 向的剖面图；
 [0028] 图 7 为本发明 TFT-LCD 阵列基板第二次构图工艺后的平面图；
 [0029] 图 8 为图 7 中 A3-A3 向的剖面图；
 [0030] 图 9 为图 7 中 B3-B3 向的剖面图；
 [0031] 图 10 为本发明 TFT-LCD 阵列基板第三次构图工艺后的平面图；
 [0032] 图 11 为图 10 中 A4-A4 向的剖面图；
 [0033] 图 12 为图 10 中 B4-B4 向的剖面图；
 [0034] 图 13 为本发明 TFT-LCD 阵列基板制造方法的流程图；
 [0035] 图 14 为本发明 TFT-LCD 阵列基板检测方法的流程图；
 [0036] 图 15 为本发明 TFT-LCD 阵列基板检测方法具体实施例的流程图；
 [0037] 图 16 为本发明 TFT-LCD 阵列基板检测方法检测信号的示意图。

[0038] 附图标记说明：

- | | | |
|-------------------|------------|------------|
| [0039] 1- 基板； | 2a- 第一栅电极； | 2b- 第二栅电极； |
| [0040] 3- 栅绝缘层； | 4- 半导体层； | 5- 掺杂半导体层； |
| [0041] 6a- 第一源电极； | 6b- 第二源电极； | 7a- 第一漏电极； |
| [0042] 7b- 第二漏电极； | 8- 钝化层； | 11a- 第一栅线； |
| [0043] 11b- 第二栅线； | 12- 数据线； | 13- 像素电极； |
| [0044] 14- 检测线； | 21- 第一过孔； | 22- 第二过孔； |
| [0045] 23- 第三过孔。 | | |

具体实施方式

[0046] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。附图中各层薄膜厚度和区域大小形状不反映 TFT-LCD 阵列基板的真实比例,目的只是示意说明本发明内容。

[0047] 图 1 为本发明 TFT-LCD 阵列基板的平面图,所反映的是一个像素区域的结构,图 2 为图 1 中 A1-A1 向的剖面图,图 3 为图 1 中 B1-B1 向的剖面图。如图 1 ~图 3 所示,本发明 TFT-LCD 阵列基板的主体结构包括形成在基板上的第一栅线 11a、第二栅线 11b、数据线 12 和检测线 14,第一栅线 11a 和第二栅线 11b 与相邻的数据线 12 定义了以矩阵方式排列的数个像素区域,每个像素区域内形成有第一薄膜晶体管、第二薄膜晶体管和像素电极 13,第一薄膜晶体管分别与第一栅线 11a、数据线 12 和像素电极 13 连接,用于控制向像素电极 13 提供数据电压,第二薄膜晶体管分别与第二栅线 11b、检测线 14 和像素电极 13 连接,一方面通过电学方式对薄膜晶体管是否不良和特性进行检测,另一方面有效克服残像缺陷。具体地,本发明第一薄膜晶体管包括第一栅电极 2a、第一有源层、第一源电极 6a 和第一漏电极 7a,

第二薄膜晶体管包括第二栅电极 2b、第二有源层、第二源电极 6b 和第二漏电极 7b。第一栅线 11a、第二栅线 11b、第一栅电极 2a 和第二栅电极 2b 形成在基板 1 上,第一栅电极 2a 与第一栅线 11a 连接,第二栅电极 2b 与第二栅线 11b 连接,栅绝缘层 3 形成在第一栅线 11a、第二栅线 11b、第一栅电极 2a 和第二栅电极 2b 上并覆盖整个基板 1。第一有源层(包括半导体层 4 和掺杂半导体层 5)形成在栅绝缘层 3 上并位于第一栅电极 2a 的上方,第一源电极 6a 和第一漏电极 7a 形成在第一有源层上,第一源电极 6a 的一端位于第一栅电极 2a 的上方,另一端与数据线 12 连接,第一漏电极 7a 的一端位于第一栅电极 2a 的上方,另一端与像素电极 13 连接,第一源电极 6a 与第一漏电极 7a 之间形成第一 TFT 沟道区域,第一 TFT 沟道区域的掺杂半导体层 5 被完全刻蚀掉,并刻蚀掉部分厚度的半导体层 4,使第一 TFT 沟道区域的半导体层 4 暴露出来。第二有源层(包括半导体层 4 和掺杂半导体层 5)形成在栅绝缘层 3 上并位于第二栅电极 2b 的上方,第二源电极 6b 和第二漏电极 7b 形成在第二有源层上,第二源电极 6b 的一端位于第二栅电极 2b 的上方,另一端与检测线 14 连接,第二漏电极 7b 的一端位于第二栅电极 2b 的上方,另一端与像素电极 13 连接,第二源电极 6b 与第二漏电极 7b 之间形成第二 TFT 沟道区域,第二 TFT 沟道区域的掺杂半导体层 5 被完全刻蚀掉,并刻蚀掉部分厚度的半导体层 4,使第二 TFT 沟道区域的半导体层 4 暴露出来。钝化层 8 形成在上述构图上,在第一漏电极 7a 位置开设有第一过孔 21,在第二漏电极 7b 位置开设有第二过孔 22,在第二源电极 6b 位置开设有第三过孔 23。像素电极 13 和检测线 14 形成在钝化层 8 上,像素电极 13 形成在像素区域内,通过第一过孔 21 与第一漏电极 7a 连接,通过第二过孔 22 与第二漏电极 7b 连接,检测线 14 形成在第二栅线 11b 的上方,通过第三过孔 23 与第二源电极 6b 连接。

[0048] 图 4~图 12 为本发明 TFT-LCD 阵列基板制造过程的示意图,可以进一步说明本发明的技术方案,在以下说明中,本发明所称的构图工艺包括光刻胶涂覆、掩模、曝光、刻蚀和光刻胶剥离等工艺,光刻胶以正性光刻胶为例。

[0049] 图 4 为本发明 TFT-LCD 阵列基板第一次构图工艺后的平面图,所反映的是一个像素区域的结构,图 5 为图 4 中 A2-A2 向的剖面图,图 6 为图 4 中 B2-B2 向的剖面图。首先采用磁控溅射或热蒸发的方法,在基板 1(如玻璃基板或石英基板)上沉积一层栅金属薄膜,栅金属薄膜可以采用 Cr、W、Ti、Ta、Mo、Al、Cu 等金属或合金的单层膜,也可以采用由多层金属薄膜构成的复合薄膜。采用普通掩模板通过构图工艺,在基板 1 上形成包括第一栅线 11a、第二栅线 11b、第一栅电极 2a 和第二栅电极 2b 的图形,第一栅电极 2a 与第一栅线 11a 连接,第二栅电极 2b 与第二栅线 11b 连接,如图 4~图 6 所示。

[0050] 图 7 为本发明 TFT-LCD 阵列基板第二次构图工艺后的平面图,所反映的是一个像素区域的结构,图 8 为图 7 中 A3-A3 向的剖面图,图 9 为图 7 中 B3-B3 向的剖面图。在完成图 4 所示构图的基板上,首先采用等离子体增强化学气相沉积(简称 PECVD)方法,依次沉积栅绝缘层、半导体薄膜和掺杂半导体层薄膜,然后采用磁控溅射或热蒸发的方法,沉积源漏金属薄膜。栅绝缘层可以采用氧化物、氮化物或氧氮化合物,源漏金属薄膜可以采用 Cr、W、Ti、Ta、Mo、Al、Cu 等金属或合金的单层膜,也可以采用由多层金属薄膜构成的复合薄膜。采用半色调或灰色调掩模板通过构图工艺,形成第一有源层、第二有源层、数据线 12、第一源电极 6a、第一漏电极 7a、第二源电极 6b 和第二漏电极 7b 的图形,如图 7~图 9 所示。

[0051] 本次构图工艺后,第一有源层(包括半导体层 4 和掺杂半导体层 5)形成在栅绝缘

层 3 上并位于第一栅电极 2a 的上方,第一源电极 6a 和第一漏电极 7a 形成在第一有源层上,第一源电极 6a 的一端位于第一栅电极 2a 的上方,另一端与数据线 12 连接,第一漏电极 7a 的一端位于第一栅电极 2a 的上方,与第一源电极 6a 相对设置,第一源电极 6a 与第一漏电极 7a 之间形成第一 TFT 沟道区域,第一 TFT 沟道区域的掺杂半导体层 5 被完全刻蚀掉,并刻蚀掉部分厚度的半导体层 4,使第一 TFT 沟道区域的半导体层 4 暴露出来;第二有源层(包括半导体层 4 和掺杂半导体层 5)形成在栅绝缘层 3 上并位于第二栅电极 2b 的上方,第二源电极 6b 和第二漏电极 7b 形成在第二有源层上,第二源电极 6b 的一端位于第二栅电极 2b 的上方,另一端位于第二栅线 11b 的上方,第二漏电极 7b 的一端位于第二栅电极 2b 的上方,与第二源电极 6b 相对设置,第二源电极 6b 与第二漏电极 7b 之间形成第二 TFT 沟道区域,第二 TFT 沟道区域的掺杂半导体层 5 被完全刻蚀掉,并刻蚀掉部分厚度的半导体层 4,使第二 TFT 沟道区域的半导体层 4 暴露出来。

[0052] 本次构图工艺是一种采用多步刻蚀方法的构图工艺,与现有技术四次构图工艺中形成有源层、数据线、源电极、漏电极和 TFT 沟道区域图形的过程相同,工艺过程具体为:首先在源漏金属薄膜上涂覆一层光刻胶,采用半色调或灰色调掩模板对光刻胶进行曝光,显影后使光刻胶形成完全曝光区域(光刻胶完全去除区域)、未曝光区域(光刻胶完全保留区域)和部分曝光区域(光刻胶部分保留区域),其中未曝光区域对应于数据线、第一源电极、第一漏电极、第二源电极和第二漏电极图形所在区域,部分曝光区域对应于第一 TFT 沟道区域和第二 TFT 沟道区域图形所在区域,完全曝光区域对应于上述图形以外的区域。通过第一次刻蚀工艺完全刻蚀掉完全曝光区域的源漏金属薄膜、掺杂半导体薄膜和半导体薄膜,形成包括数据线、第一有源层和第二有源层的图形。通过灰化工艺,去除部分曝光区域的光刻胶,暴露出该区域的源漏金属薄膜。通过第二次刻蚀工艺完全刻蚀掉部分曝光区域的源漏金属薄膜和掺杂半导体薄膜,并刻蚀掉部分厚度的半导体薄膜,使该区域的半导体薄膜暴露出来,形成包括第一源电极、第一漏电极、第二源电极、第二漏电极、第一 TFT 沟道区域和第二 TFT 沟道区域的图形。最后剥离剩余的光刻胶,完成本发明第二次构图工艺。由于数据线、第一有源层和第二有源层在同一次构图工艺中形成,因此数据线下方还保留有半导体薄膜和掺杂半导体层薄膜。

[0053] 图 10 为本发明 TFT-LCD 阵列基板第三次构图工艺后的平面图,所反映的是一个像素区域的结构,图 11 为图 10 中 A4-A4 向的剖面图,图 12 为图 10 中 B4-B4 向的剖面图。在完成图 7 所示构图的基板上,采用 PECVD 方法沉积钝化层 8,钝化层 8 可以采用氧化物、氮化物或氧氮化合物,采用普通掩模板通过构图工艺,形成包括第一过孔 21、第二过孔 22 和第三过孔 23 的图形,如图 10~图 12 所示。其中,第一过孔 21 位于第一漏电极 7a 的上方,第二过孔 22 位于第二漏电极 7b 的上方,第三过孔 23 位于第二源电极 6b 的上方,第一过孔 21、第二过孔 22 和第三过孔 23 内的钝化层 8 被刻蚀掉,分别暴露出第一漏电极 7a、第二漏电极 7b 和第二源电极 6b 的表面。本构图工艺中,还同时形成有栅线接口区域(栅线 PAD)的栅线接口过孔和数据线接口区域(数据线 PAD)的数据线接口过孔等图形,栅线接口过孔和数据线接口过孔的结构和形成工艺已广泛应用于目前的构图工艺中,这里不再赘述。

[0054] 最后,在完成上述构图的基板上,采用磁控溅射或热蒸发的方法,沉积透明导电薄膜,透明导电薄膜可以采用氧化铟锡(ITO)、氧化铟锌(IZO)或氧化铝锌等材料的单层膜,或上述材料任意组合构成的复合膜,也可以采用其它金属及金属氧化物。采用普通掩模板

通过构图工艺,形成包括像素电极 13 和检测线 14 的图形,如图 1~图 3 所示。其中,像素电极 13 形成在像素区域内,通过第一过孔 21 与第一漏电极 7a 连接,通过第二过孔 22 与第二漏电极 7b 连接,检测线 14 形成在第二栅线 11b 上,通过第三过孔 23 与第二源电极 6b 连接。

[0055] 需要说明的是,本发明上述说明的构图工艺仅仅是制备本发明 TFT-LCD 阵列基板的一种实现方法,实际使用中还可以通过增加构图工艺、选择不同的材料或材料组合来实现本发明。例如,本发明 TFT-LCD 阵列基板第二次构图工艺可以由两个采用普通掩模板的构图工艺完成,即通过一次采用普通掩模板的构图工艺形成第一有源层和第二有源层图形,通过另一次采用普通掩模板的构图工艺形成数据线、第一源电极、第一漏电极、第二源电极、第二漏电极、第一 TFT 沟道区域和第二 TFT 沟道区域图形。

[0056] 本发明 TFT-LCD 阵列基板设置第二栅线 11b、检测线 14 和第二薄膜晶体管的目的之一是通过电学方式对薄膜晶体管是否不良和薄膜晶体管特性进行检测。检测时,首先在第一栅线和 / 或第二栅线上加载开启或关断电压,通过测量数据线与检测线是否导通来判断薄膜晶体管是否发生短路或不能正常开启。具体检测过程将在本发明 TFT-LCD 阵列基板检测方法的技术方案中详细说明。本发明 TFT-LCD 阵列基板设置第二栅线 11b、检测线 14 和第二薄膜晶体管的目的之二是用于有效克服残像缺陷。工作时,通过控制检测线与像素电极导通,一方面形成像素电极上残存电荷的释放通道,另一方面可以通过检测线向像素电极施加反向过驱动电压消除液晶分子被极化的现象,或通过检测线向像素电极施加黑屏控制电压,在两帧画面中插入一帧黑画面,从而克服残像缺陷,改善残像对画面品质的影响。具体驱动过程将在本发明 TFT-LCD 阵列基板驱动方法的技术方案中详细说明。

[0057] 本发明提供了一种 TFT-LCD 阵列基板,在现有第一栅线、像素电极和第一薄膜晶体管结构基础上,通过设置第二栅线、检测线和第二薄膜晶体管,一方面通过电学方式对薄膜晶体管是否不良和薄膜晶体管特性进行检测,另一方面有效克服残像缺陷,提高了良品率,降低了生产成本。

[0058] 图 13 为本发明 TFT-LCD 阵列基板制造方法的流程图,包括:

[0059] 步骤 11、通过构图工艺形成包括第一栅线、第二栅线、第一栅电极和第二栅电极的图形,所述第一栅电极与第一栅线连接,所述第二栅电极与第二栅线连接;

[0060] 步骤 12、通过构图工艺形成包括第一有源层、第二有源层、数据线、第一源电极、第一漏电极、第二源电极和第二漏电极的图形;

[0061] 步骤 13、通过构图工艺形成包括第一过孔、第二过孔和第三过孔的图形,所述第一过孔位于第一漏电极所在位置,所述第二过孔位于第二漏电极所在位置,所述第三过孔位于第二源电极所在位置;

[0062] 步骤 14、通过构图工艺形成包括像素电极和检测线的图形,所述像素电极通过第一过孔与第一漏电极连接,通过第二过孔与第二漏电极连接,所述检测线通过第三过孔与第二源电极连接。

[0063] 本发明 TFT-LCD 阵列基板制造方法的流程已在前述图 4~图 12 所示技术方案中详细介绍,这里不再赘述。

[0064] 图 14 为本发明 TFT-LCD 阵列基板检测方法的流程图,包括:

[0065] 步骤 21、在第一栅线和 / 或第二栅线上加载开启或关断电压;

[0066] 步骤 22、根据数据线与检测线之间导通状态的测量结果判断薄膜晶体管是否不良。

[0067] 本发明 TFT-LCD 阵列基板检测方法可以通过下述技术手段来实现：

[0068] (1) 在第一栅线和第二栅线上加载关断电压，测量数据线与检测线之间是否导通；如果数据线与检测线为导通状态，说明第一薄膜晶体管和第二薄膜晶体管都发生了源电极 / 漏电极短路情况；

[0069] (2) 在第一栅线上加载开启电压，在第二栅线上加载关断电压，测量数据线与检测线之间是否导通；如果数据线与检测线为导通状态，说明第二薄膜晶体管发生了源电极 / 漏电极短路情况；

[0070] (3) 在第一栅线上加载关断电压，在第二栅线上加载开启电压，测量数据线与检测线之间是否导通；如果数据线与检测线为导通状态，说明第一薄膜晶体管发生了源电极 / 漏电极短路情况；

[0071] (4) 在第一栅线和第二栅线上加载开启电压，测量数据线与检测线之间是否导通；如果数据线与检测线为断开状态，说明第一薄膜晶体管和第二薄膜晶体管中至少一个不能正常开启。实际应用中，上述加载关断电压也可以是不施加电压。

[0072] 图 15 为本发明 TFT-LCD 阵列基板检测方法具体实施例的流程图，包括：

[0073] 步骤 31、在第一栅线和第二栅线上加载关断电压，测量数据线与检测线之间的导通状态；如果数据线与检测线为导通状态，则输出第一薄膜晶体管和第二薄膜晶体管都发生了源电极 / 漏电极短路的故障信息；如果数据线与检测线为断开状态，则执行步骤 32；

[0074] 步骤 32、在第一栅线上加载开启电压，在第二栅线上加载关断电压，测量数据线与检测线之间的导通状态；如果数据线与检测线为导通状态，则输出第二薄膜晶体管发生了源电极 / 漏电极短路的故障信息；如果数据线与检测线为断开状态，则执行步骤 33；

[0075] 步骤 33、在第一栅线上加载关断电压，在第二栅线上加载开启电压，测量数据线与检测线之间的导通状态；如果数据线与检测线为导通状态，则输出第一薄膜晶体管发生了源电极 / 漏电极短路的故障信息；如果数据线与检测线为断开状态，则执行步骤 34；

[0076] 步骤 34、在第一栅线和第二栅线上加载开启电压，测量数据线与检测线之间的导通状态；如果数据线与检测线为断开状态，则输出第一薄膜晶体管和第二薄膜晶体管中至少一个不能正常开启的故障信息，并对第一薄膜晶体进行进一步检测；如果数据线与检测线为导通状态，则输出第一薄膜晶体管和第二薄膜晶体管都能正常开启的信息，并结束检测。

[0077] 上述检测过程中，每个故障信息输出后还可以包括检查和修复的流程，有针对性地解决各种故障。需要说明的是，上述具体实施例只是一种示意性说明，几个步骤之间并没有严格的时序关系，实际应用中，几个步骤可以采用任意次序。

[0078] 图 16 为本发明 TFT-LCD 阵列基板检测方法检测信号的示意图。如图 16 所示，本发明 TFT-LCD 阵列基板检测方法的具体检测过程是在数据线上依次施加时钟脉冲信号，检测每一条检测线上的输出信号，根据输出信号的情况判断薄膜晶体管是否存在不良。以图 15 中步骤 34 的检测程序为例，具体为：在第一栅线上施加第一驱动信号 V_{G1} ，在第二栅线上施加第二驱动信号 V_{G2} ，第一驱动信号 V_{G1} 为连续的脉冲信号，即第一驱动信号 V_{G1} 为高电平时，第一薄膜晶体管导通，第一驱动信号 V_{G1} 为低电平时，第一薄膜晶体管截止；第二驱动信号

V_{G2} 为恒定的高电平信号,即第二薄膜晶体管持续导通。之后依次向每个像素行的每个像素电极施加数据电压 V_{data1} 、 V_{data2} 、……、 V_{dataN} ,当第一薄膜晶体管和第二薄膜晶体管正常时,那么检测线上可以测得理想的检测输出信号 $V_{理想输出}$,如图 16 所示。如果某个脉冲缺失或者波形与检测输出信号 $V_{理想输出}$ 不同,那么说明检测线与该脉冲对应列位置上的薄膜晶体管可能出现不良,即第一薄膜晶体管和第二薄膜晶体管中至少一个不能正常开启。实际应用中,根据检测设备的情况可以采用逐行检测或全屏同时检测的方法,由于各像素行检测线上的信号互相之间没有影响,因此全屏同时检测能够节省时间,提高效率。

[0079] 本发明 TFT-LCD 阵列基板检测方法还可以对薄膜晶体管的特性进行检测,检测过程具体为:在第二栅线上施加高电平,使第二薄膜晶体管持续导通,在第一栅线上施加连续变化的电压,在数据线上施加恒定的直流电压信号,记录第一薄膜晶体管的门限电压、开启电流和关断电流等数据,完成对第一薄膜晶体管特性的检测。与将探针直接扎在像素电极上并需要在显微镜平台上才能进行薄膜晶体管特性检测的现有技术相比,本发明 TFT-LCD 阵列基板检测方法具有检测方法简单等优点。

[0080] 通过上述技术方案可以看出,本发明 TFT-LCD 阵列基板检测方法不仅能够单纯地通过电学方式实现薄膜晶体管是否不良的检测,并且能够对薄膜晶体管特性进行检测。与采用模拟成盒方式进行阵列基板检测的现有技术相比,本发明 TFT-LCD 阵列基板检测方法手段简捷,结果明了,不仅检测设备结构简单,而且灵活性高,具有广泛的应用前景。

[0081] 本发明还提供了一种 TFT-LCD 阵列基板驱动方法,包括:在第一栅线提供开启信号之前,向第二栅线提供开启信号,通过检测线与像素电极导通使像素电极产生消除残像的变化。在每帧或每 $N(N = 1, 2, 3, \dots)$ 帧显示前,本发明向第二栅线提供开启信号,将第二薄膜晶体管导通,因此使检测线与像素电极导通,一方面检测线可以成为像素电极释放残存电荷的通道,另一方面可以通过导通第二薄膜晶体管使得检测线向像素电极施加反向过驱动电压消除液晶分子被极化的现象;或者,在每帧或每 $N(N = 1, 2, 3, \dots)$ 帧显示前,本发明向第二栅线提供开启信号,将第二薄膜晶体管导通,因此使检测线与像素电极导通,通过检测线向像素电极施加黑屏控制电压,在两帧画面中插入一帧黑画面,从而克服残像缺陷,改善残像对画面品质的影响。

[0082] 实际应用中,可以采用将检测线与公共电极连接的方式释放像素电极的残存电荷,或将检测线与数据驱动器连接的方式施加反向过驱动电压或黑屏控制电压。

[0083] 最后应说明的是:以上实施例仅用以说明本发明的技术方案而非限制,尽管参照较佳实施例对本发明进行了详细说明,本领域的普通技术人员应当理解,可以对本发明的技术方案进行修改或者等同替换,而不脱离本发明技术方案的精神和范围。

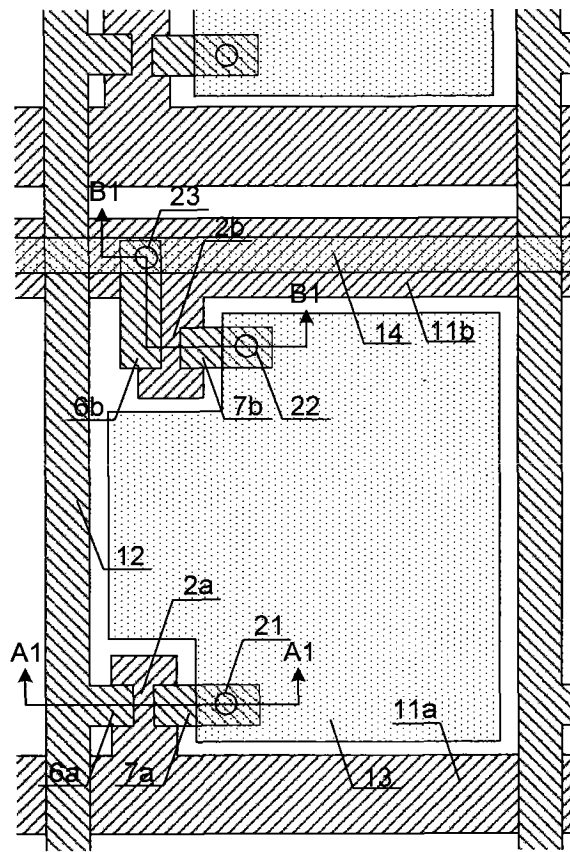


图 1

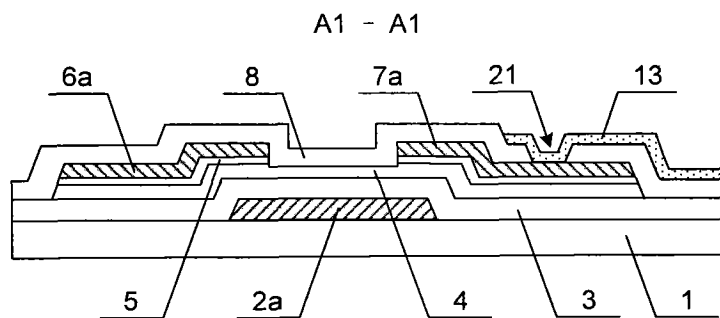


图 2

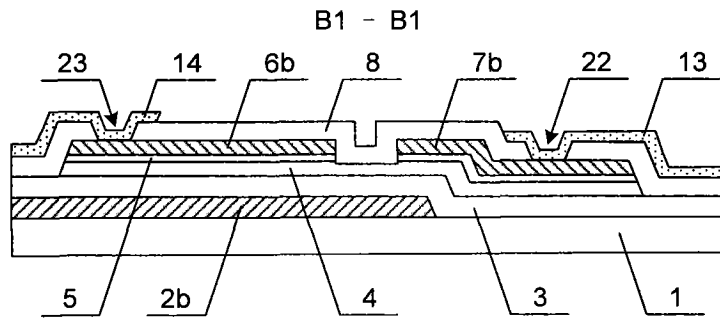


图 3

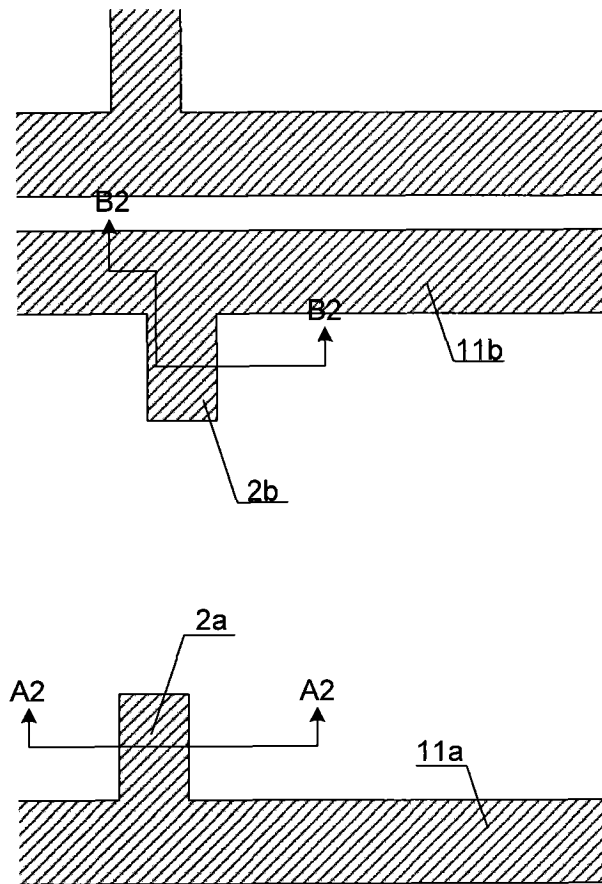


图 4

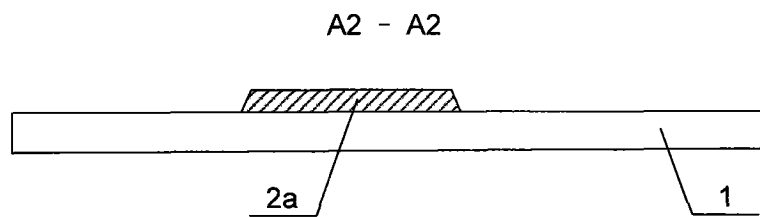


图 5

B2 - B2

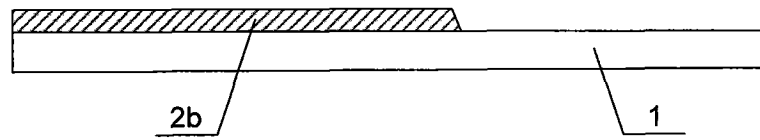


图 6

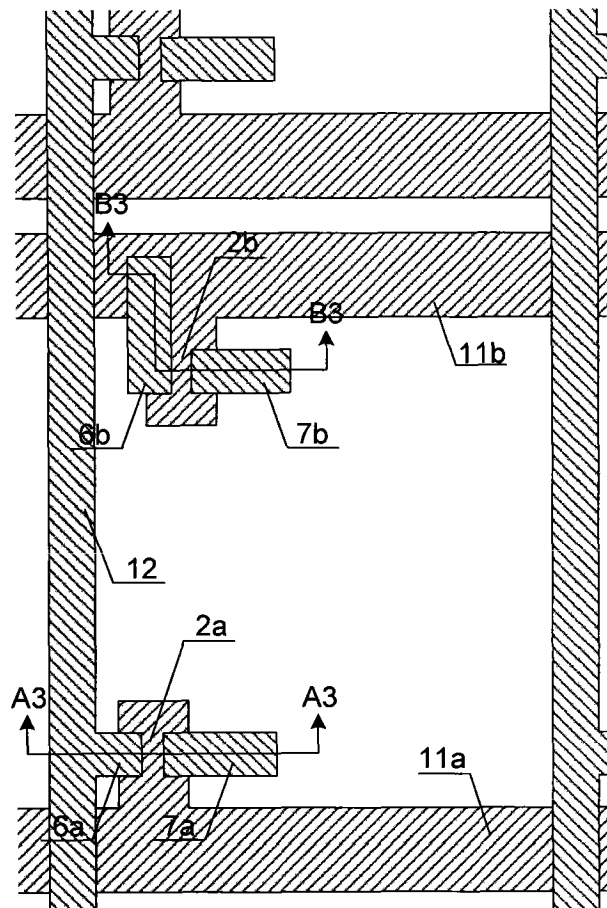


图 7

A3 - A3

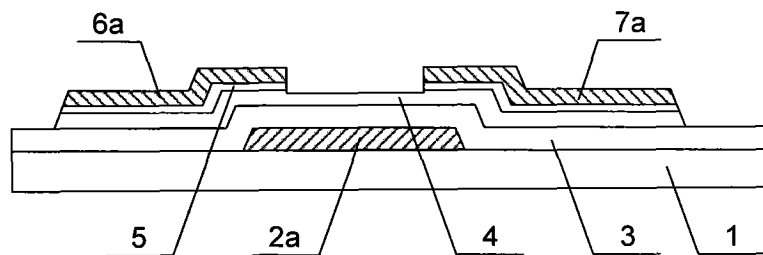


图 8

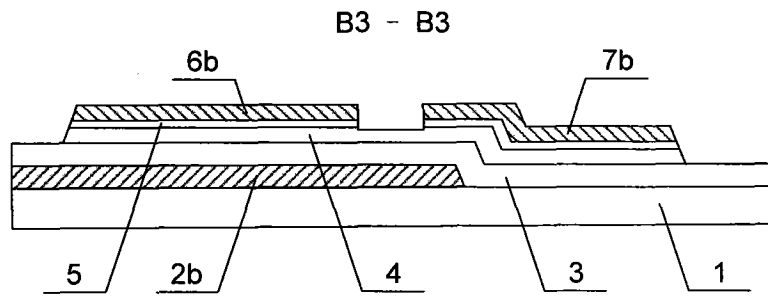


图 9

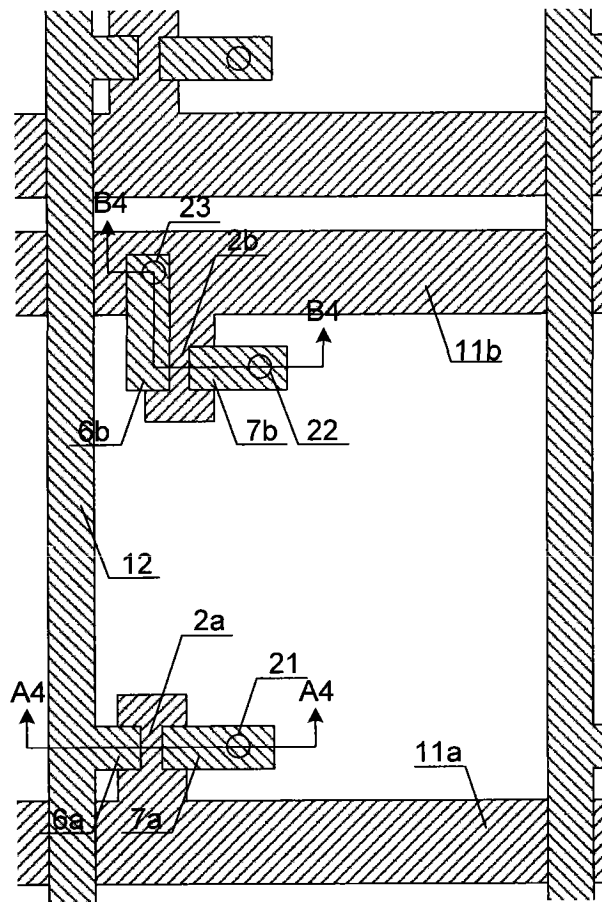


图 10

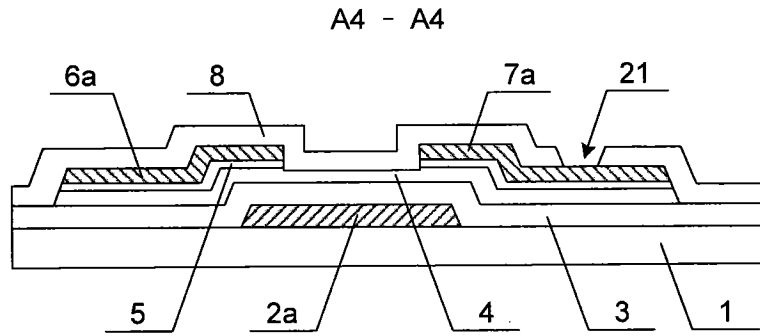


图 11

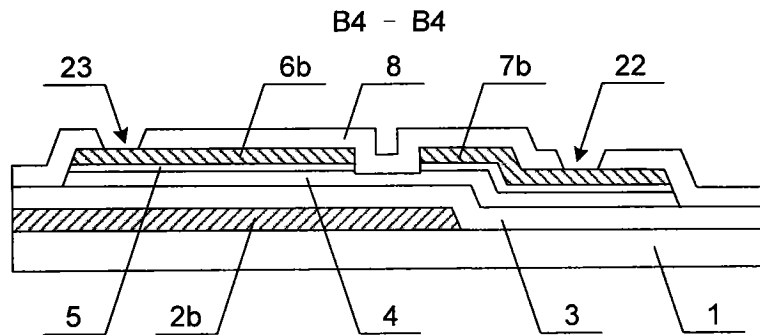


图 12

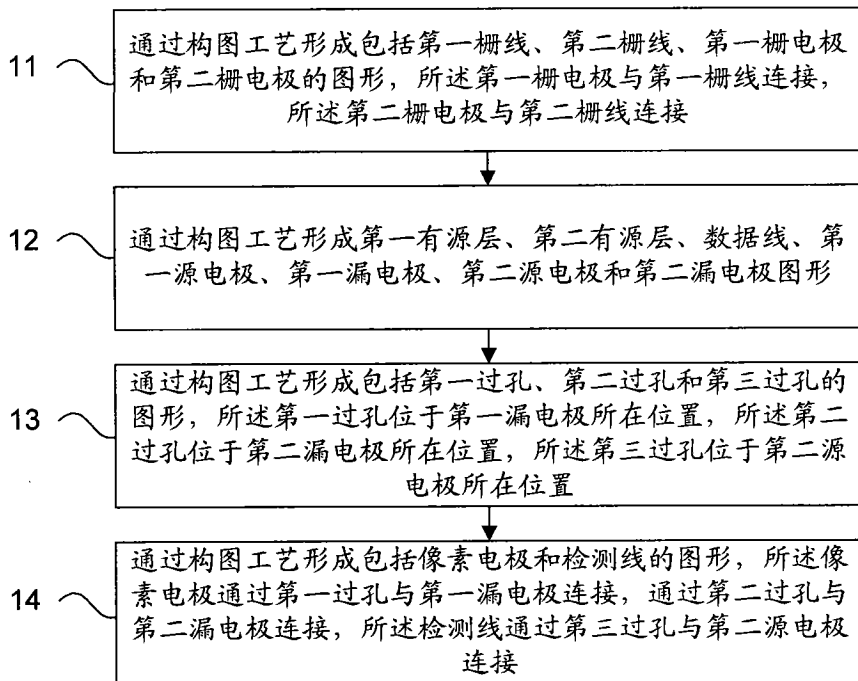


图 13

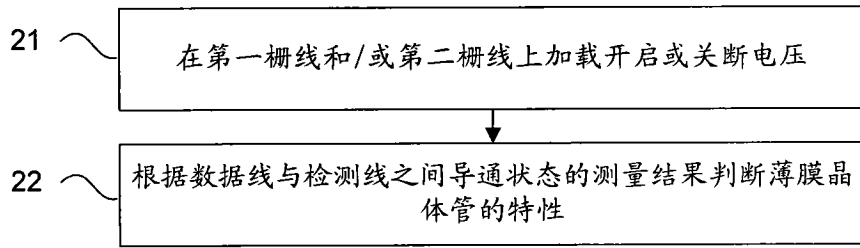


图 14

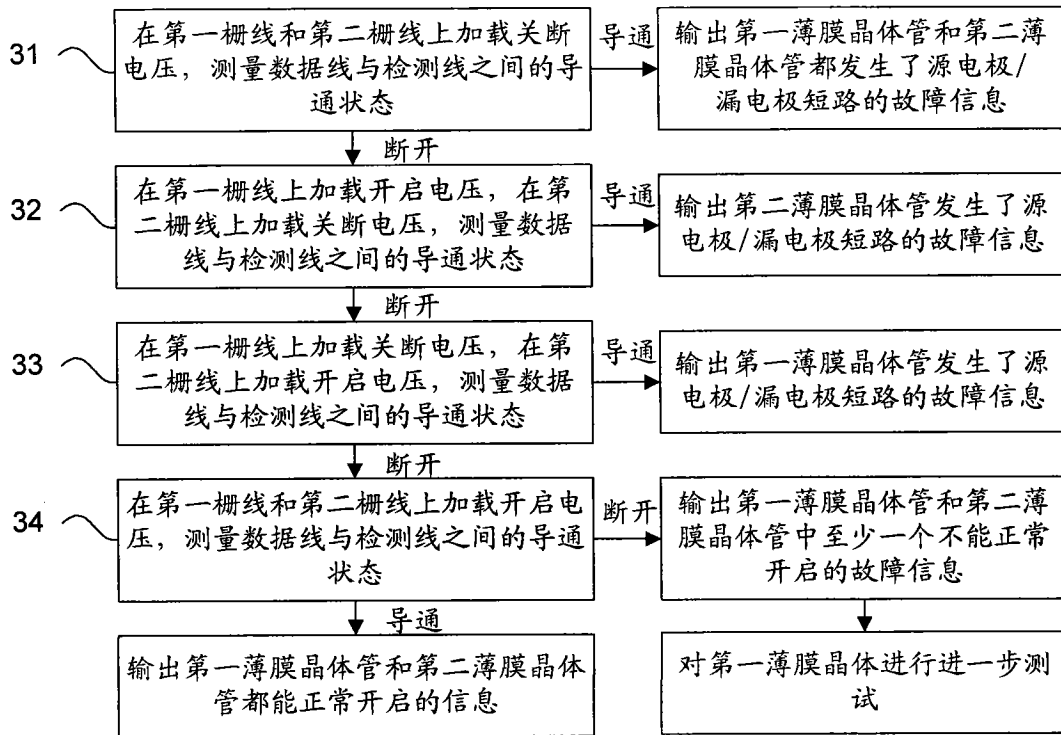


图 15

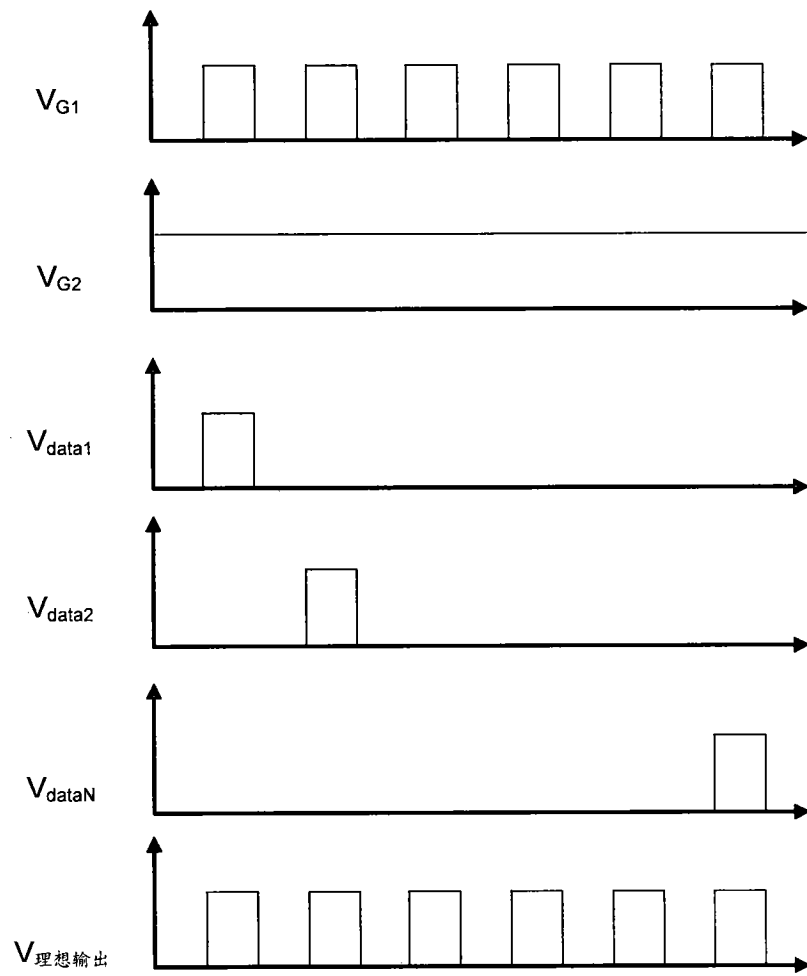


图 16