



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월05일
(11) 등록번호 10-0866973
(24) 등록일자 2008년10월29일

(51) Int. Cl.

G11C 11/15 (2006.01)

(21) 출원번호 10-2007-0070472

(22) 출원일자 2007년07월13일

심사청구일자 2007년07월13일

(56) 선행기술조사문헌

US05894447 A1

JP2005109263 A

(73) 특허권자

이화여자대학교 산학협력단

서울 서대문구 대현동 11-1 이화여자대학교내

(72) 발명자

신형순

서울 서대문구 대현동 11-1번지 이화여자대학교

(74) 대리인

이원희

전체 청구항 수 : 총 18 항

심사관 : 윤진훈

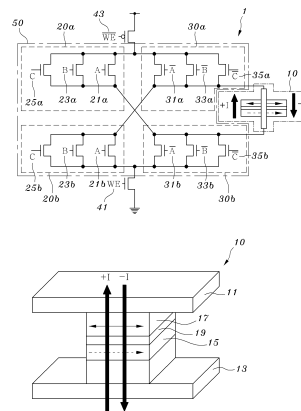
(54) 자기 메모리 셀

(57) 요약

본 발명은 자기 메모리 셀을 이용한 논리회로 구성에 관한 것으로서, 더욱 상세하게는 스핀 토크 변환(Spin Torque Transfer)을 이용한 자기터널접합 소자(MTJ)로 자유층의 자화 방향을 제어하고, 이를 이용하여 메모리 및 논리 회로 기능이 일체화된 자기 논리 회로를 구현할 수 있는 자기 메모리 셀을 제공하기 위한 것이다.

그 기술적 구성은 전류가 도통하도록 구비되는 상, 하부 전극과, 상기 상, 하부 전극 간에 절연을 위한 절연층을 중심으로 상, 하부면에 각각 증착되는 자성강층인 고정층 및 자유층을 포함하는 자기터널접합 소자; 상기 상, 하부 전극 간을 통과하는 전류의 흐름을 제어하고, 입력된 논리 레벨에 따라 상기 자유층의 자화 방향을 변경하는 전류 제어 회로; 를 포함하여 이루어지는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

전류가 도통하도록 구비되는 상, 하부 전극과, 상기 상, 하부 전극 간에 절연을 위한 절연층을 중심으로 상, 하 부면에 각각 증착되는 자성강층인 고정층 및 자유층을 포함하는 자기터널접합 소자; 및

상기 상부 전극과 소스단이 연결되는 제1 전류 구동부 및 상기 제1 전류 구동부와 드레인단이 서로 연결되는 제 2 전류 구동부 및 상기 하부 전극과 드레인단이 연결되는 제3 전류 구동부 및 상기 제3 전류 구동부와 소스단이 서로 연결되는 제4 전류 구동부를 포함하는 전류 제어 회로;

로 이루어지는 자기 메모리 셀.

청구항 2

청구항 1에 있어서,

상기 고정층의 자화 방향은 고정된 것을 특징으로 하는 자기 메모리 셀.

청구항 3

청구항 1에 있어서,

상기 전류 제어 회로의 게이트에 입력되는 신호를 변화시켜 논리 레벨을 형성시키는 것을 특징으로 하는 자기 메모리 셀.

청구항 4

청구항 1에 있어서,

상기 자기터널접합 소자에 인가된 전류가 상기 상부 전극에서 하부 전극으로 흐르는 경우에는 상기 자유층의 자 화 방향이 상기 고정층의 자화 방향과 동일한 것을 특징으로 하는 자기 메모리 셀.

청구항 5

청구항 4에 있어서,

상기 자유층 및 고정층의 자화 방향이 동일한 경우에는 자기터널접합 소자의 자기 저항이 '0'의 논리 레벨을 가 지는 것을 특징으로 하는 자기 메모리 셀.

청구항 6

청구항 1에 있어서,

상기 자기터널접합 소자에 인가된 전류가 상기 하부 전극에서 상부 전극으로 흐르는 경우에는 상기 자유층의 자 화 방향이 고정층의 자화 방향과 반대인 것을 특징으로 하는 자기 메모리 셀.

청구항 7

청구항 6에 있어서,

상기 자유층 및 고정층의 자화 방향이 반대인 경우에는 자기터널접합 소자의 저항이 '1'의 논리 레벨을 가지는 것을 특징으로 하는 자기 메모리 셀.

청구항 8

청구항 1에 있어서,

상기 전류 제어 회로는 상기 상, 하부 전극 간을 통과하는 전류의 흐름을 제어하고, 입력된 논리 레벨에 따라 상기 자유층의 자화방향을 변경하는 것을 특징으로 하는 자기 메모리 셀.

청구항 9

청구항 1에 있어서,

상기 제1 내지 제4 전류 구동부는 병렬로 연결된 3 개의 MOSFET을 포함하는 것을 특징으로 하는 자기 메모리 셀.

청구항 10

청구항 9에 있어서,

상기 제1 전류 구동부의 소스단과 제4 전류 구동부의 드레인단이 연결되고, 상기 제2 전류 구동부의 소스단과 제3 전류 구동부의 드레인단이 연결된 것을 특징으로 하는 자기 메모리 셀.

청구항 11

청구항 1에 있어서,

상기 제1 전류 구동부와 제2 전류 구동부가 연결되는 노드에 일단이 연결되는 제1 인에이블 MOSFET;

상기 제3 전류 구동부와 제4 전류 구동부가 연결되는 노드에 일단이 연결되는 제2 인에이블 MOSFET;

을 더 포함하는 것을 특징으로 하는 자기 메모리 셀.

청구항 12

청구항 1에 있어서,

각 전류 구동부는

제1 논리 입력 신호가 게이트에 인가되는 제1 MOSFET;

제2 논리 입력 신호가 게이트에 인가되는 제2 MOSFET;

제3 논리 입력 신호가 게이트에 인가되는 제3 MOSFET;

을 포함하는 것을 특징으로 하는 자기 메모리 셀.

청구항 13

청구항 12에 있어서,

상기 제1 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호와 제3 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호는 동일하고, 제2 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호와 제4 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호는 동일하되, 제1 전류 구동부와 제2 전류 구동부에 인가되는 신호는 서로 인버팅된 것을 특징으로 하는 자기 메모리 셀.

청구항 14

청구항 13에 있어서,

상기 각 전류 구동부를 구성하는 제3 MOSFET의 게이트에 인가되는 제3 논리 입력 신호에 따라 자기터널접합소자가 AND, OR, NAND, NOR 회로로 동작하는 것을 특징으로 하는 자기 메모리 셀.

청구항 15

청구항 14항에 있어서,

상기 제1 전류 구동부에 입력되는 상기 제3 입력 신호의 논리 레벨이 '1' 이면, 제1 입력 신호 및 제2 입력 신호의 논리 레벨에 따라 자기터널접합소자가 AND 회로로 동작하는 것을 특징으로 하는 자기 메모리 셀.

청구항 16

청구항 14항에 있어서,

상기 제1 전류 구동부에 입력되는 상기 제3 입력 신호의 논리 레벨이 '0' 이면, 제1 입력 신호 및 제2 입력 신호의 논리 레벨에 따라 자기터널접합소자가 OR 회로로 동작하는 것을 특징으로 하는 자기 메모리 셀.

청구항 17

청구항 14항에 있어서,

상기 제1 전류 구동부의 각 MOSFET의 게이트에 입력되는 신호가 반전되지 않은 신호이고, 상기 제1 전류 구동부에 입력되는 상기 제3 입력 신호의 논리 레벨이 '0' 이면, 제1 입력 신호 및 제2 입력 신호의 논리 레벨에 따라 자기터널접합소자가 NAND 회로로 동작하는 것을 특징으로 하는 자기 메모리 셀.

청구항 18

청구항 14항에 있어서,

상기 제1 전류 구동부의 각 MOSFET의 게이트에 입력되는 신호가 반전되지 않은 신호이고, 상기 제1 전류 구동부에 입력되는 제3 입력 신호의 논리 레벨이 '1'이면, 제1 입력 신호 및 제2 입력 신호의 논리 레벨에 따라 자기터널접합소자가 NOR 회로로 동작하는 것을 특징으로 하는 자기 메모리 셀.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <27> 본 발명은 자기 메모리 셀을 이용한 논리회로 구성에 관한 것으로, 특히 스핀 토크 변환(Spin Torque Transfer)를 이용한 자기터널접합 소자(MTJ)의 자유층의 자화 방향을 제어하고, 이를 이용하여 메모리 및 논리 회로 기능이 일체화된 자기 논리 회로를 구현할 수 있는 자기 메모리 셀에 관한 것이다.
- <28> 일반적으로, 자기터널접합(Magnetic Tunneling Junction)을 이용한 논리 회로는 입력단에 같은 전류가 흐르는 경우에는 자유층(Free Magnetic Layer)의 자화방향이 변하고, 전류의 방향이 서로 다른 경우에는 자유층의 자화 방향은 변하지 않기 때문에, 각 전류가 만들어낸 합성 자장에 의하여 교차한 셀 내의 자유층의 자성 스핀을 원하는 방향으로 배열시킬 수 있고, 고정층(Pinned Magnetic Layer)의 자화방향이 고정되어 있으므로, 두개의 자성층의 자화 방향을 평행 또는 반평행의 두가지를 구현함으로써, '1' 과 '0'의 논리 레벨인 디지털 신호를 기록할 수 있다.
- <29> 그리고, 상기 '1'과 '0'의 논리 레벨인 디지털 신호를 읽을 때에는 자기터널접합 소자의 TMR(Tunnelling Magneto-Resistance)를 이용하는데, 자기터널접합에 감지전압이 가해질 때, 전자 캐리어는 상기 자기 물질층들 사이의 비자기성, 비도전성 터널층을 통하여 터널링함으로써, 상기 자기물질층을 통과하고, 상기 감지전류에 대한 저항은 상기 자기물질층 쌍의 자기벡터가 서로 반대방향으로 평행(Anti-Parallel)일 때, 최대가 되며, 자기 물질층 쌍의 자기벡터가 서로 같은 방향으로 평행(Parallel)일 때 최소가 되어 절연층을 터널하는 전자의 컨덕턴스가 두개의 자성층의 상대적인 자화방향에 따른 저항을 측정 가능하다.
- <30> 도 1은 종래 기술에 따른 자기터널접합 소자를 개략적으로 도시한 사시도이다. 도면에서 도시하고 있는 바와 같이, 종래 기술에 따른 자기터널접합 소자(100, IEEE Electron Device Letters, vol. 26, no. 6, p. 360, 2005)는 전류가 도통하도록 구비되는 상부전극(111)과 하부전극(113)과, 상기 상부전극(111)과 하부전극(113) 간에 증착되는 자성강층인 고정층(115) 및 자유층(117)과, 상기 고정층(115) 및 자유층(117) 간에 절연하도록 증착되는 절연층(119)으로 이루어진다.
- <31> 그리고, 상기 상부전극(111)의 상부면에 위치하여 상기 자기터널접합(110)의 고정층(115) 및 자유층(117)의 자화를 위하여 전류를 입력하는 3개 이상의 입력층(120)을 포함하여 상기 입력층(120)에 입력된 논리 레벨에 따라 연산을 수행한다.
- <32> 또한, 상기 고정층(115)은 각 입력층(121, 123, 125)의 입력에 따라 자화방향이 변하지 않도록 고정되며, 상기 자유층(117)의 자화방향이 상기 제1 입력층(125), 제2 입력층(123) 및 제3 입력층(121)에 흐르는 전류 중에서 동일한 방향으로 흐르는 전류가 두 개 이상일 때, 그 전류 방향에 의하여 상기 자유층(117)의 자화방향이 결정된다.

표 1

A	B	C	R
-I(0)	-I(0)	-I(0)	$R_L(0)$
-I(0)	-I(0)	+I(0)	$R_L(0)$
-I(0)	+I(0)	-I(0)	$R_L(0)$
+I(0)	-I(0)	-I(0)	$R_L(0)$
-I(0)	+I(0)	+I(0)	$R_H(1)$
+I(0)	-I(0)	+I(0)	$R_H(1)$
+I(0)	+I(0)	-I(0)	$R_H(1)$
+I(0)	+I(0)	+I(0)	$R_H(1)$

- <33> 여기서, A, B, C 는 각각 제1 입력층(121), 제2 입력층(123), 제3 입력층(125)에 흐르는 전류의 방향을 나타내며, R 은 자기터널접합 소자(100)의 자기 저항을 나타낸다.
- <34> 그리고, 상기 표 1 을 참조하면, A, B, C의 입력 중 동일한 입력이 두 개 이상일 경우, 그 전류의 방향에 따라서 자유층(117)의 자화 방향이 변경되고, 이에 따라 자기 저항의 값이 결정된다.
- <35> 예를 들면, A, B, C 의 입력 중 - I(0)이 두 개 이상일 경우에는, 자유층(117)이 오른쪽으로 자화되고, 고정층(115)은 오른쪽으로 고정되어 있으므로, 자기 저항은 $R_L(0)$ 이 되며, + I(1)이 두 개 이상일 경우에는, 자유층(117)이 왼쪽으로 자화되고, 고정층(115)은 오른쪽으로 고정되어 있으므로, 자기 저항은 $R_H(1)$ 이 된다.
- <36> 상기 표 1에 따라, 자기터널접합 소자(100)는 하기 수학식 1과 같은 논리 회로를 구동시킬 수 있다.

수학식 1

- <37>
$$R = A \cdot B + B \cdot C + C \cdot A$$
- <38> 그러나, 자기터널접합 소자의 자유층 자화 방향을 변경시키기 위하여, 3 개의 금속 입력층을 구비함으로써, 공정수를 증가 및 제조 단가를 상승시키고, 각 금속 입력층 별로 전류구동회로가 추가됨으로써, 자기터널접합 소자에 부가되는 회로에 따른 집적률이 감소하였으며, 이에 따라 논리 회로의 크기를 최소화시키기에 용이하지 못하였고, 각 금속 입력층이 자기터널접합 소자와 이격되어 자화 방향을 제어하기 위한 전류가 증가하여 전력 소모가 증가하는 등의 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <39> 본 발명은 상기한 문제점을 해결하기 위하여 안출한 것으로, 스핀 토크 변환(Spin Torque Transfer)을 이용한 자기터널접합 소자(MTJ)로 자유층의 자화 방향을 제어하고, 이를 이용하여 논리 회로를 구현할 수 있는 자기 메모리 셀을 제공하는 것을 목적으로 한다.
- <40> 본 발명의 다른 목적은 자기터널접합 소자에 추가되는 회로 및 금속 입력층을 제거하여 자기 논리 회로의 크기를 최소화시키고, 다양한 논리 회로가 용이하게 구성되는 것을 목적으로 한다.

발명의 구성 및 작용

- <41> 상기한 바와 같은 목적을 달성하기 위하여 본 발명은 전류가 도통하도록 구비되는 상, 하부 전극과, 상기 상, 하부 전극 간에 절연을 위한 절연층을 중심으로 상, 하부면에 각각 증착되는 자성강층인 고정층 및 자유층을 포함하는 자기터널접합 소자; 상기 상, 하부 전극 간을 통과하는 전류의 흐름을 제어하고, 입력된 논리 레벨에 따라 상기 자유층의 자화 방향을 변경하는 전류 제어 회로; 를 포함한다.
- <42> 그리고, 상기 고정층의 자화 방향은 고정된 것을 특징으로 한다.
- <43> 또한, 상기 전류 제어 회로의 게이트에 입력되는 신호를 변화시켜 논리 레벨을 형성시키는 것을 특징으로 한다.
- <44> 더불어, 상기 자기터널접합 소자에 인가된 전류가 상기 상부 전극에서 하부 전극으로 흐르는 경우에는 상기 자

유층의 자화 방향이 상기 고정층의 자화 방향과 동일한 것을 특징으로 한다.

- <46> 여기서, 상기 자유층 및 고정층의 자화 방향이 동일한 경우에는 자기터널접합 소자의 자기 저항이 '0'의 논리 레벨을 가지는 것을 특징으로 한다.
- <47> 그리고, 상기 자기터널접합 소자에 인가된 전류가 상기 하부 전극에서 상부 전극으로 흐르는 경우에는 상기 자유층의 자화 방향이 고정층의 자화 방향과 반대인 것을 특징으로 한다.
- <48> 이때, 상기 자유층 및 고정층의 자화 방향이 반대인 경우에는 자기터널접합 소자의 저항이 '1'의 논리 레벨을 가지는 것을 특징으로 한다.
- <49> 더불어, 상기 전류 제어 회로는 상기 상부 전극과 소스단이 연결되는 제1 전류 구동부; 상기 제1 전류 구동부와 드레인단이 서로 연결되는 제2 전류 구동부; 상기 하부 전극과 드레인단이 연결되는 제3 전류 구동부; 상기 제3 전류 구동부와 소스단이 서로 연결되는 제4 전류 구동부; 를 포함하여 이루어지는 것을 특징으로 한다,
- <50> 여기서, 상기 제1 내지 제4 전류 구동부는 병렬로 연결된 3 개의 MOSFET을 포함하는 것을 특징으로 한다.
- <51> 그리고, 상기 제1 전류 구동부의 소스단과 제4 전류 구동부의 드레인단이 연결되고, 상기 제2 전류 구동부의 소스단과 제3 전류 구동부의 드레인단이 연결된 것을 특징으로 한다.
- <52> 또한, 상기 제1 전류 구동부와 제2 전류 구동부가 연결되는 노드에 일단이 연결되는 제1 인에이블 MOSFET; 상기 제3 전류 구동부와 제4 전류 구동부가 연결되는 노드에 일단이 연결되는 제2 인에이블 MOSFET; 을 더 포함하는 것을 특징으로 한다.
- <53> 그리고, 각 전류 구동부는 제1 논리 입력 신호가 게이트에 인가되는 제1 MOSFET; 제2 논리 입력 신호가 게이트에 인가되는 제2 MOSFET; 제3 논리 입력 신호가 게이트에 인가되는 제3 MOSFET; 을 포함한다.
- <54> 또한, 상기 제1 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호와 제3 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호는 동일하고, 제2 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호와 제4 전류 구동부를 구성하는 MOSFET의 각 게이트에 인가되는 신호는 동일하되, 제1 전류 구동부와 제2 전류 구동부에 인가되는 신호는 서로 인버팅된 것을 특징으로 한다.
- <55> 여기서, 상기 각 전류 구동부를 구성하는 제3 MOSFET의 게이트에 인가되는 제3 논리 입력 신호에 따라 AND, OR, NAND, NOR 회로로 동작하는 것을 특징으로 한다.
- <56> 그리고, 상기 제1 전류 구동부에 입력되는 상기 제3 입력 신호의 논리 레벨이 '1' 이면, 제1 입력 신호 및 제2 입력 신호의 논리 레벨에 따라 AND 회로로 동작하는 것을 특징으로 한다.
- <57> 또한, 상기 제1 전류 구동부에 입력되는 상기 제3 입력 신호의 논리 레벨이 '0' 이면, 제1 입력 신호 및 제2 입력 신호의 논리 레벨에 따라 OR 회로로 동작하는 것을 특징으로 한다.
- <58> 더불어, 상기 제1 전류 구동부의 각 MOSFET의 게이트에 입력되는 신호가 반전되지 않은 신호이고, 상기 제1 전류 구동부에 입력되는 상기 제3 입력 신호의 논리 레벨이 '0' 이면, 제1 입력 신호 및 제2 입력 신호의 논리 레벨에 따라 NAND 회로로 동작하는 것을 특징으로 한다.
- <59> 그리고, 상기 제1 전류 구동부의 각 MOSFET의 게이트에 입력되는 신호가 반전되지 않은 신호이고, 상기 제1 전류 구동부에 입력되는 제3 입력 신호의 논리 레벨이 '1'이면, 제1 입력 신호 및 제2 입력 신호의 논리 레벨에 따라 NOR 회로로 동작하는 것을 특징으로 한다.
- <60> 이하, 본 발명에 따른 실시예를 첨부된 예시도면을 참고로 하여 상세하게 설명한다.
- <61> 도 2은 본 발명에 따른 자기 메모리 셀을 개략적으로 도시한 회로도 및 부분 확대도이다. 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 자기 메모리 셀(1)은 자기터널접합 소자(MTJ: Magnetic Tunneling Junction, 10)와, 전류제어회로(50)를 포함하여 이루어진다.
- <62> 여기서, 자기터널접합 소자(10)는 상기 상부전극(Top Electrode, 11)과 하부전극(Bottom Electrode, 13) 간에 증착되는 자성강층인 고정층(Fixed Layer, 15) 및 자유층(Free Layer, 17)과, 상기 고정층(15) 및 자유층(17) 간에 절연하도록 증착되는 절연층(19)으로 이루어진다.
- <63> 그리고, 상기 고정층(15)의 자화방향은 오른쪽 방향으로 고정되고, 상기 전류제어회로(50)로 인하여 인가되는 전류의 방향과는 무관하게 계속적으로 오른 방향으로 유지된다.

- <64> 여기서, 자기터널접합 소자(10)는 자기 저항식 랜덤 액세스 메모리(MRAM: Magneto - resistance Random Access Memory)를 구성하는 구성 요소로서, 전기도체의 저항이 주변 자기장에 따라 변화하는 자기저항효과 (Magneto - resistance Effect)를 이용하여 데이터 및 정보를 저장한다.
- <65> 이때, 자기저항효과(磁氣抵抗效果, Magnetoresistance Effect)는 자기장에 의하여 물질의 전기 저항이 변하는 현상으로서, 금속이나 반도체에 자기장을 걸어주면 전기 저항이 증가하고, 전기 저항의 증가량은 약한 전기장에 대해서는 자기장 세기의 제곱에 비례하는 현상이며, 자기장의 방향에 대하여 전류의 방향이 수직인 경우를 가로 효과라 하는데, 강자성체에서는 자발자화로 방향의 변화에 따라 저항의 변화가 생긴다.
- <66> 이에 따라, 자기터널접합 소자(10)에서는 상기 전류제어회로(50)가 전류를 세로 방향으로 인가시켜 자유층(17)의 자화 방향을 제어하고, 변화된 자화 방향으로 자기터널접합 소자(10)의 자기 저항이 변하며, 이를 이용하여 메모리에 데이터를 기록하거나 또는 논리 회로를 구현할 수 있게 된다.
- <67> 또한, 자유층(17)의 자화 방향은 전류의 방향에 따라 변경되는데, 상기 전류제어회로(50)에서 인가시킨 전류의 방향이 자기터널접합 소자(10)의 상부 전극(11)에서 하부 전극(13) 방향인 경우에는 자유층(17)의 자화 방향은 고정층(15)의 자화 방향과 동일한 방향으로 변경되고, 전류제어회로(50)에서 인가시킨 전류의 방향이 자기터널접합 소자(10)의 하부 전극(11)에서 상부 전극(13) 방향인 경우에는 자유층(17)의 자화 방향은 고정층(15)과 반대 방향으로 변경된다.
- <68> 여기서, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행(Anti-Parallel)일 경우에 자기 저항이 최대가 되어 논리 레벨 '1' 을 출력할 수 있으며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행(Parallel)일 때 최소가 되어 논리 레벨 '0'을 출력할 수 있다.
- <69> 본 발명에 따른 실시예에서 고정층(15)의 자화 방향을 오른쪽으로 가정하면, 전류제어회로(50)로부터 인가되는 전류의 방향이 상 - 하 방향인 경우에는, 자유층(17)의 자화 방향이 오른쪽으로 변경되고, 이에 따라 자유층(17) 및 고정층(15)의 자화 방향이 동일 방향으로 평행하며, 자기 저항이 최소가 되어 논리 레벨 '0' 이 된다.
- <70> 반대로, 전류제어회로(50)로부터 인가되는 전류의 방향이 하 - 상 방향인 경우에는, 자유층(17)의 자화 방향이 왼쪽으로 변경되고, 이에 따라 자유층(17) 및 고정층(15)의 자화 방향이 반대 방향으로 평행하며, 자기 저항이 최대가 되어 논리 레벨 '1' 이 된다.
- <71> 전류제어회로(50)는 제1 전류 구동부(30a), 제2 전류 구동부(20a), 제3 전류 구동부(30b), 제4 전류 구동부(20b)와 제1 인에이블 MOSFET과, 제2 인에이블 MOSFET을 포함하여 이루어진다.
- <72> 여기서, 제1 전류 구동부(30a)는 제1 MOSFET(31a), 제2 MOSFET(33a), 제3 MOSFET(35a)을 포함하여 이루어지며, 상기 자기터널접합 소자(10)의 상부 전극(11) 및 상기 제4 전류 구동부(20b)에 일측단이 연결되고, 상기 제2 전류 구동부(20a)와 타측단이 연결된다.
- <73> 또한, 상기 제1 MOSFET(31a)과 제2 MOSFET(33a)과 제3 MOSFET(35a)은 NMOS 로 구비되는 것이 바람직하며, 각각 병렬로 연결되고, 각 MOSFET(31a, 33a, 35a)의 소스(Source)단이 상기 상부 전극(11) 및 상기 제4 전류 구동부(20b)와 연결된다.
- <74> 그리고, 제2 전류 구동부(20a)는 제1 MOSFET(21a), 제2 MOSFET(23a), 제3 MOSFET(25a)을 포함하여 이루어지며, 상기 제1 전류 구동부(30a)와 일측단이 연결되고, 제3 전류 구동부(30b)와 타측단이 연결된다.
- <75> 이때, 상기 제1 MOSFET(21a)과 제2 MOSFET(23a)과 제3 MOSFET(25a)은 NMOS 로 구비되는 것이 바람직하며, 각각 병렬로 연결되고, 각 MOSFET(21a, 23a, 25a)의 소스(Source)단은 상기 제3 전류 구동부(30b)의 드레인(Drain)단과 연결되며, 각 MOSFET(21a, 23a, 25a)의 드레인(Drain)단은 상기 제1 전류 구동부(30a)의 각 MOSFET(31a, 33a, 35a)의 드레인(Drain)단과 연결된다.
- <76> 더불어, 제3 전류 구동부(30b)는 제1 MOSFET(31b), 제2 MOSFET(33b), 제3 MOSFET(35b)을 포함하여 이루어지며, 제3 전류 구동부(30b)의 각 MOSFET(31b, 33b, 35b)의 드레인(Drain)단은 상기 자기터널접합 소자(10)의 하부 전극(13) 및 상기 제2 전류 구동부(20a)의 각 MOSFET(21a, 23a, 25a)의 소스(Source)단과 각각 연결된다.
- <77> 또한, 제1 MOSFET(31b), 제2 MOSFET(33b), 제3 MOSFET(35b)은 NMOS 로 구비되는 것이 바람직하며, 각각 병렬로 연결되고, 각 MOSFET(31b, 33b, 35b)의 소스(Source)단의 일측이 제4 전류 구동부(20b)의 일단과 연결된다.
- <78> 그리고, 제4 전류 구동부(20b)는 제1 MOSFET(21b), 제2 MOSFET(23b), 제3 MOSFET(25b)을 포함하여 이루어지며, 상기 각 MOSFET(21b, 23b, 25b)의 드레인(Drain)단은 상기 제1 전류 구동부(30a)의 각 MOSFET(31a, 33a, 35a)

의 소스(Source)단과 연결되고, 각 MOSFET(21b, 23b, 25b)의 소스(Source)단은 상기 제3 전류 구동부(30b)의 각 MOSFET(31b, 33b, 35b)의 소스(Source)단과 연결된다.

<79> 또한, 상기 제2 전류 구동부(20a)와 제4 전류 구동부(20b)의 각 게이트(Gate)에는 정상 신호가 입력되고, 제1 전류 구동부(30a)와 제3 전류 구동부(30b)의 각 게이트(Gate)에는 상기 제2 전류 구동부(20a)와 제4 전류 구동부(20b)의 각 게이트(Gate)에 입력되는 신호가 인버팅(Inverting)된 반전 신호가 입력된다.

<80> 즉, 제1 MOSFET(21a, 21b)에 입력되는 제1 논리 입력 신호는 제1 MOSFET(31a, 31b)에는 인버팅되어 입력되는데, 예를 들어, 제1 MOSFET(21a, 21b)에 입력되는 제1 논리 입력 신호가 A 라면, 제1 MOSFET(31a, 31b)에 입력되는 제1 논리 입력 신호는 $\overline{A}$ 로 입력되는 것이다.

<81> 이와 같이, 제2 MOSFET(23a, 23b)에 입력되는 제2 논리 입력 신호(B)는 제2 MOSFET(33a, 33b)에 입력되는 제2 논리 입력 신호($\overline{B}$)와 인버팅(Inverting)된 상태로 입력되고, 제3 MOSFET(25a, 25b)에 입력되는 제2 논리 입력 신호(C)는 제2 MOSFET(35a, 35b)에 입력되는 제2 논리 입력 신호($\overline{C}$)와 인버팅(Inverting)된 상태로 입력된다.

<82> 더불어, 제1 인에이블 MOSFET(43)은 상기 제1 전류 구동부(30a)의 각 MOSFET(31a, 33a, 35a)의 드레인과 제2 전류 구동부(20a)의 각 MOSFET(21a, 23a, 25a)의 드레인과 연결되는 노드 간에 연결되되, 제1 인에이블 MOSFET(43)의 소스단과 연결시킨다.

<83> 또한, 제2 인에이블 MOSFET(41)은 상기 제3 전류 구동부(30b)의 각 MOSFET(31b, 33b, 35b)의 소스와 제4 전류 구동부(20b)의 각 MOSFET(21b, 23b, 25b)의 소스가 연결되는 노드 간에 연결되되, 제2 인에이블 MOSFET(41)의 드레인단과 연결시킨다.

<84> 그 이유는, WE이 로직 레벨 '1' 로 유지되는 쓰기 동작 구간에서만 상기 제1, 제2 인에이블 MOSFET(43, 41)을 통하여 전류가 흐르므로, 전류 구동회로(50)으로부터 자기 접합 소자 (10)에 전류가 공급되어 쓰기 동작을 수행토록 하기 위함이다.

<85> 더불어, 제1 인에이블 MOSFET(43)과 제2 인에이블 MOSFET(41)의 게이트(Gate)에 인가되는 전압은 인버팅되어 신호가 입력되는데, 예를 들어 제2 인에이블 MOSFET(41)에 WE 가 입력되면, 제1 인에이블 MOSFET(43)에는 $\overline{WE}$ 가 입력되며, 즉 제2 인에이블 MOSFET(41)에는 정상 신호가 입력되고, 제1 인에이블 MOSFET(43)에는 반전 신호가 입력되는 것이다.

<86> 또한, 제2 인에이블 MOSFET(41)를 제외한 본 발명에 따른 자기 메모리 셀(1)에 이용되는 모든 MOSFET은 NMOS로 구비되는 것이 바람직하고, 제2 인에이블 MOSFET(41)은 PMOS로 구비되는 것이 바람직하다.

<87> 여기서, MOSFET은 산화 절연층을 구비한 전계 효과 트랜지스터(FET: Field Effect Transistor)로서, 반도체 내에 있는 유출원 전도 채널과 산화 절연층에 의하여 게이트가 분리되어 있으며, 입력 전하량을 충전시키거나 또는 제거할 펄스 정도의 게이트 입력 전압을 요구한다.

<88> 따라서, 각 MOSFET의 게이트에 일정 전압이 인가되지 않는 경우, 드레인(Drain) - 소스 (Source) 간의 전류가 도통할 수 없도록 이루어진다.

<89> 도 3는 본 발명에 따른 자기 메모리 셀을 이용하여 AND 논리 회로를 구현한 회로도 및 부분 확대도이고, 도 4은 도 3의 AND 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도이다.

<90> 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 자기 메모리 셀(1)은 도 2의 구성과 동일하며, 각 제3 MOSFET(25a, 25b, 35a, 35b)의 게이트에 입력되는 신호가 기 설정된다.

<91> 이하, 본 실시예에 따른 AND 논리 회로의 동작 과정을 설명한다.

<92> 우선, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제3 MOSFET(35a, 35b)의 게이트(Gate)에 논리 레벨 '1' 을 입력시키고, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제3 MOSFET(25a, 25b)에는 상기 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제3 MOSFET(35a, 35b)의 게이트(Gate)에 입력된 신호를 반전시킨 논리 레벨 '0' 의 신호를 입력시킨다.

<93> 또한, 제1 인에이블 MOSFET(41) 및 제2 인에이블 MOSFET(43)이 드레인(Drain) - 소스(Source) 간 전류가 도통하도록 각 게이트(WE, $\overline{WE}$)에 일정 전압을 인가시키는데, 본 발명에 따른 자기 논리 셀(1)에 대한 데이터 쓰기

동작이 수행되는 쓰기 동작 구간 동안에만 WE에 논리 레벨 '1'의 입력 신호를 인가한다.

<94> 여기서, 자기 논리 셀(1)의 쓰기 동작 구간이 아닌 경우에는 자기터널접합 소자(10)의 자기 저항이 변화하지 않고 유지되어야 하므로, 본 발명에 따른 전류제어회로(50)가 구동되는 것을 방지하기 위하여 WE에 논리 레벨 '0'의 입력신호를 인가한다.

<95> 그리고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 상 - 하 방향이면, 즉 상부 전극(11)에서 하부 전극(13)으로 흐르는 경우의 전류 방향을 - I 로 정의하고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 하 - 상 방향이면, 즉 하부 전극(13)에서 상부 전극(11)으로 흐르는 경우의 전류 방향을 + I 로 정의한다.

표 2

<96>

A	B	전류	R
0	0	-3I	$R_L(0)$
0	1	-I	$R_L(0)$
1	0	-I	$R_L(0)$
1	1	+I	$R_H(1)$

<97> 표 2에서 도시된 바와 같이, 각 제1 MOSFET(21a, 21b)에 인가되는 논리 입력 신호를 A 라 하고, 각 제2 MOSFET(23a, 23b)에 인가되는 논리 입력 신호를 B 라 하며, 상기 A, B 입력 신호에 따른 자기터널접합 소자(10)에 인가되는 전류를 '전류' 라고 하며, 상기 전류로 자화 방향이 제어되어 발생되는 자기 저항을 R 이라 하면, AND 논리 회로 동작과정은 다음과 같다.

<98> 표 2의 1행은 도 4의 (가)의 경우이고, A 에 '0', B 에 '0' 을 입력한 경우의 동작 과정은 다음과 같다.

<99> 여기서, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '0' 이 기 설정되어 입력된다.

<100> 한편, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에는 논리 레벨 '1'이 기 설정되어 입력된다.

<101> 즉, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)에 논리 레벨 '1' 에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.

<102> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 소스(Source)단에서는 각각 I 의 전류가 출력되는데, 상기 제1 전류 구동부(30a)에서는 병렬로 연결되고 있으므로, 3 개의 출력이 통합되어 $3 * I$ 가 출력된다.

<103> 그리고, 상기 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 상기 $3 I$ 의 전류는 상 - 하 방향으로 인가된다.

<104> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, - $3 I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되고, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.

<105> 표 2의 2행은 도 4의 (나)의 경우이고, A 에 '0', B 에 '1' 을 입력한 경우의 동작 과정은 다음과 같다.

<106> 여기서, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 논리 레벨 '0'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트에 논리 레벨 '0' 이 기 설정되어 입력된다.

- <107> 한편, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트에는 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 입력된 신호를 인버팅시킨 논리 레벨 '1'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트에도 입력 신호를 인버팅시킨 논리 레벨 '0'이 입력되며, 제3 MOSFET(35a, 35b)의 게이트에는 논리 레벨 '1'이 기 설정되어 입력된다.
- <108> 즉, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제2 MOSFET(23a)의 드레인 - 소스 간에 전류가 도통하도록 작동되고, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제3 MOSFET(31a, 35a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <109> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스(Source)단에서는 I 의 전류가 출력되고, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 소스(Source)단에서는 각각 I 전류가 출력되는데, 병렬 연결되어 있으므로 총 $2 * I$ 의 전류가 출력된다.
- <110> 그리고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 I 의 전류는 하 - 상 방향으로 인가되고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극(11)과 연결되어 있으므로, 상기 $2I$ 의 전류는 상 - 하 방향으로 인가된다.
- <111> 따라서, 상 - 하 방향으로 흐르는 전류를 $-I$ 로 정의하고, 하 - 상 방향으로 흐르는 전류를 $+I$ 로 정의하였으므로, $I + (-2I) = -I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되고, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <112> 표 2의 3행은 도 4의 (다)의 경우이고, A에 '1', B에 '0'을 입력한 경우의 동작 과정은 다음과 같다.
- <113> 여기서, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 논리 레벨 '1'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트에 논리 레벨 '0'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트에 논리 레벨 '0'이 기 설정되어 입력된다.
- <114> 한편, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트에는 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 입력된 신호를 인버팅시킨 논리 레벨 '0'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트에도 입력 신호를 인버팅시킨 논리 레벨 '1'이 입력되며, 제3 MOSFET(35a, 35b)의 게이트에는 논리 레벨 '1'이 기 설정되어 입력된다.
- <115> 즉, 제2 전류 구동부(20a)의 제1 MOSFET(21a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제1 MOSFET(21a)의 드레인 - 소스 간에 전류가 도통하도록 작동되고, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제2, 제3 MOSFET(33a, 35a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <116> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1 MOSFET(21a)의 소스(Source)단에서는 I 의 전류가 출력되고, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 소스(Source)단에서는 각각 I 전류가 출력되는데, 병렬 연결되어 있으므로 총 $2 * I$ 의 전류가 출력된다.
- <117> 그리고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 I 의 전류는 하 - 상 방향으로 인가되고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극(11)과 연결되어 있으므로, 상기 $2I$ 의 전류는 상 - 하 방향으로 인가된다.
- <118> 따라서, 상 - 하 방향으로 흐르는 전류를 $-I$ 로 정의하고, 하 - 상 방향으로 흐르는 전류를 $+I$ 로 정의하였으므로, $I + (-2I) = -I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되고, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <119> 표 2의 4행은 도 4의 (라)의 경우이고, A에 '1', B에 '1'을 입력한 경우의 동작 과정은 다음과 같다.
- <120> 여기서, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 논리 레벨 '1'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트에 논리 레벨 '1'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트에 논

리 레벨 '0' 이 기 설정되어 입력된다.

- <121> 한편, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트에는 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 입력된 신호를 인버팅시킨 논리 레벨 '0' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트에도 입력 신호를 인버팅시킨 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트에는 논리 레벨 '1'이 기 설정되어 입력된다.
- <122> 즉, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)에 논리 레벨 '1' 에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제2 MOSFET(21a, 23a)의 드레인 - 소스 간에 전류가 도통하도록 작동되고, 제1 전류 구동부(30a)의 제3 MOSFET(35a)에 논리 레벨 '1' 에 대응되는 전압이 인가되어 상기 제3 MOSFET(35a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <123> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)의 소스(Source)단에서는 각각 I 의 전류가 출력되는데, 상기 제2 전류 구동부(20a)에서는 병렬로 연결되고 있으므로, 2 개의 출력이 통합되어 $2 * I$ 가 출력되고, 제1 전류 구동부(30a)의 제3 MOSFET(35a)의 소스(Source)단에서는 I 의 전류가 출력된다.
- <124> 그리고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 $2 I$ 의 전류는 하 - 상 방향으로 인가되고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극(11)과 연결되어 있으므로, 상기 I 의 전류는 상 - 하 방향으로 인가된다.
- <125> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $2 I + (- I) = I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <126> 즉, 본 실시예에 따른 AND 논리 회로는 AND 연산을 수행할 수 있는 게이트로 구현가능하며, 이는 하기 수학적 식 2 과 같다.

수학적 식 2

- <127> $R = A \cdot B$
- <128> 도 5는 본 발명에 따른 자기 메모리 셀을 이용하여 OR 논리 회로를 구현한 회로도 및 부분 확대도이고, 도 6는 도 5의 OR 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도이다.
- <129> 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 자기 메모리 셀(1)은 도 2의 구성과 동일하지만, 제3 MOSFET(25a, 25b)와 제3 MOSFET(35a, 35b)의 게이트에 입력되는 신호가 인버팅(Inverting)되도록 기 설정된다.
- <130> 이하, 본 실시예에 따른 OR 논리 회로의 동작 과정을 설명한다.
- <131> 우선, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제3 MOSFET(35a, 35b)의 게이트(Gate)에 논리 레벨 '0' 을 입력시키고, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제3 MOSFET(25a, 25b)에는 상기 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제3 MOSFET(35a, 35b)의 게이트(Gate)에 입력된 신호를 반전시킨 논리 레벨 '1' 의 신호를 입력시킨다.
- <132> 또한, 제1 인에이블 MOSFET(41) 및 제2 인에이블 MOSFET(43)이 드레인(Drain) - 소스(Source) 간 전류가 도통하도록 각 게이트(WE, $\overline{WE}$)에 일정 전압을 인가시키는데, 본 발명에 따른 자기 논리 셀(1)에 대한 데이터 쓰기 동작이 수행되는 쓰기 동작 구간 동안에만 WE에 논리 레벨 '1' 의 입력 신호를 인가한다.
- <133> 여기서, 자기 논리 셀(1)의 쓰기 동작 구간이 아닌 경우에는 자기터널접합 소자(10)의 자기 저항이 변화하지 않고 유지되어야 하므로, 본 발명에 따른 전류제어회로(50)가 구동되는 것을 방지하기 위하여 WE에 논리 레벨 '0' 의 입력신호를 인가한다.
- <134> 그리고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 상 - 하 방향이면, 즉 상부 전극(11)에서 하부 전극(13)으로 흐르는 경우의 전류 방향을 - I 로 정의하고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 하 - 상 방향이면, 즉 하부 전극(13)에서 상부 전극(11)으로 흐르는 경우의 전류 방향을 + I 로 정의한다.

표 3

<135>

A	B	전류	R
0	0	-I	$R_L(0)$
0	1	+I	$R_H(1)$
1	0	+I	$R_H(1)$
1	1	+3I	$R_H(1)$

<136>

표 3에서 도시된 바와 같이, 각 제1 MOSFET(21a, 21b)에 인가되는 논리 입력 신호를 A 라 하고, 각 제2 MOSFET(23a, 23b)에 인가되는 논리 입력 신호를 B 라 하며, 상기 A, B 입력 신호에 따른 자기터널접합 소자(10)에 인가되는 전류를 '전류' 라고 하며, 상기 전류로 자화 방향이 제어되어 발생하는 자기 저항을 R 이라 하면, OR 논리 회로 동작과정은 다음과 같다.

<137>

표 3의 1행은 도 6의 (가)의 경우이고, A 에 '0', B 에 '0' 을 입력한 경우의 동작 과정은 다음과 같다.

<138>

여기서, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '1' 이 기 설정되어 입력된다.

<139>

한편, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에는 논리 레벨 '0'이 기 설정되어 입력된다.

<140>

즉, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)와, 제2 전류 구동부(20a)의 제3 MOSFET(25a)에 논리 레벨 '1' 에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제2 MOSFET(31a, 33a), 제3 MOSFET(25a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.

<141>

또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 소스(Source)단에서는 I 의 전류가 출력되고, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 소스(Source)단에서는 병렬 연결되어 있으므로, $2 * I$ 의 전류가 출력된다.

<142>

그리고, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 소스(Source)단은 상기 제3 전류 구동부(30b)의 드레인(Drain)단과 연결되고, 상기 제3 전류 구동부(30b)의 드레인(Drain)단은 자기터널접합 소자(10)의 하부 전극(13)과 연결되므로, 상기 I 의 전류는 하 - 상 방향으로 인가되고, 상기 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 상기 $2 I$ 의 전류는 상 - 하 방향으로 인가된다.

<143>

따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $I + (- 2 I) = - I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되고, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.

<144>

표 3의 2행은 도 6의 (나)의 경우이고, A 에 '0', B 에 '1' 을 입력한 경우의 동작 과정은 다음과 같다.

<145>

여기서, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 논리 레벨 '0' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트에 논리 레벨 '1' 이 기 설정되어 입력된다.

<146>

한편, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트에는 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 입력된 신호를 인버팅시킨 논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트에도 입력 신호를 인버팅시킨 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트에는 논리 레벨 '0'이 기 설정되어 입력된다.

<147>

즉, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되

고, 이에 따라 상기 제2, 제3 MOSFET(23a, 25a)의 드레인 - 소스 간에 전류가 도통하도록 작동되고, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제2, 제3 MOSFET(23a, 25a), 제1 MOSFET(31a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.

- <148> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 소스(Source)단에서는 각각 I 의 전류가 출력되는데, 병렬 연결되어 있으므로 총 $2 * I$ 의 전류가 출력되고, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 소스(Source)단에서는 전류 I 가 출력된다.
- <149> 그리고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 $2I$ 의 전류는 하 - 상 방향으로 인가되고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극(11)과 연결되어 있으므로, 상기 I 의 전류는 상 - 하 방향으로 인가된다.
- <150> 따라서, 상 - 하 방향으로 흐르는 전류를 $-I$ 로 정의하고, 하 - 상 방향으로 흐르는 전류를 $+I$ 로 정의하였으므로, $2I + (-I) = I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <151> 표 3의 3행은 도 6의 (다)의 경우이고, A에 '1', B에 '0'을 입력한 경우의 동작 과정은 다음과 같다.
- <152> 여기서, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 논리 레벨 '1'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트에 논리 레벨 '0'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트에 논리 레벨 '1'이 기 설정되어 입력된다.
- <153> 한편, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트에는 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 입력된 신호를 인버팅시킨 논리 레벨 '0'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트에도 입력 신호를 인버팅시킨 논리 레벨 '1'이 입력되며, 제3 MOSFET(35a, 35b)의 게이트에는 논리 레벨 '0'이 기 설정되어 입력된다.
- <154> 즉, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제3 MOSFET(21a, 25a)의 드레인 - 소스 간에 전류가 도통하도록 작동되고, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제2 MOSFET(33a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <155> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 소스(Source)단에서는 각각 I 의 전류가 출력되는데, 병렬 연결되어 있으므로 총 $2 * I$ 의 전류가 출력되며, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 소스(Source)단에서는 전류 I 가 출력된다.
- <156> 그리고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 $2I$ 의 전류는 하 - 상 방향으로 인가되고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극(11)과 연결되어 있으므로, 상기 I 의 전류는 상 - 하 방향으로 인가된다.
- <157> 따라서, 상 - 하 방향으로 흐르는 전류를 $-I$ 로 정의하고, 하 - 상 방향으로 흐르는 전류를 $+I$ 로 정의하였으므로, $2I + (-I) = I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <158> 표 3의 4행은 도 6의 (라)의 경우이고, A에 '1', B에 '1'을 입력한 경우의 동작 과정은 다음과 같다.
- <159> 여기서, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 논리 레벨 '1'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트에 논리 레벨 '1'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트에 논리 레벨 '1'이 기 설정되어 입력된다.
- <160> 한편, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트에는 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트에 입력된 신호를 인버팅시킨 논리 레벨 '0'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트에도 입력 신호를 인버팅시킨 논리 레벨 '0'이 입력되며, 제3 MOSFET(35a, 35b)의 게이트에는 논리 레벨 '0'이 기 설정되어 입력된다.

- <161> 즉, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <162> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 소스(Source)단에서는 각각 I 의 전류가 출력되는데, 상기 제2 전류 구동부(20a)에서는 병렬로 연결되고 있으므로, 3개의 출력이 통합되어 $3 * I$ 가 출력된다.
- <163> 그리고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 $3I$ 의 전류는 하 - 상 방향으로 인가된다.
- <164> 따라서, 상 - 하 방향으로 흐르는 전류를 $-I$ 로 정의하고, 하 - 상 방향으로 흐르는 전류를 $+I$ 로 정의하였으므로, $3I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <165> 즉, 본 실시예에 따른 OR 논리 회로는 OR 연산을 수행할 수 있는 게이트로 구현가능하며, 이는 하기 수학적 식 3과 같다.

수학적 식 3

- <166> $R = A + B$
- <167> 도 7은 본 발명에 따른 자기 메모리 셀을 이용하여 NAND 논리 회로를 구현한 회로도 및 부분 확대도이고, 도 8는 도 7의 NAND 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도이다.
- <168> 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 자기 메모리 셀(1)은 도 2의 구성과 동일하나, 제1 MOSFET(31a, 31b)와 제2 MOSFET(33a, 33b)에 정상 신호가 인가되고, 제1 MOSFET(21a, 21b)와 제2 MOSFET(23a, 23b)에 정상 신호를 인버팅(Inverting)한 신호가 인가되며, 제3 MOSFET(25a, 25b, 35a, 35b)이 기 설정된 신호를 인가시켜 NAND 논리 회로를 구현한다.
- <169> 이하, 본 실시예에 따른 NAND 논리 회로의 동작 과정을 설명한다.
- <170> 우선, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제3 MOSFET(35a, 35b)의 게이트(Gate)에 논리 레벨 '0'을 입력시키고, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제3 MOSFET(25a, 25b)에는 상기 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제3 MOSFET(35a, 35b)의 게이트(Gate)에 입력된 신호를 반전시킨 논리 레벨 '1'의 신호를 입력시킨다.
- <171> 또한, 제1 인에이블 MOSFET(41) 및 제2 인에이블 MOSFET(43)이 드레인(Drain) - 소스(Source) 간 전류가 도통하도록 각 게이트(WE, $\overline{WE}$)에 일정 전압을 인가시키는데, 본 발명에 따른 자기 논리 셀(1)에 대한 데이터 쓰기 동작이 수행되는 쓰기 동작 구간 동안에만 WE에 논리 레벨 '1'의 입력 신호를 인가한다.
- <172> 여기서, 자기 논리 셀(1)의 쓰기 동작 구간이 아닌 경우에는 자기터널접합 소자(10)의 자기 저항이 변화하지 않고 유지되어야 하므로, 본 발명에 따른 전류제어회로(50)가 구동되는 것을 방지하기 위하여 WE에 논리 레벨 '0'의 입력신호를 인가한다.
- <173> 그리고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 상 - 하 방향이면, 즉 상부 전극(11)에서 하부 전극(13)으로 흐르는 경우의 전류 방향을 $-I$ 로 정의하고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 하 - 상 방향이면, 즉 하부 전극(13)에서 상부 전극(11)으로 흐르는 경우의 전류 방향을 $+I$ 로 정의한다.

표 4

A	B	전류	R
0	0	$+3I$	$R_H(1)$
0	1	$+I$	$R_H(1)$
1	0	$+I$	$R_H(1)$

1	1	-I	$R_L(0)$
---	---	----	----------

- <175> 표 4에서 도시된 바와 같이, 각 제1 MOSFET(31a, 31b)에 인가되는 논리 입력 신호를 A 라 하고, 각 제2 MOSFET(33a, 33b)에 인가되는 논리 입력 신호를 B 라 하며, 상기 A, B 입력 신호에 따른 자기터널접합 소자(10)에 인가되는 전류를 '전류' 라고 하며, 상기 전류로 자화 방향이 제어되어 발생하는 자기 저항을 R 이라 하면, NAND 논리 회로 동작 과정은 다음과 같다.
- <176> 표 4의 1행은 도 8의 (가)의 경우이고, A 에 '0', B 에 '0' 을 입력한 경우의 동작 과정은 다음과 같다.
- <177> 여기서, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 논리 레벨 '0'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트(C)에 논리 레벨 '0' 이 기 설정되어 입력된다.
- <178> 한편, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트($\overline{A}$)에는 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트($\overline{C}$)에는 논리 레벨 '1'이 기 설정되어 입력된다.
- <179> 즉, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)에 논리 레벨 '1' 에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <180> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 소스(Source)단에서는 병렬 연결되어 있으므로, $3 * I$ 의 전류가 출력된다.
- <181> 그리고, 상기 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 소스(Source)단은 상기 제3 전류 구동부(30b)의 각 MOSFET(31a, 33a, 35a)의 드레인(Drain)단과 연결되어 있고, 상기 제3 전류 구동부(30b)는 상기 자기터널접합 소자(10)의 하부 전극(13)과 연결되므로, 상기 $3 * I$ 의 전류는 하 - 상 방향으로 인가된다.
- <182> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $3 * I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <183> 표 4의 2행은 도 8의 (나)의 경우이고, A 에 '0', B 에 '1' 을 입력한 경우의 동작 과정은 다음과 같다.
- <184> 여기서, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 논리 레벨 '0'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트(C)에 논리 레벨 '0' 이 기 설정되어 입력된다.
- <185> 한편, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트($\overline{A}$)에는 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트($\overline{C}$)에는 논리 레벨 '1'이 기 설정되어 입력된다.
- <186> 즉, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되고, 이에 따라 상기 제2 MOSFET(33a)의 드레인 - 소스 간에 전류가 도통하도록 작동되고, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제3 MOSFET(21a, 25a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <187> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 소스(Source)단에서는 전류 I 가 출력되고, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 소스(Source)단에서는 전류 I 가 각각 출력되는데, 병렬로 연결되었으므로 총 $2 * I$ 의 전류가 출력된다.

- <188> 그리고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극과 연결되므로, 상기 I의 전류는 상 - 하 방향으로 인가되고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 2 I의 전류는 하 - 상 방향으로 인가된다.
- <189> 따라서, 상 - 하 방향으로 흐르는 전류를 - I로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I로 정의하였으므로, $(-I) + 2I = I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <190> 표 4의 3행은 도 8의 (다)의 경우이고, A에 '1', B에 '0'을 입력한 경우의 동작 과정은 다음과 같다.
- <191> 여기서, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 논리 레벨 '1'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트(B)에 논리 레벨 '0'이 입력되며, 제3 MOSFET(35a, 35b)의 게이트(C)에 논리 레벨 '0'이 설정되어 입력된다.
- <192> 한편, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트($\overline{A}$)에는 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '0'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '1'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트($\overline{C}$)에는 논리 레벨 '1'이 설정되어 입력된다.
- <193> 즉, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제1 MOSFET(31a)의 드레인 - 소스 간에 전류가 도통하도록 작동되고, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제2, 제3 MOSFET(23a, 25a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <194> 또한, 각 MOSFET에서 출력되는 전류의 양을 I라고 가정하면, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 소스(Source)단에서는 전류 I가 출력되고, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 소스(Source)단에서는 전류 I가 각각 출력되는데, 병렬로 연결되었으므로 총 $2 * I$ 의 전류가 출력된다.
- <195> 그리고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극과 연결되므로, 상기 I의 전류는 상 - 하 방향으로 인가되고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 2 I의 전류는 하 - 상 방향으로 인가된다.
- <196> 따라서, 상 - 하 방향으로 흐르는 전류를 - I로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I로 정의하였으므로, $(-I) + 2I = I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <197> 표 4의 4행은 도 8의 (라)의 경우이고, A에 '1', B에 '1'을 입력한 경우의 동작 과정은 다음과 같다.
- <198> 여기서, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 논리 레벨 '1'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트(B)에 논리 레벨 '1'이 입력되며, 제3 MOSFET(35a, 35b)의 게이트(C)에 논리 레벨 '0'이 설정되어 입력된다.
- <199> 한편, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트($\overline{A}$)에는 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '0'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '0'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트($\overline{C}$)에는 논리 레벨 '1'이 설정되어 입력된다.
- <200> 즉, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제2 MOSFET(31a, 33a)의 드레인 - 소스 간에 전류가 도통하도록 작동되고, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제3 MOSFET(25a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.

- <201> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 소스(Source)단에서는 전류 각각 I 가 출력되는데, 병렬로 연결되었으므로 총 $2 * I$ 의 전류가 출력되고, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 소스(Source)단에서는 전류 I 가 출력된다.
- <202> 그리고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극과 연결되므로, 상기 $2I$ 의 전류는 상 - 하 방향으로 인가되고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 I 의 전류는 하 - 상 방향으로 인가된다.
- <203> 따라서, 상 - 하 방향으로 흐르는 전류를 $-I$ 로 정의하고, 하 - 상 방향으로 흐르는 전류를 $+I$ 로 정의하였으므로, $(-2I) + I = -I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되고, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <204> 즉, 본 실시예에 따른 NAND 논리 회로는 NAND 연산을 수행할 수 있는 게이트로 구현가능하며, 이는 하기 수학적식 4과 같다.

수학적식 4

$$R = \overline{A \cdot B} = \overline{A} + \overline{B}$$

- <205>
- <206> 도 9은 본 발명에 따른 자기 메모리 셀을 이용하여 NOR 논리 회로를 구현한 회로도 및 부분 확대도이고, 도 10는 도 9의 NOR 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도이다.
- <207> 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 자기 메모리 셀(1)은 도 2의 구성과 동일하나, 제1 MOSFET(31a, 31b)와 제2 MOSFET(33a, 33b)에 정상 신호가 인가되고, 제1 MOSFET(21a, 21b)와 제2 MOSFET(23a, 23b)에 정상 신호를 인버팅(Inverting)한 신호가 인가되며, 제3 MOSFET(25a, 25b, 35a, 35b)이 기 설정된 신호를 인가시켜 NOR 논리 회로를 구현한다.
- <208> 이하, 본 실시예에 따른 NOR 논리 회로의 동작 과정을 설명한다.
- <209> 우선, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제3 MOSFET(35a, 35b)의 게이트(Gate)에 논리 레벨 '1' 을 입력시키고, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제3 MOSFET(25a, 25b)에는 상기 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제3 MOSFET(35a, 35b)의 게이트(Gate)에 입력된 신호를 반전시킨 논리 레벨 '0' 의 신호를 입력시킨다.
- <210> 또한, 제1 인에이블 MOSFET(41) 및 제2 인에이블 MOSFET(43)이 드레인(Drain) - 소스(Source) 간 전류가 도통하도록 각 게이트(WE, $\overline{WE}$)에 일정 전압을 인가시키는데, 본 발명에 따른 자기 논리 셀(1)에 대한 데이터 쓰기 동작이 수행되는 쓰기 동작 구간 동안에만 WE에 논리 레벨 '1' 의 입력 신호를 인가한다.
- <211> 여기서, 자기 논리 셀(1)의 쓰기 동작 구간이 아닌 경우에는 자기터널접합 소자(10)의 자기 저항이 변화하지 않고 유지되어야 하므로, 본 발명에 따른 전류제어회로(50)가 구동되는 것을 방지하기 위하여 WE에 논리 레벨 '0' 의 입력신호를 인가한다.
- <212> 그리고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 상 - 하 방향이면, 즉 상부 전극(11)에서 하부 전극(13)으로 흐르는 경우의 전류 방향을 $-I$ 로 정의하고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 하 - 상 방향이면, 즉 하부 전극(13)에서 상부 전극(11)으로 흐르는 경우의 전류 방향을 $+I$ 로 정의한다.

표 5

A	B	전류	R
0	0	+I	$R_H(1)$
0	1	-I	$R_L(0)$
1	0	-I	$R_L(0)$
1	1	-3I	$R_L(0)$

- <214> 표 5에서 도시된 바와 같이, 각 제1 MOSFET(31a, 31b)에 인가되는 논리 입력 신호를 A 라 하고, 각 제2 MOSFET(33a, 33b)에 인가되는 논리 입력 신호를 B 라 하며, 상기 A, B 입력 신호에 따른 자기터널접합 소자(10)에 인가되는 전류를 '전류' 라고 하며, 상기 전류로 자화 방향이 제어되어 발생하는 자기 저항을 R 이라 하면, NOR 논리 회로 동작 과정은 다음과 같다.
- <215> 표 5의 1행은 도 10의 (가)의 경우이고, A 에 '0', B 에 '0' 을 입력한 경우의 동작 과정은 다음과 같다.
- <216> 여기서, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 논리 레벨 '0'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트(C)에 논리 레벨 '1' 이 기 설정되어 입력된다.
- <217> 한편, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트($\overline{A}$)에는 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트($\overline{C}$)에는 논리 레벨 '0'이 기 설정되어 입력된다.
- <218> 즉, 제1 전류 구동부(30a)의 제3 MOSFET(35a)과, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)에 논리 레벨 '1' 에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제2 MOSFET(21a, 23a)과, 제3 MOSFET(35a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <219> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제1 전류 구동부(30a)의 제3 MOSFET(35a)의 소스(Source)단에서 전류 I 가 출력되고, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)의 소스(Source)단에서는 병렬로 연결되어 있으므로, $2 * I$ 의 전류가 출력된다.
- <220> 그리고, 제1 전류 구동부(30a)의 제3 MOSFET(35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 I 는 상 - 하 방향으로 인가되고, 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되므로 전류 2 I 는 하 - 상 방향으로 인가된다.
- <221> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $(-I) + 2 I = I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.
- <222> 표 5의 2행은 도 10의 (나)의 경우이고, A 에 '0', B 에 '1' 을 입력한 경우의 동작 과정은 다음과 같다.
- <223> 여기서, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 논리 레벨 '0'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트(C)에 논리 레벨 '1' 이 기 설정되어 입력된다.
- <224> 한편, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트($\overline{A}$)에는 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트($\overline{C}$)에는 논리 레벨 '0'이 기 설정되어 입력된다.
- <225> 즉, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되고, 제2 전류 구동부(20a)의 제1 MOSFET(21a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되어 상기 제2, 제3 MOSFET(33a, 35a), 제1 MOSFET(21a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <226> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 소스(Source)단에서는 I 가 각각 출력되는데, 병렬 연결이므로 총 $2 * I$ 의 전류가 출력되고, 제2 전류 구동부(20a)의 제1 MOSFET(21a)의 소스(Source)단에서는 I 가 출력된다.
- <227> 그리고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극과 연결되므로, 상기 2 I 의 전류는 상 -

하 방향으로 인가되고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 I의 전류는 하 - 상 방향으로 인가된다.

- <228> 따라서, 상 - 하 방향으로 흐르는 전류를 - I로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I로 정의하였으므로, $(-2I) + I = -I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <229> 표 5의 3행은 도 10의 (다)의 경우이고, A에 '1', B에 '0'을 입력한 경우의 동작 과정은 다음과 같다.
- <230> 여기서, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 논리 레벨 '1'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트(B)에 논리 레벨 '0'이 입력되며, 제3 MOSFET(35a, 35b)의 게이트(C)에 논리 레벨 '1'이 기 설정되어 입력된다.
- <231> 한편, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트($\overline{A}$)에는 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '0'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '1'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트($\overline{C}$)에는 논리 레벨 '0'이 기 설정되어 입력된다.
- <232> 즉, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제3 MOSFET(31a, 35a)의 드레인 - 소스 간에 전류가 도통하도록 작동되고, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제2 MOSFET(23a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <233> 또한, 각 MOSFET에서 출력되는 전류의 양을 I라고 가정하면, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 소스(Source)단에서는 각각 전류 I가 출력되는데, 병렬로 연결되므로 총 $2 * I$ 의 전류가 출력되며, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스(Source)단에서는 전류 I가 출력된다.
- <234> 그리고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극과 연결되므로, 상기 $2I$ 의 전류는 상 - 하 방향으로 인가되고, 상기 제2 전류 구동부(20a)는 제3 전류 구동부(30b)와 연결되고, 상기 제3 전류 구동부(30b)는 자기터널접합 소자(10)의 하부 전극(13)과 연결되어 있으므로, 상기 I의 전류는 하 - 상 방향으로 인가된다.
- <235> 따라서, 상 - 하 방향으로 흐르는 전류를 - I로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I로 정의하였으므로, $(-2I) + I = -I$ 의 전류가 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <236> 표 5의 4행은 도 10의 (라)의 경우이고, A에 '1', B에 '1'을 입력한 경우의 동작 과정은 다음과 같다.
- <237> 여기서, 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 논리 레벨 '1'이 입력되고, 제2 MOSFET(33a, 33b)의 게이트(B)에 논리 레벨 '1'이 입력되며, 제3 MOSFET(35a, 35b)의 게이트(C)에 논리 레벨 '1'이 기 설정되어 입력된다.
- <238> 한편, 제2 전류 구동부(20a) 및 제4 전류 구동부(20b)의 제1 MOSFET(21a, 21b)의 게이트($\overline{A}$)에는 제1 전류 구동부(30a) 및 제3 전류 구동부(30b)의 제1 MOSFET(31a, 31b)의 게이트(A)에 입력된 신호를 인버팅(Inverting)시킨 논리 레벨 '0'이 입력되고, 제2 MOSFET(23a, 23b)의 게이트($\overline{B}$)에도 입력 신호를 인버팅(Inverting)시킨 논리 레벨 '0'이 입력되며, 제3 MOSFET(25a, 25b)의 게이트($\overline{C}$)에는 논리 레벨 '0'이 기 설정되어 입력된다.
- <239> 즉, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 게이트에 논리 레벨 '1'에 대응되는 전압이 인가되고, 이에 따라 상기 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 드레인 - 소스 간에 전류가 도통하도록 작동된다.
- <240> 또한, 각 MOSFET에서 출력되는 전류의 양을 I라고 가정하면, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 소스(Source)단에서는 전류 각각 I가 출력되는데, 병렬로 연결되었으므로 총 $3 * I$

의 전류가 출력된다.

<241> 그리고, 제1 전류 구동부(30a)는 자기터널접합 소자(10)의 상부 전극과 연결되므로, 상기 3 I 의 전류는 상 - 하 방향으로 인가된다.

<242> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, - 3 I 의 전류가 상기 자기터널접합 소자(10)에 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.

<243> 즉, 본 실시예에 따른 NOR 논리 회로는 NOR 연산을 수행할 수 있는 게이트로 구현가능하며, 이는 하기 수학적 식 5 과 같다.

수학적 식 5

$$R = \overline{A+B} = \overline{A} \cdot \overline{B}$$

<244>

<245> 도 11은 본 발명에 따른 자기 메모리 셀을 이용하여 논리 회로를 구현한 회로도 및 부분 확대도이고, 도 12은 도 11의 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도이다.

<246> 도면에서 도시하고 있는 바와 같이, 본 발명에 의한 자기 메모리 셀(1)은 도 2의 구성과 동일하다.

<247> 이하, 본 실시예에 따른 자기 메모리 셀의 구동 과정을 설명한다.

<248> 우선, 또한, 제1 인에이블 MOSFET(41) 및 제2 인에이블 MOSFET(43)이 드레인(Drain) - 소스(Source) 간 전류가 도통하도록 각 게이트(WE, $\overline{WE}$)에 일정 전압을 인가시키는데, 본 발명에 따른 자기 메모리 셀(1)에 쓰기 동작이 수행되는 쓰기 구간 동안에만 WE에 논리 레벨 '1' 의 입력 신호를 인가한다.

<249> 그리고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 상 - 하 방향이면, 즉 상부 전극(11)에서 하부 전극(13)으로 흐르는 경우의 전류 방향을 - I 로 정의하고, 자기터널접합 소자(10)를 통하여 흐르는 전류의 방향이 하 - 상 방향이면, 즉 하부 전극(13)에서 상부 전극(11)으로 흐르는 경우의 전류 방향을 + I 로 정의한다.

표 6

<250>

A	B	C	전류	R
0	0	0	-3I	$R_L(0)$
0	0	1	-I	$R_L(0)$
0	1	0	-I	$R_L(0)$
1	0	0	-I	$R_L(0)$
0	1	1	+I	$R_H(1)$
1	0	1	+I	$R_H(1)$
1	1	0	+I	$R_H(1)$
1	1	1	+3I	$R_H(1)$

<251> 표 6에서 도시된 바와 같이, 각 제1 MOSFET(21a, 21b)에 인가되는 논리 입력 신호를 A 라 하고, 각 제2 MOSFET(23a, 23b)에 인가되는 논리 입력 신호를 B 라 하며, 제3 MOSFET(25a, 25b)에 인가되는 전류를 C 라 하고, 상기 A, B, C 입력 신호에 따른 자기터널접합 소자(10)에 인가되는 전류를 '전류' 라고 하며, 상기 전류로 자화 방향이 제어되어 발생하는 자기 저항을 R 이라 하면, 논리 회로 동작 과정은 다음과 같다.

<252> 표 6의 1행은 도 12의 (가)의 경우이고, A 에 '0', B 에 '0', C 에 '0'을 입력한 경우의 동작 과정은 다음과 같다.

<253> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리

레벨 '0'이 입력된다.

- <254> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '1'이 입력된다.
- <255> 즉, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 드레인 - 소스 간 전류가 흐를 수 있도록 작동된다.
- <256> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 소스(Source)단에서 전류 I 가 각각 출력되는데, 병렬로 연결되어 있으므로, $3 * I$ 의 전류가 출력된다.
- <257> 그리고, 제1 전류 구동부(30a)의 제1, 제2, 제3 MOSFET(31a, 33a, 35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 I 는 상 - 하 방향으로 인가된다.
- <258> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $- 3 I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <259> 표 6의 2행은 도 12의 (나)의 경우이고, A 에 '0', B 에 '0', C 에 '1'을 입력한 경우의 동작 과정은 다음과 같다.
- <260> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '1'이 입력된다.
- <261> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '0'이 입력된다.
- <262> 즉, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 게이트와, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.
- <263> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 소스 단에서 전류 I 가 출력되고, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 소스(Source)단에서 전류 I 가 각각 출력되는데, 병렬로 연결되어 있으므로, $2 * I$ 의 전류가 출력된다.
- <264> 그리고, 제2 전류 구동부(20a)의 제3 MOSFET(25a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 I 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제1, 제2 MOSFET(31a, 33a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 2 I 는 상 - 하 방향으로 인가된다.
- <265> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $I + (- 2 I) = - I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.
- <266> 표 6의 3행은 도 12의 (다)의 경우이고, A 에 '0', B 에 '1', C 에 '0'을 입력한 경우의 동작 과정은 다음과 같다.
- <267> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '0'이 입력된다.
- <268> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인

논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '1'이 입력된다.

<269> 즉, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 게이트와, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.

<270> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스 단에서 전류 I 가 출력되고, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 소스(Source)단에서 전류 I 가 각각 출력되는데, 병렬로 연결되어 있으므로, $2 * I$ 의 전류가 출력된다.

<271> 그리고, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 I 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제1, 제3 MOSFET(31a, 35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 2 I 는 상 - 하 방향으로 인가된다.

<272> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $I + (- 2 I) = - I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.

<273> 표 6의 4행은 도 12의 (라)의 경우이고, A 에 '1', B 에 '0', C 에 '0'을 입력한 경우의 동작 과정은 다음과 같다.

<274> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '0'이 입력된다.

<275> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '1'이 입력된다.

<276> 즉, 제2 전류 구동부(20a)의 제1 MOSFET(21a)의 게이트와, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.

<277> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스 단에서 전류 I 가 출력되고, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 소스(Source)단에서 전류 2 * I 가 출력된다.

<278> 그리고, 제2 전류 구동부(20a)의 제2 MOSFET(23a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 I 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제2, 제3 MOSFET(33a, 35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 2 I 는 상 - 하 방향으로 인가된다.

<279> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $I + (- 2 I) = - I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 오른쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 동일 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 로우(Low)인 '0' ($R_L = 0$)이 된다.

<280> 표 6의 5행은 도 12의 (마)의 경우이고, A 에 '0', B 에 '1', C 에 '1'을 입력한 경우의 동작 과정은 다음과 같다.

<281> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '0' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '1'이 입력된다.

<282> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인

논리 레벨 '1' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '0'이 입력된다.

<283> 즉, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 게이트와, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.

<284> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 소스단에서 전류 $2 * I$ 가 출력되고, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 소스(Source)단에서 전류 I 가 출력된다.

<285> 그리고, 제2 전류 구동부(20a)의 제2, 제3 MOSFET(23a, 25a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 $2 I$ 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제1 MOSFET(31a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 I 는 상 - 하 방향으로 인가된다.

<286> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $2 I + (- I) = I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.

<287> 표 6의 6행은 도 12의 (바)의 경우이고, A 에 '1', B 에 '0', C 에 '1'을 입력한 경우의 동작 과정은 다음과 같다.

<288> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '0' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '1'이 입력된다.

<289> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '1' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '0'이 입력된다.

<290> 즉, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 게이트와, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.

<291> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 소스단에서 전류 $2 * I$ 가 출력되고, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 소스(Source)단에서 전류 I 가 출력된다.

<292> 그리고, 제2 전류 구동부(20a)의 제1, 제3 MOSFET(21a, 25a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 $2 I$ 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제2 MOSFET(33a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 I 는 상 - 하 방향으로 인가된다.

<293> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $2 I + (- I) = I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.

<294> 표 6의 7행은 도 12의 (사)의 경우이고, A 에 '1', B 에 '1', C 에 '0'을 입력한 경우의 동작 과정은 다음과 같다.

<295> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '0' 이 입력된다.

<296> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인

논리 레벨 '0' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '1'이 입력된다.

<297> 즉, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)의 게이트와, 제1 전류 구동부(30a)의 제3 MOSFET(35a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.

<298> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)의 소스단에서 전류 $2 \cdot I$ 가 출력되고, 제1 전류 구동부(30a)의 제3 MOSFET(35a)의 소스(Source)단에서 전류 I 가 출력된다.

<299> 그리고, 제2 전류 구동부(20a)의 제1, 제2 MOSFET(21a, 23a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 $2 \cdot I$ 는 하 - 상 방향으로 인가되며, 제1 전류 구동부(30a)의 제3 MOSFET(35a)의 소스(Source)단은 상기 자기터널접합 소자(10)의 상부 전극(11)과 연결되므로, 전류 I 는 상 - 하 방향으로 인가된다.

<300> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $2 \cdot I + (- I) = I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.

<301> 표 6의 8행은 도 12의 (아)의 경우이고, A 에 '1', B 에 '1', C 에 '1'을 입력한 경우의 동작 과정은 다음과 같다.

<302> 여기서, 제2, 제4 전류 구동부(20a, 20b)의 제1 MOSFET(21a, 21b)의 게이트(A)에 논리 레벨 '1' 이 입력되고, 제2 MOSFET(23a, 23b)의 게이트(B)에 논리 레벨 '1' 이 입력되며, 제3 MOSFET(25a, 25b)의 게이트(C)에 논리 레벨 '1' 이 입력된다.

<303> 한편, 제1, 제3 전류 구동부(30a, 30b)의 제1 MOSFET(31a, 31b)의 게이트($\overline{A}$)에는 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되고, 제2 MOSFET(33a, 33b)의 게이트($\overline{B}$)에도 인버팅(Inverting)된 신호인 논리 레벨 '0' 이 입력되며, 제3 MOSFET(35a, 35b)의 게이트($\overline{C}$)에도 인버팅된 신호인 논리 레벨 '0'이 입력된다.

<304> 즉, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 게이트에 논리 레벨 '1' 에 대응되는 전압이 인가되어 드레인 - 소스 간 전류가 흐를 수 있다.

<305> 또한, 각 MOSFET에서 출력되는 전류의 양을 I 라고 가정하면, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 소스단에서 전류 $3 \cdot I$ 가 출력된다.

<306> 그리고, 제2 전류 구동부(20a)의 제1, 제2, 제3 MOSFET(21a, 23a, 25a)의 소스단은 제3 전류 구동부(30b)의 드레인단과 연결되고, 제3 전류 구동부(30b)의 드레인단은 상기 자기터널접합 소자(10)의 하부 전극과 연결되므로, 전류 $3 \cdot I$ 는 하 - 상 방향으로 인가된다.

<307> 따라서, 상 - 하 방향으로 흐르는 전류를 - I 로 정의하고, 하 - 상 방향으로 흐르는 전류를 + I 로 정의하였으므로, $3 \cdot I$ 의 전류가 상기 자기터널접합 소자(10)로 인가되고, 자유층(17)의 자화 방향은 왼쪽으로 변경되며, 자유층(17)과 고정층(15)의 자화 방향이 반대 방향으로 평행하기 때문에, 자기터널접합 소자(10)의 자기 저항은 논리 레벨 하이(High)인 '1' ($R_H = 1$)이 된다.

<308> 즉, 본 실시예에 따른 논리 회로는 하기 수학적 식 6와 같은 연산을 수행할 수 있도록 이루어진다.

수학적 식 6

<309> $R = A \cdot B + B \cdot C + C \cdot A$

<310> 이상에서는 본 발명의 바람직한 실시예를 예시적으로 설명하였으나, 본 발명의 범위는 이같은 특정 실시예에만 한정되지 않으며 해당 분야에서 통상의 지식을 가진자라면 본 발명의 특허 청구 범위내에 기재된 범주 내에서 적절하게 변경이 가능 할 것이다.

발명의 효과

<311> 이상에서 설명한 바와 같이 상기와 같은 구성을 갖는 본 발명은 스핀 토크 변환(Spin Torque Transfer)를 이용한 자기터널접합 소자의 자유층 자화 방향을 변경시키기 위한 금속 입력층을 제거함으로써, 공정수를 감소 및 제조 단가를 낮출 수 있으며, 각 금속 입력층 별로 전류 제어 회로를 구비하지 않음으로써, 자기터널접합 소자의 집적률이 증가하여 자기 논리 회로의 크기를 최소화시키기에 용이하고, 자기터널접합 소자를 통과하도록 전류를 인가시킴으로써, 전류 소모를 최소화하여 전력 소모를 감소시킬 수 있는 등의 효과를 거둘 수 있다.

도면의 간단한 설명

<1> 도 1은 종래 기술에 따른 자기터널접합 소자를 개략적으로 도시한 사시도.

<2> 도 2은 본 발명에 따른 자기 메모리 셀을 개략적으로 도시한 회로도 및 부분 확대도.

<3> 도 3는 본 발명에 따른 자기 메모리 셀을 이용하여 AND 논리 회로를 구현한 회로도 및 부분 확대도.

<4> 도 4은 도 3의 AND 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도.

<5> 도 5는 본 발명에 따른 자기 메모리 셀을 이용하여 OR 논리 회로를 구현한 회로도 및 부분 확대도.

<6> 도 6는 도 5의 OR 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도.

<7> 도 7은 본 발명에 따른 자기 메모리 셀을 이용하여 NAND 논리 회로를 구현한 회로도 및 부분 확대도.

<8> 도 8는 도 7의 NAND 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도.

<9> 도 9은 본 발명에 따른 자기 메모리 셀을 이용하여 NOR 논리 회로를 구현한 회로도 및 부분 확대도.

<10> 도 10는 도 9의 NOR 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도.

<11> 도 11은 본 발명에 따른 자기 메모리 셀을 이용하여 논리 회로를 구현한 회로도 및 부분 확대도.

<12> 도 12은 도 11의 논리 회로의 동작에 따른 자기터널접합 소자의 전류 방향 및 자화 방향을 개략적으로 도시한 도.

<13> <도면의 주요 부분에 대한 도면 부호의 간단한 설명>

<14> 1: 자기 메모리 셀 10: 자기터널접합 소자

<15> 11: 상부 전극 13: 하부 전극

<16> 15: 고정층 17: 자유층

<17> 19: 절연층 20a: 제2 전류 구동부

<18> 21a: 제1 MOSFET 23a: 제2 MOSFET

<19> 25a: 제3 MOSFET 20b: 제4 전류 구동부

<20> 21b: 제1 MOSFET 23b: 제2 MOSFET

<21> 25b: 제3 MOSFET 30a: 제1 전류 구동부

31a: 제1 MOSFET 33a: 제2 MOSFET

<23> 35a: 제3 MOSFET 30b: 제3 전류 구동부

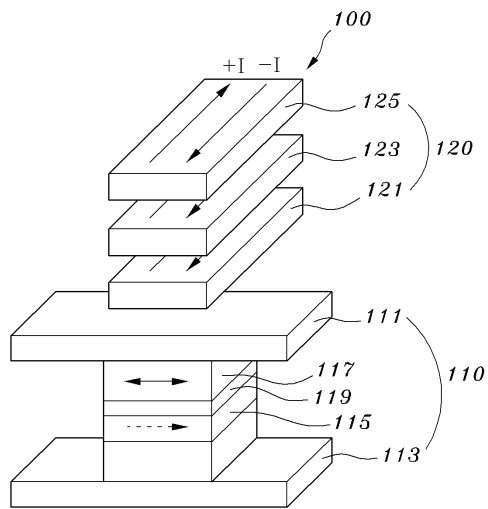
<24> 31b: 제1 MOSFET 33b: 제2 MOSFET

<25> 35b: 제3 MOSFET 41: 제2 인에이블 MOSFET

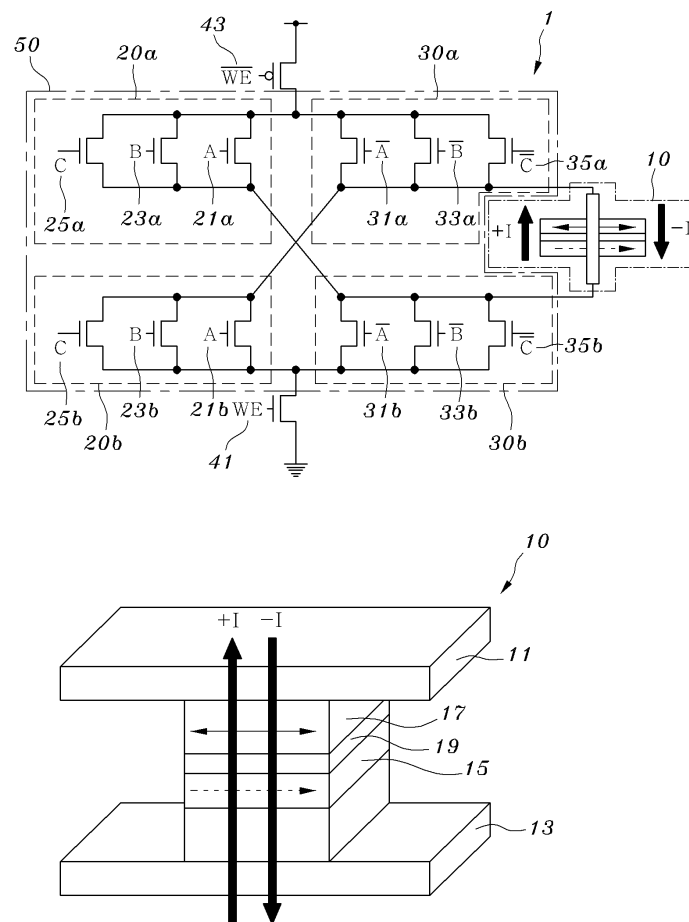
<26> 43: 제1 인에이블 MOSFET 50: 전류 제어 회로

도면

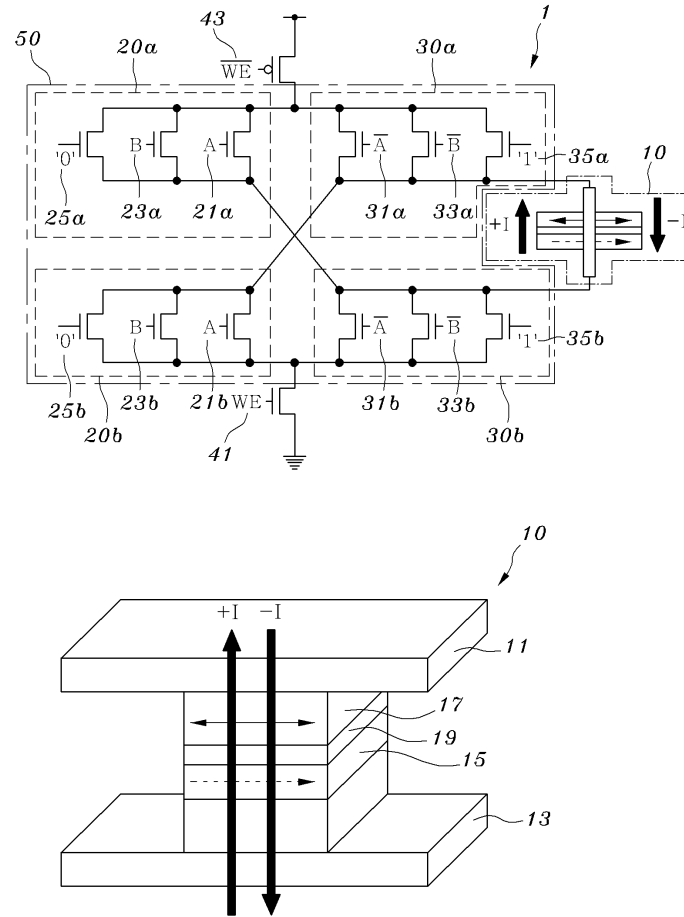
도면1



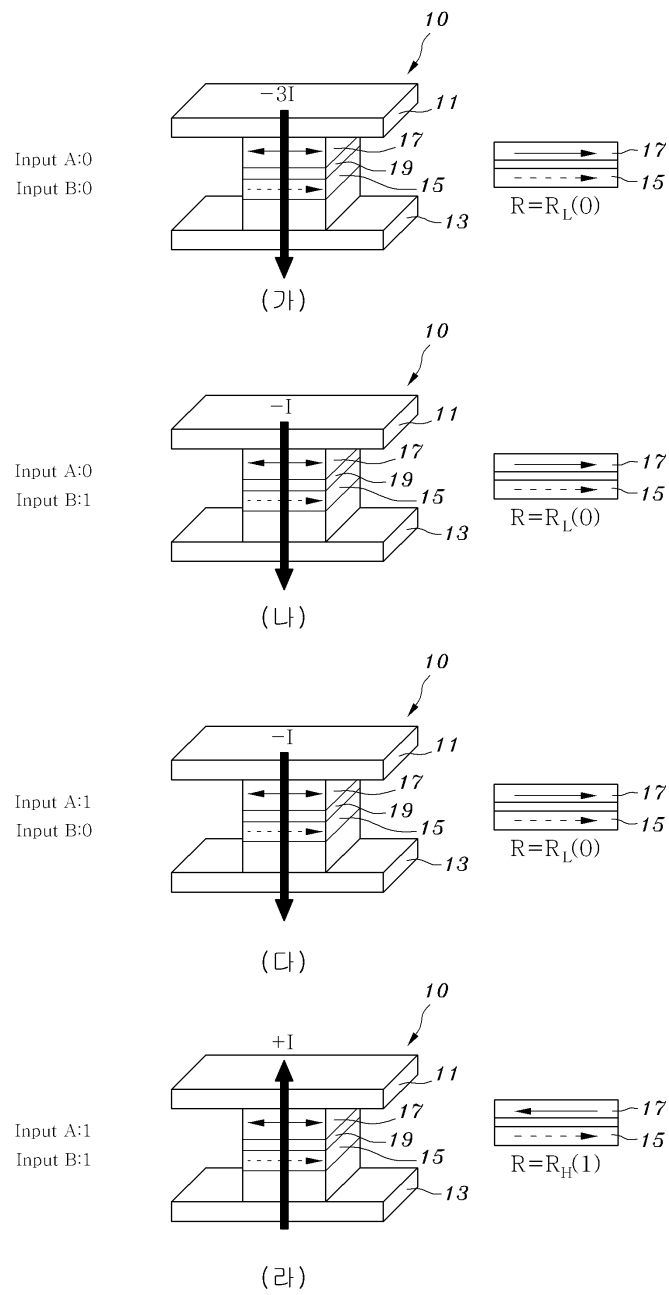
도면2



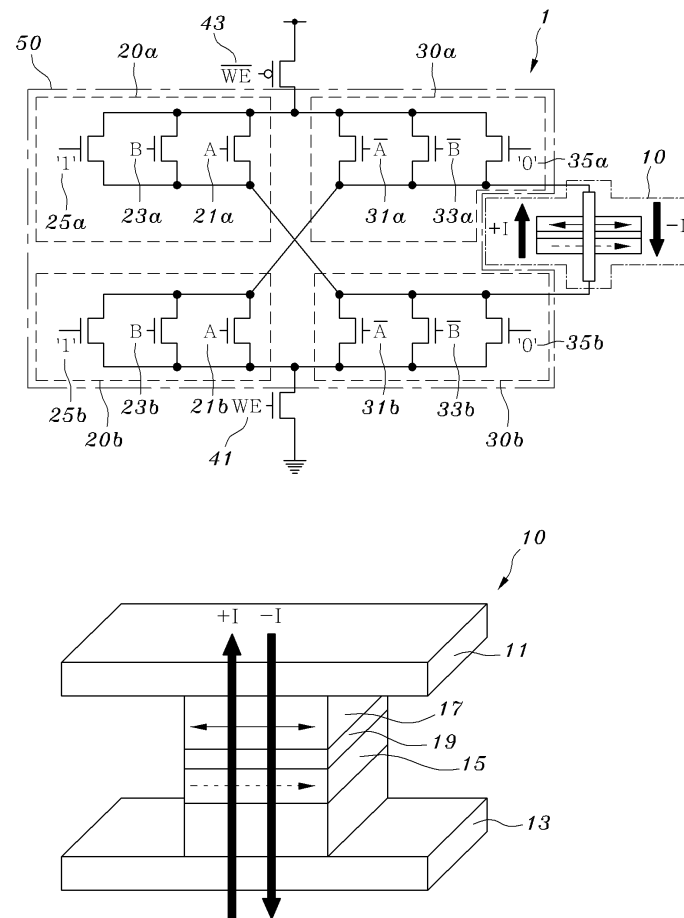
도면3



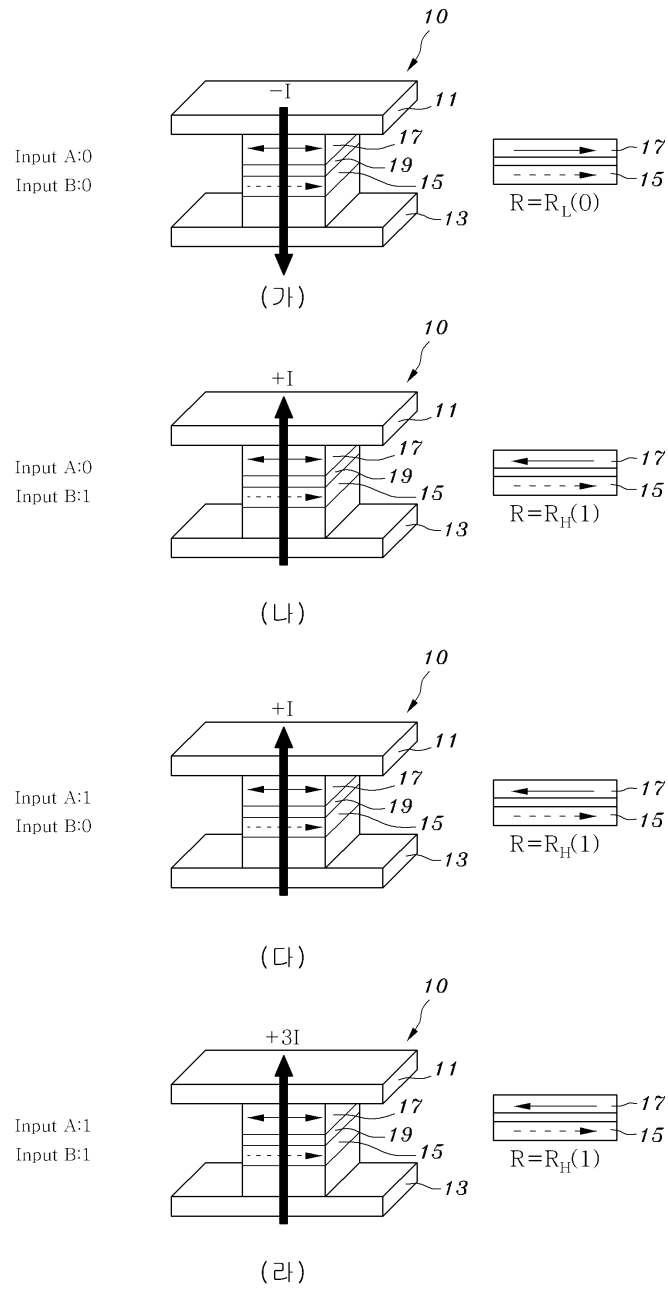
도면4



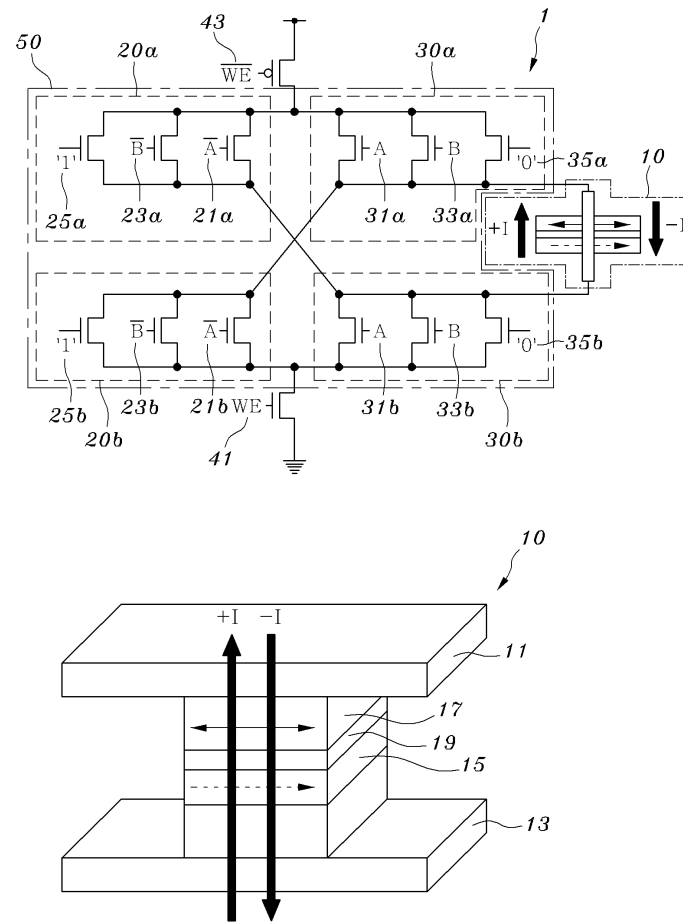
도면5



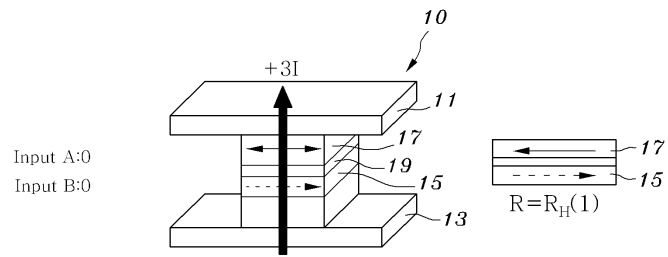
도면6



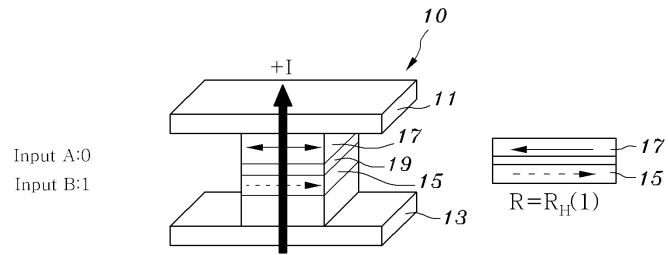
도면7



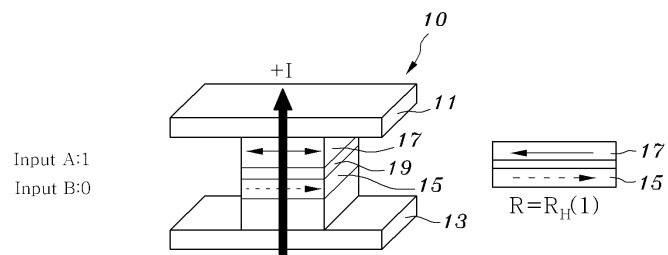
도면8



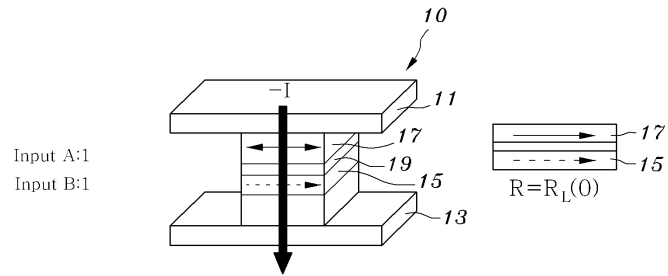
(가)



(나)

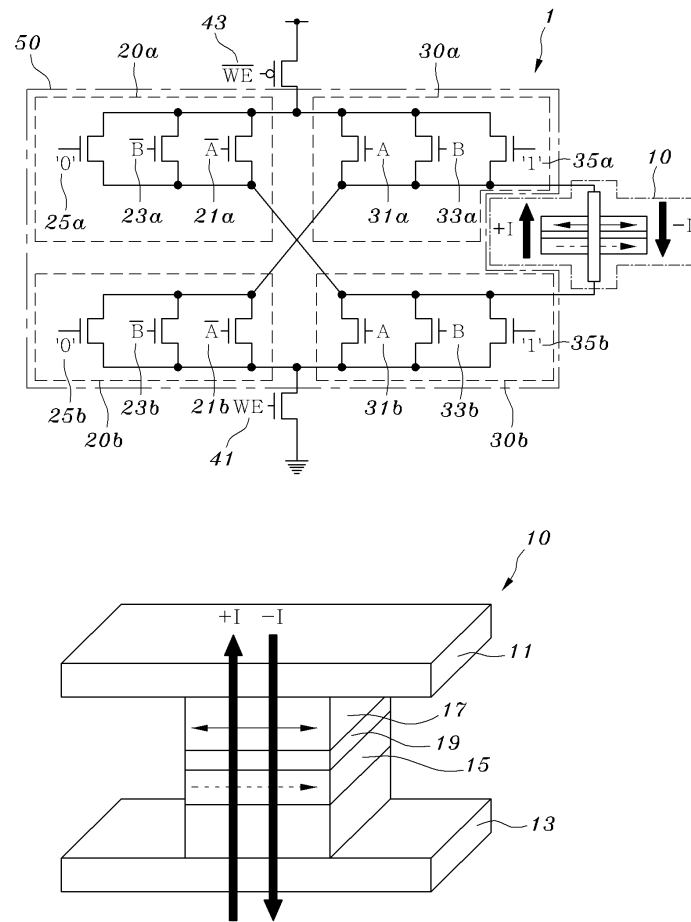


(다)

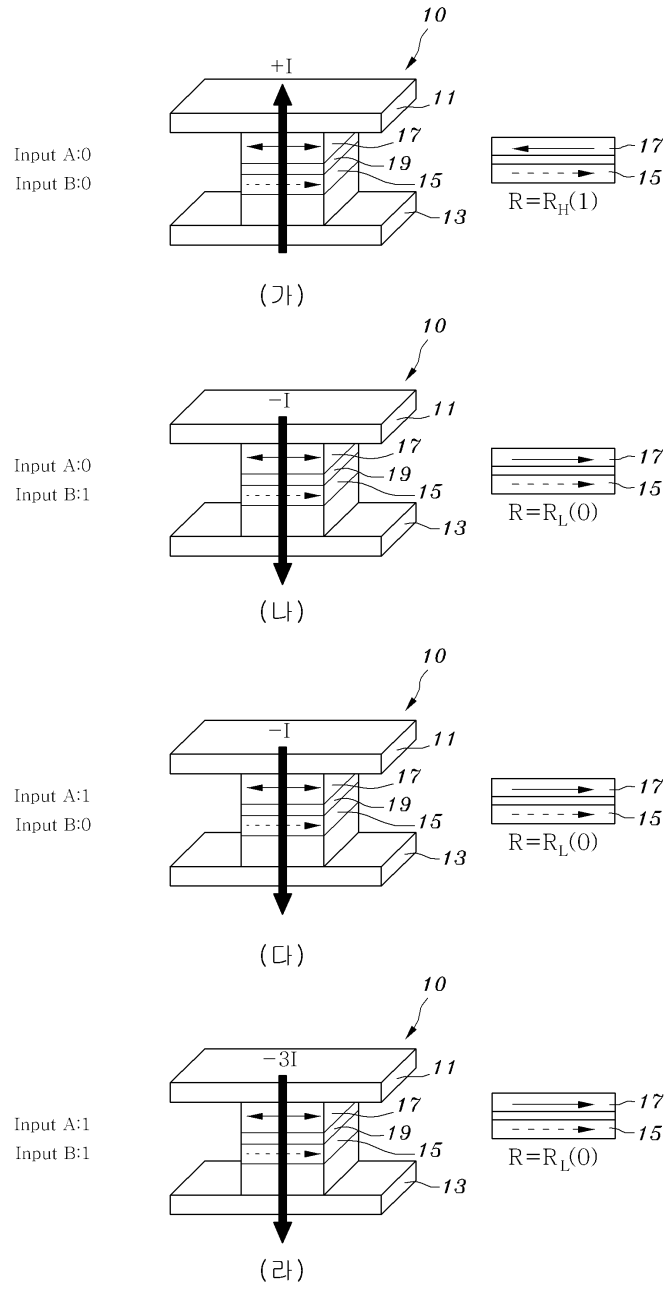


(라)

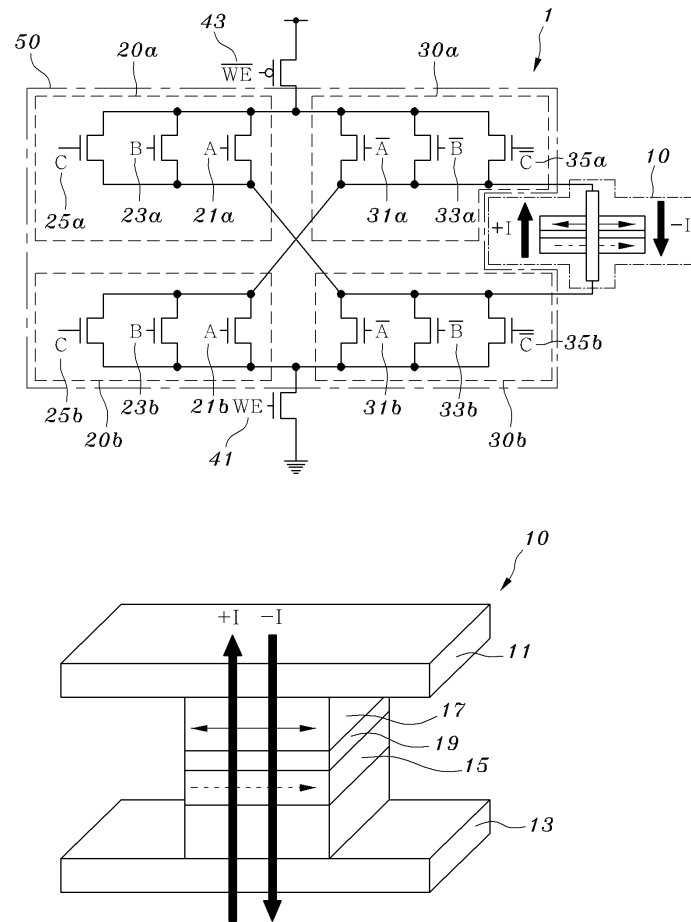
도면9



도면10



도면11



도면12

