(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2017-191860
(P2017-191860A)
(43)公開日　平成29年10月19日(2017.10.19)

(51)Int.Cl.			F I			テーマコード（参考）
H01G	4/12	(2006.01)	H01G	4/12	349	5E001
H01G	4/30	(2006.01)	H01G	4/30	301E	5E082

審査請求 未請求　請求項の数 16　ＯＬ　（全 20 頁）

(21)出願番号　特願2016-80786(P2016-80786)
(22)出願日　平成28年4月14日(2016.4.14)

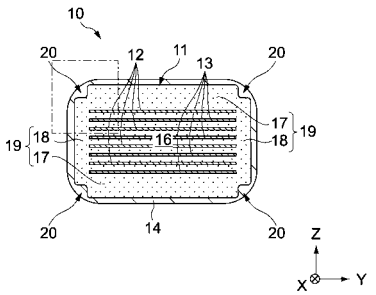
(71)出願人　000204284
太陽誘電株式会社
東京都中央区京橋二丁目７番１９号
(74)代理人　100104215
弁理士　大森　純一
(74)代理人　100160989
弁理士　関根　正好
(72)発明者　浅井　尚
東京都台東区上野６丁目１６番２０号　太陽誘電株式会社内

Ｆターム(参考)　5E001 AB03 AC04 AD02 AD03 AD04 AD05 AF02 AF03 AF06 AH01 AH09 AJ01 AJ02

最終頁に続く

(54)【発明の名称】セラミック電子部品及びその製造方法

(57)【要約】　（修正有）
【課題】外部電極の厚さを縮小可能なセラミック電子部品を提供する。
【解決手段】セラミック電子部品は、素体１１と、第１外部電極１４及び第２外部電極を具備する。素体は、相互に対向する第１及び第２端面と、第１及び第２端面の間にそれぞれ延びる複数の面と、複数の面に沿って設けられ、第１及び第２端面から複数の面の稜部に沿って延びる凹部２０を含む保護部１９と、保護部より内側に配置された機能部と、を有する。第１及び第２外部電極は、第１及び第２端面を覆い、第１及び第２端面から相互に近接するように複数の面及び凹部に沿って延びる。この構成では、素体の角部に形成された凹部内に、第１及び第２外部電極が配置されている。これにより、第１及び第２外部電極の厚さを縮小しても、素体の角部において第１及び第２外部電極が途切れることを防止することができる。
【選択図】図４



【特許請求の範囲】
【請求項１】
相互に対向する第１及び第２端面と、前記第１及び第２端面の間にそれぞれ延びる複数の面と、前記複数の面に沿って設けられ、前記第１及び第２端面から前記複数の面の稜部に沿って延びる凹部を含む保護部と、前記保護部より内側に配置された機能部と、を有する素体と、
前記第１及び第２端面を覆い、前記第１及び第２端面から相互に近接するように前記複数の面及び前記凹部に沿って延びる第１及び第２外部電極と、
を具備するセラミック電子部品。
【請求項２】
請求項１に記載のセラミック電子部品であって、
前記第１及び第２外部電極は、前記凹部において、前記複数の面をそれぞれ延長した面が交差する交線より内側に配置されている
セラミック電子部品。
【請求項３】
請求項１又は２に記載のセラミック電子部品であって、
前記複数の面は、相互に対向する第１及び第２主面と、相互に対向する第１及び第２側面と、から構成され、
前記保護部は、前記第１及び第２主面に沿って設けられた第１及び第２カバー部と、前記第１及び第２側面に沿って設けられた第１及び第２サイドマージン部と、から構成される
セラミック電子部品。
【請求項４】
請求項３に記載のセラミック電子部品であって、
前記凹部の前記第１及び第２主面からの深さが前記第１及び第２カバー部の厚さ以下であり、かつ前記凹部の前記第１及び第２側面からの深さが前記第１及び第２サイドマージン部の厚さの４０％以下である
セラミック電子部品。
【請求項５】
請求項３に記載のセラミック電子部品であって、
前記凹部の前記第１及び第２側面からの深さが前記第１及び第２サイドマージン部の厚さ以下であり、かつ前記凹部の前記第１及び第２主面からの深さが前記第１及び第２カバー部の厚さの４０％以下である
セラミック電子部品。
【請求項６】
請求項１から５のいずれか１項に記載のセラミック電子部品であって、
前記保護部の厚さは、２μｍ以上１００μｍ以下である
セラミック電子部品。
【請求項７】
相互に対向する第１及び第２端面と、前記第１及び第２端面の間にそれぞれ延びる複数の面と、前記複数の面に沿って設けられた保護部と、前記保護部より内側に配置された機能部と、を有する素体と、
前記第１及び第２端面を覆い、前記第１及び第２端面から相互に近接するように前記複数の面に沿って延びる第１及び第２外部電極と、
を具備するセラミック電子部品の製造方法であって、
前記保護部に前記第１及び第２端面から前記複数の面の稜部に沿って延びる凹部を形成した後に、前記第１及び第２外部電極を形成する
セラミック電子部品の製造方法。
【請求項８】
請求項７に記載のセラミック電子部品の製造方法であって、

前記保護部は、相互に対向する第１及び第２カバー部と、相互に対向する第１及び第２サイドマージン部と、から構成される
セラミック電子部品の製造方法。
【請求項９】
請求項８に記載のセラミック電子部品の製造方法であって、
前記機能部と前記第１及び第２カバー部とが圧着された積層チップに前記第１及び第２サイドマージン部を形成することにより未焼成の前記素体を作製する
セラミック電子部品の製造方法。
【請求項１０】
請求項９に記載のセラミック電子部品の製造方法であって、
未焼成の前記素体に形成された前記第１及び第２サイドマージン部を乾燥させて収縮させることにより前記凹部を形成する
セラミック電子部品の製造方法。
【請求項１１】
請求項９に記載のセラミック電子部品の製造方法であって、
未焼成の前記素体に加工を施すことにより前記凹部を形成する
セラミック電子部品の製造方法。
【請求項１２】
請求項１１に記載のセラミック電子部品の製造方法であって、
前記加工はバレル研磨である
セラミック電子部品の製造方法。
【請求項１３】
請求項８に記載のセラミック電子部品の製造方法であって、
前記第１及び第２カバー部が、前記機能部及び前記第１及び第２サイドマージン部よりも焼成時の収縮率が大きい材料を用いて構成された未焼成の前記素体を作製し、
未焼成の前記素体を焼成することにより前記凹部を形成する
セラミック電子部品の製造方法。
【請求項１４】
請求項１３に記載のセラミック電子部品の製造方法であって、
前記第１及び第２カバー部が、前記機能部及び前記第１及び第２サイドマージン部よりも焼成時に液相を生じやすい材料を用いて構成される
セラミック電子部品の製造方法。
【請求項１５】
請求項１３又は１４に記載のセラミック電子部品の製造方法であって、
前記第１及び第２カバー部が、前記機能部及び前記第１及び第２サイドマージン部よりも原料粉末の割合が少ない材料を用いて構成される
セラミック電子部品の製造方法。
【請求項１６】
請求項１３から１５のいずれか１項に記載のセラミック電子部品の製造方法であって、
前記第１及び第２カバー部が、前記機能部及び前記第１及び第２サイドマージン部よりも原料粉末の平均粒径が小さい材料を用いて構成される
セラミック電子部品の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、一対の外部電極を有するセラミック電子部品及びその製造方法に関する。
【背景技術】
【０００２】
近年、電子機器の小型化及び高性能化に伴い、電子機器に用いられる積層セラミックコンデンサに対する小型化及び大容量化の要望がますます強くなってきている。規定された

寸法において積層セラミックコンデンサを大容量化するためには、例えば、外部電極を薄くすることにより、内部電極が配置される領域を拡大することが有効である。
【０００３】
外部電極は、例えば、積層セラミックコンデンサの素体に塗布された導電性ペーストを焼き付けた下地膜に、メッキ処理を施すことにより設けられる。このため、外部電極の厚さを縮小するためには、粘性の低い導電性ペーストを用いることにより、下地膜を薄くすることが有効である。
【０００４】
しかしながら、導電性ペーストは、素体に塗布されると、どうしても素体の角部において薄くなる。このため、粘性の低い導電性ペーストを用いると、下地膜が素体の角部で途切れ、素体の角部が剥き出しになる場合がある。このような場合、素体の角部において下地膜が剥離することにより、素体と下地膜との間に隙間が発生しやすくなる。
【０００５】
素体と下地膜との間に隙間が発生すると、メッキ処理時に素体と下地膜との間の隙間にメッキ液が入り込む。これにより、メッキ処理後の積層セラミックコンデンサにおいて正常な機能が得られなくなる場合がある。また、メッキ処理後の外部電極にも、素体との間の隙間が残る。
【０００６】
素体と外部電極との間に隙間があると、積層セラミックコンデンサの使用時などに、大気中の水分が素体と外部電極との間の隙間に進入することにより、絶縁不良が発生する場合がある。したがって、外部電極の厚さを縮小することにより、積層セラミックコンデンサの信頼性を確保することが難しくなる。
【０００７】
これに対し、特許文献１には、素体における外部電極が設けられる領域に、内部電極に接続されていないダミー電極を露出させる技術が開示されている。この技術では、金属で形成されたダミー電極に対して外部電極が良好な接続性を有するため、ダミー電極が露出する領域において外部電極が途切れにくくなる。
【先行技術文献】
【特許文献】
【０００８】
【特許文献１】特開２０１３－８４８７１号公報
【発明の概要】
【発明が解決しようとする課題】
【０００９】
しかしながら、上記特許文献１に係る技術では、ダミー電極を設けるための手間がかかるため、製造工程が煩雑化するとともに、製造コストが増大してしまう。このため、ダミー電極などの新たな部材を設けることなく、外部電極の厚さを縮小しても信頼性が損なわれない技術を実現することが求められる。
【００１０】
以上のような事情に鑑み、本発明の目的は、外部電極の厚さを縮小可能なセラミック電子部品及びその製造方法を提供することにある。
【課題を解決するための手段】
【００１１】
上記目的を達成するため、本発明の一形態に係るセラミック電子部品は、素体と、第１及び第２外部電極と、を具備する。
上記素体は、相互に対向する第１及び第２端面と、上記第１及び第２端面の間にそれぞれ延びる複数の面と、上記複数の面に沿って設けられ、上記第１及び第２端面から上記複数の面の稜部に沿って延びる凹部を含む保護部と、上記保護部より内側に配置された機能部と、を有する。
上記第１及び第２外部電極は、上記第１及び第２端面を覆い、上記第１及び第２端面か

ら相互に近接するように上記複数の面及び上記凹部に沿って延びる。
【００１２】
この構成では、第１及び第２外部電極が途切れやすい素体の角部に凹部が形成されている。これにより、素体の角部では、第１及び第２外部電極が凹部内に入り込むため、第１及び第２外部電極の厚さが確保される。したがって、この構成では、第１及び第２外部電極を薄くしても、素体の角部において第１及び第２外部電極が途切れることを防止することができる。
【００１３】
上記第１及び第２外部電極は、上記凹部において、上記複数の面をそれぞれ延長した面が交差する交線より内側に配置されていてもよい。
この構成では、凹部が設けられていなければ第１及び第２外部電極が途切れる程度まで第１及び第２外部電極の厚さを縮小しても、凹部の作用により第１及び第２外部電極が途切れることを防止することができる。
【００１４】
上記複数の面は、相互に対向する第１及び第２主面と、相互に対向する第１及び第２側面と、から構成されていてもよい。
上記保護部は、上記第１及び第２主面に沿って設けられた第１及び第２カバー部と、上記第１及び第２側面に沿って設けられた第１及び第２サイドマージン部と、から構成されていてもよい。
【００１５】
上記凹部の上記第１及び第２主面からの深さが上記第１及び第２カバー部の厚さ以下であり、かつ上記凹部の上記第１及び第２側面からの深さが上記第１及び第２サイドマージン部の厚さの４０％以下であってもよい。
また、上記凹部の上記第１及び第２側面からの深さが上記第１及び第２サイドマージン部の厚さ以下であり、かつ上記凹部の上記第１及び第２主面からの深さが上記第１及び第２カバー部の厚さの４０％以下であってもよい。
上記保護部の厚さは、２μｍ以上１００μｍ以下であってもよい。
【００１６】
これらの構成では、第１及び第２カバー部及び第１及び第２サイドマージン部によって機能部をより効果的に保護することが可能である。
【００１７】
本発明の一形態に係るセラミック電子部品の製造方法は、素体と、第１及び第２外部電極と、を具備するセラミック電子部品の製造方法である。
上記素体は、相互に対向する第１及び第２端面と、上記第１及び第２端面の間にそれぞれ延びる複数の面と、上記複数の面に沿って設けられた保護部と、上記保護部より内側に配置された機能部と、を有する。
上記第１及び第２外部電極は、上記第１及び第２端面を覆い、上記第１及び第２端面から相互に近接するように上記複数の面に沿って延びる。
このセラミック電子部品の製造方法では、上記保護部に上記第１及び第２端面から上記複数の面の稜部に沿って延びる凹部を形成した後に、上記第１及び第２外部電極を形成する。
【００１８】
この構成では、予め素体の角部に形成された凹部内に第１及び第２外部電極が溜まるため、素体の角部において第１及び第２外部電極の厚さが確保される。これにより、第１及び第２外部電極の厚さを縮小しても、素体の角部において第１及び第２外部電極が途切れることを防止することができる。
【００１９】
上記保護部は、相互に対向する第１及び第２カバー部と、相互に対向する第１及び第２サイドマージン部と、から構成されていてもよい。
【００２０】

この場合、例えば、上記機能部と上記第１及び第２カバー部とが圧着された積層チップに上記第１及び第２サイドマージン部を形成することにより未焼成の上記素体を作製してもよい。
未焼成の上記素体に形成された上記第１及び第２サイドマージン部を乾燥させて収縮させることにより上記凹部を形成してもよい。
未焼成の上記素体に加工を施すことにより上記凹部を形成してもよい。
上記加工はバレル研磨であってもよい。
【００２１】
また、上記第１及び第２カバー部が、上記機能部及び上記第１及び第２サイドマージン部よりも焼成時の収縮率が大きい材料を用いて構成された未焼成の上記素体を作製することができる。そして、未焼成の上記素体を焼成することにより上記凹部を形成することができる。
【００２２】
この場合、例えば、上記第１及び第２カバー部は、上記機能部及び上記第１及び第２サイドマージン部よりも焼成時に液相を生じやすい材料を用いて構成されていてもよい。
また、上記第１及び第２カバー部は、上記機能部及び上記第１及び第２サイドマージン部よりも原料粉末の割合が少ない材料を用いて構成されていてもよい。
更に、上記第１及び第２カバー部は、上記機能部及び上記第１及び第２サイドマージン部よりも原料粉末の平均粒径が小さい材料を用いて構成されていてもよい。
【００２３】
これらの構成では、素体の角部に容易に凹部を形成することができる。これにより、製造工程の煩雑化や製造コストの増大を伴うことなく、外部電極の厚さを縮小可能なセラミック電子部品を製造可能となる。
【発明の効果】
【００２４】
外部電極の厚さを縮小可能なセラミック電子部品及びその製造方法を提供することができる。
【図面の簡単な説明】
【００２５】
【図１】本発明の一実施形態に係る積層セラミックコンデンサの斜視図である。
【図２】上記積層セラミックコンデンサのＡ－Ａ'線に沿った断面図である。
【図３】上記積層セラミックコンデンサのＢ－Ｂ'線に沿った断面図である。
【図４】上記積層セラミックコンデンサのＣ－Ｃ'線に沿った断面図である。
【図５】上記積層セラミックコンデンサの図４の一点鎖線で囲んだ部分の拡大断面図である。
【図６】上記実施形態の比較例に係る積層セラミックコンデンサの拡大断面図である。
【図７】上記積層セラミックコンデンサの製造例１を示すフローチャートである。
【図８】上記製造例１のステップＳ１－０１で準備されるセラミックシートの平面図である。
【図９】上記製造例１のステップＳ１－０２で作製される積層シートの斜視図である。
【図１０】上記製造例１のステップＳ１－０３で切断された積層シートの平面図である。
【図１１】上記製造例１のステップＳ１－０３の後の積層チップの斜視図である。
【図１２】上記製造例１のステップＳ１－０４の後の素体の斜視図である。
【図１３】上記製造例１のステップＳ１－０５の後の素体の斜視図である。
【図１４】上記製造例１の変形例を示す素体の斜視図である。
【図１５】上記積層セラミックコンデンサの製造例２を示すフローチャートである。
【図１６】上記製造例２のステップＳ２－０１で準備されるセラミックシートの平面図である。
【図１７】上記製造例２のステップＳ２－０２で作製される積層シートの斜視図である。
【図１８】上記製造例２のステップＳ２－０３の後の積層チップの斜視図である。

【図１９】上記製造例２のステップＳ２－０４の後の積層チップの斜視図である。
【図２０】上記製造例２の変形例を示す素体の斜視図である。
【発明を実施するための形態】
【００２６】
以下、図面を参照しながら、本発明の実施形態を説明する。
図面には、適宜相互に直交するＸ軸、Ｙ軸、及びＺ軸が示されている。Ｘ軸、Ｙ軸、及びＺ軸は全図において共通である。
【００２７】
［積層セラミックコンデンサ１０の全体構成］
図１～４は、本発明の第１の実施形態に係る積層セラミックコンデンサ１０を示す図である。
図１は、積層セラミックコンデンサ１０の斜視図である。図２は、積層セラミックコンデンサ１０の図１のＡ－Ａ'線に沿った断面図である。図３は、積層セラミックコンデンサ１０の図１のＢ－Ｂ'線に沿った断面図である。図４は、積層セラミックコンデンサ１０の図１のＣ－Ｃ'線に沿った断面図である。
【００２８】
積層セラミックコンデンサ１０は、素体１１と、第１外部電極１４と、第２外部電極１５と、を具備する。外部電極１４，１５は、相互に離間し、素体１１を挟んでＸ軸方向に対向している。
【００２９】
素体１１は、Ｘ軸方向を向いた２つの端面と、Ｙ軸方向を向いた２つの側面と、Ｚ軸方向を向いた２つの主面と、を含む６面体形状を有する。素体１１において、例えば、Ｘ軸方向の寸法を１．０ｍｍとし、Ｙ軸及びＺ軸方向の寸法を０．５ｍｍとすることができる。
なお、素体１１は厳密に６面体形状でなくてもよく、例えば、素体１１の各面が曲面であってもよく、素体１１が全体として丸みを帯びた形状であってもよい。
【００３０】
また、素体１１には、側面と主面との４つの稜部に沿って、Ｘ軸方向に延びる凹部２０が設けられている。凹部２０は、素体１１のＸ軸方向の全幅にわたって設けられ、側面及び主面から窪む溝を形成している。本実施形態に係る凹部２０の詳細な構成については、後述する。
【００３１】
外部電極１４，１５は、素体１１の両端面を覆い、両端面から相互に近接するように側面及び主面に沿って延びている。これにより、外部電極１４，１５のいずれにおいても、Ｘ－Ｚ平面に平行な断面及びＸ－Ｙ軸に平行な断面の形状がＵ字状となっている。
外部電極１４，１５はそれぞれ、電気の良導体により形成され、積層セラミックコンデンサ１０の端子として機能する。外部電極１４，１５を形成する電気の良導体としては、例えば、ニッケル（Ｎｉ）、銅（Ｃｕ）、パラジウム（Ｐｄ）、白金（Ｐｔ）、銀（Ａｇ）、金（Ａｕ）などを主成分とする金属や合金を用いることができる。
外部電極１４，１５は、単層構造であっても複層構造であってもよい。
【００３２】
複層構造の外部電極１４，１５は、例えば、下地膜と表面膜との２層構造や、下地膜と中間膜と表面膜との３層構造として構成されていてもよい。
下地膜は、例えば、ニッケル、銅、パラジウム、白金、銀、金などを主成分とする金属や合金の焼き付け膜とすることができる。
中間膜は、例えば、白金、パラジウム、金、銅、ニッケルなどを主成分とする金属や合金のメッキ膜とすることができる。
表面膜は、例えば、銅、錫、パラジウム、金、亜鉛などを主成分とする金属や合金のメッキ膜とすることができる。
【００３３】

素体１１は、容量形成部１６と、保護部１９と、を有する。容量形成部１６は、積層セラミックコンデンサ１０における電荷を蓄える機能を果たす機能部として構成される。保護部１９は、素体１１の側面及び主面に沿って形成され、容量形成部１６をＺ軸方向及びＹ軸方向から覆っている。保護部１９は、主に、容量形成部１６を保護するとともに、容量形成部１６の周囲の絶縁性を確保する機能を有する。

【００３４】

保護部１９は、カバー部１７と、サイドマージン部１８と、から構成される。カバー部１７は、Ｘ－Ｙ平面に沿って延びる平板状であり、容量形成部１６をＺ軸方向両側からそれぞれ覆っている。サイドマージン部１８は、Ｘ－Ｚ平面に沿って延びる平板状であり、容量形成部１６をＹ軸方向両側からそれぞれ覆っている。

【００３５】

容量形成部１６は、複数の第１内部電極１２と、複数の第２内部電極１３と、を有する。内部電極１２，１３は、いずれもＸ－Ｙ平面に沿って延びるシート状であり、Ｚ軸方向に沿って交互に配置されている。第１内部電極１２は、第１外部電極１４に接続され、第２外部電極１５から離間している。これとは反対に、第２内部電極１３は、第２外部電極１５に接続され、第１外部電極１４から離間している。

【００３６】

内部電極１２，１３はそれぞれ、電気の良導体により形成され、積層セラミックコンデンサ１０の内部電極として機能する。内部電極１２，１３を形成する電気の良導体としては、例えばニッケル（Ｎｉ）、銅（Ｃｕ）、パラジウム（Ｐｄ）、白金（Ｐｔ）、銀（Ａｇ）、金（Ａｕ）、又はこれらの合金を含む金属材料が用いられる。

【００３７】

容量形成部１６は、誘電体セラミックスによって形成されている。積層セラミックコンデンサ１０では、内部電極１２，１３間の各誘電体セラミック層の容量を大きくするため、容量形成部１６を形成する材料として高誘電率の誘電体セラミックスが用いられる。高誘電率の誘電体セラミックスとしては、例えば、チタン酸バリウム（$BaTiO_3$）に代表される、バリウム（Ｂａ）及びチタン（Ｔｉ）を含むペロブスカイト構造の材料が挙げられる。

【００３８】

また、容量形成部１６を構成する誘電体セラミックスは、チタン酸バリウム系以外にも、チタン酸ストロンチウム（$SrTiO_3$）系、チタン酸カルシウム（$CaTiO_3$）系、チタン酸マグネシウム（$MgTiO_3$）系、ジルコン酸カルシウム（$CaZrO_3$）系、チタン酸ジルコン酸カルシウム（ＰＣＺＴ）系、ジルコン酸バリウム（$BaZrO_3$）系、酸化チタン（TiO_2）系などであってもよい。

【００３９】

カバー部１７及びサイドマージン部１８も、誘電体セラミックスによって形成されている。カバー部１７及びサイドマージン部１８を形成する材料は、絶縁性セラミックスであればよいが、容量形成部１６と同様の組成系の材料を用いることより、製造効率が向上するとともに、素体１１における内部応力が抑制される。

【００４０】

上記の構成により、積層セラミックコンデンサ１０では、第１外部電極１４と第２外部電極１５との間に電圧が印加されると、第１内部電極１２と第２内部電極１３との間の複数の誘電体セラミック層に電圧が加わる。これにより、積層セラミックコンデンサ１０では、第１外部電極１４と第２外部電極１５との間の電圧に応じた電荷が蓄えられる。

【００４１】

なお、積層セラミックコンデンサ１０の構成は、特定の構成に限定されず、積層セラミックコンデンサ１０に求められるサイズや性能などに応じて、公知の構成を適宜採用可能である。例えば、容量形成部１６における各内部電極１２，１３の枚数は、適宜決定可能である。

【００４２】

［凹部２０の詳細な構成］
積層セラミックコンデンサ１０では、外部電極１４，１５が薄く形成される。これにより、積層セラミックコンデンサ１０では、容量形成部１６を形成する領域を広く確保することができるため、大容量化が可能となる。
【００４３】
一般的な構成では、外部電極１４，１５を薄くすると、素体１１の角部において外部電極１４，１５が薄くなりすぎ、外部電極１４，１５が途切れる場合がある。つまり、第１外部電極１４が形成される素体１１の４つの角部において第１外部電極１４が途切れやすく、第２外部電極１５が形成される素体１１の４つの角部において第２外部電極１５が途切れやすい。
【００４４】
この点、本実施形態に係る積層セラミックコンデンサ１０では、図４に示すように、外部電極１４，１５が凹部２０内に入り込むため、凹部２０に沿った領域において外部電極１４，１５の厚さが確保される。凹部２０は素体１１の角部まで連続しているため、素体１１の角部においても外部電極１４，１５の厚さが確保される。
【００４５】
このように、積層セラミックコンデンサ１０では、外部電極１４，１５を薄くしても、素体１１の角部において外部電極１４，１５が途切れにくい。したがって、積層セラミックコンデンサ１０では、素体１１の角部において外部電極１４，１５の剥離が発生しないため、大気中の水分の進入による絶縁不良が発生しにくい。
【００４６】
以上のように、積層セラミックコンデンサ１０では、凹部２０の作用により、外部電極１４，１５を薄くしても信頼性が損なわれない
【００４７】
図５は、図４の一点鎖線で囲んだ凹部２０及びその周囲の領域を拡大して示す部分断面図である。なお、図５には第１外部電極１４について示すが、第２外部電極１５も第１外部電極１４と同様に構成されている。以下、図５を参照して凹部２０及びその周囲の典型的な構成について説明するが、本発明はこれに限定されない。
【００４８】
カバー部１７の厚さＷ１及びサイドマージン部１８の厚さＷ２は、２μｍ以上１００μｍ以下であることが好ましい。厚さＷ１，Ｗ２を２μｍ以上とすることにより、カバー部１７及びサイドマージン部１８によって、容量形成部１６をより効果的に保護することができる。厚さＷ１，Ｗ２を１００μｍ以下に留めることにより、容量形成部１６を設ける領域を広く確保可能となるため、積層セラミックコンデンサ１０の大容量化に有利になる。
【００４９】
素体１１の主面からの凹部２０の深さＤ１は、カバー部１７の厚さＷ１以下となるように設定される。また、素体１１の側面からの凹部２０の深さＤ２は、サイドマージン部１８の厚さＷ２以下となるように設定される。これにより、凹部２０内における外部電極１４，１５と内部電極１２，１３との間の絶縁性が良好に確保される。
【００５０】
更に、凹部２０の深さＤ１がカバー部１７の厚さＷ１の４０％以下であることが好ましく、凹部２０の深さＤ２がサイドマージン部１８の厚さＷ２の４０％以下であることが好ましい。凹部２０の深さＤ１，Ｄ２の少なくとも一方が上記の条件を満たすことにより、凹部２０内における外部電極１４，１５と内部電極１２，１３との間の絶縁性が更に良好に確保される。
【００５１】
図５には、素体１１の主面を延長した面と、素体１１の側面を延長した面と、が交差する交線Ｌが示されている。積層セラミックコンデンサ１０では、外部電極１４，１５が薄いため、素体１１の凹部２０において外部電極１４，１５が交線Ｌより内側に配置されて

いる。
【００５２】
図６は、本実施形態の比較例に係る積層セラミックコンデンサ１０ａの部分断面図である。比較例に係る積層セラミックコンデンサ１０ａでは、本実施形態に係る積層セラミックコンデンサ１０とは異なり、素体１１ａの保護部１９ａに凹部が設けられておらず、素体１１ａの側面と主面とが稜部Ｍにおいて接続されている。
【００５３】
比較例に係る積層セラミックコンデンサ１０ａでは、外部電極１４ａ，１５ａを本実施形態に係る積層セラミックコンデンサ１０ａの外部電極１４，１５と同様に薄くすると、素体１１ａの稜部Ｍにおいて外部電極１４ａ，１５ａが途切れる。これにより、図６に示すように、素体１１ａの稜部Ｍが剥き出しになってしまう。
【００５４】
したがって、比較例に係る積層セラミックコンデンサ１０ａでは、本実施形態に係る積層セラミックコンデンサ１０とは異なり、外部電極１４ａ，１４ｂを薄くすると信頼性が損なわれてしまう。
【００５５】
［積層セラミックコンデンサ１０の製造例１］
図７は、積層セラミックコンデンサ１０の製造例１を示すフローチャートである。図８～１３は、積層セラミックコンデンサ１０の製造例１の過程を示す図である。以下、積層セラミックコンデンサ１０の製造例１について、図７に沿って、図８～１３を適宜参照しながら説明する。
【００５６】
（ステップＳ１－０１：セラミックシート準備）
ステップＳ１－０１では、容量形成部１６を形成するための第１セラミックシート１０１及び第２セラミックシート１０２と、カバー部１７を形成するための第３セラミックシート１０３と、を準備する。
【００５７】
図８はセラミックシート１０１，１０２，１０３の平面図である。図８（Ａ）は第１セラミックシート１０１を示し、図８（Ｂ）は第２セラミックシート１０２を示し、図８（Ｃ）は第３セラミックシート１０３を示している。セラミックシート１０１，１０２，１０３は、未焼成の誘電体グリーンシートとして構成され、例えば、ロールコーターやドクターブレードを用いてシート状に成形される。
【００５８】
ステップＳ１－０１の段階では、セラミックシート１０１，１０２，１０３は各積層セラミックコンデンサ１０ごとに切り分けられていない。図８には、各積層セラミックコンデンサ１０ごとに切り分ける際の切断線Ｌｘ，Ｌｙが示されている。切断線ＬｘはＸ軸に平行であり、切断線ＬｙはＹ軸に平行である。
【００５９】
図８に示すように、第１セラミックシート１０１には第１内部電極１２に対応する未焼成の第１内部電極１１２が形成され、第２セラミックシート１０２には第２内部電極１３に対応する未焼成の第２内部電極１１３が形成されている。なお、カバー部１７に対応する第３セラミックシート１０３には内部電極が形成されていない。
【００６０】
内部電極１１２，１１３は、任意の導電性ペーストを用いて形成することができる。導電性ペーストによる内部電極１１２，１１３の形成には、例えば、スクリーン印刷法やグラビア印刷法を用いることができる。
【００６１】
内部電極１１２，１１３は、切断線Ｌｙによって仕切られたＸ軸方向に隣接する２つの領域にわたって配置され、Ｙ軸方向に帯状に延びている。第１内部電極１１２と第２内部電極１１３とでは、切断線Ｌｙによって仕切られた領域１列ずつＸ軸方向にずらされてい

る。つまり、第１内部電極１１２の中央を通る切断線Ｌｙが第２内部電極１１３の間の領域を通り、第２内部電極１１３の中央を通る切断線Ｌｙが第１内部電極１１２の間の領域を通っている。

【００６２】

（ステップＳ１－０２：積層）

ステップＳ１－０２では、ステップＳ１－０１で準備したセラミックシート１０１，１０２，１０３を積層することにより積層シート１０４を作製する。

【００６３】

図９は、ステップＳ１－０２で得られる積層シート１０４の斜視図である。図９では、説明の便宜上、セラミックシート１０１，１０２，１０３を分解して示している。しかし、実際の積層シート１０４では、セラミックシート１０１，１０２，１０３が静水圧加圧や一軸加圧などにより圧着されて一体化される。これにより、高密度の積層シート１０４が得られる。

【００６４】

積層シート１０４では、容量形成部１６に対応する第１セラミックシート１０１及び第２セラミックシート１０２がＺ軸方向に交互に積層されている。

また、積層シート１０４では、交互に積層されたセラミックシート１０１，１０２のＺ軸方向最上面及び最下面にそれぞれカバー部１７に対応する第３セラミックシート１０３が積層される。なお、図９に示す例では、第３セラミックシート１０３がそれぞれ３枚ずつ積層されているが、第３セラミックシート１０３の枚数は適宜変更可能である。

【００６５】

（ステップＳ１－０３：切断）

ステップＳ１－０３では、ステップＳ１－０２で得られた積層シート１０４を切断することにより未焼成の積層チップ１０５を作製する。

【００６６】

図１０は、ステップＳ１－０３の後の積層シート１０４の平面図である。積層シート１０４は、保持部材としてのテープＴ１に貼り付けられた状態で、切断線Ｌｘ，Ｌｙに沿って切断される。これにより、積層シート１０４が個片化され、図１１に示す積層チップ１０５が得られる。積層チップ１０５には、内部電極１１２，１１３が露出した切断面である側面Ｐ，Ｑが形成されている。

【００６７】

積層シート１０４の切断方法は、特定の方法に限定されない。例えば、積層シート１０４の切断には、各種ブレードを利用した技術を用いることができる。積層シート１０４の切断に利用可能なブレードの一例としては、押し切り刃や回転刃（ダイシングブレードなど）が挙げられる。更に、積層シート１０４の切断には、各種ブレードを利用した技術以外にも、例えばレーザ切断やウォータージェット切断を用いることができる。

【００６８】

必要に応じ、切断後の積層チップ１０５を洗浄し、積層チップ１０５の側面Ｐ，Ｑなどに付着した切断屑などを除去する。

【００６９】

（ステップＳ１－０４：サイドマージン部形成）

ステップＳ１－０４では、ステップＳ１－０３で得られた積層チップ１０５の側面Ｐ，Ｑに、未焼成のサイドマージン部１１８を形成する。

【００７０】

サイドマージン部１１８は、例えば、セラミックシートを積層チップ１０５の側面Ｐ，Ｑで打ち抜くことや、セラミックスラリーを積層チップ１０５の側面Ｐ，Ｑに塗布することにより形成することができる。セラミックスラリーを積層チップ１０５の側面Ｐ，Ｑに塗布する方法としては、例えば、ディップ法を用いることができる。

【００７１】

以上により、図１２に示す未焼成の素体１１１が得られる。

未焼成の素体１１１の形状は、焼成後の素体１１の形状に応じて決定可能である。例えば、１．０ｍｍ×０．５ｍｍ×０．５ｍｍの素体１１を得るために、１．２ｍｍ×０．６ｍｍ×０．６ｍｍの未焼成の素体１１１を作製することができる。

【００７２】

（ステップＳ１－０５：凹部形成）

ステップＳ１－０５では、ステップＳ１－０４で得られた図１２に示す未焼成の素体１１１に凹部１２０を形成することにより、図１３に示す未焼成の素体１１１を作製する。ステップＳ１－０５は、様々な手法で実行可能であり、その一例を以下に例示する。

【００７３】

例えば、図１２に示す未焼成の素体１１１のサイドマージン部１１８を乾燥させてＺ軸方向に収縮させることにより、図１３に示す未焼成の素体１１１の凹部１２０を形成することができる。サイドマージン部１１８を乾燥時に収縮しやすくするために、ステップＳ１－０４（サイドマージン部形成）ではセラミックスラリーの塗布によりサイドマージン部１１８を形成することが好ましい。

【００７４】

また、図１２に示す未焼成の素体１１１に凹部１２０を形成するための加工を施すことにより、図１３に示す未焼成の素体１１１を作製することができる。未焼成の素体１１１に凹部１２０を形成するための加工方法としては、バレル研磨やレーザ照射やサンドブラストなどを用いることができる。更に、サイドマージン部１１８を押圧して変形させることにより、凹部１２０を形成してもよい。

【００７５】

一例として、図１２に示す未焼成の素体１１１にバレル研磨を施すことにより凹部１２０を形成する方法について説明する。バレル研磨は、例えば、複数の未焼成の素体１１１と研磨媒体と液体とをバレル容器に封入し、バレル容器に回転運動や振動を与えることにより実行可能である。

【００７６】

上記のとおり、積層チップ１０５は、ステップＳ１－０３で切断される前のステップＳ１－０２において静水圧加圧や一軸加圧などにより高密度化されている。この一方で、ステップＳ１－０４では、積層チップ１０５の各層の剥離を防止するため、積層チップ１０５に形成されたサイドマージン部１１８に大きい圧力を加えず、サイドマージン部１１８が高密度化されない。

【００７７】

したがって、図１２に示す未焼成の素体１１１では、サイドマージン部１１８の密度が、積層チップ１０５の密度よりも低くなる。このため、図１２に示す未焼成の素体１１１にバレル研磨を施すと、低密度のサイドマージン部１１８が高密度の積層チップ１０５よりも多く摩耗する。これにより、図１３に示すバレル研磨後の未焼成の素体１１１には、サイドマージン部１１８のＺ軸方向両端部が多く摩耗することにより、凹部１２０が形成される。

【００７８】

なお、図１３に示すバレル研磨後の未焼成の素体１１１では、サイドマージン部１１８のＺ軸方向両端部のみならず、サイドマージン部１１８のＸ軸方向両端部も多く摩耗していてもよい。この場合、サイドマージン部１１８のＸ軸方向の各端部における摩耗量は、当該端部とは反対側に引き出される内部電極１１２，１１３に到達しない程度に留める必要がある。

【００７９】

（ステップＳ１－０６：焼成）

ステップＳ１－０６では、ステップＳ１－０５で得られた図１３に示す未焼成の素体１１１を焼成することにより、図１～３に示す積層セラミックコンデンサ１０の素体１１を作製する。焼成は、例えば、還元雰囲気下、又は低酸素分圧雰囲気下において行うことができる。

【００８０】
（ステップＳ１－０７：外部電極形成）
ステップＳ１－０７では、ステップＳ１－０６で得られた素体１１に外部電極１４，１５を形成することにより、図１～３に示す積層セラミックコンデンサ１０を作製する。
【００８１】
ステップＳ１－０７では、まず、素体１１の一方のＸ軸方向端面を覆うように未焼成の電極材料を塗布し、素体１１の他方のＸ軸方向端面を覆うように未焼成の電極材料を塗布する。
【００８２】
未焼成の電極材料としては、外部電極１４，１５を薄くするために、粘性の低い導電性ペーストを選択可能である。未焼成の電極材料の塗布方法は、未焼成の電極材料を素体１１の凹部２０内に充填可能であればよく、特定の方法に限定されない。未焼成の電極材料の塗布方法としては、例えば、ディップ法が挙げられる。
【００８３】
次に、素体１１に塗布された未焼成の電極材料に、例えば、還元雰囲気下、又は低酸素分圧雰囲気下において焼き付け処理を行って、素体１１に下地膜を形成する。そして、素体１１に焼き付けられた下地膜の上に、中間膜及び表面膜を電解メッキなどのメッキ処理で形成して、外部電極１４，１５が完成する。
【００８４】
本実施形態では、下地膜が素体１１の凹部２０において途切れることなく素体１１を覆っているため、メッキ処理において素体１１と下地膜との間にメッキ液が進入することを防止することができる。
【００８５】
なお、上記のステップＳ１－０７における処理の一部を、ステップＳ１－０６の前に行ってもよい。例えば、ステップＳ１－０６の前に未焼成の素体１１１のＸ軸方向両端面に未焼成の電極材料を塗布し、ステップＳ１－０６において、未焼成の素体１１１を焼成すると同時に、未焼成の電極材料を焼き付けて外部電極１４，１５の下地層を形成してもよい。
【００８６】
（製造例１の変形例）
製造例１においてステップＳ１－０５（凹部形成）は必須ではない。つまり、ステップＳ１－０４（サイドマージン部形成）において図１４に示す予め凹部１２０が形成された未焼成の素体１１１が得られれば、事後的に凹部１２０を形成する必要がなくなる。
【００８７】
例えば、積層チップ１０５の側面Ｐ，Ｑに、Ｚ軸方向に短いサイドマージン部１１８を配置することにより、図１４に示す未焼成の素体１１１が得られる。また、積層チップ１０５の側面Ｐ，Ｑによるセラミックシートの打ち抜き条件を、サイドマージン部１１８がＺ軸方向に短くなるように調整することによっても、図１４に示す未焼成の素体１１１が得られる。
【００８８】
［積層セラミックコンデンサ１０の製造例２］
図１５は、積層セラミックコンデンサ１０の製造例２を示すフローチャートである。図１６～１９は、積層セラミックコンデンサ１０の製造例２の過程を示す図である。以下、積層セラミックコンデンサ１０の製造例２について、図１５に沿って、図１６～１９を適宜参照しながら説明する。製造例２について、製造例１と同様の構成についての説明は適宜省略する。
【００８９】
（ステップＳ２－０１：セラミックシート準備）
ステップＳ２－０１では、容量形成部１６及びサイドマージン部１８を形成するための第１セラミックシート１０１ａ及び第２セラミックシート１０２ａと、カバー部１７を形

成するための第３セラミックシート１０３ａ及び第４セラミックシート１０３ｂと、を準備する。

【００９０】

図１６はセラミックシート１０１ａ，１０２ａ，１０３ａ，１０３ｂの平面図である。図１６（Ａ）は第１セラミックシート１０１ａを示し、図１６（Ｂ）は第２セラミックシート１０２ａを示し、図１６（Ｃ）は第３セラミックシート１０３ａを示し、図１６（Ｄ）は第４セラミックシート１０３ｂを示している。

【００９１】

第１セラミックシート１０１ａには第１内部電極１２に対応する未焼成の第１内部電極１１２が形成され、第２セラミックシート１０２ａには第２内部電極１３に対応する未焼成の第２内部電極１１３が形成されている。なお、カバー部１７に対応するセラミックシート１０３ａ，１０３ｂには内部電極が形成されていない。

【００９２】

セラミックシート１０１ａ，１０２ａにおける内部電極１１２，１１３は、サイドマージン部１１８が形成されるように、Ｙ軸方向に間隔をあけてパターニングされている。このため、製造例２では、製造例１のステップＳ１－０４（サイドマージン部形成）を行う必要がない。

【００９３】

第４セラミックシート１０３ｂは、他のセラミックシート１０１ａ，１０２ａ，１０３ａよりも焼成時の収縮率が大きい材料で形成される。

焼成時における第４セラミックシート１０３ｂの収縮率を大きくするための手法は、公知の手法から任意に選択することができる。

【００９４】

例えば、第４セラミックシート１０３ｂを、他のセラミックシート１０１ａ，１０２ａ，１０３ａよりも焼成時に液相を生じやすい組成で構成することができる。この場合、第４セラミックシート１０３ｂには、ガラス成分を構成するケイ素酸化物やホウ素窒化物などを他のセラミックシート１０１ａ，１０２ａ，１０３ａよりも多く含ませることが可能である。

【００９５】

また、第４セラミックシート１０３ｂにおいて、焼成後に固形成分となる原料粉末の割合を他のセラミックシート１０１ａ，１０２ａ，１０３ａよりも少なくすることができる。

更に、第４セラミックシート１０３ｂにおいて、原料粉末の平均粒径を他のセラミックシート１０１ａ，１０２ａ，１０３ａよりも小さくすることができる。

【００９６】

（ステップＳ２－０２：積層）

ステップＳ２－０２では、ステップＳ２－０１で準備したセラミックシート１０１ａ，１０２ａ，１０３ａ，１０３ｂを積層することにより、図１７に示す積層シート１０４を作製する。

【００９７】

積層シート１０４では、容量形成部１６及びサイドマージン部１８に対応する第１セラミックシート１０１ａ及び第２セラミックシート１０２ａがＺ軸方向に交互に積層されている。

【００９８】

また、積層シート１０４では、交互に積層されたセラミックシート１０１ａ，１０２ａのＺ軸方向最上面及び最下面に、第３セラミックシート１０３ａが配置され、更にその上に第４セラミックシート１０３ｂが配置されている。なお、図１７に示す例では、セラミックシート１０３ａ，１０３ｂがそれぞれ２枚ずつ積層されているが、セラミックシート１０３ａ，１０３ｂの枚数は適宜変更可能である。

【００９９】

（ステップＳ２－０３：切断）
ステップＳ２－０３では、ステップＳ２－０２で得られた積層シート１０４を切断することにより、図１８に示す未焼成の素体１１１を作製する。
【０１００】
（ステップＳ２－０４：焼成）
ステップＳ２－０４では、ステップＳ２－０３で得られた図１８に示す未焼成の素体１１１を焼成することにより、図１９に示す素体１１を作製する。
【０１０１】
ステップＳ２－０４では、第４セラミックシート１０３ｂが、セラミックシート１０１ａ，１０２ａ，１０３ａよりも大きくＹ軸方向に収縮する。これにより、素体１１のカバー部１７のＹ軸方向両端部に凹部２０が形成される。
【０１０２】
なお、ステップＳ２－０４では、第４セラミックシート１０３ｂが、セラミックシート１０１ａ，１０２ａ，１０３ａよりも大きくＸ軸方向に収縮していてもよい。これにより、図１９に示す焼成後の素体１１のカバー部１７のＸ軸方向両端部にも凹部が形成されていても差し支えない。
【０１０３】
（ステップＳ２－０５：外部電極形成）
ステップＳ２－０５は、製造例１に係るステップＳ１－０７と同様である。
【０１０４】
（製造例２の変形例）
製造例２において、第４セラミックシート１０３ｂの収縮率が、他のセラミックシート１０１ａ，１０２ａ，１０３ａよりも大きい構成は必須ではない。
例えば、図２０に示すように、第４セラミックシート１０３ｂのＺ軸方向の寸法が第３セラミックシート１０３ａよりも小さい未焼成の素体１１１を作製することができる。これにより、焼成前の素体１１１に予め凹部１２０が形成されるため、ステップＳ２－０４（焼成）において第４セラミックシート１０３ｂのみを大きく収縮させる必要がなくなる。
【０１０５】
また、製造例２において、カバー部１１７が２種類のセラミックシート１０３ａ，１０３ｂによって構成されていることは必須ではない。
例えば、カバー部１１７が第４セラミックシート１０３ｂのみによって構成されていてもよい。この場合、ステップＳ２－０４（焼成）において、カバー部１１７全体が、セラミックシート１０１ａ，１０２ａよりもＹ軸方向に大きく収縮することにより、カバー部１７のＹ軸方向両側に凹部２０が形成される。
更に、カバー部１１７は、３種類以上のセラミックシートによって構成されていても構わない。
【０１０６】
＜その他の実施形態＞
以上、本発明の実施形態について説明したが、本発明は上述の実施形態にのみ限定されるものではなく種々変更を加え得ることは勿論である。
【０１０７】
例えば、上記実施形態では凹部２０が素体１１のＸ軸方向の全幅にわたって形成されているが、凹部２０は少なくとも素体１１の角部に形成されていればよい。つまり、素体１１の各角部の間において凹部２０が連続していなくてもよく、例えば、素体１１の外部電極１４，１５に覆われていない領域に凹部２０が形成されていなくてもよい。
【０１０８】
また、積層セラミックコンデンサ１０では、上記実施形態のように凹部２０が素体１１の側面と主面との４つの稜部のいずれにも設けられることが好ましいが、この構成は必須ではない。つまり、積層セラミックコンデンサ１０では、凹部２０が素体１１の４つの稜

部のうち少なくとも１つに設けられていれば、上記実施形態の効果を得ることができる。

【０１０９】

更に、上記実施形態では、素体１１が６面体形状を有するため、素体１１の側面と主面との稜部に沿って凹部２０が設けられる。しかし、素体１１は、６面体形状でなくても、両端面の間にそれぞれ延びる複数の面を有していればよい。この場合、素体１１の複数の面の稜部に沿って凹部２０を設けることにより、上記実施形態と同様の効果が得られる。

【０１１０】

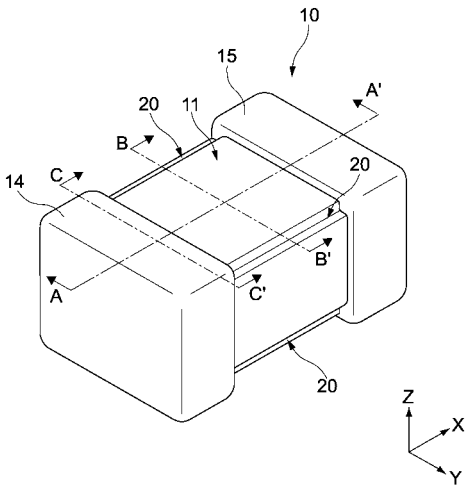
加えて、上記実施形態ではセラミック電子部品の一例として積層セラミックコンデンサ１０について説明したが、本発明は一対の外部電極を有するセラミック電子部品全般に適用可能である。このようなセラミック電子部品としては、例えば、インダクタや圧電素子などが挙げられる。

【符号の説明】

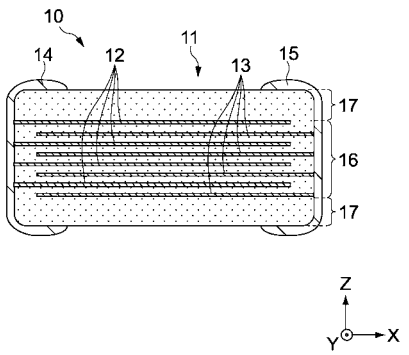
【０１１１】

１０…積層セラミックコンデンサ
１１…素体
１２，１３…内部電極
１４，１５…外部電極
１６…容量形成部
１７…カバー部
１８…サイドマージン部
１９…保護部
２０…凹部

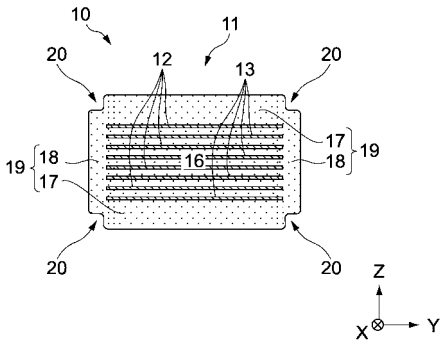
【図１】



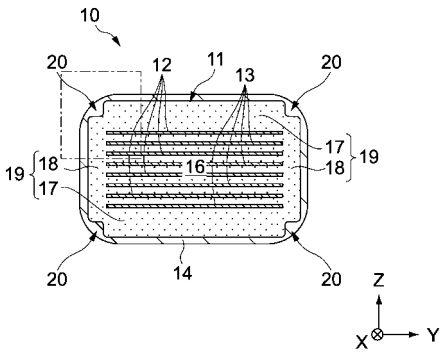
【図２】



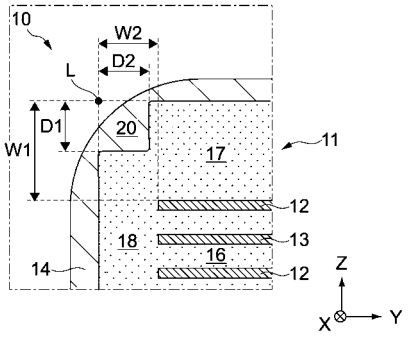
【図３】



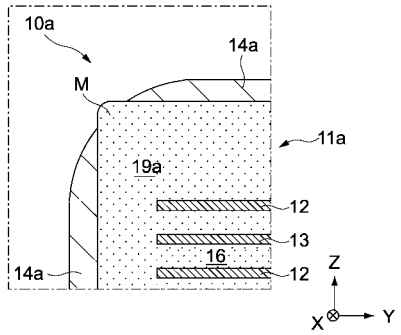
【図４】



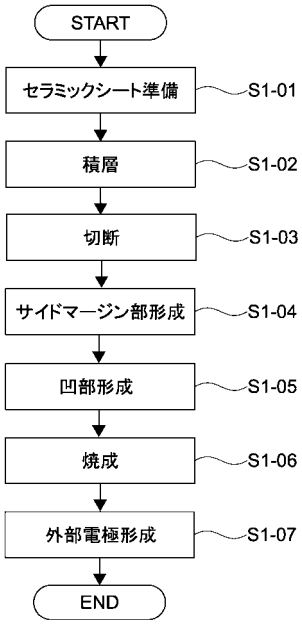
【図５】


10
W2
D2
L
D1
W1
20
17
11
12
18
13
16
14
12
Z
X
Y

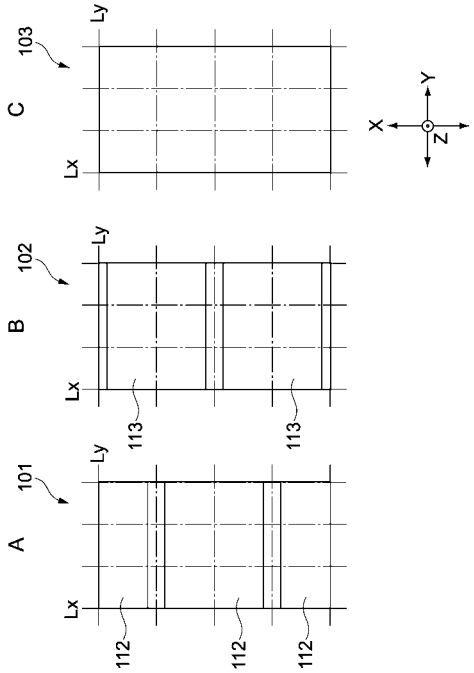
【図６】


10a
14a
M
11a
19a
12
13
16
14a
12
Z
X
Y

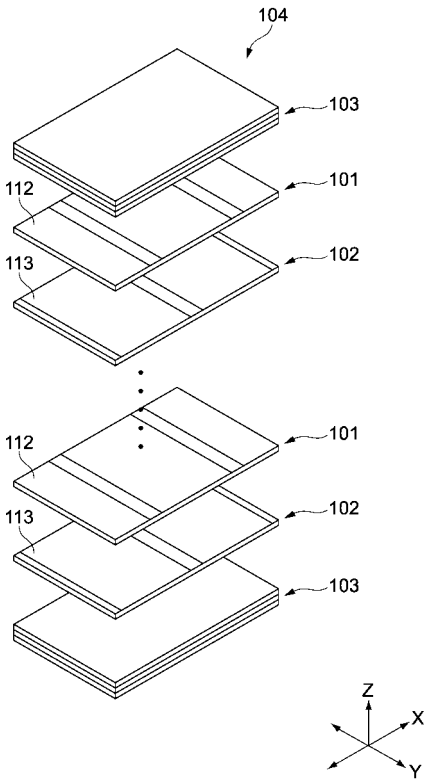
【図７】


START
セラミックシート準備
S1-01
積層
S1-02
切断
S1-03
サイドマージン部形成
S1-04
凹部形成
S1-05
焼成
S1-06
外部電極形成
S1-07
END

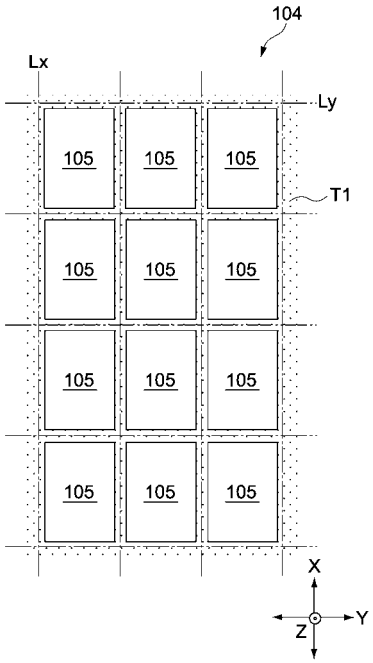
【図８】


C
103
Ly
Lx
X
Y
Z
B
102
Ly
Lx
113
113
A
101
Ly
Lx
112
112
112

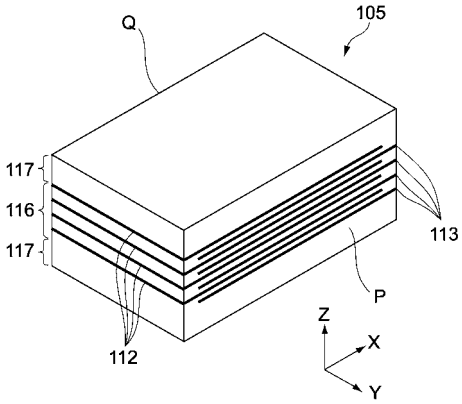
【図９】


104
103
101
112
102
113
112
101
113
102
103
Z
X
Y

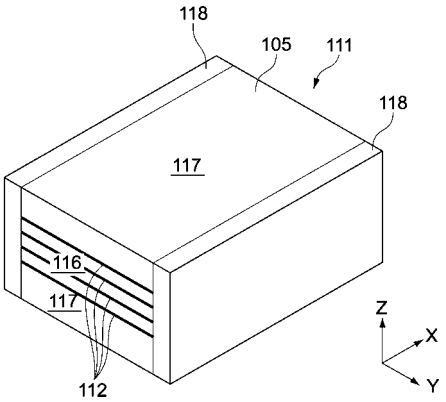
【図１０】



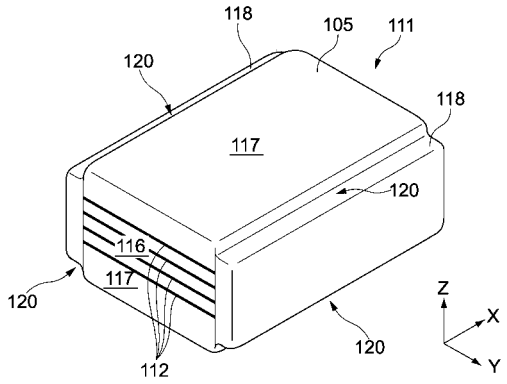
【図１１】



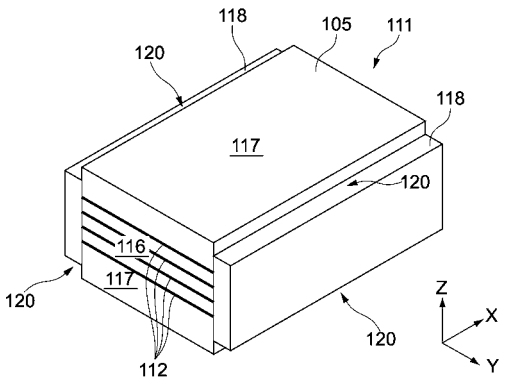
【図１２】



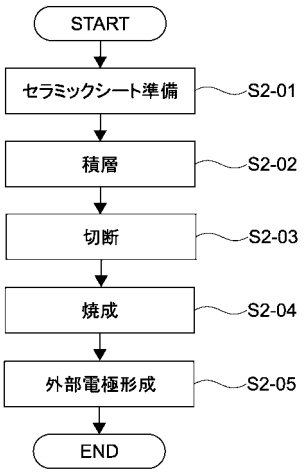
【図１３】



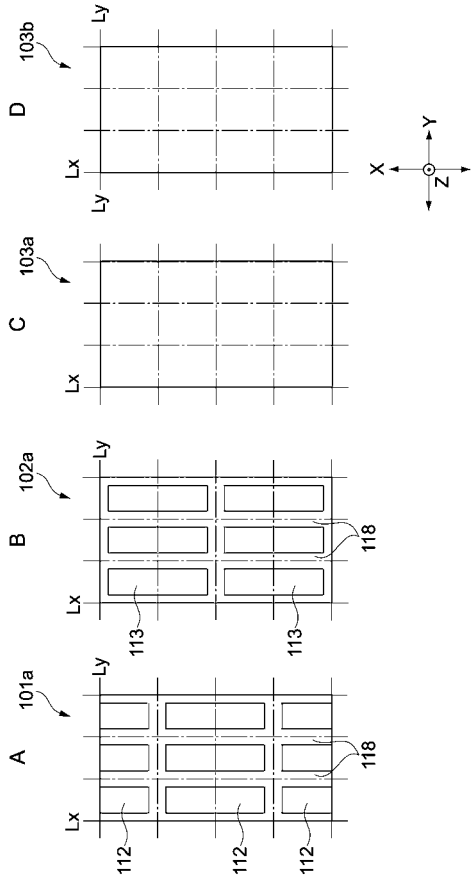
【図１４】



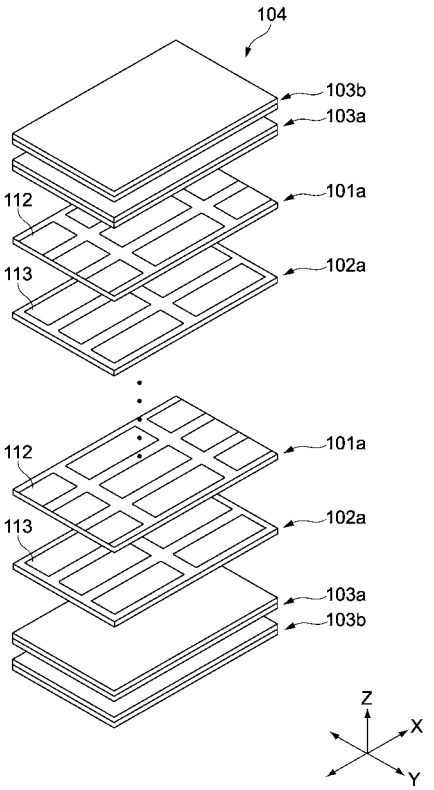
【図１５】



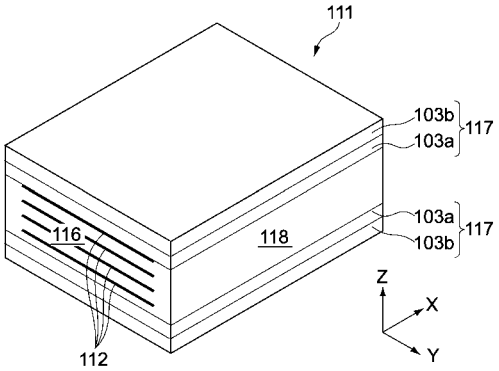
【図１６】



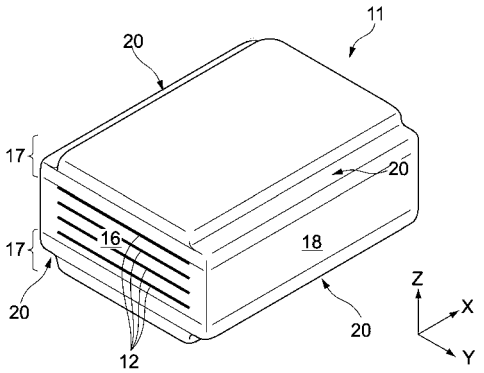
【図１７】



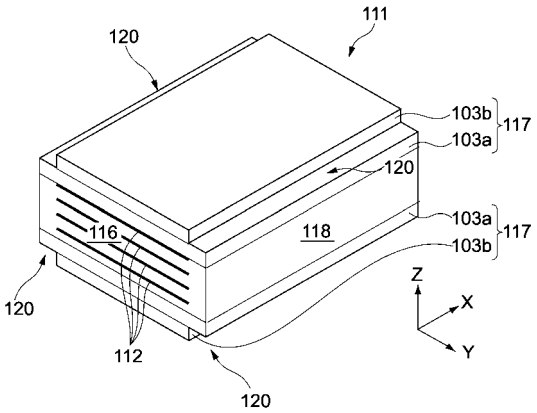
【図１８】



【図１９】



【図２０】



フロントページの続き

Ｆターム(参考) 5E082 BC31 BC32 BC33 BC35 BC39 FF05 FG04 FG18 FG26 FG46
FG52 FG60 GG10 GG28 JJ03 JJ06 JJ07 JJ26 LL02 LL03
LL40 PP09