

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5953028号  
(P5953028)

(45) 発行日 平成28年7月13日(2016.7.13)

(24) 登録日 平成28年6月17日(2016.6.17)

(51) Int. Cl.		F I			
HO4N	5/378	(2011.01)	HO4N	5/335	780
HO4N	5/369	(2011.01)	HO4N	5/335	690
HO1L	27/146	(2006.01)	HO1L	27/14	F
			HO1L	27/14	A

請求項の数 18 (全 28 頁)

(21) 出願番号	特願2011-241372 (P2011-241372)	(73) 特許権者	000000376
(22) 出願日	平成23年11月2日(2011.11.2)		オリンパス株式会社
(65) 公開番号	特開2013-98858 (P2013-98858A)		東京都八王子市石川町2951番地
(43) 公開日	平成25年5月20日(2013.5.20)	(74) 代理人	100106909
審査請求日	平成26年10月10日(2014.10.10)		弁理士 棚井 澄雄
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100086379
			弁理士 高柴 忠夫
		(74) 代理人	100129403
			弁理士 増井 裕士
		(74) 代理人	100139686
			弁理士 鈴木 史朗

最終頁に続く

(54) 【発明の名称】 固体撮像装置、撮像装置、および信号読み出し方法

(57) 【特許請求の範囲】

【請求項1】

第1～第n（nは2以上の整数）の基板どうしが接続部を介して電気的に接続された固体撮像装置であって、

光電変換素子を含む画素が行列状に配置された画素部と、

前記画素部内の画素の列に対応して配置され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、

前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、  
を備え、

前記第1の基板に前記画素部が配置され、

前記第1～第nの基板のうち少なくとも2以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置され、

前記画素部内の各列の画素に対応する信号処理を、前記少なくとも2以上の異なる基板のそれぞれに配置された前記列回路部で分散して行い、該信号処理を行った列回路部と同じ基板に配置された前記出力部から信号処理後の信号を出力することを特徴とする固体撮像装置。

【請求項2】

前記画素部の列数がN（Nは2以上の整数であり、かつ2以上の整数Mで割り切れる数）であり、前記列回路部の個数がMである場合に、それぞれの前記列回路部がN/M列分の信号処理を行うことを特徴とする請求項1に記載の固体撮像装置。

## 【請求項 3】

前記画素部内の $N$ 個 ( $N$ は2以上の整数)の列の画素に1個の前記列処理回路が接続されることを特徴とする請求項1に記載の固体撮像装置。

## 【請求項 4】

1個の前記列処理回路に対応する $N$ 個の列の信号処理の実施の有無を列毎に制御する切替部をさらに備え、

前記切替部は、前記列処理回路における処理対象に決定された列については前記列処理回路に信号処理を実施させる一方、前記列処理回路における処理対象に決定されなかった列については前記列処理回路に信号処理を実施させないことを特徴とする請求項3に記載の固体撮像装置。

10

## 【請求項 5】

前記切替部はスイッチであり、

前記列処理回路は、前記スイッチを介して、前記画素部の各列の画素に接続された列信号線に接続され、

前記スイッチは、オンとオフの切替により、各列の信号処理の実施の有無を制御することを特徴とする請求項4に記載の固体撮像装置。

## 【請求項 6】

前記第1の基板以外の基板に配置され、前記光電変換素子によって発生した信号を蓄積する信号蓄積部をさらに備えたことを特徴とする請求項1に記載の固体撮像装置。

## 【請求項 7】

20

第1～第 $n$  ( $n$ は2以上の整数)の基板どうしが接続部を介して電気的に接続された固体撮像装置であって、

光電変換素子を含む画素が行列状に配置された画素部と、

前記画素部内の画素の列に対応して配置され、前記画素部内の画素に列毎に接続される列信号線に接続され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、

前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、

前記列信号線と前記列処理回路の間に配置され、前記列処理回路への信号の入力の有無を制御する切替部と、

を備え、

30

前記第1の基板に前記画素部が配置され、

前記第1～第 $n$ の基板のうち少なくとも2以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置されていることを特徴とする固体撮像装置。

## 【請求項 8】

前記切替部は、前記列処理回路における処理対象に決定された列については前記列処理回路に信号を入力する一方、前記列処理回路における処理対象に決定されなかった列については前記列処理回路に信号を入力させないことを特徴とする請求項7に記載の固体撮像装置。

## 【請求項 9】

1個の前記列処理回路は、 $N$ 本 ( $N$ は2以上の整数)の前記列信号線に接続され、

40

$N$ 本の前記列信号線のそれぞれと1個の前記列処理回路との間に前記切替部が配置されていることを特徴とする請求項7に記載の固体撮像装置。

## 【請求項 10】

前記切替部はスイッチであり、

前記スイッチは、オンとオフの切替により、前記列処理回路への信号の入力の有無を制御する

ことを特徴とする請求項7に記載の固体撮像装置。

## 【請求項 11】

前記第1の基板以外の基板に配置され、前記光電変換素子によって発生した信号を蓄積する信号蓄積部をさらに備えたことを特徴とする請求項7に記載の固体撮像装置。

50

## 【請求項 1 2】

第 1 ~ 第 n ( n は 2 以上の整数 ) の基板どうしが接続部を介して電氣的に接続された撮像装置であって、

光電変換素子を含む画素が行列状に配置された画素部と、

前記画素部内の画素の列に対応して配置され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、

前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、  
を備え、

前記第 1 の基板に前記画素部が配置され、

前記第 1 ~ 第 n の基板のうち少なくとも 2 以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置され、

前記画素部内の各列の画素に対応する信号処理を、前記少なくとも 2 以上の異なる基板のそれぞれに配置された前記列回路部で分散して行い、該信号処理を行った列回路部と同じ基板に配置された前記出力部から信号処理後の信号を出力することを特徴とする撮像装置。

## 【請求項 1 3】

第 1 ~ 第 n ( n は 2 以上の整数 ) の基板どうしが接続部を介して電氣的に接続された撮像装置であって、

光電変換素子を含む画素が行列状に配置された画素部と、

前記画素部内の画素の列に対応して配置され、前記画素部内の画素に列毎に接続される列信号線に接続され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、

前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、

前記列信号線と前記列処理回路の間に配置され、前記列処理回路への信号の入力の有無を制御する切替部と、

を備え、

前記第 1 の基板に前記画素部が配置され、

前記第 1 ~ 第 n の基板のうち少なくとも 2 以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置されていることを特徴とする撮像装置。

## 【請求項 1 4】

第 1 ~ 第 n ( n は 2 以上の整数 ) の基板どうしが接続部を介して電氣的に接続され、光電変換素子を含む画素が行列状に配置された画素部と、前記画素部内の画素の列に対応して配置され、前記画素部内の画素に列毎に接続される列信号線に接続され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、前記列信号線と前記列処理回路の間に配置され、オンとオフの切替により、前記列処理回路への信号の入力の有無を制御するスイッチと、を備え、前記第 1 の基板に前記画素部が配置され、前記第 1 ~ 第 n の基板のうち少なくとも 2 以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置された固体撮像装置の前記画素から信号を読み出す信号読み出し方法であって、

前記光電変換素子で信号を発生するステップと、

前記光電変換素子で発生した信号を、前記スイッチを介して、当該光電変換素子が含まれる画素の列に対応した前記列処理回路に入力するステップと、

前記列処理回路で処理された信号を、該信号処理を行った列回路部と同じ基板に配置された前記出力部から前記固体撮像装置の外部に出力するステップと、

を有することを特徴とする信号読み出し方法。

## 【請求項 1 5】

第 1 ~ 第 n ( n は 2 以上の整数 ) の基板どうしが接続部を介して電氣的に接続された固体撮像装置であって、

光電変換素子を含む画素が第 1 の基板に行列状に配置された画素部と、

10

20

30

40

50

前記第 1 の基板に配置され、列単位で前記画素に電氣的に接続された複数の上側垂直信号線と、

第 2 ～ 第 n の基板の少なくとも 1 つに行列状に配置され、前記画素から読み出された信号を記憶する複数の読み出し回路と、

前記第 2 ～ 第 n の基板の 1 つに配置され、列単位で前記読み出し回路に電氣的に接続された複数の下側垂直信号線と、

前記上側垂直信号線に対応して前記第 1 の基板に配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも 1 つを信号処理する複数の第 1 の列処理回路と、

前記下側垂直信号線に対応して前記第 2 ～ 第 n の基板の 1 つに配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも 1 つを信号処理する複数の第 2 の列処理回路と、

前記第 1 の列処理回路または前記第 2 の列処理回路に対応して配置され、第 1 の接続および第 2 の接続を切り替え可能であって、

前記第 1 の接続は、前記第 1 の列処理回路および前記第 2 の列処理回路の一方と、第 1 の上側垂直信号線または第 1 の下側垂直信号線のいずれか 1 つとを接続し、

前記第 2 の接続は、前記第 1 の列処理回路および前記第 2 の列処理回路の他方と、第 2 の上側垂直信号線または第 2 の下側垂直信号線のいずれか 1 つとを接続する

切替部と、

前記第 1 の列処理回路および前記第 2 の列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、

を有することを特徴とする固体撮像装置。

**【請求項 16】**

第 1 ～ 第 n ( n は 2 以上の整数 ) の基板どうしが接続部を介して電氣的に接続された撮像装置であって、

光電変換素子を含む画素が第 1 の基板に行列状に配置された画素部と、

第 2 ～ 第 n の基板の少なくとも 1 つに行列状に配置され、前記画素から読み出された信号を記憶する複数の読み出し回路と、

前記画素部内の画素の列に対応して前記第 1 の基板に配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも 1 つを信号処理する複数の第 1 の列処理回路と、

前記読み出し回路の列に対応して前記第 2 ～ 第 n の基板の 1 つに配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも 1 つを信号処理する複数の第 2 の列処理回路と、

前記第 1 の列処理回路または前記第 2 の列処理回路に対応して配置され、前記画素および前記読み出し回路の少なくとも 1 つを前記第 1 の列処理回路および前記第 2 の列処理回路のいずれにも接続可能な切替部と、

前記第 1 の列処理回路および前記第 2 の列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、

を有することを特徴とする撮像装置。

**【請求項 17】**

第 1 ～ 第 n ( n は 2 以上の整数 ) の基板どうしが接続部を介して電氣的に接続された撮像装置であって、

光電変換素子を含む画素が第 1 の基板に行列状に配置された画素部と、

第 2 ～ 第 n の基板の少なくとも 1 つに行列状に配置され、前記画素から読み出された信号を記憶する複数の読み出し回路と、

前記第 1 の基板に配置され、前記画素の列に対応して配置されると共に列信号線に接続され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも 1 つを信号処理する複数の第 1 の列処理回路と、

前記読み出し回路の列に対応して前記第 2 ～ 第 n の基板の 1 つに配置され、前記画素に

10

20

30

40

50

含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第2の列処理回路と、

前記第1の列処理回路または前記第2の列処理回路に対応して配置され、前記画素および前記読み出し回路の少なくとも1つを前記第1の列処理回路および前記第2の列処理回路のいずれにも接続可能な切替部と、

前記第1の列処理回路および前記第2の列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、

を有することを特徴とする撮像装置。

【請求項18】

第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続され、光電変換素子を含む画素が第1の基板に行列状に配置された画素部と、第2～第nの基板の少なくとも1つに行列状に配置され、前記画素から読み出された信号を記憶する複数の読み出し回路と、前記画素部内の画素の列に対応して前記第1の基板に配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第1の列処理回路と、前記読み出し回路の列に対応して前記第2～第nの基板の1つに配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第2の列処理回路と、前記第1の列処理回路または前記第2の列処理回路に対応して配置され、前記画素および前記読み出し回路の少なくとも1つを前記第1の列処理回路および前記第2の列処理回路のいずれにも接続可能な切替部と、前記第1の列処理回路および前記第2の列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、を有する固体撮像装置の前記画素から信号を読み出す信号読み出し方法であって

前記光電変換素子で信号を発生するステップと、

前記光電変換素子で発生した信号を、前記切替部を介して、当該光電変換素子が含まれる画素の列に対応した前記第1の列処理回路または前記第2の列処理回路に入力するステップと、

前記第1の列処理回路および前記第2の列処理回路で処理された信号を、前記出力部から前記固体撮像装置の外部に出力するステップと、

を有することを特徴とする信号読み出し方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続された固体撮像装置および撮像装置に関する。また、本発明は、画素から信号を読み出す信号読み出し方法に関する。

【背景技術】

【0002】

近年、ビデオカメラや電子スチルカメラなどが広く一般に普及している。これらのカメラには、CCD（Charge Coupled Device）型や増幅型の固体撮像装置が使用されている。増幅型の固体撮像装置は、光が入射する画素の光電変換部が生成・蓄積した信号電荷を、画素に設けられた増幅部に導き、増幅部が増幅した信号を画素から出力する。増幅型の固体撮像装置では、このような画素が二次元マトリクス状に複数配置されている。増幅型の固体撮像装置には、例えばCMOS（Complementary Metal Oxide Semiconductor）トランジスタを用いたCMOS型固体撮像装置等がある。

【0003】

従来、一般的なCMOS型固体撮像装置は、二次元マトリクス状に配列された各画素の光電変換部が生成した信号電荷を行毎に順次読み出す方式を採用している。この方式では、各画素の光電変換部における露光のタイミングは、信号電荷の読み出しの開始と終了によって決まるため、行毎に露光のタイミングが異なる。このため、このようなCMOS型固体撮像

10

20

30

40

50

装置を用いて動きの速い被写体を撮像すると、撮像した画像内で被写体が歪んでしまう。

【0004】

この被写体の歪みを無くすために、信号電荷の蓄積の同時性を実現する同時撮像機能（グローバルシャッタ機能）が提案されている。また、グローバルシャッタ機能を有するCMOS型固体撮像装置の用途が多くなりつつある。グローバルシャッタ機能を有するCMOS型固体撮像装置では、通常、光電変換部が生成した信号電荷を、読み出しが行われるまで蓄えておくために、遮光性を持った蓄積容量部を有することが必要となる。このような従来のCMOS型固体撮像装置は、全画素を同時に露光した後、各光電変換部が生成した信号電荷を全画素で同時に各蓄積容量部に転送して一旦蓄積しておき、この信号電荷を所定の読み出しタイミングで順次画素信号に変換して読み出している。

10

【0005】

ただし、従来のグローバルシャッタ機能を有するCMOS型固体撮像装置では、光電変換部と蓄積容量部とを同一基板の同一平面上に作りこまねばならず、チップ面積の増大が避けられない。さらに、蓄積容量部に蓄積された信号電荷を読み出すまでの待機期間中に、光に起因するノイズや、蓄積容量部で発生するリーク電流（暗電流）に起因するノイズにより信号の品質が劣化してしまうという問題がある。

【0006】

この問題を解決するために、光電変換部が形成された第1の基板と、複数のMOSトランジスタが形成された第2の基板とを貼り合わせた固体撮像装置によりチップ面積の増大を防ぐ方法が特許文献1, 2に開示されている。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2010-219339号公報

【特許文献2】特開2006-49361号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上記の特許文献1, 2では、画素から出力された信号を処理する信号処理回路（特許文献1のカラム信号処理回路5、特許文献2の回路82、A/D変換回路123, 124）が2枚の基板のうち一方の基板にのみ形成されている。第1の基板と第2の基板は、面積を同一にし画素部以外の回路用に面積を確保できるにも関わらず、一方の基板にのみ信号処理回路を形成するのでは、他方の基板の面積を有効に使用しているとは言いがたい。

30

【0009】

本発明は、上述した課題に鑑みてなされたものであって、複数の基板の面積を有効に活用することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一態様に係る固体撮像装置は、第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続された固体撮像装置であって、光電変換素子を含む画素が行列状に配置された画素部と、前記画素部内の画素の列に対応して配置され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、を備え、前記第1の基板に前記画素部が配置され、前記第1～第nの基板のうち少なくとも2以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置され、前記画素部内の各列の画素に対応する信号処理を、前記少なくとも2以上の異なる基板のそれぞれに配置された前記列回路部で分散して行い、該信号処理を行った列回路部と同じ基板に配置された前記出力部から信号処理後の信号を出力することを特徴とする。

40

【0011】

本発明の他の態様に係る固体撮像装置は、第1～第n（nは2以上の整数）の基板どう

50

しが接続部を介して電氣的に接続された固体撮像装置であって、光電変換素子を含む画素が行列状に配置された画素部と、前記画素部内の画素の列に対応して配置され、前記画素部内の画素に列毎に接続される列信号線に接続され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、前記列信号線と前記列処理回路の間に配置され、前記列処理回路への信号の入力の有無を制御する切替部と、を備え、前記第1の基板に前記画素部が配置され、前記第1～第nの基板のうち少なくとも2以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置されていることを特徴とする。

【0012】

本発明の他の態様に係る撮像装置は、第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続された撮像装置であって、光電変換素子を含む画素が行列状に配置された画素部と、前記画素部内の画素の列に対応して配置され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、を備え、前記第1の基板に前記画素部が配置され、前記第1～第nの基板のうち少なくとも2以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置され、前記画素部内の各列の画素に対応する信号処理を、前記少なくとも2以上の異なる基板のそれぞれに配置された前記列回路部で分散して行い、該信号処理を行った列回路部と同じ基板に配置された前記出力部から信号処理後の信号を出力することを特徴とする。

【0013】

本発明の他の態様に係る撮像装置は、第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続された撮像装置であって、光電変換素子を含む画素が行列状に配置された画素部と、前記画素部内の画素の列に対応して配置され、前記画素部内の画素に列毎に接続される列信号線に接続され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、前記列信号線と前記列処理回路の間に配置され、前記列処理回路への信号の入力の有無を制御する切替部と、を備え、前記第1の基板に前記画素部が配置され、前記第1～第nの基板のうち少なくとも2以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置されていることを特徴とする。

【0014】

本発明の他の態様に係る信号読み出し方法は、第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続され、光電変換素子を含む画素が行列状に配置された画素部と、前記画素部内の画素の列に対応して配置され、前記画素部内の画素に列毎に接続される列信号線に接続され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、前記列信号線と前記列処理回路の間に配置され、オンとオフの切替により、前記列処理回路への信号の入力の有無を制御するスイッチと、を備え、前記第1の基板に前記画素部が配置され、前記第1～第nの基板のうち少なくとも2以上の異なる基板のそれぞれに前記列回路部および前記出力部が配置された固体撮像装置の前記画素から信号を読み出す信号読み出し方法であって、前記光電変換素子で信号を発生するステップと、前記光電変換素子で発生した信号を、前記スイッチを介して、当該光電変換素子が含まれる画素の列に対応した前記列処理回路に入力するステップと、前記列処理回路で処理された信号を、該信号処理を行った列回路部と同じ基板に配置された前記出力部から前記固体撮像装置の外部に出力するステップと、を有することを特徴とする。

本発明の他の態様に係る固体撮像装置は、第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続された固体撮像装置であって、光電変換素子を含む画素が第1の基板に行列状に配置された画素部と、前記第1の基板に配置され、列単位で前記

10

20

30

40

50

画素に電氣的に接続された複数の上側垂直信号線と、第2～第nの基板の少なくとも1つに行列状に配置され、前記画素から読み出された信号を記憶する複数の読み出し回路と、前記第2～第nの基板の1つに配置され、列単位で前記読み出し回路に電氣的に接続された複数の下側垂直信号線と、前記上側垂直信号線に対応して前記第1の基板に配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第1の列処理回路と、前記下側垂直信号線に対応して前記第2～第nの基板の1つに配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第2の列処理回路と、前記第1の列処理回路または前記第2の列処理回路に対応して配置され、第1の接続および第2の接続を切り替え可能であって、前記第1の接続は、前記第1の列処理回路および前記第2の列処理回路の一方と、第1の上側垂直信号線または第1の下側垂直信号線のいずれか1つとを接続し、前記第2の接続は、前記第1の列処理回路および前記第2の列処理回路の他方と、第2の上側垂直信号線または第2の下側垂直信号線のいずれか1つとを接続する切替部と、前記第1の列処理回路および前記第2の列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、を有することを特徴とする。

10

本発明の他の態様に係る撮像装置は、第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続された撮像装置であって、光電変換素子を含む画素が第1の基板に行列状に配置された画素部と、第2～第nの基板の少なくとも1つに行列状に配置され、前記画素から読み出された信号を記憶する複数の読み出し回路と、前記画素部内の画素の列に対応して前記第1の基板に配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第1の列処理回路と、前記読み出し回路の列に対応して前記第2～第nの基板の1つに配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第2の列処理回路と、前記第1の列処理回路または前記第2の列処理回路に対応して配置され、前記画素および前記読み出し回路の少なくとも1つを前記第1の列処理回路および前記第2の列処理回路のいずれにも接続可能な切替部と、前記第1の列処理回路および前記第2の列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、を有することを特徴とする。

20

30

本発明の他の態様に係る撮像装置は、第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続された撮像装置であって、光電変換素子を含む画素が第1の基板に行列状に配置された画素部と、第2～第nの基板の少なくとも1つに行列状に配置され、前記画素から読み出された信号を記憶する複数の読み出し回路と、前記第1の基板に配置され、前記画素の列に対応して配置されると共に列信号線に接続され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第1の列処理回路と、前記読み出し回路の列に対応して前記第2～第nの基板の1つに配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第2の列処理回路と、前記第1の列処理回路または前記第2の列処理回路に対応して配置され、前記画素および前記読み出し回路の少なくとも1つを前記第1の列処理回路および前記第2の列処理回路のいずれにも接続可能な切替部と、前記第1の列処理回路および前記第2の列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、を有することを特徴とする。

40

本発明の他の態様に係る信号読み出し方法は、第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続され、光電変換素子を含む画素が第1の基板に行列状に配置された画素部と、第2～第nの基板の少なくとも1つに行列状に配置され、前記画素から読み出された信号を記憶する複数の読み出し回路と、前記画素部内の画素の列に対応して前記第1の基板に配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第

50

1の列処理回路と、前記読み出し回路の列に対応して前記第2～第nの基板の1つに配置され、前記画素に含まれる前記光電変換素子で発生した信号および前記読み出し回路から出力された信号の少なくとも1つを信号処理する複数の第2の列処理回路と、前記第1の列処理回路または前記第2の列処理回路に対応して配置され、前記画素および前記読み出し回路の少なくとも1つを前記第1の列処理回路および前記第2の列処理回路のいずれにも接続可能な切替部と、前記第1の列処理回路および前記第2の列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、を有する固体撮像装置の前記画素から信号を読み出す信号読み出し方法であって、前記光電変換素子で信号を発生するステップと、前記光電変換素子で発生した信号を、前記切替部を介して、当該光電変換素子が含まれる画素の列に対応した前記第1の列処理回路または前記第2の列処理回路に入力するステップと、前記第1の列処理回路および前記第2の列処理回路で処理された信号を、前記出力部から前記固体撮像装置の外部に出力するステップと、を有することを特徴とする。

10

【図面の簡単な説明】

【0015】

【図1】本発明の一実施形態による撮像装置の構成を示すブロック図である。

【図2】本発明の一実施形態による撮像装置が備える固体撮像装置の構成を示すブロック図である。

【図3】本発明の一実施形態による撮像装置が備える固体撮像装置の外観図である。

【図4】本発明の一実施形態による撮像装置が備える固体撮像装置の断面図である。

20

【図5】本発明の一実施形態による撮像装置が備える固体撮像装置内の画素アレイ部および読み出し回路アレイ部の回路構成を示す回路図である。

【図6】本発明の一実施形態による撮像装置が備える固体撮像装置を構成する画素基板の回路要素の接続を示すブロック図である。

【図7】本発明の一実施形態による撮像装置が備える固体撮像装置を構成する回路基板の回路要素の接続を示すブロック図である。

【図8】本発明の一実施形態による撮像装置が備える固体撮像装置の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0016】

30

以下、図面を参照し、本発明の実施形態を説明する。以下の詳細な説明は、一例として特定の詳細な内容を含んでいる。以下の詳細な内容にいろいろなバリエーションや変更を加えたとしても、そのバリエーションや変更を加えた内容が本発明の範囲を超えないことは、当業者であれば当然理解できる。したがって、以下で説明する各種の実施形態は、権利を請求された発明の一般性を失わせることはなく、また、権利を請求された発明に対して何ら限定を加えることもない。

【0017】

図1は、本実施形態による撮像装置の構成を示している。本発明の一態様に係る撮像装置は、撮像機能を有する電子機器であればよく、デジタルカメラのほか、デジタルビデオカメラ、内視鏡等であってもよい。

40

【0018】

図1に示す撮像装置は、撮像レンズ101、固体撮像装置102、画像処理部103、制御部104、液晶モニタ105、記憶媒体106、操作入力部107を有している。図1に示す各ブロックは、ハードウェア的には、コンピュータのCPU、メモリ等の電気回路部品や、レンズ等の光学部品、ボタン、スイッチ等の操作部品など各種部品で実現でき、ソフトウェア的にはコンピュータプログラム等によって実現できるが、ここではそれらの連携によって実現される機能ブロックとして描いている。したがって、これらの機能ブロックがハードウェア、ソフトウェアの組合せによって色々な形態で実現できることは、当業者であれば当然理解できる。

【0019】

50

撮像レンズ101は、被写体からの光が形成する被写体像を、固体撮像装置102に配置された2次元の画素アレイ上に結像させる。固体撮像装置102は、多数の画素が配列された2次元の画素アレイ上に結像された被写体像に基づく画像信号を出力する。画像処理部103は、固体撮像装置102から出力された画像信号に対して、色信号処理、ゲイン処理、ホワイトバランス処理などの信号処理を施し、液晶モニタ105に表示または記憶媒体106に記憶できるフォーマットの信号に変換する機能を有する。

#### 【0020】

制御部104は、撮像装置内の各部分と電氣的に接続され、撮像装置の制御を行う。制御部104の動作は、撮像装置が内蔵するROMに格納されているプログラムに規定されている。制御部104は、このプログラムを読み出して、プログラムが規定する内容に従って、各種の制御を行う。液晶モニタ105は、画像処理部103で処理された画像信号に基づいて画像を表示する。記憶媒体106は、画像処理部103で処理された画像信号に基づく画像データを記憶する。操作入力部107は、ユーザーが操作するボタンやスイッチ等を有する。操作入力部107を介して、ユーザーの操作結果が制御部104に信号として入力される。例えば、撮影モードの設定、静止画のシャッターリリース、動画撮影の開始および終了の指示が操作入力部107を介して行われる。

#### 【0021】

図2は、固体撮像装置102の構成を示している。固体撮像装置102は、画素およびその周辺回路を構成する回路要素（光電変換素子や、トランジスタ、容量等）が配置された2枚の基板（画素基板201、回路基板208）を有する。図3に示すように、固体撮像装置102は、画素基板201と回路基板208が重なった構造を有する。画素基板201と回路基板208は、画素の駆動時に2枚の基板間で電気信号を授受可能なように電氣的に接続される。

#### 【0022】

図2に示すように、画素基板201には、第1の垂直走査回路202、第1の制御信号生成部203、第1の水平走査回路204、第1の出力部205、第1の列回路部206、画素アレイ部207が形成されている。また、回路基板208には、第2の垂直走査回路209、第2の制御信号生成部210、第2の水平走査回路211、第2の出力部212、第2の列回路部213、読み出し回路アレイ部214が形成されている。画素基板201と回路基板208間の接続については、図4を参照して後述する。

#### 【0023】

画素アレイ部207では、複数の画素（後述する画素回路501に対応）が2次元の行列状に配列されている。画素の配列における行数および列数は2以上であればよい。本実施形態では、固体撮像装置102が有する全画素からなる領域を画素信号の読み出し対象領域とするが、固体撮像装置102が有する全画素からなる領域の一部を読み出し対象領域としてもよい。読み出し対象領域は、少なくとも有効画素領域の全画素を含むことが望ましい。また、読み出し対象領域は、有効画素領域の外側に配置されているオプティカルブラック画素（常時遮光されている画素）を含んでもよい。オプティカルブラック画素から読み出した画素信号は、例えば暗電流成分の補正に使用される。

#### 【0024】

第1の垂直走査回路202は、例えばシフトレジスタで構成されており、画素アレイ部207の画素の駆動制御を行う。この駆動制御には、画素のリセット動作、信号電荷の転送動作等が含まれる。この駆動制御を行うため、第1の垂直走査回路202は、行毎に設けられている制御信号線を介してそれぞれの画素へ制御信号（制御パルス）を出力し、画素を制御する。画素アレイ部207で生成された信号は回路基板208の読み出し回路アレイ部214へ出力される。

#### 【0025】

読み出し回路アレイ部214は、画素アレイ部207から出力された信号を記憶するメモリを備え、この信号を画素信号として第1の列回路部206および第2の列回路部213へ出力する。第2の垂直走査回路209は、例えばシフトレジスタで構成されており、読み出し回路アレイ部214の読み出し回路の駆動制御を行う。この駆動制御には、信号蓄積動作、信号読

10

20

30

40

50

み出し動作等が含まれる。この駆動制御を行うため、第2の垂直走査回路209は、行毎に設けられている制御信号線を介してそれぞれの読み出し回路へ制御信号（制御パルス）を出力し、読み出し回路を制御する。第1の列回路部206および第2の列回路部213は、読み出し回路アレイ部214から出力された画素信号に対してノイズ抑圧（ノイズ除去）、増幅、AD変換等の信号処理を行う。

#### 【0026】

第1の水平走査回路204は、例えばシフトレジスタで構成されており、第1の列回路部206を列単位で制御し、第1の列回路部206から第1の出力部205へ画素信号を順次出力させることにより、各列の画素信号を読み出す制御を行う。第1の出力部205は、入力された画素信号を固体撮像装置102の外部へ出力する。第1の制御信号生成部203は、第1の垂直走査回路202、第1の列回路部206、第1の水平走査回路204の動作の基準となるクロック信号や制御信号等を生成し、第1の垂直走査回路202、第1の列回路部206、第1の水平走査回路204へ出力する。

10

#### 【0027】

第2の水平走査回路211は、例えばシフトレジスタで構成されており、第2の列回路部213を列単位で制御し、第2の列回路部213から第2の出力部212へ画素信号を順次出力させることにより、各列の画素信号を読み出す制御を行う。第2の出力部212は、入力された画素信号を固体撮像装置102の外部へ出力する。第2の制御信号生成部210は、第2の垂直走査回路209、第2の列回路部213、第2の水平走査回路211の動作の基準となるクロック信号や制御信号等を生成し、第2の垂直走査回路209、第2の列回路部213、第2の水平走査回路211へ出力する。

20

#### 【0028】

図4は固体撮像装置102の断面構造を示している。画素基板201の2つの主面（側面よりも相対的に表面積が大きい表面）のうち、光が照射される側の主面側に光電変換素子が形成されており、画素基板201に照射された光は光電変換素子に入射する。光電変換素子は画素アレイ部207に含まれる。画素基板201の2つの主面のうち、光が照射される側の主面とは反対側の主面には、回路基板208との接続用の電極401、404が形成されている。電極401は画素アレイ部207に配置され、電極404は第1の列回路部206に配置されている。また、回路基板208の2つの主面のうち、画素基板201と対向する側の主面において、電極401、404と対応する位置には、画素基板201との接続用の電極402、405が形成されている。電極402は読み出し回路アレイ部214に配置され、電極405は第2の列回路部213に配置されている。

30

#### 【0029】

画素基板201の電極401と回路基板208の電極402の間にはマイクロバンプ403が形成されている。画素基板201の電極404と回路基板208の電極405の間にはマイクロバンプ406が形成されている。画素基板201と回路基板208は、電極401と電極402が互いに対向するように、かつ電極404と電極405が互いに対向するように重ねて配置され、電極401と電極402間がマイクロバンプ403によって電氣的に接続されるように、かつ電極404と電極405間がマイクロバンプ406によって電氣的に接続されるように一体化されている。電極401と電極402とマイクロバンプ403、電極404と電極405とマイクロバンプ406は、画素基板201と回路基板208を接続する接続部を構成する。画素基板201と回路基板208の間で接続部を介して信号の授受が行われる。

40

#### 【0030】

図5は、画素アレイ部207および読み出し回路アレイ部214の詳細な構成を示している。図5では、画素アレイ部207に含まれる4つの単位画素回路および読み出し回路アレイ部214に含まれる4つの単位読み出し回路の構成が示されている。図5に示す4つの単位画素回路および4つの単位読み出し回路は画素アレイ部207および読み出し回路アレイ部214に含まれる単位画素回路および単位読み出し回路の一部である。画素アレイ部207には、図5に示す4つの単位画素回路の組が複数配置され、読み出し回路アレイ部214には、図5に示す4つの単位読み出し回路の組が複数配置されている。

50

## 【 0 0 3 1 】

画素回路501は画素アレイ部207を構成する。画素回路501は、光電変換素子PD1, PD2, PD3, PD4と、第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4と、電荷保持部FD1(フローティングディフュージョン)と、第1のリセットトランジスタRST1と、第1の増幅トランジスタSF1と、第1の選択トランジスタSEL1とを有する。1つの光電変換素子と1つの第1の転送トランジスタと電荷保持部FD1と第1のリセットトランジスタRST1と第1の増幅トランジスタSF1と第1の選択トランジスタSEL1とで1つの単位画素回路が構成される。また、4つの単位画素回路は、電荷保持部FD1と、第1のリセットトランジスタRST1と、第1の増幅トランジスタSF1と、第1の選択トランジスタSEL1(以下、これらの回路要素を第1の共有回路と記載する)を共有する。

10

## 【 0 0 3 2 】

光電変換素子PD1と、第1の転送トランジスタTX1-1と、第1の共有回路は第1の単位画素回路を構成する。光電変換素子PD2と、第1の転送トランジスタTX1-2と、第1の共有回路は第2の単位画素回路を構成する。光電変換素子PD3と、第1の転送トランジスタTX1-3と、第1の共有回路は第3の単位画素回路を構成する。光電変換素子PD4と、第1の転送トランジスタTX1-4と、第1の共有回路は第4の単位画素回路を構成する。

## 【 0 0 3 3 】

画素基板201において画素回路501は2次元の行列状に配置されている。本実施形態では、1つの画素回路501が1つの画素に対応する。本実施形態では、複数の単位画素回路で電荷保持部FD1と第1のリセットトランジスタRST1と第1の増幅トランジスタSF1と第1の選択トランジスタSEL1を共有しているが、それぞれの単位画素回路が電荷保持部FD1と第1のリセットトランジスタRST1と第1の増幅トランジスタSF1と第1の選択トランジスタSEL1を有していてもよい。この場合、それぞれの単位画素回路が1つの画素に対応する。画素回路501は、電極401、マイクロバンプ403、電極402を介して読み出し回路504に電気的に接続される。また、画素回路501は、画素回路501の配列における列毎に配置された垂直信号線502に接続される。垂直信号線502は第1の電流源503に接続されている。

20

## 【 0 0 3 4 】

読み出し回路504は読み出し回路アレイ部214を構成する。読み出し回路504は、クランプ容量Cclと、第2の電流源506と、第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4と、第2のリセットトランジスタRST2-1, RST2-2, RST2-3, RST2-4と、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4と、第2の増幅トランジスタSF2-1, SF2-2, SF2-3, SF2-4と、第2の選択トランジスタSEL2-1, SEL2-2, SEL2-3, SEL2-4とを有する。1つの第2の転送トランジスタと、1つの第2のリセットトランジスタと、1つのアナログメモリと、1つの第2の増幅トランジスタと、1つの第2の選択トランジスタと、クランプ容量Cclと、第2の電流源506とで1つの単位読み出し回路が構成される。また、4つの単位読み出し回路は、クランプ容量Cclと第2の電流源506(以下、これらの回路要素を第2の共有回路と記載する)を共有する。

30

## 【 0 0 3 5 】

第2の転送トランジスタTX2-1と第2のリセットトランジスタRST2-1とアナログメモリMEM-1と第2の増幅トランジスタSF2-1と第2の選択トランジスタSEL2-1と第2の共有回路は第1の単位読み出し回路を構成する。第2の転送トランジスタTX2-2と第2のリセットトランジスタRST2-2とアナログメモリMEM-2と第2の増幅トランジスタSF2-2と第2の選択トランジスタSEL2-2と第2の共有回路は第2の単位読み出し回路を構成する。第2の転送トランジスタTX2-3と第2のリセットトランジスタRST2-3とアナログメモリMEM-3と第2の増幅トランジスタSF2-3と第2の選択トランジスタSEL2-3と第2の共有回路は第3の単位読み出し回路を構成する。第2の転送トランジスタTX2-4と第2のリセットトランジスタRST2-4とアナログメモリMEM-4と第2の増幅トランジスタSF2-4と第2の選択トランジスタSEL2-4と第2の共有回路は第4の単位読み出し回路を構成する。

40

## 【 0 0 3 6 】

回路基板208において読み出し回路504は2次元の行列状に配置されている。本実施形態

50

では、複数の単位読み出し回路でクランプ容量Cclと第2の電流源506を共有しているが、それぞれの単位画素回路がクランプ容量Cclと第2の電流源506を有していてもよい。読み出し回路504は、読み出し回路504の配列における列毎に配置された垂直信号線505に接続される。垂直信号線505は第3の電流源507に接続されている。

【0037】

本実施形態では、第1の単位画素回路と第1の単位読み出し回路とが対応付けられ、第2の単位画素回路と第2の単位読み出し回路とが対応付けられ、第3の単位画素回路と第3の単位読み出し回路とが対応付けられ、第4の単位画素回路と第4の単位読み出し回路とが対応付けられている。

【0038】

光電変換素子PD1, PD2, PD3, PD4の一端は接地されている。第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4のドレイン端子は光電変換素子PD1, PD2, PD3, PD4の他端に接続されている。第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4のゲート端子は第1の垂直走査回路202に接続されている。

【0039】

電荷保持部FD1の一端は第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4のソース端子に接続されており、電荷保持部FD1の他端は接地されている。第1のリセットトランジスタRST1のドレイン端子は電源電圧VDDに接続されており、第1のリセットトランジスタRST1のソース端子は第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4のソース端子に接続されている。第1のリセットトランジスタRST1のゲート端子は第1の垂直走査回路202に接続されている。

【0040】

第1の増幅トランジスタSF1のドレイン端子は電源電圧VDDに接続されている。第1の増幅トランジスタSF1の入力部であるゲート端子は第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4のソース端子に接続されている。第1の選択トランジスタSEL1のドレイン端子は第1の増幅トランジスタSF1のソース端子に接続されており、第1の選択トランジスタSEL1のソース端子は垂直信号線502に接続されている。第1の選択トランジスタSEL1のゲート端子は第1の垂直走査回路202に接続されている。

【0041】

クランプ容量Cclの一端は第1の増幅トランジスタSF1のソース端子および第2の電流源506の一端に接続されている。第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4のドレイン端子はクランプ容量Cclの他端に接続されている。第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4のゲート端子は第2の垂直走査回路209に接続されている。第2のリセットトランジスタRST2-1, RST2-2, RST2-3, RST2-4のドレイン端子は電源電圧VDDに接続されており、第2のリセットトランジスタRST2-1, RST2-2, RST2-3, RST2-4のソース端子は第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4のソース端子に接続されている。第2のリセットトランジスタRST2-1, RST2-2, RST2-3, RST2-4のゲート端子は第2の垂直走査回路209に接続されている。

【0042】

アナログメモリMEM-1, MEM-2, MEM-3, MEM-4の一端は第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4のソース端子に接続されており、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4の他端は接地されている。第2の増幅トランジスタSF2-1, SF2-2, SF2-3, SF2-4のドレイン端子は電源電圧VDDに接続されている。第2の増幅トランジスタSF2-1, SF2-2, SF2-3, SF2-4の入力部を構成するゲート端子は第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4のソース端子に接続されている。第2の選択トランジスタSEL2-1, SEL2-2, SEL2-3, SEL2-4のドレイン端子は第2の増幅トランジスタSF2-1, SF2-2, SF2-3, SF2-4のソース端子に接続されており、第2の選択トランジスタSEL2-1, SEL2-2, SEL2-3, SEL2-4のソース端子は垂直信号線505に接続されている。第2の選択トランジスタSEL2-1, SEL2-2, SEL2-3, SEL2-4のゲート端子は第2の垂直走査回路209に接続されている。上述した各トランジスタに関しては極性を逆にし、ソース端子とドレイン端子を上記と逆にしてもよ

10

20

30

40

50

い。

【 0 0 4 3 】

光電変換素子PD1, PD2, PD3, PD4は、例えばフォトダイオードであり、入射した光に基づく信号電荷を生成（発生）し、生成（発生）した信号電荷を保持・蓄積する。第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4は、光電変換素子PD1, PD2, PD3, PD4に蓄積された信号電荷を電荷保持部FD1に転送するトランジスタである。第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4のオン/オフは、第1の垂直走査回路202からの制御パルスによって制御される。電荷保持部FD1は、光電変換素子PD1, PD2, PD3, PD4から転送された信号電荷を一時的に保持・蓄積する浮遊拡散容量である。

【 0 0 4 4 】

第1のリセットトランジスタRST1は、電荷保持部FD1をリセットするトランジスタである。第1のリセットトランジスタRST1のオン/オフは、第1の垂直走査回路202からの制御パルスによって制御される。第1のリセットトランジスタRST1と第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4を同時にオンにすることによって、光電変換素子PD1, PD2, PD3, PD4をリセットすることも可能である。電荷保持部FD1/光電変換素子PD1, PD2, PD3, PD4のリセットは、電荷保持部FD1/光電変換素子PD1, PD2, PD3, PD4に蓄積されている電荷量を制御して電荷保持部FD1/光電変換素子PD1, PD2, PD3, PD4の状態（電位）を基準状態（基準電位、リセットレベル）に設定することである。

【 0 0 4 5 】

第1の増幅トランジスタSF1は、ゲート端子に入力される、電荷保持部FD1に蓄積されている信号電荷に基づく信号を増幅した増幅信号をソース端子から出力するトランジスタである。第1の増幅トランジスタSF1と第2の電流源506はソースフォロワ回路を構成する。また、第1の増幅トランジスタSF1と第1の電流源503はソースフォロワ回路を構成する。第1の選択トランジスタSEL1は、画素回路501を選択し、第1の増幅トランジスタSF1の出力を垂直信号線502に伝えるトランジスタである。第1の選択トランジスタSEL1のオン/オフは、第1の垂直走査回路202からの制御パルスによって制御される。本実施形態では、第1の増幅トランジスタSF1のソース端子から出力される増幅信号を、第1の選択トランジスタSEL1を介して垂直信号線502に出力することが可能であるが、この点は本実施形態の特徴的な点ではないので、動作の説明を省略する。

【 0 0 4 6 】

クランプ容量Cclは、第1の増幅トランジスタSF1から出力される増幅信号の電圧レベルをクランプ（固定）する容量である。第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4は、クランプ容量Cclの他端の電圧レベルをサンプルホールドし、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4に蓄積するトランジスタである。第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4のオン/オフは、第2の垂直走査回路209からの制御パルスによって制御される。

【 0 0 4 7 】

第2のリセットトランジスタRST2-1, RST2-2, RST2-3, RST2-4は、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4をリセットするトランジスタである。第2のリセットトランジスタRST2-1, RST2-2, RST2-3, RST2-4のオン/オフは、第2の垂直走査回路209からの制御パルスによって制御される。アナログメモリMEM-1, MEM-2, MEM-3, MEM-4のリセットは、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4に蓄積されている電荷量を制御してアナログメモリMEM-1, MEM-2, MEM-3, MEM-4の状態（電位）を基準状態（基準電位、リセットレベル）に設定することである。アナログメモリMEM-1, MEM-2, MEM-3, MEM-4は、第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4によってサンプルホールドされたアナログ信号を保持・蓄積する。

【 0 0 4 8 】

アナログメモリMEM-1, MEM-2, MEM-3, MEM-4の容量は、電荷保持部FD1の容量よりも大きな容量に設定される。アナログメモリMEM-1, MEM-2, MEM-3, MEM-4には、単位面積当たりのリーク電流（暗電流）の少ない容量であるMIM（Metal Insulator Metal）容量やMOS

10

20

30

40

50

(Metal Oxide Semiconductor)容量を使用することがより望ましい。これによって、ノイズに対する耐性が向上し、高品質な信号が得られる。

【 0 0 4 9 】

第2の増幅トランジスタSF2-1, SF2-2, SF2-3, SF2-4は、ゲート端子に入力される、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4に蓄積されている信号電荷に基づく信号を増幅した増幅信号をソース端子から出力するトランジスタである。第2の増幅トランジスタSF2-1, SF2-2, SF2-3, SF2-4と第3の電流源507とはソースフォロワ回路を構成する。第2の選択トランジスタSEL2-1, SEL2-2, SEL2-3, SEL2-4は、読み出し回路504の単位読み出し回路を選択し、第2の増幅トランジスタSF2-1, SF2-2, SF2-3, SF2-4の出力を垂直信号線505に伝えるトランジスタである。第2の選択トランジスタSEL2-1, SEL2-2, SEL2-3, SEL2-4のオン/オフは、第2の垂直走査回路209からの制御パルスによって制御される。

10

【 0 0 5 0 】

図5では、電極401, 402およびマイクロバンプ403で構成される接続部が第1の増幅トランジスタSF1のソース端子と、第2の電流源506の一端およびクランプ容量Cclの一端との間の経路に配置されているが、これに限らない。接続部は、第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4から第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4までの電氣的に接続された経路上のどこに配置されていてもよい。

【 0 0 5 1 】

例えば、第1の転送トランジスタTX1-1, TX1-2, TX1-3, TX1-4のソース端子と、電荷保持部FD1の一端、第1のリセットトランジスタRST1のソース端子、および第1の増幅トランジスタSF1のゲート端子との間の経路に接続部が配置されていてもよい。あるいは、クランプ容量Cclの他端と、第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4のドレイン端子との間の経路に接続部が配置されていてもよい。

20

【 0 0 5 2 】

図6は、画素基板201における画素回路501と垂直信号線502と第1の列回路部206と第1の水平走査回路204の接続を示している。第1の列回路部206は、画素回路501の配列における列毎に設けられる電極404と、奇数列に設けられるスイッチ601と、偶数列に設けられるスイッチ602と、2列に1つの割合で設けられる第1の列処理回路604とで構成されている。

【 0 0 5 3 】

電極404は垂直信号線502に接続されている。スイッチ601の一端は奇数列の垂直信号線502に接続され、スイッチの601の他端は第1の列処理回路604に接続されている。スイッチ602の一端は偶数列の垂直信号線502に接続され、スイッチ602の他端は第1の列処理回路604に接続されている。スイッチ601, 602のオンとオフの切替は、第1の水平走査回路204からの制御信号によって制御される。スイッチ601, 602のオンとオフの切替により、各列の垂直信号線502に出力された画素信号を第1の列処理回路604へ入力するかしないか、すなわち各列の垂直信号線502に出力された画素信号を第1の列処理回路604が処理するかしないかが制御される。前述したように、画素回路501から垂直信号線502へ直接画素信号を出力することが可能であるが、本実施形態では画素回路501から垂直信号線502へ出力される画素信号の処理については説明を省略し、電極404から垂直信号線502へ出力される画素信号の処理について説明する。

30

40

【 0 0 5 4 】

図7は、回路基板208における読み出し回路504と垂直信号線505と第2の列回路部213と第2の水平走査回路211の接続を示している。第2の列回路部213は、読み出し回路504の配列における列毎に設けられる電極405と、奇数列に設けられるスイッチ701と、偶数列に設けられるスイッチ702と、2列に1つの割合で設けられる第2の列処理回路704とで構成される。第1の列処理回路604と第2の列処理回路704は同様の構成を有する。前述したように、画素基板201に形成された電極404と回路基板208に形成された電極405とがマイクロバンプ406を介して電氣的に接続される。

【 0 0 5 5 】

50

電極405は垂直信号線505に接続されている。スイッチ701の一端は奇数列の垂直信号線505に接続され、スイッチの701の他端は第2の列処理回路704に接続されている。スイッチ702の一端は偶数列の垂直信号線505に接続され、スイッチ702の他端は第2の列処理回路704に接続されている。スイッチ701,702のオンとオフの切替は、第2の水平走査回路211からの制御信号によって制御される。スイッチ701,702のオンとオフの切替により、各列の垂直信号線505に出力された画素信号を第2の列処理回路704へ入力するかしないか、すなわち各列の垂直信号線505に出力された画素信号を第2の列処理回路704が処理するかしないかが制御される。

**【0056】**

回路基板208において、垂直信号線505に出力された画素信号は、第2の列処理回路704  
10  
に入力されるか、電極404,405、マイクロバンプ406、および垂直信号線502を介して第1の列処理回路604に入力される。画素信号が第1の列処理回路604と第2の列処理回路704のどちらに入力されるかは、スイッチ601,602,701,702の状態によって決まる。

**【0057】**

スイッチ701,602がオン、かつスイッチ702,601がオフのときには、奇数列に配置された読み出し回路504から出力される画素信号が第2の列処理回路704に入力され、偶数列に配置された読み出し回路504から出力される画素信号が第1の列処理回路604に入力される。この場合、奇数列に配置された読み出し回路504から出力される画素信号を第2の列処理回路704が処理し、偶数列に配置された読み出し回路504から出力される画素信号を第1  
20  
の列処理回路604が処理することが第1の制御信号生成部203および第2の制御信号生成部210によって決定されており、第1の制御信号生成部203および第2の制御信号生成部210から決定内容に従った制御信号が第1の水平走査回路204および第2の水平走査回路211へ出力される。第1の水平走査回路204は、スイッチ601をオフとしスイッチ602をオンとする制御信号をスイッチ601,602へ出力し、第2の水平走査回路211は、スイッチ701をオンとしスイッチ702をオフとする制御信号をスイッチ701,702へ出力する。

**【0058】**

また、スイッチ701,602がオフ、かつスイッチ702,601がオンのときには、奇数列に設けられる読み出し回路504から出力される信号が第1の列処理回路604に入力され、偶数列に設けられる読み出し回路504から出力される信号が第2の列処理回路704に入力される。この場合、奇数列に配置された読み出し回路504から出力される画素信号を第1の列処理  
30  
回路604が処理し、偶数列に配置された読み出し回路504から出力される画素信号を第2の列処理回路704が処理することが第1の制御信号生成部203および第2の制御信号生成部210によって決定されており、第1の制御信号生成部203および第2の制御信号生成部210から決定内容に従った制御信号が第1の水平走査回路204および第2の水平走査回路211へ出力される。第1の水平走査回路204は、スイッチ601をオンとしスイッチ602をオフとする制御信号をスイッチ601,602へ出力し、第2の水平走査回路211は、スイッチ701をオフとしスイッチ702をオンとする制御信号をスイッチ701,702へ出力する。

**【0059】**

第1の列処理回路604と第2の列処理回路704に入力された画素信号に対して、それぞれ  
40  
ノイズ抑圧処理が行われ、さらに増幅等が行われる。第1の列処理回路604で処理された画素信号は第1の出力部205へ出力され、第2の列処理回路704で処理された画素信号は第2の出力部212へ出力される。

**【0060】**

上記のように、本実施形態では、各列の画素回路501および読み出し回路504に対応した信号処理が第1の列回路部206および第2の列回路部213で分散して行われるので、画素基板201および回路基板208の面積を有効に活用して信号処理を行うことができる。さらに、  
図6および図7に示したように、1つの列処理回路を2列分の面積に構成することが可能となるので、より複雑な回路構成の列処理回路を搭載することができる。あるいは列処理回路の設計上の制約を緩和することができる。

**【0061】**

10

20

30

40

50

次に、図8を参照し、固体撮像装置102の動作を説明する。図8は、第1の垂直走査回路202から画素回路501に供給される制御信号および第2の垂直走査回路209から読み出し回路504に供給される制御信号を、各制御信号が供給される回路要素の符号と対応付けて示している。また、図8には、第1の水平走査回路204からスイッチ601, 602へ出力される制御信号および第2の水平走査回路211からスイッチ701, 702へ出力される制御信号も示されている。図8に示す動作は、同一行の画素回路501と読み出し回路504について共通のタイミングで行われる。

#### 【0062】

第1の水平走査回路204からスイッチ601に出力される制御信号は“L”(Low)レベルであり、第1の水平走査回路204からスイッチ602に出力される制御信号は“H”(High)レベルである。このため、スイッチ601はオフであり、スイッチ602はオンである。また、第2の水平走査回路211からスイッチ701に出力される制御信号は“H”レベルであり、第2の水平走査回路211からスイッチ702に出力される制御信号は“L”レベルである。このため、スイッチ701はオンであり、スイッチ702はオフである。これによって、奇数列に配置された読み出し回路504から出力される画素信号が第2の列処理回路704に入力され、偶数列に配置された読み出し回路504から出力される画素信号が第1の列処理回路604に入力される。

10

#### 【0063】

##### [期間T1の動作]

まず、第1の垂直走査回路202から第1のリセットトランジスタRST1に供給される制御パルスが“L”レベルから“H”レベルに変化することで、第1のリセットトランジスタRST1がオンとなる。同時に、第1の垂直走査回路202から第1の転送トランジスタTX1-1に供給される制御パルスが“L”レベルから“H”レベルに変化することで、第1の転送トランジスタTX1-1がオンとなる。これによって、第1の単位画素回路の光電変換素子PD1がリセットされる。

20

#### 【0064】

続いて、第1の垂直走査回路202から第1のリセットトランジスタRST1に供給される制御パルスおよび第1の垂直走査回路202から第1の転送トランジスタTX1-1に供給される制御パルスが“H”レベルから“L”レベルに変化することで、第1のリセットトランジスタRST1および第1の転送トランジスタTX1-1がオフとなる。これによって、第1の単位画素回路の光電変換素子PD1のリセットが終了し、第1の単位画素回路の露光(信号電荷の蓄積)が開始される。上記と同様にして、第2の単位画素回路の光電変換素子PD2、第3の単位画素回路の光電変換素子PD3、第4の単位画素回路の光電変換素子PD4が順にリセットされ、各単位画素回路の露光が開始される。

30

#### 【0065】

##### [期間T2の動作]

続いて、第2の垂直走査回路209から第2のリセットトランジスタRST2-1に供給される制御パルスが“L”レベルから“H”レベルに変化することで、第2のリセットトランジスタRST2-1がオンとなる。これによって、アナログメモリMEM-1がリセットされる。同時に、第2の垂直走査回路209から第2の転送トランジスタTX2-1に供給される制御パルスが“L”レベルから“H”レベルに変化することで、第2の転送トランジスタTX2-1がオンとなる。これによって、クランプ容量Cclの他端の電位が電源電圧VDDにリセットされると共に、第2の転送トランジスタTX2-1がクランプ容量Cclの他端の電位のサンプルホールドを開始する。

40

#### 【0066】

続いて、第1の垂直走査回路202から第1のリセットトランジスタRST1に供給される制御パルスが“L”レベルから“H”レベルに変化することで、第1のリセットトランジスタRST1がオンとなる。これによって、電荷保持部FD1がリセットされる。続いて、第1の垂直走査回路202から第1のリセットトランジスタRST1に供給される制御パルスが“H”レベルから“L”レベルに変化することで、第1のリセットトランジスタRST1がオフとなる。

50

これによって、電荷保持部FD1のリセットが終了する。電荷保持部FD1のリセットを行うタイミングは露光期間中であればよいが、露光期間の終了直前のタイミングで電荷保持部FD1のリセットを行うことによって、電荷保持部FD1のリーク電流によるノイズをより低減することができる。

【0067】

続いて、第2の垂直走査回路209から第2のリセットトランジスタRST2-1に供給される制御パルスが“H”レベルから“L”レベルに変化することで、第2のリセットトランジスタRST2-1がオフとなる。これによって、アナログメモリMEM-1のリセットが終了する。この時点でクランプ容量Cclは、第1の増幅トランジスタSF1から出力される増幅信号（電荷保持部FD1のリセット後の増幅信号）をクランプしている。

10

【0068】

[期間T3の動作]

まず、第1の垂直走査回路202から第1の転送トランジスタTX1-1に供給される制御パルスが“L”レベルから“H”レベルに変化することで、第1の転送トランジスタTX1-1がオンとなる。これによって、光電変換素子PD1に蓄積されている信号電荷が、第1の転送トランジスタTX1-1を介して電荷保持部FD1に転送され、電荷保持部FD1に蓄積される。これによって、第1の単位画素回路の露光（信号電荷の蓄積）が終了する。期間T1における第1の単位画素回路の露光開始から期間T3における第1の単位画素回路の露光終了までの期間が露光期間（信号蓄積期間）である。続いて、第1の垂直走査回路202から第1の転送トランジスタTX1-1に供給される制御パルスが“H”レベルから“L”レベルに変化することで、第1の転送トランジスタTX1-1がオフとなる。

20

【0069】

続いて、第2の垂直走査回路209から第2の転送トランジスタTX2-1に供給される制御パルスが“H”レベルから“L”レベルに変化することで、第2の転送トランジスタTX2-1がオフとなる。これによって、第2の転送トランジスタTX2-1がクランプ容量Cclの他端の電位のサンプルホールドを終了する。

【0070】

[期間T4の動作]

上述した期間T2、T3の動作は第1の単位画素回路および第1の単位読み出し回路の動作である。期間T4では、第2の単位画素回路および第2の単位読み出し回路、第3の単位画素回路および第3の単位読み出し回路、第4の単位画素回路および第4の単位読み出し回路について、期間T2、T3の動作と同様の動作が行われる。なお、図8では、図面のスペースの制約から、各単位画素回路の露光期間の長さが異なっているが、各単位画素回路の露光期間の長さを同一とすることがより望ましい。

30

【0071】

以下では、アナログメモリMEM-1の一端の電位の変化について説明する。アナログメモリMEM-2、MEM-3、MEM-4の一端の電位の変化についても同様である。電荷保持部FD1のリセットが終了した後に光電変換素子PD1から電荷保持部FD1に信号電荷が転送されることによる電荷保持部FD1の一端の電位の変化を  $V_{fd}$ 、第1の増幅トランジスタSF1のゲインを  $1$  とすると、光電変換素子PD1から電荷保持部FD1に信号電荷が転送されることによる第1の増幅トランジスタSF1のソース端子の電位の変化  $V_{amp1}$  は  $1 \times V_{fd}$  となる。

40

【0072】

アナログメモリMEM-1と第2の転送トランジスタTX2-1の合計のゲインを  $2$  とすると、光電変換素子PD1から電荷保持部FD1に信号電荷が転送された後の第2の転送トランジスタTX2-1のサンプルホールドによるアナログメモリMEM-1の一端の電位の変化  $V_{mem}$  は  $2 \times V_{amp1}$ 、すなわち  $1 \times 2 \times V_{fd}$  となる。 $V_{fd}$  は、信号電荷の転送による電荷保持部FD1の一端の電位の変化量であり、電荷保持部FD1をリセットすることにより発生するリセットノイズを含んでいない。したがって、第2の転送トランジスタTX2-1、TX2-2、TX2-3、TX2-4がサンプルホールドを行うことによって、回路基板208で発生するノイズの影響を低減することができる。

50

## 【 0 0 7 3 】

アナログメモリMEM-1のリセットが終了した時点のアナログメモリMEM-1の一端の電位は電源電圧VDDであるため、光電変換素子PD1から電荷保持部FD1に信号電荷が転送された後、第2の転送トランジスタTX2-1によってサンプルホールドされたアナログメモリMEM-1の一端の電位Vmemは以下の(1)式となる。(1)式において、 $V_{mem} < 0$ 、 $V_{fd} < 0$ である。

$$V_{mem} = VDD + V_{mem} \\ = VDD + 1 \times 2 \times V_{fd} \dots (1)$$

## 【 0 0 7 4 】

また、2は以下の(2)式となる。(2)式において、CLはクランプ容量Cclの容量値であり、CSHはアナログメモリMEM-1の容量値である。ゲインの低下をより小さくするため、クランプ容量Cclの容量値CLはアナログメモリMEM-1の容量値CSHよりも大きいことがより望ましい。

## 【 0 0 7 5 】

## 【 数 1 】

$$\alpha 2 = \frac{CL}{CL + CSH} \dots (2)$$

## 【 0 0 7 6 】

## [ 期間T5の動作 ]

期間T5では、アナログメモリMEM-1、MEM-2、MEM-3、MEM-4に蓄積されている信号電荷に基づく信号が順次読み出される。まず、第1の単位画素回路からの信号の読み出しが行われる。第2の垂直走査回路209から第2の選択トランジスタSEL2-1に供給される制御パルスが“L”レベルから“H”レベルに変化することで、第2の選択トランジスタSEL2-1がオンとなる。これによって、(1)式に示した電位Vmemに基づく信号が第2の選択トランジスタSEL2-1を介して垂直信号線505へ出力される。

## 【 0 0 7 7 】

続いて、第2の垂直走査回路209から第2のリセットトランジスタRST2-1に供給される制御パルスが“L”レベルから“H”レベルに変化することで、第2のリセットトランジスタRST2-1がオンとなる。これによって、アナログメモリMEM-1がリセットされ、リセット時のアナログメモリMEM-1の一端の電位に基づく信号が第2の選択トランジスタSEL2-1を介して垂直信号線505へ出力される。

## 【 0 0 7 8 】

続いて、第2の垂直走査回路209から第2のリセットトランジスタRST2-1に供給される制御パルスが“H”レベルから“L”レベルに変化することで、第2のリセットトランジスタRST2-1がオフとなる。続いて、第2の垂直走査回路209から第2の選択トランジスタSEL2-1に供給される制御パルスが“H”レベルから“L”レベルに変化することで、第2の選択トランジスタSEL2-1がオフとなる。

## 【 0 0 7 9 】

第1の列処理回路604および第2の列処理回路704は、(1)式に示した電位Vmemに基づく信号と、アナログメモリMEM-1をリセットしたときのアナログメモリMEM-1の一端の電位に基づく信号との差分をとった差分信号を生成する。この差分信号は、(1)式に示した電位Vmemと電源電圧VDDとの差分に基づく信号であり、光電変換素子PD1に蓄積された信号電荷が電荷保持部FD1に転送された直後の電荷保持部FD1の一端の電位と、電荷保持部FD1の一端がリセットされた直後の電荷保持部FD1の電位との差分 $V_{fd}$ に基づく信号である。したがって、アナログメモリMEM-1をリセットすることによるノイズ成分と、電荷保持部FD1をリセットすることによるノイズ成分とを抑圧した、光電変換素子PD1に蓄積された信号電荷に基づく信号成分を得ることができる。

10

20

30

40

50

## 【 0 0 8 0 】

第1の列処理回路604から出力された信号（偶数列に配置された読み出し回路504から出力される画素信号）は、第1の水平走査回路204によって第1の出力部205へ出力され、第1の出力部205から固体撮像装置102の外部へ出力される。また、第2の列処理回路704から出力された信号（奇数列に配置された読み出し回路504から出力される画素信号）は、第2の水平走査回路211によって第2の出力部212へ出力され、第2の出力部212から固体撮像装置102の外部へ出力される。以上で、第1の単位読み出し回路からの信号の読み出しが終了する。

## 【 0 0 8 1 】

[ 期間T6の動作 ]

続いて、第2の単位読み出し回路、第3の単位読み出し回路、第4の単位読み出し回路のそれぞれについて、期間T5における第1の単位読み出し回路の動作と同様の動作が行われる。

## 【 0 0 8 2 】

上記の動作では、光電変換素子PD1, PD2, PD3, PD4から電荷保持部FD1に転送された信号電荷を電荷保持部FD1が各单位画素回路の読み出しタイミングまで保持していなければならない。電荷保持部FD1が信号電荷を保持している期間中にノイズが発生すると、電荷保持部FD1が保持している信号電荷にノイズが重畳され、信号品質（S/N）が劣化する。

## 【 0 0 8 3 】

電荷保持部FD1が信号電荷を保持している期間（以下、保持期間と記載）中に発生するノイズの主な要因は、電荷保持部FD1のリーク電流による電荷（以下、リーク電荷と記載）と、光電変換素子PD1, PD2, PD3, PD4以外の部分に入射する光に起因する電荷（以下、光電荷と記載）である。単位時間に発生するリーク電荷と光電荷をそれぞれ $q_{id}$ 、 $q_{pn}$ とし、保持期間の長さを $t_c$ とすると、保持期間中に発生するノイズ電荷 $Q_n$ は $(q_{id} + q_{pn}) t_c$ となる。

## 【 0 0 8 4 】

電荷保持部FD1の容量を $C_{fd}$ 、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4の容量を $C_{mem}$ とし、 $C_{fd}$ と $C_{mem}$ の比（ $C_{mem}/C_{fd}$ ）を $A$ とする。また、前述したように、第1の増幅トランジスタSF1のゲインを $1$ 、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4と第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4の合計のゲインを $2$ とする。露光期間中に光電変換素子PD1, PD2, PD3, PD4で発生した信号電荷を $Q_{ph}$ とすると、露光期間の終了後にアナログメモリMEM-1, MEM-2, MEM-3, MEM-4に保持される信号電荷は $A \times 1 \times 2 \times Q_{ph}$ となる。

## 【 0 0 8 5 】

光電変換素子PD1, PD2, PD3, PD4から電荷保持部FD1に転送された信号電荷に基づく信号は第2の転送トランジスタTX2-1, TX2-2, TX2-3, TX2-4によってサンプルホールドされ、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4に格納される。したがって、電荷保持部FD1に信号電荷が転送されてからアナログメモリMEM-1, MEM-2, MEM-3, MEM-4に信号電荷が格納されるまでの時間は短く、電荷保持部FD1で発生したノイズは無視することができる。アナログメモリMEM-1, MEM-2, MEM-3, MEM-4が信号電荷を保持している期間に発生するノイズを上記と同じ $Q_n$ と仮定すると、S/Nは $A \times 1 \times 2 \times Q_{ph}/Q_n$ となる。

## 【 0 0 8 6 】

一方、特許文献2に記載された従来技術のように、容量蓄積部に保持された信号電荷を、増幅トランジスタを介して画素から読み出す場合のS/Nは $Q_{ph}/Q_n$ となる。したがって、本実施形態のS/Nは従来技術のS/Nの $A \times 1 \times 2$ 倍となる。 $A \times 1 \times 2$ が1よりも大きくなるようにアナログメモリMEM-1, MEM-2, MEM-3, MEM-4の容量値を設定する（例えば、アナログメモリMEM-1, MEM-2, MEM-3, MEM-4の容量値を電荷保持部FD1の容量値よりも十分大きくする）ことによって、信号品質の劣化を低減することができる。

## 【 0 0 8 7 】

本実施形態では、画素回路501の配列における複数列毎に1つの第1の列処理回路604が

10

20

30

40

50

配置され、読み出し回路504の配列における複数列毎に1つの第2の列処理回路704が配置されているが、これに限らない。例えば、画素回路501の配列における1列毎に1つの第1の列処理回路604が配置され、読み出し回路504の配列における1列毎に1つの第2の列処理回路704が配置されていてもよい。これによって、画素基板201と回路基板208を同時並行的に動作させ、画素基板201の第1の出力部205から出力される画素信号（例えば、動画用信号）と、回路基板208の第2の出力部212から出力される画素信号（例えば、静止画用信号）との2系統の画素信号を得ることができる。

**【0088】**

本実施形態では、図6および図7に示したように、列数が4であり、列回路部の個数が2（1つの第1の列回路部206と1つの第2の列回路部213）であるため、それぞれの列回路部は2列分の信号処理を行う。これに限らず、列数がN（Nは2以上の整数であり、かつ2以上の整数Mで割り切れる数）であり、列回路部の個数がMである場合、それぞれの列回路部がN/M列分の信号処理を行うようにすればよい。例えば、列数が8であり、列回路部の個数が2であれば、1つの列回路部は4列分の信号処理を行う。この場合、第1の列処理回路604と第2の列処理回路704は、図6および図7と同様に、2列毎に1つ配置すればよい。

**【0089】**

本実施形態では、2枚の基板が接続部で接続されている固体撮像装置の構成を示したが、3枚以上の基板が接続部で接続されていてもよい。本発明を適用した固体撮像装置では、3枚以上の基板のうち1枚の基板に光電変換素子が配置され、3枚以上の基板のうち複数の基板（光電変換素子が配置された基板を含んでもよい）のそれぞれに列回路部が配置される。

**【0090】**

上述したように、本実施形態の固体撮像装置は、画素部（画素アレイ部207）内の各列の画素（画素回路501）に対応する信号処理を、異なる基板（画素基板201、回路基板208）のそれぞれに配置された列回路部（第1の列回路部206、第2の列回路部213）で分散して行う。これによって、複数の基板の面積を有効に活用することができる。

**【0091】**

また、1つの列処理回路を2列分の面積に構成することが可能となるので、より複雑な回路構成の列処理回路を搭載することができる。あるいは列処理回路の設計上の制約を緩和することができる。

**【0092】**

また、複数の列処理回路（第1の列処理回路604および第2の列処理回路704）に入力される各列の画素信号を複数のスイッチ（スイッチ601, 602, 701, 702）のオン/オフで切り替えることによって、次の効果が得られる。例えば、全ての列の画素信号を処理する第1のモードと、一部の列のみの画素信号を処理する第2のモードとを切り替えて動作するように固体撮像装置を構成し、第2のモードにおいて、2列につき1列の画素信号を処理する場合に、処理対象の列の画素信号を第1の列処理回路604および第2の列処理回路704の一方に入力させ、処理対象ではない列の画素信号を第1の列処理回路604および第2の列処理回路704に入力させないことが可能となる。例えば、スイッチ601のみがオンとなり、スイッチ602, 701, 702がオフとなる場合、奇数列の画素信号が第1の列処理回路604に入力され、偶数列の画素信号は第1の列処理回路604および第2の列処理回路704に入力されない。これによって、第2の列処理回路704は動作を停止することができるので、第1のモードと比較して、消費電力を低減することができる。

**【0093】**

また、第1の増幅トランジスタから出力された増幅信号を蓄積するアナログメモリを設けたことによって、信号品質の劣化を低減することができる。

**【0094】**

また、複数の単位画素回路および単位読み出し回路間で一部の回路要素を共有しているため、複数の単位画素回路および単位読み出し回路間で回路要素を共有しない場合と比較して、チップ面積を低減することができる。さらに、複数の単位画素回路および単位読み

10

20

30

40

50

出し回路間で第1の増幅トランジスタおよび第2の電流源を共有しているため、同時に動作する電流源の数を抑えることができる。このため、多数の電流源が同時に動作することによる電源電圧の電圧降下やGND（グラウンド）電圧の上昇等の発生を低減することができる。

【0095】

また、全ての回路要素を1枚の基板に配置する場合と比較して、第1の基板（画素基板201）の光電変換素子の面積を大きくすることが可能となるため、感度が向上する。さらに、アナログメモリを用いることによって、第2の基板（回路基板208）に設ける信号蓄積用の領域の面積を小さくすることができる。

【0096】

また、アナログメモリの容量値を電荷保持部の容量値よりも大きくする（例えば、アナログメモリの容量値を電荷保持部の容量値の5倍以上にする）ことによって、アナログメモリが保持する信号電荷が、電荷保持部が保持する信号電荷よりも大きくなる。このため、アナログメモリのリーク電流による信号劣化の影響を小さくすることができる。

【0097】

また、クランプ容量および第2の転送トランジスタを設けることによって、第1の基板で発生するノイズの影響を低減することができる。第1の基板で発生するノイズには、第1の増幅トランジスタに接続される回路（例えば第1のリセットトランジスタ）の動作に由来して第1の増幅トランジスタの入力部で発生するノイズ（例えばリセットノイズ）や、第1の増幅トランジスタの動作特性に由来するノイズ（例えば第1の増幅トランジスタの回路閾値のばらつきによるノイズ）等がある。

【0098】

また、アナログメモリをリセットしたときの信号と、光電変換素子から電荷保持部へ信号電荷を転送することによって発生する第1の増幅トランジスタの出力の変動に応じた信号とを時分割で単位読み出し回路から出力し、単位読み出し回路の外部で各信号の差分処理を行うことによって、第2の基板で発生するノイズの影響を低減することができる。第2の基板で発生するノイズには、第2の増幅トランジスタに接続される回路（例えば第2のリセットトランジスタ）の動作に由来して第2の増幅トランジスタの入力部で発生するノイズ（例えばリセットノイズ）等がある。

【0099】

本発明に係る画素部は例えば画素アレイ部207に対応する。本発明に係る列回路部は例えば第1の列回路部206、第2の列回路部213に対応する。本発明に係る出力部は例えば第1の出力部205、第2の出力部212に対応する。本発明に係る切替部は例えばスイッチ601、602、701、702に対応する。本発明に係る列信号線は例えば垂直信号線502、505に対応する。本発明に係る信号蓄積部は例えばアナログメモリMEM-1、MEM-2、MEM-3、MEM-4に対応する。

【0100】

以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

【0101】

例えば、本発明の一態様に係る固体撮像装置は、

「第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続された固体撮像装置であって、

光電変換手段を含む画素が行列状に配置された画素部と、

前記画素部内の画素の列に対応して配置され、対応する列の画素に含まれる前記光電変換手段で発生した信号を信号処理する複数の列処理手段を含む列回路部と、

前記列処理手段によって信号処理された信号を当該装置の外部に出力する出力部と、  
を備え、

前記第1の基板に前記画素部が配置され、

10

20

30

40

50

前記第 1 ~ 第 n の基板のうち少なくとも 2 以上の異なる基板のそれぞれに前記列回路部が配置され、

前記画素部内の各列の画素に対応する信号処理を、前記少なくとも 2 以上の異なる基板のそれぞれに配置された前記列回路部で分散して行うことを特徴とする固体撮像装置。」  
であつてもよい。

【 0 1 0 2 】

例えば、本発明の一態様に係る固体撮像装置は、

「第 1 ~ 第 n ( n は 2 以上の整数 ) の基板どうしが接続部を介して電氣的に接続された固体撮像装置であつて、

光電変換手段を含む画素が行列状に配置された画素部と、

前記画素部内の画素の列に対応して配置され、前記画素部内の画素に列毎に接続される列信号線に接続され、対応する列の画素に含まれる前記光電変換手段で発生した信号を信号処理する複数の列処理手段を含む列回路部と、

前記列処理手段によって信号処理された信号を当該装置の外部に出力する出力部と、

前記列信号線と前記列処理手段の間に配置され、前記列処理手段への信号の入力の有無を制御する切替部と、

を備え、

前記第 1 の基板に前記画素部が配置され、

前記第 1 ~ 第 n の基板のうち少なくとも 2 以上の異なる基板のそれぞれに前記列回路部が配置されていることを特徴とする固体撮像装置。」

であつてもよい。

【 0 1 0 3 】

例えば、本発明の一態様に係る撮像装置は、

「第 1 ~ 第 n ( n は 2 以上の整数 ) の基板どうしが接続部を介して電氣的に接続された撮像装置であつて、

光電変換手段を含む画素が行列状に配置された画素部と、

前記画素部内の画素の列に対応して配置され、対応する列の画素に含まれる前記光電変換手段で発生した信号を信号処理する複数の列処理手段を含む列回路部と、

前記列処理手段によって信号処理された信号を当該装置の外部に出力する出力部と、

を備え、

前記第 1 の基板に前記画素部が配置され、

前記第 1 ~ 第 n の基板のうち少なくとも 2 以上の異なる基板のそれぞれに前記列回路部が配置され、

前記画素部内の各列の画素に対応する信号処理を、前記少なくとも 2 以上の異なる基板のそれぞれに配置された前記列回路部で分散して行うことを特徴とする撮像装置。」

であつてもよい。

【 0 1 0 4 】

例えば、本発明の一態様に係る撮像装置は、

「第 1 ~ 第 n ( n は 2 以上の整数 ) の基板どうしが接続部を介して電氣的に接続された撮像装置であつて、

光電変換手段を含む画素が行列状に配置された画素部と、

前記画素部内の画素の列に対応して配置され、前記画素部内の画素に列毎に接続される列信号線に接続され、対応する列の画素に含まれる前記光電変換手段で発生した信号を信号処理する複数の列処理手段を含む列回路部と、

前記列処理手段によって信号処理された信号を当該装置の外部に出力する出力部と、

前記列信号線と前記列処理手段の間に配置され、前記列処理手段への信号の入力の有無を制御する切替部と、

を備え、

前記第 1 の基板に前記画素部が配置され、

前記第 1 ~ 第 n の基板のうち少なくとも 2 以上の異なる基板のそれぞれに前記列回路部

10

20

30

40

50

が配置されていることを特徴とする撮像装置。」

であってもよい。

【0105】

上述した各構成要素や各処理プロセスの任意の組合せを実現するコンピュータプログラムプロダクトも本発明の態様として有効である。コンピュータプログラムプロダクトとは、プログラムコードが記録された記録媒体（DVD媒体、ハードディスク媒体、メモリ媒体など）、プログラムコードが記録されたコンピュータ、プログラムコードが記録されたインターネットシステム（例えば、サーバとクライアント端末を含むシステム）など、プログラムコードが組み込まれた記録媒体、装置、機器やシステムをいう。この場合、上述した各構成要素や各処理プロセスは各モジュールで実装され、その実装されたモジュールからなるプログラムコードがコンピュータプログラムプロダクト内に記録される。

10

【0106】

例えば、本発明の一態様に係るコンピュータプログラムプロダクトは、

「第1～第n（nは2以上の整数）の基板どうしが接続部を介して電氣的に接続され、光電変換素子を含む画素が行列状に配置された画素部と、前記画素部内の画素の列に対応して配置され、前記画素部内の画素に列毎に接続される列信号線に接続され、対応する列の画素に含まれる前記光電変換素子で発生した信号を信号処理する複数の列処理回路を含む列回路部と、前記列処理回路によって信号処理された信号を当該装置の外部に出力する出力部と、前記列信号線と前記列処理回路の間に配置され、オンとオフの切替により、前記列処理回路への信号の入力の有無を制御するスイッチと、を備え、前記第1の基板に前記画素部が配置され、前記第1～第nの基板のうち少なくとも2以上の異なる基板のそれぞれに前記列回路部が配置された固体撮像装置の前記画素から信号を読み出す処理をコンピュータに実行させるためのプログラムコードが記録されたコンピュータプログラムプロダクトであって、

20

前記光電変換素子で信号を発生するモジュールと、

前記光電変換素子で発生した信号を、前記スイッチを介して、当該光電変換素子が含まれる画素の列に対応した前記列処理回路に入力するモジュールと、

前記列処理回路で処理された信号を、前記出力部から前記固体撮像装置の外部に出力するモジュールと、

を含むプログラムコードが記録されたコンピュータプログラムプロダクト。」

30

であってもよい。

【0107】

上述した実施形態による各構成要素や各処理プロセスの任意の組合せを実現するためのプログラムも本発明の態様として有効である。このプログラムを、コンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータに読み込ませ、実行させることで、本発明の目的を達成することができる。

【0108】

ここで、「コンピュータ」は、WWWシステムを利用している場合であれば、ホームページ提供環境（あるいは表示環境）も含むものとする。また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムが送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ（RAM）のように、一定時間プログラムを保持しているものも含むものとする。

40

【0109】

また、上述したプログラムは、このプログラムを記憶装置等に格納したコンピュータから、伝送媒体を介して、あるいは伝送媒体中の伝送波により他のコンピュータに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク（通信網）や電話回線等の通信回線（通信線）のように、情報を伝送する機能を有す

50

る媒体のことをいう。また、上述したプログラムは、前述した機能の一部を実現するためのものであってもよい。さらに、前述した機能を、コンピュータに既に記録されているプログラムとの組合せで実現できるもの、いわゆる差分ファイル（差分プログラム）であってもよい。

#### 【0110】

以上、本発明の好ましい実施形態を説明したが、上述した各構成要素や各処理プロセスとして、色々な代替物、変形物、等価物を用いることができる。本明細書に開示された実施形態において、1または複数の機能を実行するために、1つの部品を複数の部品と置き換えてもよいし、複数の部品を1つの部品で置き換えてもよい。このような置換が、本発明の目的を達成するために適切に作用しない場合を除き、このような置換は、本発明の範囲内である。したがって、本発明の範囲は、上記の説明を参照して決められるものではなく、請求項により決められるべきであり、均等物の全範囲も含まれる。請求項において、明示的に断らない限り、各構成要素は1またはそれ以上の数量である。請求項において「～のための手段」のような語句を用いて明示的に記載する場合を除いて、請求項がミーンズ・プラス・ファンクションの限定を含むものと解してはならない。

10

#### 【0111】

本明細書に使用される用語は特定の実施形態を説明することのみを目的としており、本発明を制限しようとするものではない。本明細書においては、単数形で用語が使用されている場合でも、複数形を排除することが文脈で明確に示されていない限り、その用語は複数形をも同様に含む。

20

#### 【符号の説明】

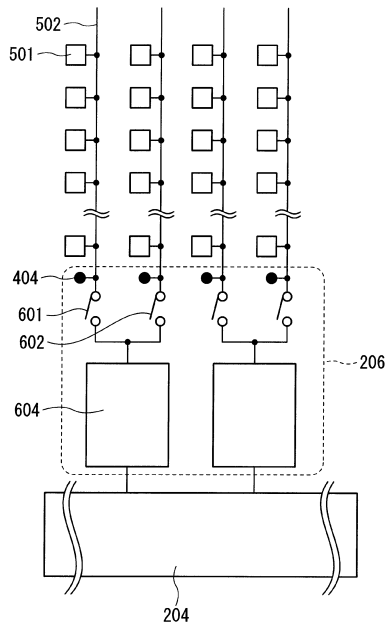
#### 【0112】

201・・・画素基板、202・・・第1の垂直走査回路、203・・・第1の制御信号生成部、204・・・第1の水平走査回路、205・・・第1の出力部、206・・・第1の列回路部、207・・・画素アレイ部、208・・・回路基板、209・・・第2の垂直走査回路、210・・・第2の制御信号生成部、211・・・第2の水平走査回路、212・・・第2の出力部、213・・・第2の列回路部、214・・・読み出し回路アレイ部、401, 402, 404, 405・・・電極、403, 406・・・マイクロポンプ、501・・・画素回路、502, 505・・・垂直信号線、503・・・第1の電流源、504・・・読み出し回路、506・・・第2の電流源、507・・・第3の電流源、601, 602, 701, 702・・・スイッチ、604・・・第1の列処理回路、704・・・第2の列処理回路、PD1, PD2, PD3, PD4・・・光電変換素子、TX1-1, TX1-2, TX1-3, TX1-4・・・第1の転送トランジスタ、FD1・・・電荷保持部、RST1・・・第1のリセットトランジスタ、SF1・・・第1の増幅トランジスタ、SEL1・・・第1の選択トランジスタ、C<sub>cl</sub>・・・クランプ容量、TX2-1, TX2-2, TX2-3, TX2-4・・・第2の転送トランジスタ、RST2-1, RST2-2, RST2-3, RST2-4・・・第2のリセットトランジスタ、MEM-1, MEM-2, MEM-3, MEM-4・・・アナログメモリ、SF2-1, SF2-2, SF2-3, SF2-4・・・第2の増幅トランジスタ、SEL2-1, SEL2-2, SEL2-3, SEL2-4・・・第2の選択トランジスタ

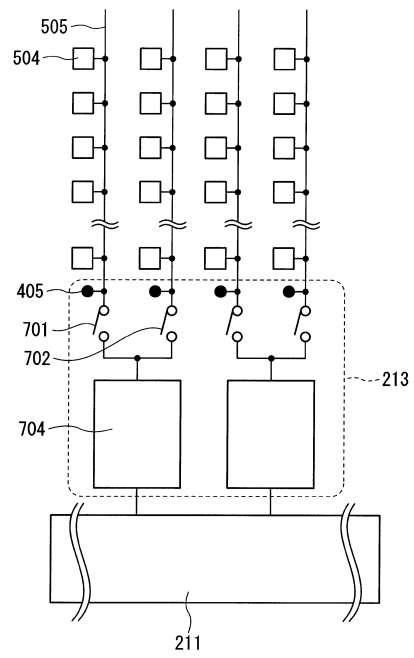
30



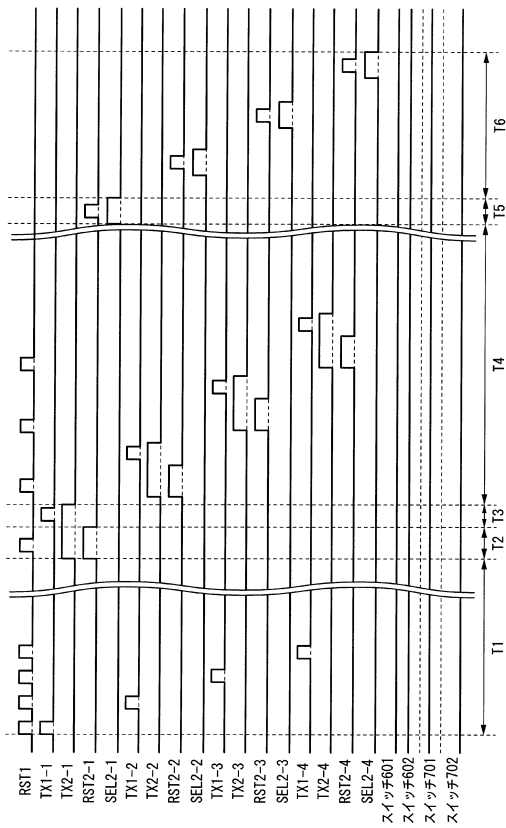
【図6】



【図7】



【図8】



---

フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 青木 潤

東京都渋谷区幡ヶ谷2丁目43番2号 オリパス株式会社内

審査官 鈴木 明

(56)参考文献 国際公開第2010/073520(WO, A1)

特開2010-278786(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H01L 27/14 - 27/148