



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월24일
 (11) 등록번호 10-1891373
 (24) 등록일자 2018년08월17일

(51) 국제특허분류(Int. Cl.)
 H01L 29/78 (2006.01) H01L 21/336 (2006.01)
 (21) 출원번호 10-2014-7005446
 (22) 출원일자(국제) 2014년08월03일
 심사청구일자 2017년03월14일
 (85) 번역문제출일자 2014년02월28일
 (65) 공개번호 10-2014-0050700
 (43) 공개일자 2014년04월29일
 (86) 국제출원번호 PCT/US2012/049531
 (87) 국제공개번호 WO 2013/022753
 국제공개일자 2013년02월14일
 (30) 우선권주장
 61/515,452 2011년08월05일 미국(US)
 (56) 선행기술조사문헌
 KR1020070014610 A*
 KR1020050099328 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 엠아이이 후지쯔 세미컨덕터 리미티드
 일본 미에 511-0118 구와나 다도초 미조노 2000
 (72) 발명자
 호프만 토마스
 미국 95032 캘리포니아주 로스 가토스 벨라 비스타 애비뉴 326
 톰슨 스코트 이.
 미국 32607 플로리다주 개인스빌 에스더블유 17티 에이치 플레이스 10205
 (74) 대리인
 양영준, 백만기

전체 청구항 수 : 총 17 항

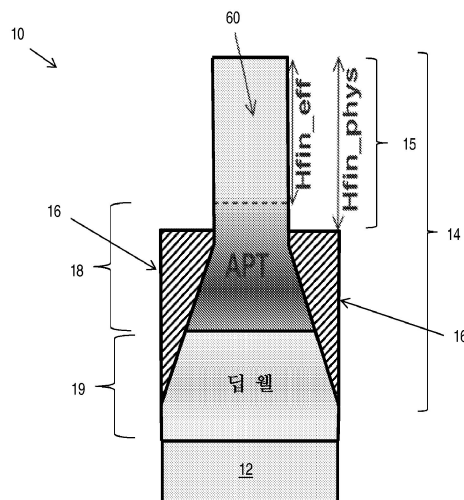
심사관 : 최정민

(54) 발명의 명칭 핀 구조물을 갖는 반도체 디바이스 및 그 제조 방법

(57) 요약

반도체 디바이스 제조 방법은 반도체 기판을 제공하는 단계를 포함한다. 상기 방법은 또한 상기 반도체 기판의 적어도 하나의 영역에서 반도체 기판의 표면에 고농도로 도핑된 구역을 형성하는 단계를 포함하며, 상기 고농도로 도핑된 구역은 반도체 기판의 도핑 농도보다 큰 도핑 농도를 갖는 고농도로 도핑된 층을 구비한다. 상기 방법은 또한 상기 반도체 기판 상에 반도체 재료의 추가 층을 형성하는 단계를 포함하며, 상기 추가 층은 실질적으로 도핑되지 않은 층을 포함한다. 상기 방법은 핀 구조물을 갖는 비에칭 부분과 상기 추가 층을 통해서 연장되는 에칭 부분을 형성하기 위해 상기 반도체 기판에 제1 제거 공정을 적용하는 단계와, 이후 상기 핀 구조물을 다른 구조물로부터 절연시키는 단계를 추가로 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 디바이스 제조 방법이며,

반도체 기판을 제공하는 단계;

상기 반도체 기판의 적어도 하나의 영역에서 반도체 기판의 표면에 고농도로 도핑된 구역을 형성하는 단계로서, 상기 고농도로 도핑된 구역은 적어도 하나의 고농도로 도핑된 층을 포함하고, 상기 적어도 하나의 고농도로 도핑된 층은 반도체 기판의 도핑 농도보다 큰 제1 도전형의 도핑 농도를 갖는 단계;

상기 고농도로 도핑된 구역을 포함하는 상기 반도체 기판 상에 반도체 재료의 추가 층을 형성하는 단계로서, 상기 추가 층은 도핑되지 않은 층을 포함하는 단계;

상기 적어도 하나의 영역에 적어도 하나의 비에칭 부분과 적어도 하나의 에칭 부분을 형성하기 위해 상기 반도체 기판에 제1 제거 공정을 적용하는 단계로서, 상기 적어도 하나의 비에칭 부분은 적어도 하나의 핀 구조물을 가지며, 상기 적어도 하나의 에칭 부분은 적어도 상기 추가 층의 두께를 통해서 연장되는 단계;

상기 적어도 하나의 핀 구조물 내의 추가 층이 노출 유지되도록 선택되는 두께로 유전체를 상기 적어도 하나의 에칭 부분에 형성하는 단계; 및

상기 적어도 하나의 핀 구조물의 노출된 표면 주위에 감기는 게이트를 형성하는 단계를 포함하고,

상기 고농도로 도핑된 구역을 형성하는 단계는 상기 고농도로 도핑된 구역에서 상기 추가 층으로 도펀트가 확산되는 것을 방지하기 위하여 상기 고농도로 도핑된 구역과 상기 추가 층 사이의 계면에 표면 층을 제공하도록 추가 임프란트를 제공하는 것을 포함하는 반도체 디바이스 제조 방법.

청구항 2

제1항에 있어서, 상기 유전체를 상기 적어도 하나의 에칭 부분에 형성하는 단계는,

상기 제1 제거 공정의 적용 단계 이전에, 상기 적어도 하나의 핀 구조물에 대응하는 패턴으로 상기 추가 층 상에 정지 층을 제공하는 단계;

상기 제1 제거 공정의 적용 단계 이후에, 반도체 기판 상에 블랭킷 유전체 필름을 증착하는 단계;

상기 블랭킷 유전체 필름의 평탄면이 상기 정지 층과 일치하도록 상기 반도체 기판에 평탄화 공정을 적용하는 단계; 및

블랭킷 유전체 필름의 일부를 우선적으로 제거하는 제2 제거 공정을 반도체 기판에 적용하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 3

제1항에 있어서, 상기 고농도로 도핑된 구역의 형성 단계는 제1 도전형의 도펀트 원자를 5×10^{18} 내지 1×10^{20} atom/cm³의 농도로 제공하기 위해 적어도 하나의 종을 주입하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 반도체 기판은 벌크 실리콘 기판, 에피 기판, 또는 실리콘-온-인슐레이터 기판 중 하나를 포함하는 반도체 디바이스 제조 방법.

청구항 6

제1항 내지 제3항 및 제5항 중 어느 한 항에 있어서, 상기 추가 층 형성 단계는 에피택셜 실리콘의 층을 증착하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 7

반도체 디바이스 제조 방법이며,

실리콘 기판을 제공하는 단계;

상기 실리콘 기판의 적어도 하나의 영역에서 실리콘 기판의 표면에 고농도로 도핑된 구역을 형성하는 단계로서, 상기 고농도로 도핑된 구역은 적어도 하나의 고농도로 도핑된 층을 포함하고, 상기 적어도 하나의 고농도로 도핑된 층은 반도체 기판의 도핑 농도보다 큰 제1 도전형의 도핑 농도를 갖는 단계;

상기 고농도로 도핑된 구역을 포함하는 상기 실리콘 기판 상에 반도체 재료의 추가 층을 형성하는 단계로서, 상기 추가 층은 도핑되지 않은 규소-함유 에피택셜 층을 포함하는 단계;

상기 적어도 하나의 영역에 적어도 하나의 비에칭 부분과 적어도 하나의 에칭 부분을 형성하기 위해 상기 실리콘 기판에 제1 제거 공정을 적용하는 단계로서, 상기 적어도 하나의 비에칭 부분은 적어도 하나의 핀 구조물을 가지며, 상기 적어도 하나의 에칭 부분은 상기 고농도로 도핑된 구역의 적어도 일부를 통해서 연장되는 단계;

상기 적어도 하나의 에칭 부분에 적어도 하나의 유전체 층을 배치하는 단계로서, 상기 적어도 하나의 유전체 층의 두께는 적어도 하나의 유전체 층의 상면이 상기 고농도로 도핑된 구역과 맞닿도록 선택되는 배치 단계; 및

상기 적어도 하나의 핀 구조물에 게이트를 형성하여 적어도 하나의 FinFET 디바이스를 제공하는 단계를 포함하고,

상기 고농도로 도핑된 구역을 형성하는 단계는 상기 고농도로 도핑된 구역에서 상기 추가 층으로 도펀트가 확산되는 것을 방지하기 위하여 상기 고농도로 도핑된 구역과 상기 추가 층 사이의 계면에 표면 층을 제공하도록 추가 임프란트를 제공하는 것을 포함하는 반도체 디바이스 제조 방법.

청구항 8

제7항에 있어서, 상기 배치 단계는,

상기 제1 제거 공정의 적용 단계 이전에, 상기 적어도 하나의 핀 구조물에 대응하는 패턴으로 상기 추가 층 상에 정지 층을 제공하는 단계;

상기 제1 제거 공정의 적용 단계 이후에, 실리콘 기판 상에 적어도 하나의 블랭킷 유전체 필름을 증착하는 단계;

상기 적어도 하나의 블랭킷 유전체 필름의 평탄면이 상기 정지 층과 일치하도록 상기 실리콘 기판에 평탄화 공정을 적용하는 단계; 및

적어도 하나의 유전체 층을 초래하기 위해 적어도 하나의 블랭킷 유전체 필름의 일부를 우선적으로 제거하는 제2 제거 공정을 실리콘 기판에 적용하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 9

제7항에 있어서, 상기 고농도로 도핑된 구역의 형성 단계는 제1 도전형의 도펀트 원자를 제공하기 위해 적어도 하나의 종을 주입하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 10

제7항에 있어서, 상기 고농도로 도핑된 구역의 형성 단계는 추가 층 내로의 도펀트 확산을 방지하기 위해 실리콘 기판의 표면에 적어도 하나의 배리어 층을 형성하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 11

제7항에 있어서, 상기 실리콘 기판은 벌크 실리콘 기판, 에피 기판, 또는 실리콘-온-인슐레이터 기판 중 하나를

포함하는 반도체 디바이스 제조 방법.

청구항 12

제7항에 있어서, 상기 도핑되지 않은 구조-함유 에피택셜 층은 도핑되지 않은 구조 에피택셜 층을 포함하는 반도체 디바이스 제조 방법.

청구항 13

반도체 디바이스 제조 방법이며,

반도체 기판을 제공하는 단계;

상기 반도체 기판의 적어도 하나의 영역에서 반도체 기판의 표면에 고농도로 도핑된 구역을 형성하는 단계로서, 상기 고농도로 도핑된 구역은 적어도 하나의 고농도로 도핑된 층을 포함하고, 상기 적어도 하나의 고농도로 도핑된 층은 반도체 기판의 도핑 농도보다 큰 제1 도전형의 도핑 농도를 갖는 단계;

상기 고농도로 도핑된 구역을 포함하는 상기 반도체 기판 상에 반도체 재료의 추가 층을 형성하는 단계로서, 상기 추가 층은 도핑되지 않은 층을 포함하는 단계;

상기 적어도 하나의 영역에 적어도 하나의 제1 비에칭 부분, 적어도 하나의 제2 비에칭 부분, 및 적어도 하나의 에칭 부분을 형성하기 위해 상기 반도체 기판에 제1 제거 공정을 적용하는 단계로서, 상기 적어도 하나의 제1 비에칭 부분은 적어도 하나의 핀 구조물을 갖고, 상기 적어도 하나의 제2 비에칭 부분은 적어도 하나의 평면 활성화 영역을 가지며, 상기 적어도 하나의 에칭 부분은 적어도 상기 고농도로 도핑된 층의 일부를 통해서 연장되는 단계;

상기 적어도 하나의 에칭 부분에 적어도 하나의 유전체 층을 배치하여 상기 적어도 하나의 유전체 층의 상면이 적어도 하나의 핀 구조물 내의 고농도로 도핑된 구역과 맞닿고 적어도 하나의 평면 활성화 영역에서 추가 층의 상면과 맞닿게 하는 배치 단계;

상기 적어도 하나의 핀 구조물 내에 게이트를 형성하여 적어도 하나의 FinFET 디바이스를 제공하는 단계; 및

상기 적어도 하나의 평면 활성화 구역에 게이트를 형성하여 적어도 하나의 평면 MOSFET 디바이스를 제공하는 단계를 포함하고,

상기 고농도로 도핑된 구역을 형성하는 단계는 상기 고농도로 도핑된 구역에서 상기 추가 층으로 도펀트가 확산되는 것을 방지하기 위하여 상기 고농도로 도핑된 구역과 상기 추가 층 사이의 계면에 표면 층을 제공하도록 추가 임프란트를 제공하는 것을 포함하는 반도체 디바이스 제조 방법.

청구항 14

제13항에 있어서, 상기 적어도 하나의 에칭 부분은 고농도로 도핑된 구역을 통해서 연장되는 반도체 디바이스 제조 방법.

청구항 15

제13항에 있어서, 상기 배치 단계는,

상기 제1 제거 공정의 적용 단계 이전에, 상기 적어도 하나의 핀 구조물 및 상기 적어도 하나의 평면 활성화 영역에 대응하는 패턴으로 상기 추가 층 상에 정지 층을 제공하는 단계;

상기 제1 제거 공정의 적용 단계 이후에, 실리콘 기판 상에 적어도 하나의 블랭킷 유전체 필름을 증착하는 단계;

상기 적어도 하나의 블랭킷 유전체 필름의 평탄면이 상기 정지 층과 일치하도록 상기 반도체 기판에 평탄화 공정을 적용하는 단계;

상기 적어도 하나의 평면 활성화 영역과 상기 평탄면의 인접한 부분 위에 마스크 층을 형성하는 단계; 및

적어도 하나의 유전체 층을 초래하기 위해 적어도 하나의 블랭킷 유전체 필름의 일부를 우선적으로 제거하는 제2 제거 공정을 반도체 기판에 적용하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 16

제13항에 있어서, 상기 고농도로 도핑된 구역의 형성 단계는 제1 도전형의 도펀트 원자를 제공하기 위해 적어도 하나의 층을 주입하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 17

제13항에 있어서, 상기 고농도로 도핑된 구역의 형성 단계는 적어도 하나의 평면 MOSFET 디바이스에 적어도 하나의 임계치 전압 조절층을 제공하기 위해 적어도 하나의 층을 주입하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 18

제13항에 있어서, 상기 고농도로 도핑된 구역의 형성 단계는 추가 층 내로의 도펀트 확산을 방지하기 위해 실리콘 기판의 표면에 적어도 하나의 배리어 층을 형성하는 단계를 포함하는 반도체 디바이스 제조 방법.

발명의 설명

기술 분야

[0001] (관련 출원에 대한 상호-참조)

[0002] 본 출원은, 2011년 8월 5일자로 출원되고 발명의 명칭이 "멀티게이트 트랜지스터(Multigate Transistors)"이며 그 내용 전체가 본 명세서에 인용되는 미국 가특허출원 제61/515,452호를 우선권으로 주장한다.

[0003] 본 발명은 일반적으로 반도체 디바이스에 관한 것이며, 보다 구체적으로는 핀 구조물뿐 아니라 동일 기판 상의 평면 트랜지스터를 핀-기반(fin-based) 트랜지스터로서 포함하기 위한 통합 계획을 구비하는 반도체 디바이스에 관한 것이다.

배경 기술

[0004] 반도체 산업이 22 nm 기술 노드 이상을 주시하고 있기 때문에, 일부 제작자는 평면 CMOS 트랜지스터에서 3차원 (3D) FinFET 디바이스 아키텍처로의 이행을 고려하고 있다. 채널 위에 안착하는 평면 트랜지스터 내의 게이트와 대조적으로, FinFET의 게이트는 채널 주위를 감싸서, 복수의 측부로부터의 정전 제어를 제공한다. 평면 트랜지스터에 비해서, 이러한 FinFET는 개선된 채널 제어를 제공하며, 따라서 단채널(short channel) 효과를 제공한다. 그 본질적으로 우수한 정전 제어로 인해, FinFET의 디바이스 정전기는 디바이스(Fin)의 폭이 적극적으로 스케일링(통상 22 nm 미만 노드 용도에서는 10-15 nm 정도)됨에 따라 개선된다. 이는 소위 "더블 게이트" 전계 효과의 결과이며, 핀 폭(W_{fin})이 감소함에 따라 작은 게이트 길이(L_g)에서 상당한 DIBL 감소로 정량화될 수 있다.

[0005] 벌크 실리콘 상의 FinFET의 특정 통합(Bulk-FinFET)을 위해서, Si Fin 바로 아래에서의 "접지면(ground plane)" 사용이 검토되고 있다. 이 접지면은, 저농도로 도핑되고 게이트의 직접 제어 하에 있지 않은 임의의 영역에서 소스와 드레인 사이의 잠재적 누설 경로를 방지하기 위해 제공된다. 종래의 Bulk-FinFET에서, 접지면은, 기판의 수직 길이를 통해서 터널에 도펀트(dopant)를 초래하고 웰(well)의 영역에 접지면을 형성하기에 충분히 높은 에너지로 도프(doped) 층을 주입함으로써 형성된다. 접지면 형성 단계는 절연 특징부가 형성된 후에 이루어진다. 그러나, 여러가지 요인(예를 들면, 주입된 도펀트 프로파일의 유한 구배, WPE, 및 절연 산화물 층 내로의 주입에 의한 후방산란)으로 인해, Si 핀이 의도치 않게 도핑될 수 있다. 의도치 않은 도핑은 전기적 성능을 저하시킬 수 있으며, 이는 매칭 문제(랜덤 도펀트 요동에 기인) 또는 구동 전류 변화(불순물 산란으로 인한 운동성 손실에 기인)에서 나타난다.

[0006] 더욱이, 이 접지면 주입이 핀 형성 이후에 이루어지는 경우에, 실제 핀 높이의 임의의 변화는 핀의 상부에 대한 도펀트 위치의 변화로 변환될 것이다. 따라서, 디바이스의 유효(또는 전기) 핀 높이도 마찬가지로 변화한다. 더구나, 접지면이 적절히 형성되지 않을 수도 있다. 핀 높이의 변화는 프로세스 조건의 변화에 기인할 뿐만 아니라, 로딩 효과 및 기타 패턴 의존성에 기인한다. 이들 변화는 디바이스 유효 폭에 정비례하여, 디바이스의 이점의 핵심(게이트 용량 및 구동 전류)에 직접 영향을 미칠 것이다. 이러한 한계로 인해, 제작자는 또한 SOI-FinFET 디바이스 아키텍처의 사용을 고려하는데, 이는 간단하게 절연체의 상부에 Si 핀을 제공함으로써 고농도

로(heavily) 도포된 접지면의 필요성을 없애준다.

발명의 내용

해결하려는 과제

[0007] 그러나, SOI-FinFET 디바이스는 문제가 없지 않다. 예를 들어, 하나의 중요한 문제는 디바이스용 보디 전압을 고정하기 위해 적절한 배면 기판 접촉을 제공할 수 없다는 것이다. 이것은 시간에 따라 임계치 전압(V_t)을 변화시킬 수 있는 이력 효과 또는 전류의 급격한 증가와 같은 특이한 디바이스 특성을 초래할 수 있다. 다른 중요한 문제는 SOI 기판의 비용이 벌크 실리콘에 비해 엄청 비싸다는 점이다.

도면의 간단한 설명

[0008] 실시예 및 그 장점의 보다 완전한 이해를 위해서, 첨부도면과 함께 하기 설명을 참조한다.
 도 1은 특정 실시예에 따른 반도체 디바이스의 단면도이다.
 도 2 내지 도 4는 도 1의 반도체 디바이스를 제조하기 위한 방법에서의 각종 단계의 도시도이다.
 도 5a 내지 도 5d는 특정 실시예에 따른, 동일 기판 상에 FinFET 및 평면 MOSFET 디바이스를 형성하기 위한 각종 단계의 도시도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 실시예는 첨부 도면을 참조하여 기술되며, 도면 전체에 걸쳐서 유사한 참조 부호는 유사하거나 동일한 요소를 지칭하기 위해 사용된다. 도면은 실적으로 도시되지 않으며, 단지 실시예를 설명하기 위해 제공된다. 실시예의 몇 가지 태양이 설명을 위한 예시적 적용을 참조하여 후술한다. 수많은 특정 상세, 관계 및 방법이 제시되어 있음을 알아야 한다. 본 발명이 하나 이상의 특정 상세가 없이 또는 다른 방법에 의해 실시될 수 있음을 당업자는 쉽게 알 것이다. 다른 예에서, 주지된 구조 또는 작동은 실시예의 불명료함을 피하기 위해 상세히 설명되지 않는다. 본 발명은 행위 또는 사건의 예시된 순서에 의해 제한되지 않으며, 일부 행위는 다른 순서로 및/또는 다른 행위 또는 사건과 동시에 발생할 수 있다. 또한, 본 발명에 따른 방법론을 수행하기 위해서 예시된 행위 또는 사건 전부가 요구되는 것은 아니다.

[0010] 다양한 실시예는, 핀을 실질적으로 도핑되지 않게 만들기 위해 바람직하지 않은 핀 도핑의 양 및 유효 핀 높이 변화를 모두 제한하거나 제거함으로써, 핀 내의 랜덤한 도펀트 변동에 기인하는 임계치 전압의 변화 정도를 감소시키는 Bulk-FinFET 디바이스 아키텍처를 제공한다. 특히, 다양한 실시예는, 절연 및 핀 형성 모듈 이전에, (1) 주입 또는 기타 도핑 기술에 의해 기판의 표면에 웰 및 고농도로 도핑된 층을 형성하는 단계; (2) 고농도로 도핑된 영역을 형성한 후 기판 상에서 비도핑(undoped) 에피택셜 층(에피-층)을 성장시키는 단계; 및 (3) 에피-층을 패터닝하여 핀을 형성하는 단계로 구성되는 통합 계획을 제공한다. 이후, FinFET 디바이스를 형성하기 위해 핀이 사용된다.

[0011] 상기 통합 계획은 SOI-FinFET의 여러가지 장점을 그러나 Bulk-FinFET 구조에서 제공한다. 첫 번째로, 고농도로 도핑된 층 상에 실질적으로 도핑되지 않은 핀이 형성될 수 있는데 이는 에피-층의 형성 이후 채널 주입이 전혀 이루어지지 않기 때문이다. 그 결과, 불순물 산란 감소로 인한 개선된 매칭 특징 및 더 높은 이동성과 같은 전기적 특징의 개선이 가능하다.

[0012] 두 번째로, 이 통합 계획은 Bulk-FinFET의 매칭 계수가 비도핑 SOI-FinFET 디바이스에 대해 보고된 것에 가깝게 매칭되는 ~1.0 내지 1.2mV/um에 도달할 수 있게 한다. 또한, 에칭 및 주입 공정에서의 변화로부터 유효(또는 전기) 핀 높이의 디커플링을 통해서 전기 성능의 전체 균일성이 개선된다. 오히려, 핀 높이는 주로, 0.1% 이상의 균일성이 달성될 수 있는 에피택셜 필름 두께에 의해 대신 설정된다. 예를 들어, 30-40 nm의 실리콘 에피-층에 있어서, 에피-층 두께 웨이퍼 균일성은 +/-1 nm(1 시그마) 이내에 있을 수 있으며, 이는 에칭 공정 및 주입 공정의 보편적인 조합을 통해서 물리적 핀 높이에서 달성 가능한 균일성보다 훨씬 타이트한 것이다.

[0013] 다른 가능한 이점으로는 접지면 농도 변화에 의한 개선된 임계치 전압(V_{th}) 동조 감도 및 개선된 보디 계수를 포함한다. 추가로, 할로 주입이 전혀 필요치 않고 웰/그라운드 웰 주입이 STI 이전에 수행되기 때문에, 통합 계획은 또한 웰 근접 효과(Well Proximity Effect)를 감소시킬 것으로 예상된다.

[0014] 이제 도 1을 참조하면, 특정 실시예에 따른, 게이트 형성 이전의 예시적인 반도체 디바이스(10)의 단면도가 도

시되어 있다. 반도체 디바이스(10)는 리소그래픽 공정 및 에칭 공정의 조합에 의해 반도체 기판(12) 상에 형성되는 핀 구조물(14)을 구비한다. 도시된 실시예에서, 반도체 디바이스(10)는, 실질적으로 도핑되지 않은 반도체 층에 의해 핀 구조물(14)에 형성되는 채널 구역(60)을 구비하며, 이는 고농도로 도핑된 구역(18) 위에 놓이고 경우에 따라서는 웰 구역(19) 위에 놓인다. 핀 구조물(14)에 인접해서 양쪽에는 절연 산화물(16)이 제공된다. 반도체 디바이스(10)는 더 높은 속도에서 및/또는 감소된 전력 소비로 작동할 수 있다. 본 명세서에 사용될 때, "반도체 기판"이라는 용어는 그 위에 하나 이상의 반도체 재료 층이 배치되는 임의의 형태의 기판 또는 지지층을 지칭한다. 이것은 몇 가지 예를 들면 실리콘-온-인슐레이터(silicon-on-insulator) 기판, 벌크 실리콘 기판, 또는 에피-실리콘 기판을 포함할 수 있다.

[0015] 도 1에 도시하듯이, 핀 구조물(14)은 반도체 기판(12) 상에 형성된다. 이 실시예에서 기판(12)은 고농도로 도핑된 층(18)이 그 안에 형성되는 반도체 재료의 기판을 나타낸다. 고농도로 도핑된 층(18)은 고농도로 도핑된 반도체 재료(5×10^{18} 내지 10^{20} atom/cm²)의 층을 나타낸다. 도 1에 도시하듯이, 이 층은 펀치 스루 방지층(anti-punch through layer: APT)으로서 구성될 수 있다.

[0016] 핀 구조물(14)은 반도체 기판(12)의 상부에 반도체 재료로 형성되고 반도체 기판(12)으로부터 외측으로 및/또는 상방으로 연장되는 구조물을 나타낸다. 도 1의 특정 구조에서, 핀 구조물(14)은 적어도 채널 구역을 통해서 연장되며 바람직하게는 고농도로 도핑된 층(18)을 통해서 연장된다. 일부 구조에서, 핀 구조물(14)은 웰 층(19)을 통해서 더 연장될 수 있다. 전술했듯이, 핀 구조물(14)은 실질적으로 도핑되지 않은($< 10^{17}$ atoms/cm²) 에피-층을 증착하고 이어서 핀 구조물(14) 형성을 위해 패터닝함으로써 형성되는 것이 바람직하다. 특정 실시예에서, 핀 구조물의 폭은 5 내지 50 nm일 수 있으며, 예를 들면 10 nm일 수 있다.

[0017] 전술했듯이, 채널 구역(60)은 또한 핀 구조물(14)의 구역을 나타낸다. 특히, 채널 구역(60)은 어떤 형태의 불순물도 추가되지 않은 핀 구조물(14) 부분을 형성함으로써 핀 구조물(14) 내의 반도체 재료로 형성된다. 그 결과, 채널 구역(60)은 실질적으로 도핑되지 않은 채널 구역을 갖는다.

[0018] 채널 구역(60)이 반도체 기판(12) 및 고농도로 도핑된 층(18)으로부터 연장되는 핀 구조물(14)의 부분으로서 형성되기 때문에, 게이트(도시되지 않음)는 채널 구역(60)의 다수의 경계, 면, 측부 및/또는 부분을 따라서 채널 구역(60)에 맞닿도록 형성되어야 한다. 게이트는 먼저 이들 경계에 산화물 층을 증착 또는 성장시킴으로써 형성된다. 이후, 바람직하게, 게이트 전극을 제공하기 위해 금속 적층체가 형성된다. 그러나, 다양한 실시예는 이와 관련하여 제한되지 않으며 다른 형태의 게이트 전극 재료도 사용될 수 있다.

[0019] 전술했듯이, 고농도로 도핑된 층(18)[및 웰 구역(19)]은 절연 구역의 형성 이전에 형성된다. 추가로, 고농도로 도핑된 층(18)은 다양한 방식으로 형성될 수 있다. 특정 실시예에서, 고농도로 도핑된 층(18)은 하나 이상의 고농도로 도핑된 구역을 형성하기 위해 적절한 종(species)을 주입함으로써 형성된다. 마찬가지로, 웰 구역(19)은 하나 이상의 웰 구역을 형성하기 위해 적절한 종을 주입함으로써 형성된다. 이 공정이 도 2에 개략적으로 도시되어 있다. 하나의 예시적인 공정에서, 반도체 기판(12)은 p-형 도전성 기판이다. 이후, 붕소(B), 갈륨(Ga), 인듐(In), 또는 임의의 기타 적절한 p-형 도펀트와 같은 p-형 도핑 재료가 제공될 수 있다. 하나의 예시적인 공정에서는, 붕소 웰 임플란트(들) 및 추가 붕소 임플란트(들)가 제공된다. 임플란트는 표면에 5×10^{18} 내지 1×10^{20} atom/cm²의 p-형 도핑 농도를 초래하도록 구성될 수 있다. 공정 조건에 따라서, 후속 단계 중에 에피-층 내로 확산될 수 있는 B(또는 기타 p-형 도펀트)의 양을 제한하기 위해 추가 임플란트도 제공될 수 있다. 예를 들어, 후속 처리 단계 중에 B 확산을 감소 또는 제거하기 위해 치환 C의 표면 층을 제공하도록 Ge 비정질화 임플란트 및 C+ 임플란트가 사용될 수 있다. 다른 FinFET의 경우에는, 안티몬, 비소, 인, 또는 임의의 다른 적절한 n-형 도펀트와 같은 n-형 도핑 재료가 제공될 수 있다. 예를 들어, 인 웰 임플란트(들) 및 비소 임플란트(들)가 제공될 수 있다. 임플란트는 소망 전기 특징을 달성하기 위해 상이한 도펀트 농도의 구역을 제공하도록 증형성될 수 있다. 다시, 임플란트는 표면에 5×10^{18} 내지 1×10^{20} atom/cm²의 n-형 도핑 농도를 초래하도록 구성될 수 있다.

[0020] 고농도로 도핑된 층(18) 및 웰 구역(19)의 형성에 이어서, 비도핑 채널이 형성될 수 있다. 도 3은 고농도로 도핑된 층(18)의 상부에 비도핑 반도체 재료의 에피-층(13)이 형성된 후의 반도체 기판(12)을 도시한다. 특정 실시예에서, 에피-층(13)은 30 nm 내지 40 nm의 실리콘 층일 수 있다. 에피-층(13)은 이어서 핀 구조물(14)을 형성하기 위해 사용될 것이다. 에피-층(13)은, 에피-층(13)을 증착하기 위한 임의의 적절한 에피택셜 성장 기술을 사용하여, 고농도로 도핑된 층(18)의 상부에 형성된다. 일부 실시예에서, 반도체 기판(12)은 실리콘-함유

기판이며, 에피-층(13)은 실리콘 층이다. 이들 실시예에서는, 에피-층(13)을 형성하기 위해 각종 화학기상증착 기술이 사용될 수 있다. 이들 기술에는 몇 가지 예를 들면 초고진공 CVD, 저압 CVD, 및 원격 플라즈마 CVD가 포함된다. 그러나, 다양한 실시예는 이와 관련하여 제한되지 않으며 실리콘 에피-층을 형성하기 위한 임의의 다른 기술이 동일하게 적용될 수 있다.

[0021] 또한 본 발명에서는 실리콘 기판과 친화적인 다른 재료를 사용하여 에피-층(13)이 형성될 수 있음을 알아야 한다. 예를 들어, 에피-층은 실리콘 게르마늄 합금, 실리콘 게르마늄 탄소 합금, 실리콘 탄소 합금, 또는 게르마늄 탄소 합금의 층일 수 있다. 또한, 본 발명에서는 반도체 기판(12) 및 에피-층(13)의 조성이 IV족 원소에 한정되지 않음을 알아야 한다. 오히려, 본 명세서에 기재된 방법 및 그로부터의 장치는 제한없이 임의의 다른 형태의 반도체 재료에 기초할 수 있다.

[0022] 이제 도 4를 참조하면, 특정 실시예에서 고농도로 도핑된 층(18)의 상부에 에피-층(13)이 형성된 후에 수행되는 핀 패터닝 공정이 도시되어 있다. 핀 구조물(14)을 윤곽 묘사하기 위해 반도체 기판(12)의 적절한 부분에 하드 마스크(40)가 적용된다. 마스크(40)는 산화규소, 산질화규소, 질화규소층, 이들 재료의 조합, 및/또는 마스크(40) 바로 아래의 에피-층(13) 부분을 에칭으로부터 보호하기 위한 임의의 기타 적절한 재료를 포함할 수 있다. 마스크(40)가 적용된 후, 마스크(40)의 상부에는 포토레지스트 층이 적용되며, 반도체 기판(12)은 이후 핀 구조물(14)을 형성하도록 에칭된다. 이 패턴을 포토레지스트에 형성하기 위해 광학 리소그래피, 액침 리소그래피, 임프린트 리소그래피, 직접 기입 전자-빔 리소그래피, X선 리소그래피, 또는 극자외선 리소그래피와 같은 다양한 방법이 사용될 수 있다. 이후 핀 구조물(14)을 형성하기 위한 패터닝 공정을 완료하기 위해 플라즈마 에칭과 같은 에칭 공정이 사용된다. 다양한 실시예에서 임의의 다른 에칭 공정이 사용될 수도 있다. 마스크(40)는 이후, 사용되는 특정 기술에 기초하여 필요에 따라 후속 단계를 위해서 제거되거나 유지될 수 있다.

[0023] 전술했듯이, 에피-층(13)을 형성하기 위한 일부 공정은 0.5% 이상 정도의 균일성 변화를 제공할 수 있다. 따라서, 반도체 기판(12)에 걸친 에피-층(13)의 두께는 유지되어 있다. 또한, 마찬가지로 고도의 균일성을 제공하는 선택된 에칭 공정이 사용될 수 있다. 예를 들어, 2 내지 5 nm 정확도를 제공하는 건식 플라즈마 에칭 공정이 이용 가능하다. 따라서, 이들 두 개의 균일성 레벨의 조합은 에칭 공정이 결과적인 핀에서 소정 두께의 에피-층(13)을 실질적으로 달성하는 에칭 공정을 정확히 목표로 할 수 있게 한다.

[0024] 핀 구조물(14)을 형성하는 에칭 공정에 이어서, 유전체 층(42)이 전체 구조물 위에 블랭킷 필름으로서 형성된다. 특정 실시예에서는, 고농도로 도핑된 구역(18)으로부터의 도펀트가 채널(60) 내로 이동하는 것을 방지하도록 선택되는 온도에서 화학기상증착 방법을 사용하여 산화규소가 증착된다. 이후, 절연 유전체(16)를 형성하기 위해 에칭 공정을 사용하여 유전체 층(42)의 일부를 사전-선택된 레벨로 제거한다. 바람직하게, 에칭 공정은 도 1에 도시하듯이 최종 절연 유전체(16)의 상면이 고농도로 도핑된 구역(18)의 상면에 또는 그 근처에 있도록 구성된다.

[0025] 일부 실시예에서는, 유전체 층(42)의 에칭 이전에, 유전체 층(42)이 핀 구조물(14)의 상면의 레벨까지 제거될 수 있도록 평탄화 에칭 또는 폴리싱 공정이 제1 단계로서 수행될 수 있다. 적절한 폴리싱 공정의 예로는 화학 기계식 폴리싱 또는 기계식 폴리싱이 포함된다. 이후 핀 구조물(14)의 수직 길이를 통해서 에칭이 진행될 수 있으며, 그 결과 적어도 핀 구조물(14)의 비도핑 부분[채널(60)]이 노출되어, 노출된 핀 구조물(15)을 형성하며, 핀 구조물(14)의 잔여부는 절연 유전체(16)에 의해 둘러싸인다. 유전체(42)가 에칭된 후, 채널(60)의 노출이 초래되며, 게이트 구조물은 게이트 재료(예를 들면, 게이트 유전체 및 게이트 전극)가 핀 구조물(14)의 노출된 표면 주위[즉, 노출된 핀 구조물(15) 주위]에 감기도록 형성될 수 있다(도시되지 않음).

[0026] 이 공정의 결과로, 노출된 핀 구조물(15)의 전기적 높이[즉, H_{fin_eff} 로 표시되는, 채널(60)의 높이]와 노출된 핀 구조물(15)의 실제 높이가 동일하거나 실질적으로 동일하다. 전술한 공정의 결과로, 노출된 핀 구조물(15)이 고농도로 도핑된 층(18)과 연관되는 부분은 비교적 작다. 그 결과, 채널(60)의 모든 비도핑 구역은 후속 형성되는 게이트 구조물의 직접 제어 하에 있다. 또한, 고농도로 도핑된 층(18)의 일부 부분이 후속 형성되는 게이트 구조물의 제어 하에 있어도, 그 내부의 고농도 도핑은 핀 구조물(14)의 이 부분이 디바이스(10)의 작동에 크게 영향을 미치지 못하게 할 것이다.

[0027] 또한 본 발명에 의하면 전술한 방법이 평면 CMOS 및 FinFET 디바이스가 동일 기판 상에 동시에 형성될 수 있게 하는데 사용될 수 있음을 알아야 한다. 구체적으로, 전술한 방법은 DDC(deeply depleted channel) 트랜지스터 디바이스를 FinFET 디바이스와 통합시키는데 유용할 수 있다. DDC 트랜지스터 디바이스는 하나 이상의 고농도로 도핑된 층의 상부에 형성되는 채널 용으로 실질적으로 도핑되지 않은 층을 사용하기 때문에 전술한 공정 흐름을 따를 수 있다.

[0028] DDC 트랜지스터는 예를 들어, 고농도로 도핑된 스크린 층(5×10^{18} 내지 1×10^{20} atom/cm²)을 형성하기 위해 기판 내에 도펀트를 주입하여 CMOS 디바이스용 웰을 형성함으로써 형성된다. 이어서, 도핑되지 않거나 약간 도핑된 (총괄하여 "실질적으로 도핑되지 않은") 블랭킷 에피택셜 층($< 5 \times 10^{17}$)이 스크린 층 위에 증착될 수 있으며, 이는 다수의 다이 및 트랜지스터 다이 블록에 걸쳐서 연장된다. 이러한 블랭킷 에피택셜 층은 웰 주입 중에 관입되는 산란된 도핑제의 상방 이동을 감소시키도록 형성되어야 한다. 일부 구성에서는, 임계치 전압의 보다 정교한 조절 및 원치않는 누설 전류에 대한 제어가 가능하도록, 저농도로 도핑된 임계치 전압(V_{th}) 조절 층(5×10^{17} 내지 2×10^{19} atom/cm²) 또한 스크린 층에 또는 스크린 층에 인접하여 형성될 수 있다. 바람직하게, 채널 임플란트 또는 할로 임플란트에 의한 종래의 임계치 전압 설정 방법은 DDC 트랜지스터의 제조에 사용되지 않는다. 그러나, 다른 다양한 실시예가 존재한다.

[0029] 예시적 DDC 트랜지스터 구조물에 관한 상세는 2010년 2월 18일자로 출원되고 발명의 명칭이 "전자 기기 및 시스템과, 그 제조 및 사용 방법(ELECTRONIC DEVICES AND SYSTEMS, AND METHODS FOR MAKING AND USING THE SAME)"인 미국 특허 출원 제12/708,497호, 2010년 12월 17일자로 출원되고 발명의 명칭이 "저전력 반도체 트랜지스터 구조물 및 그 제조 방법(LOW POWER SEMICONDUCTOR TRANSISTOR STRUCTURE AND METHOD OF FABRICATION THEREOF)"인 미국 특허 출원 제12/971,884호, 2010년 12월 17일자로 출원되고 발명의 명칭이 "임계치 전압 설정 노치를 갖는 트랜지스터 및 그 제조 방법(TRANSISTOR WITH THRESHOLD VOLTAGE SET NOTCH AND METHOD OF FABRICATION THEREOF)"인 미국 특허 출원 제12/971,955호, 2010년 9월 30일자로 출원되고 발명의 명칭이 "임계치 전압 설정 도펀트 구조를 갖는 진보된 트랜지스터(ADVANCED TRANSISTORS WITH THRESHOLD VOLTAGE SET DOPANT STRUCTURES)"인 미국 특허 출원 제12/895,785호로서, 이상의 내용들은 그 전체가 본 명세서에 인용되었으며, 2010년 9월 30일자로 출원되고 발명의 명칭이 "펀치 스루가 억제된 진보된 트랜지스터(ADVANCED TRANSISTORS WITH PUNCH THROUGH SUPPRESSION)"인 미국 특허 출원 제12/895,813호에 보다 완전하게 기술되어 있다.

[0030] 이제 도 5a를 참조하면, 공정은 먼저 반도체 기판(512)의 표면에 고농도로 도핑된 층 구역(518)을 형성하는 것으로 시작할 수 있다. 경우에 따라서, 전술했듯이, 웰 구역(도시되지 않음) 또한 형성될 수 있다. 고농도로 도핑된 층 구역(518)은 형성될 FinFET 디바이스 용도 및 형성될 DDC 디바이스 용도이다. 고농도로 도핑된 구역(518)에서의 도핑 농도는 FinFET에 대해 적절한 보드를 제공할 목적으로 선택될 수 있지만, 도핑 농도는 DDC 디바이스와 같은 CMOS 디바이스에 대해서 선택될 수도 있다. 예를 들어, DDC 디바이스의 경우에, 고농도로 도핑된 구역(518)은 DDC 디바이스에 고농도로 도핑된 스크리닝 층(도 5a 내지 도 5d에서의 "SCREEN") 및 V_{th} 조절 층(도 5a 내지 도 5d에서의 "VT")을 제공하도록 구성될 수 있다. 고농도로 도핑된 층 구역(518)을 위한 도펀트 레벨 및 재료는 각각의 디바이스에 대해서 선택되며, 동일할 수 있거나 상이할 수 있다. 도펀트 레벨 및/또는 재료가 상이하면, 차등 도핑을 위한 영역 봉쇄를 위해 마스크 단계가 사용된다.

[0031] 이후, 도 5b에 도시하듯이, 실질적으로 도핑되지 않은 에피-층(513)이 형성될 수 있다. 에피-층(513)은 전술한 것과 실질적으로 동일한 방식으로 형성될 수 있다. 이후, 에피-층(513)은 도 5c에 도시하듯이 구조물(514, 554)을 동시에 형성하기 위해 리소그래피 단계 및 에칭 단계를 사용하여 패턴닝될 수 있다. 도 5c에 도시된 실시예에서, 구조물(514)은 핀 구조물이며 구조물(554)은 그 위에 평면 디바이스를 형성하기 위한 구역 또는 활성 영역 구조물 또는 디바이스 아일랜드이다. 도 5c에서, 웰 임플란트는 도시의 용이성을 위해 도시되지 않았다. 에피-층(513)의 에칭은 구조물(514, 554) 사이에 절연 특징부를 형성하기 위해 사용될 수도 있음에 유의해야 한다. 따라서, 에칭 공정은 에피-층(513)의 특정 구역, 고농도로 도핑된 구역(518)의 기저 부분, 및 반도체 기판(512)의 부분을 에칭하도록 구성될 수 있다.

[0032] 다음으로, 에칭된 부분 전체를 커버하기 위해 그 위에 유전체(542)가 증착된다. 바람직하게, 이는 실질적으로 도핑되지 않은 에피-층(513) 내로의 도펀트 이동을 방지하기 위해 최대 온도를 하회하는 공정에서 화학 기상 증착을 사용하여 수행될 수 있다. 이후, 유전체(542)는 절연 유전체(516)를 형성하기 위해 FinFET 및 평면 디바이스용 절연체로서 작용하도록 소정 깊이로 다시 에칭된다. 유전체(542) 에칭의 결과로서, 절연 유전체(516)는 FinFET 디바이스(들)를 형성하기 위해 사용될 노출된 핀 구조물(515)의 바닥을 형성하는 깊이에 위치할 것이며, 그 위에 형성된 평면 디바이스(들)에 절연을 제공하기 위해 활성 영역 구역(554)의 상면과 정렬될 것이다.

[0033] 이후 도 5d에 도시하듯이 평면 디바이스 및 FinFET 디바이스를 형성하기 위해 추가 처리가 이루어질 수 있다. 특히, 게이트 유전체(530)는 노출된 핀 구조물(515)의 노출된 측부에 형성된다. 게이트 유전체(560)는 또한 활성 영역 구역(554)의 상면에 형성된다. 게이트 유전체(530, 560)는 동일하거나 상이할 수 있으며, 동일한 공정

또는 상이한 공정을 사용하여 형성될 수 있다. 바람직하게, 게이트 유전체(530, 560)는 모두, 실질적으로 도핑되지 않은 채널 영역으로의 도펀트 이동을 방지하는데 적합한 온도를 이용하는, 노 내의 열산화 공정을 사용하여 형성된다. 각각의 디바이스용 게이트 전극(532, 562)은 이후 물리기상증착 공정을 사용하여 급속으로 형성되는 것이 바람직하다. 재료는 TiN, Al 합금, W 및 기타 재료 또는 소정의 작동 기능을 달성하기 위한 그 조합을 포함할 수 있다. 평면 디바이스의 경우에, 게이트 전극은 게이트-퍼스트(first) 방법 또는 게이트-라스트(last) 방법을 사용하여 형성될 수 있다. 또한, 평면 디바이스(들)를 위한 소스 및 드레인 구역(570)이 형성된다. 특정 실시예에서, 이들 구역은 활성 영역 구역(554) 내로의 주입을 통해서 형성될 수 있다. 이러한 공정은 활성 영역 구역(554)에 소스/드레인 연장 임플란트용 스페이서 특징부(572)를 형성하는 것을 포함할 수 있다.

[0034] 또한 본 발명에 의하면 평면 CMOS 디바이스를 위한 추가 공정 단계가 제공될 수 있음을 알아야 한다. 예를 들어, 평면 CMOS 디바이스용 채널 구역은 FinFET 디바이스보다 높은 도핑 농도를 요구할 수 있으며, 따라서 추가 도핑 단계가 사용될 것이다. 또 다른 예에서는, 평면 CMOS 디바이스용 에피-층의 두께를 감소시키기 위해 게이트 유전체(560) 및 게이트 전극(562)의 형성 이전에 활성 영역 구조물(554)의 선택적 에칭이 이루어질 수 있다.

[0035] 또한 본 발명에 의하면 도 5c의 구조물 형성 이후에 공정 흐름이 분기 방식으로 진행될 수 있음을 알아야 한다. 즉, 상이한 디바이스 형태를 위한 처리 단계의 대다수 또는 전부는 개별적으로 수행될 수 있다. 이는 공정 단계가 특정 디바이스에 대해 수행되는 것을 방지하기 위해 마스크 층을 사용함으로써 달성될 수 있다. 예를 들어, 마스크 층은 몇 가지 예를 들면 게이트 유전체, 게이트 전극, 및 디바이스 임플란트 용으로 상이한 공정 및 재료가 가능하도록 사용될 수 있다. 그러나, 다양한 실시예는 이와 관련하여 제한되지 않으며 상이한 장치를 위한 임의의 다른 공정도 사용될 수 있다.

[0036] 이상 다양한 실시예를 설명했지만, 이것이 제한적이지 않고 예시적으로만 제공된 것임을 알아야 한다. 본 발명에 따르면 실시예의 취지 또는 범위 내에서 본 발명에 개시된 실시예에 대한 수많은 변화가 이루어질 수 있다. 따라서, 본 발명의 폭과 범위는 상기 실시예들 중 임의의 것에 의해 제한되지 않아야 한다. 오히려, 본 발명의 범위는 하기 청구범위 및 그 등가물에 따라서 한정되어야 한다.

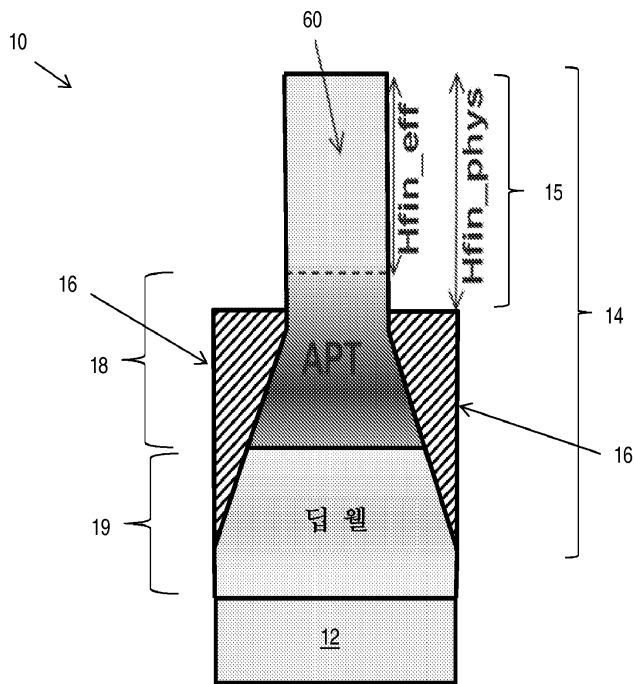
[0037] 실시예를 하나 이상의 실행에 관하여 설명하고 기술했지만, 본 명세서와 첨부도면을 읽고 이해한 당업자에게는 등가의 변경 및 수정이 발생할 것이다. 또한, 일 실시예의 특정 특징부가 여러가지 실행 중 단 하나의 실행에 관하여 개시되었지만, 이러한 특징부는 임의의 주어진 또는 특정한 용도에서 바람직하고 유리할 수 있는 다른 실행의 하나 이상의 다른 특징부와 조합될 수 있다.

[0038] 본 명세서에 사용되는 용어는 단지 특정 실시예를 기술하기 위한 것이며, 본 발명을 제한하려는 의도는 없는 것이다. 본 명세서에 사용되는 관사 및 정관사 형태의 단수 형태는 달리 명시되지 않는 한 복수 형태도 구비하도록 의도된 것이다. 또한, "구비하는", "구비한다", "갖는", "갖는다" 또는 그 변형 용어가 상세한 설명 및/또는 청구범위에서 사용되는 한, 이러한 용어는 "포함하는"과 유사하게 포괄적이도록 의도된다.

[0039] 달리 정의되지 않는 한, 본 명세서에 사용되는 모든 용어(기술 용어 및 과학 용어를 포함)는 당업자가 통상 이해하는 것과 같은 의미를 갖는다. 또한, 보통 사용되는 사전에서 정의되는 것과 같은 용어는 관련 기술 분야에서 그 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며 본 명세서에서 명확히 정의되지 않는 한 이상적이거나 지나치게 정형화된 의미로 해석되지 않아야 함을 알 것이다.

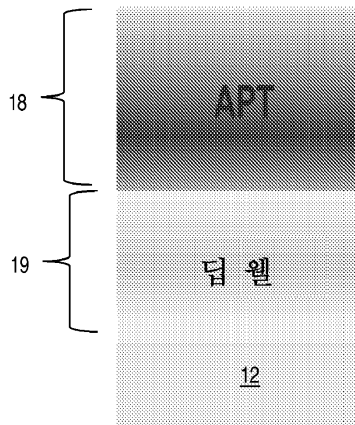
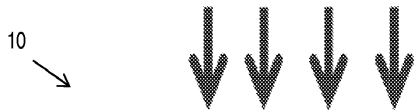
도면

도면1

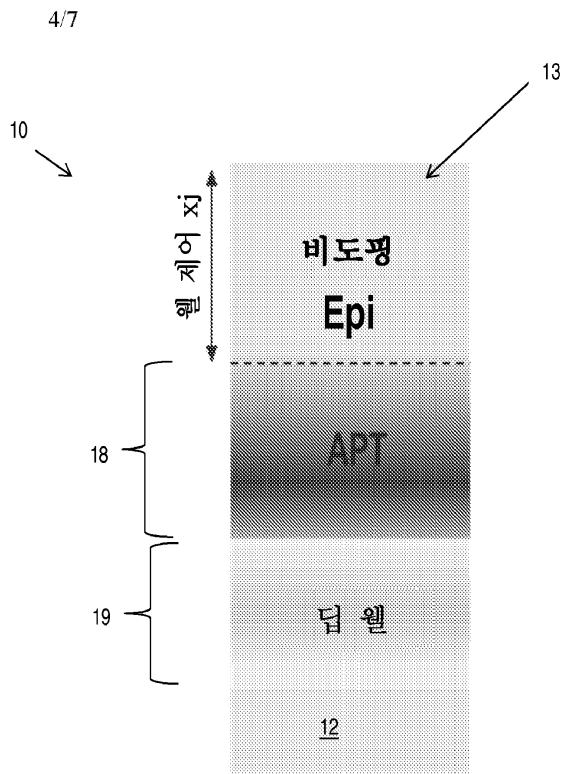


도면2

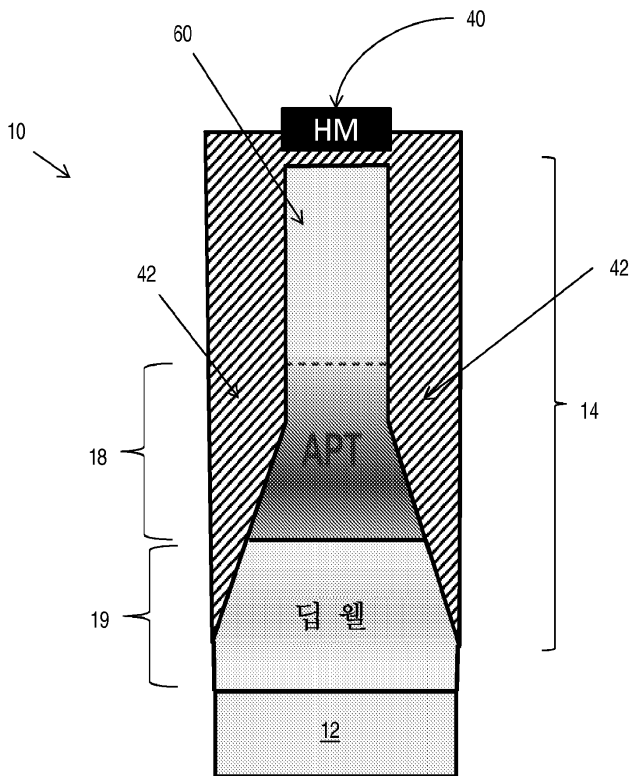
APT/웰
임플란트



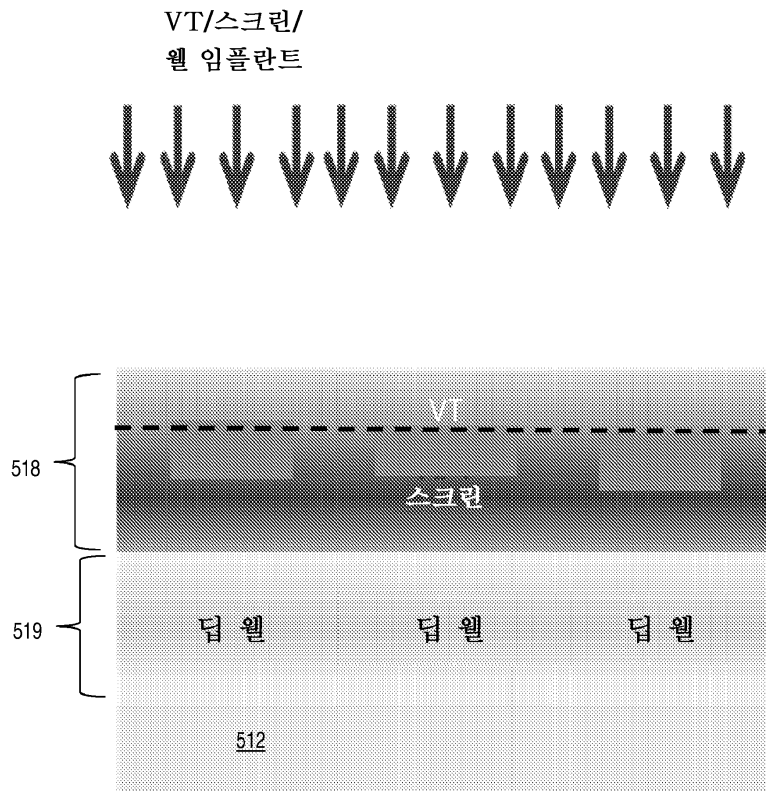
도면3



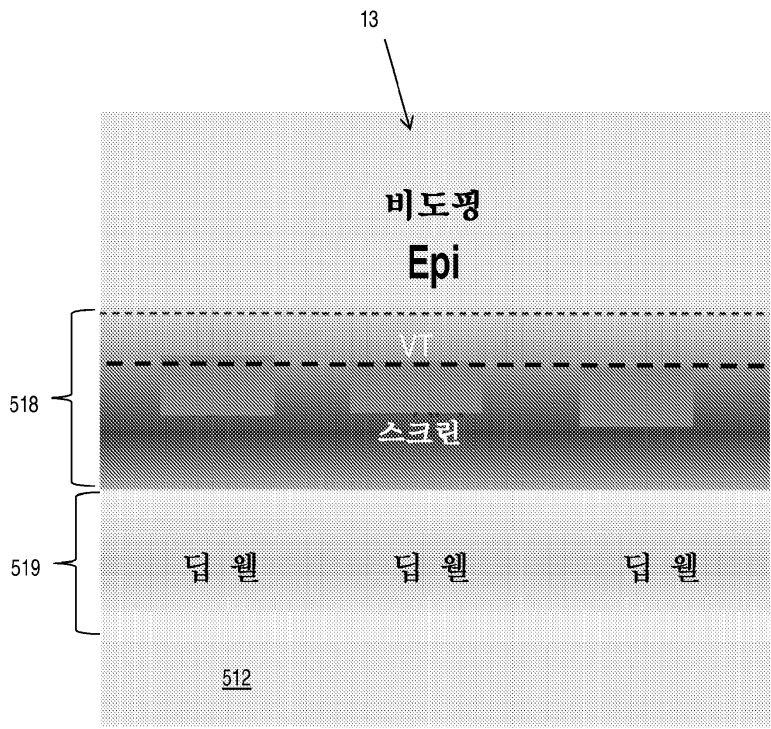
도면4



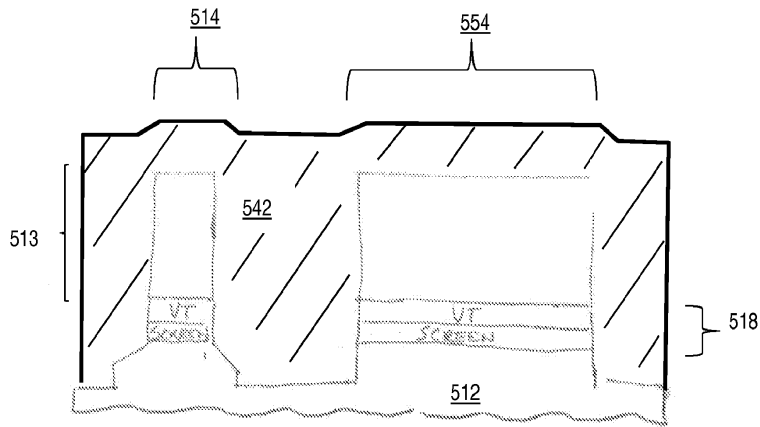
도면5a



도면5b



도면5c



도면5d

