

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5731993号

(P5731993)

(45) 発行日 平成27年6月10日 (2015. 6. 10)

(24) 登録日 平成27年4月17日 (2015. 4. 17)

(51) Int. Cl.

F 1

H03F 1/52 (2006.01)

H03F 1/52 B

H03F 3/68 (2006.01)

H03F 3/68 A

H03F 3/21 (2006.01)

H03F 3/21

H03F 3/185 (2006.01)

H03F 3/185

請求項の数 18 (全 27 頁)

(21) 出願番号 特願2012-14401 (P2012-14401)
 (22) 出願日 平成24年1月26日 (2012. 1. 26)
 (65) 公開番号 特開2013-157664 (P2013-157664A)
 (43) 公開日 平成25年8月15日 (2013. 8. 15)
 審査請求日 平成26年2月12日 (2014. 2. 12)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118843
 弁理士 赤岡 明
 (74) 代理人 100137523
 弁理士 出口 智也

最終頁に続く

(54) 【発明の名称】 電力増幅装置およびオーディオシステム

(57) 【特許請求の範囲】

【請求項 1】

入力端子に入力された入力信号を増幅した第1の増幅信号を正相出力端子から出力するとともに第2の増幅信号を逆相出力端子から出力するアンプと、

電源電位が印加される電源線に一端が接続され、第1の出力信号を出力する第1の出力端子に他端が接続された第1の出力トランジスタと、前記第1の出力トランジスタに流れる第1の電流を検出しこの検出結果に基づいた第1の検出信号を第1の検出端子に出力する第1の電流検出回路と、前記第1の出力端子に一端が接続され、接地電位が印加される接地線に他端が接続された第2の出力トランジスタと、前記第2の出力トランジスタに流れる第2の電流を検出しこの検出結果に基づいた第2の検出信号を第2の検出端子に出力する第2の電流検出回路と、前記第1の増幅信号に応じて、前記第1の出力トランジスタと前記第2の出力トランジスタとを相補的にオン／オフするように制御する第1の駆動回路と、を有する第1の増幅回路と、

前記電源線に一端が接続され、第2の出力信号を出力する第2の出力端子に他端が接続された第3の出力トランジスタと、前記第3の出力トランジスタに流れる第3の電流を検出しこの検出結果に基づいた第3の検出信号を第3の検出端子に出力する第3の電流検出回路と、前記第2の出力端子に一端が接続され、前記接地線に他端が接続された第4の出力トランジスタと、前記第4の出力トランジスタに流れる第4の電流を検出しこの検出結果に基づいた第4の検出信号を第4の検出端子に出力する第4の電流検出回路と、前記第2の増幅信号に応じて、前記第3の出力トランジスタが前記第1の出力トランジスタに対

10

20

して相補的にオン／オフし且つ前記第3の出力トランジスタと前記第4の出力トランジスタとを相補的にオン／オフするように制御する第2の駆動回路と、を有する第2の増幅回路と、

前記第1の検出信号と前記第4の検出信号とを比較し、前記第1の電流と前記第4の電流とが第1の所定値以上異なるか否かに応じた第1の比較信号を出力する第1の比較器と

、
前記第2の検出信号と前記第3の検出信号とを比較し、前記第2の電流と前記第3の電流とが第2の所定値以上異なるか否かに応じた第2の比較信号を出力する第2の比較器と

、
前記第1の出力信号および前記第2の出力信号を検出し、この検出結果に応じたクリップ検出信号を出力して、第1の比較器および前記第2の比較器を制御する出力クリップ検出回路と、を備え、

前記出力クリップ検出回路は、

前記第1の出力信号が、前記電源電位から前記電源電位よりも低い第1の電源側基準電圧の範囲にある場合、または、前記第2の出力信号が、前記電源電位から前記電源電位よりも低い第2の電源側基準電圧の範囲にある場合には、前記第1の比較器から前記第1の比較信号を出力させないように制御し且つ前記第2の比較器から前記第2の比較信号を出力させないように制御する

ことを特徴とする電力増幅装置。

【請求項2】

前記第1の出力信号および前記第2の出力信号を検出し、この検出結果に応じたクリップ検出信号を出力して、第1の比較器および前記第2の比較器を制御する出力クリップ検出回路をさらに備え、

前記出力クリップ検出回路は、

前記第1の出力信号が、前記接地電位から前記接地電位よりも高い第1の接地側基準電圧の範囲にある場合、または、前記第2の出力信号が、前記接地電位から前記接地電位よりも高い第2の接地側基準電圧の範囲にある場合には、前記第1の比較器から前記第1の比較信号を出力させないように制御し且つ前記第2の比較器から前記第2の比較信号を出力させないように制御する

ことを特徴とする請求項1に記載の電力増幅装置。

【請求項3】

前記第1の出力信号および前記第2の出力信号を検出し、この検出結果に応じたクリップ検出信号を出力して、第1の比較器および前記第2の比較器を制御する出力クリップ検出回路をさらに備え、

前記出力クリップ検出回路は、

前記第1の出力信号が、前記電源電位から前記電源電位よりも低い第1の電源側基準電圧の範囲にある場合、前記第2の出力信号が、前記電源電位から前記電源電位よりも低い第2の電源側基準電圧の範囲にある場合、前記第1の出力信号が、前記接地電位から前記接地電位よりも高い第1の接地側基準電圧の範囲にある場合、または、前記第2の出力信号が、前記接地電位から前記接地電位よりも高い第2の接地側基準電圧の範囲にある場合には、前記第1の比較器から前記第1の比較信号を出力させないように制御し且つ前記第2の比較器から前記第2の比較信号を出力させないように制御する

ことを特徴とする請求項1に記載の電力増幅装置。

【請求項4】

前記出力クリップ検出回路は、

前記電源線に正極が接続され、前記第1の電源側基準電圧を出力する第1の電源側直流電源と、

前記電源線に正極が接続され、前記第2の電源側基準電圧を出力する第2の電源側直流電源と、

前記第1の電源側直流電源の負極に反転入力端子が接続され、前記第1の出力端子に非

10

20

30

40

50

反転出力端子が接続された第 1 の電源側コンパレータと、

前記第 2 の電源側直流電源の負極に反転入力端子が接続され、前記第 2 の出力端子に非反転出力端子が接続された第 2 の電源側コンパレータと、

前記第 1 および第 2 の電源側コンパレータの出力を NOR 演算した結果を、前記クリップ検出信号として出力する NOR 回路と、を含む

ことを特徴とする請求項 1 に記載の電力増幅装置。

【請求項 5】

前記出力クリップ検出回路は、

前記接地線に負極が接続され、前記第 1 の接地側基準電圧を出力する第 1 の接地側直流電源と、

前記接地線に負極が接続され、前記第 2 の接地側基準電圧を出力する第 2 の接地側直流電源と、

前記第 1 の接地側直流電源の正極に非反転入力端子が接続され、前記第 1 の出力端子に反転入力端子が接続された第 1 の接地側コンパレータと、

前記第 2 の接地側直流電源の正極に非反転入力端子が接続され、前記第 2 の出力端子に反転出力端子が接続された第 2 の接地側コンパレータと、

前記第 1 および第 2 の接地側コンパレータの出力を NOR 演算した結果を、前記クリップ検出信号として出力する NOR 回路と、を含むことを特徴とする請求項 2 に記載の電力増幅装置。

【請求項 6】

前記出力クリップ検出回路は、

前記電源線に正極が接続され、前記第 1 の電源側基準電圧を出力する第 1 の電源側直流電源と、

前記電源線に正極が接続され、前記第 2 の電源側基準電圧を出力する第 2 の電源側直流電源と、

前記第 1 の電源側直流電源の負極に反転入力端子が接続され、前記第 1 の出力端子に非反転出力端子が接続された第 1 の電源側コンパレータと、

前記第 2 の電源側直流電源の負極に反転入力端子が接続され、前記第 2 の出力端子に非反転出力端子が接続された第 2 の電源側コンパレータと、

前記接地線に負極が接続され、前記第 1 の接地側基準電圧を出力する第 1 の接地側直流電源と、

前記接地線に負極が接続され、前記第 2 の接地側基準電圧を出力する第 2 の接地側直流電源と、

前記第 1 の接地側直流電源の正極に非反転入力端子が接続され、前記第 1 の出力端子に反転出力端子が接続された第 1 の接地側コンパレータと、

前記第 2 の接地側直流電源の正極に非反転入力端子が接続され、前記第 2 の出力端子に反転出力端子が接続された第 2 の接地側コンパレータと、

前記第 1 および第 2 の電源側コンパレータの出力および前記第 1 および第 2 の接地側コンパレータの出力を NOR 演算した結果を、前記クリップ検出信号として出力する NOR 回路と、を含む

ことを特徴とする請求項 3 に記載の電力増幅装置。

【請求項 7】

前記第 1 の電流検出回路は、前記電源線に一端が接続され、前記第 1 の出力端子に他端が接続され、前記第 1 の出力トランジスタに流れる前記第 1 の電流をカレントミラーした第 1 の検出電流が流れる第 1 の検出トランジスタを含み、前記第 1 の検出電流を前記第 1 の検出信号として前記第 1 の検出端子から出力し、

前記第 2 の電流検出回路は、前記接地線に一端が接続され、前記第 1 の出力端子に他端が接続され、前記第 2 の出力トランジスタに流れる前記第 2 の電流をカレントミラーした第 2 の検出電流が流れる第 2 の検出トランジスタを含み、前記第 2 の検出電流を前記第 2 の検出信号として前記第 2 の検出端子から出力し、

10

20

30

40

50

前記第 3 の電流検出回路は、前記電源線に一端が接続され、前記第 2 の出力端子に他端が接続され、前記第 3 の出力トランジスタに流れる前記第 3 の電流をカレントミラーした第 3 の検出電流が流れる第 3 の検出トランジスタを含み、前記第 3 の検出電流を前記第 3 の検出信号として前記第 3 の検出端子から出力し、

前記第 4 の電流検出回路は、前記接地線に一端が接続され、前記第 2 の出力端子に他端が接続され、前記第 4 の出力トランジスタに流れる前記第 4 の電流をカレントミラーした第 4 の検出電流が流れる第 4 の検出トランジスタを含み、前記第 4 の検出電流を前記第 4 の検出信号として前記第 4 の検出端子から出力する

ことを特徴とする請求項 1 ないし 6 のいずれか一項に記載の電力増幅装置。

【請求項 8】

前記第 1 の比較器は、

前記第 1 の検出端子および前記第 4 の検出端子に一端が接続され、固定電位に他端が接続された入力抵抗と、

前記固定電位に一端が接続された直流電源と、

前記入力抵抗の一端が第 1 の入力に接続され、前記直流電源の他端が第 2 の入力に接続されたコンパレータと、を有し、

前記コンパレータが出力する信号に応じて、前記第 1 の比較信号を出力する

ことを特徴とする請求項 1 に記載の電力増幅装置。

【請求項 9】

前記第 1 の比較器は、前記入力抵抗の一端に一端が接続され、前記コンパレータの前記第 1 の入力および前記第 4 の検出端子に他端が接続された感度鈍化抵抗をさらに備える

ことを特徴とする請求項 8 に記載の電力増幅装置。

【請求項 10】

前記入力抵抗の他端および前記直流電源の他端は、前記電源線または前記接地線の何れか一方のみに接続されていることを特徴とする請求項 8 または 9 に記載の電力増幅装置。

【請求項 11】

前記コンパレータが出力する信号と前記出力クリップ検出回路が出力するクリップ検出信号とを演算した信号を前記第 1 の比較信号として出力する演算回路をさらに備える

ことを特徴とする請求項 8 ないし 10 のいずれか一項に記載の電力増幅装置。

【請求項 12】

前記演算回路は、前記コンパレータが出力する信号と前記第 1 の比較信号とを AND 演算し、この AND 演算結果を前記第 1 の比較信号として出力する AND 回路を含む

ことを特徴とする請求項 11 に記載の電力増幅装置。

【請求項 13】

前記第 1 の比較信号が、前記第 1 の電流と前記第 4 の電流とが前記第 1 の所定値以上異なることを示す場合、または、前記第 2 の比較信号が、前記第 2 の電流と前記第 3 の電流とが前記第 2 の所定値以上異なることを示す場合には、前記第 1 の出力端子と前記第 2 の出力端子との間に、スピーカが正常に接続されていない状態である

ことを特徴とする請求項 1 ないし 12 のいずれか一項に記載の電力増幅装置。

【請求項 14】

前記第 1 の出力トランジスタのサイズは、前記第 3 の出力トランジスタのサイズと等しく、

前記第 2 の出力トランジスタのサイズは、前記第 4 の出力トランジスタのサイズと等しい

ことを特徴とする請求項 1 ないし 13 のいずれか一項に記載の電力増幅装置。

【請求項 15】

前記第 1 の電流に対する前記第 1 の検出電流の第 1 のミラー比は、前記第 3 の電流に対する前記第 3 の検出電流の第 3 のミラー比と等しく、

前記第 2 の電流に対する前記第 2 の検出電流の第 2 のミラー比は、前記第 4 の電流に対する前記第 4 の検出電流の第 4 のミラー比と等しい

10

20

30

40

50

ことを特徴とする請求項 7 に記載の電力増幅装置。

【請求項 1 6】

前記第 2 の増幅信号は、前記第 1 の増幅信号に対して位相が反転していることを特徴とする請求項 1 ないし 1 5 のいずれか一項に記載の電力増幅装置。

【請求項 1 7】

前記第 1 および第 3 の出力トランジスタは、pMOS トランジスタであり、
前記第 2 および第 4 の出力トランジスタは、nMOS トランジスタである
ことを特徴とする請求項 1 ないし 1 6 のいずれか一項に記載の電力増幅装置。

【請求項 1 8】

電力増幅装置と、

スピーカと、を備え、

前記電力増幅装置は、

入力端子に入力された入力信号を増幅した第 1 の増幅信号を正相出力端子から出力するとともに第 2 の増幅信号を逆相出力端子から出力するアンプと、

電源電位が印加される電源線に一端が接続され、第 1 の出力信号を出力する第 1 の出力端子に他端が接続された第 1 の出力トランジスタと、前記第 1 の出力トランジスタに流れる第 1 の電流を検出しこの検出結果に基づいた第 1 の検出信号を第 1 の検出端子に出力する第 1 の電流検出回路と、前記第 1 の出力端子に一端が接続され、接地電位が印加される接地線に他端が接続された第 2 の出力トランジスタと、前記第 2 の出力トランジスタに流れる第 2 の電流を検出しこの検出結果に基づいた第 2 の検出信号を第 2 の検出端子に出力する第 2 の電流検出回路と、前記第 1 の増幅信号に応じて、前記第 1 の出力トランジスタと前記第 2 の出力トランジスタとを相補的にオン／オフするように制御する第 1 の駆動回路と、を有する第 1 の増幅回路と、

前記電源線に一端が接続され、第 2 の出力信号を出力する第 2 の出力端子に他端が接続された第 3 の出力トランジスタと、前記第 3 の出力トランジスタに流れる第 3 の電流を検出しこの検出結果に基づいた第 3 の検出信号を第 3 の検出端子に出力する第 3 の電流検出回路と、前記第 2 の出力端子に一端が接続され、前記接地線に他端が接続された第 4 の出力トランジスタと、前記第 4 の出力トランジスタに流れる第 4 の電流を検出しこの検出結果に基づいた第 4 の検出信号を第 4 の検出端子に出力する第 4 の電流検出回路と、前記第 2 の増幅信号に応じて、前記第 3 の出力トランジスタが前記第 1 の出力トランジスタに対して相補的にオン／オフし且つ前記第 3 の出力トランジスタと前記第 4 の出力トランジスタとを相補的にオン／オフするように制御する第 2 の駆動回路と、を有する第 2 の増幅回路と、

前記第 1 の検出信号と前記第 4 の検出信号とを比較し、前記第 1 の電流と前記第 4 の電流とが第 1 の所定値以上異なるか否かに応じた第 1 の比較信号を出力する第 1 の比較器と、

前記第 2 の検出信号と前記第 3 の検出信号とを比較し、前記第 2 の電流と前記第 3 の電流とが第 2 の所定値以上異なるか否かに応じた第 2 の比較信号を出力する第 2 の比較器と、

前記第 1 の出力信号および前記第 2 の出力信号を検出し、この検出結果に応じたクリップ検出信号を出力して、第 1 の比較器および前記第 2 の比較器を制御する出力クリップ検出回路と、を備え、

前記出力クリップ検出回路は、

前記第 1 の出力信号が、前記電源電位から前記電源電位よりも低い第 1 の電源側基準電圧の範囲にある場合、または、前記第 2 の出力信号が、前記電源電位から前記電源電位よりも低い第 2 の電源側基準電圧の範囲にある場合には、前記第 1 の比較器から前記第 1 の比較信号を出力させないように制御し且つ前記第 2 の比較器から前記第 2 の比較信号を出力させないように制御する

ことを特徴とするオーディオシステム。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

電力増幅装置およびオーディオシステムに関する。

【背景技術】

【0002】

従来、車載用カーオーディオシステムのスピーカ用アンプとして用いられる電力増幅装置には、BTL (Bridge Tied Load) 方式の電力増幅装置がある。

【0003】

このBTL方式の電力増幅装置は、一对の増幅回路を備えているため、形式的にはスピーカに出力できる電圧および電流をいずれも2倍にでき、最大出力電力を大きく得られるというメリットがある。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-92293号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

出力端子の誤接続を検出することが可能な電力増幅装置およびオーディオシステムを提供する。

20

【課題を解決するための手段】

【0006】

実施形態に従った電力増幅装置は、入力端子に入力された入力信号を増幅した第1の増幅信号を正相出力端子から出力するとともに第2の増幅信号を逆相出力端子から出力するアンプを備える。電力増幅装置は、電源電位が印加される電源線に一端が接続され、第1の出力信号を出力する第1の出力端子に他端が接続された第1の出力トランジスタと、前記第1の出力トランジスタに流れる第1の電流を検出しこの検出結果に基づいた第1の検出信号を第1の検出端子に出力する第1の電流検出回路と、前記第1の出力端子に一端が接続され、接地電位が印加される接地線に他端が接続された第2の出力トランジスタと、前記第2の出力トランジスタに流れる第2の電流を検出しこの検出結果に基づいた第2の検出信号を第2の検出端子に出力する第2の電流検出回路と、前記第1の増幅信号に応じて、前記第1の出力トランジスタと前記第2の出力トランジスタとを相補的にオン／オフするように制御する第1の駆動回路と、を有する第1の増幅回路を備える。電力増幅装置は、前記電源線に一端が接続され、第2の出力信号を出力する第2の出力端子に他端が接続された第3の出力トランジスタと、前記第3の出力トランジスタに流れる第3の電流を検出しこの検出結果に基づいた第3の検出信号を第3の検出端子に出力する第3の電流検出回路と、前記第2の出力端子に一端が接続され、前記接地線に他端が接続された第4の出力トランジスタと、前記第4の出力トランジスタに流れる第4の電流を検出しこの検出結果に基づいた第4の検出信号を第4の検出端子に出力する第4の電流検出回路と、前記第2の増幅信号に応じて、前記第3の出力トランジスタが前記第1の出力トランジスタに対して相補的にオン／オフし且つ前記第3の出力トランジスタと前記第4の出力トランジスタとを相補的にオン／オフするように制御する第2の駆動回路と、を有する第2の増幅回路を備える。電力増幅装置は、前記第1の検出信号と前記第4の検出信号とを比較し、前記第1の電流と前記第4の電流とが第1の所定値以上異なるか否かに応じた第1の比較信号を出力する第1の比較器を備える。電力増幅装置は、前記第2の検出信号と前記第3の検出信号とを比較し、前記第2の電流と前記第3の電流とが第2の所定値以上異なるか否かに応じた第2の比較信号を出力する第2の比較器と、を備える。

30

40

【図面の簡単な説明】

【0007】

【図1】図1は、第1の実施形態に係るオーディオシステム1000の構成の一例を示す

50

ブロック図である。

【図2】図2は、図1に示す第1、第3の電流検出回路D1、D3の構成の一例を示す回路図である。

【図3】図3は、図1に示す第2、第4の電流検出回路D2、D4の構成の一例を示す回路図である。

【図4】図4は、図1に示す第1、第2の比較器C1、C2の構成の一例を示す回路図である。

【図5】図5は、図1に示す第1、第2の比較器C1、C2の構成の一例を示す回路図である。

【図6】図6は、図1に示す第1、第2の比較器C1、C2の構成の他の例を示す回路図である。

10

【図7】図7は、図1に示す第1、第2の比較器C1、C2の構成のさらに他の例を示す回路図である。

【図8】図8は、図1に示す出力クリップ検出回路CDの構成の一例を示す回路図である。

【図9】図9は、図1に示す出力クリップ検出回路CDの構成の他の例を示す回路図である。

【図10】図10は、図1に示す出力クリップ検出回路CDの構成のさらに他の例を示す回路図である。

【図11】図11は、誤接続状態の4つの例を示す図である。

20

【図12】図12は、電力増幅装置100の構成の一部の変形例を示す図である。

【図13】図13は、図12に示す実施例1に係る電力増幅装置200の具体的な動作波形の一例を示す図である。

【発明を実施するための形態】

【0008】

例えば、BTL方式の増幅回路装置を複数有するマルチチャネルパワーアンプシステムにおいて、スピーカを接続する出力端子を異なるチャネルの出力端子との間で接続する状態（以下、クロス誤接続状態）が発生する。この場合、増幅回路は誤接続したワイヤーの配線抵抗と誤接続されたチャネル間のオフセット電圧によって決まる短絡電流を駆動しようとする。

30

【0009】

ここで、同一チャネル間のオフセット電圧は増幅回路の帰還作用により一定範囲で管理されるのが一般的である。しかし、異なるチャネル間のオフセット電圧は管理されないことが多い。

【0010】

したがって、クロス誤接続時に発生する短絡電流もばらつきを持ち、出力トランジスタには短絡電流に応じた電力損失が発生する。

【0011】

一般的に、増幅回路には過負荷時の電力損失による出力トランジスタのSOA（Safe Operating Area）破壊を防ぐために保護回路を設ける。しかし、クロス誤接続時に発生する電力損失には、ばらつきがある。このため、保護回路の状態が保護感度まで到達しない状態が起こりうる。

40

【0012】

ここで、保護感度は負荷駆動能力とチップ面積を両立するため、長時間のSOAまで考慮して設計されていないことが多い。

【0013】

したがって、クロス誤接続状態で出力トランジスタに損失電力が発生した状態を一定時間放置されると、SOAは損失発生時間に反比例する性質があるため出力トランジスタで発生する電力損失がSOAを超えてしまい破壊に至ってしまう。

【0014】

50

近年、車載分野ではエコカーへの流れから停車時にアイドリングストップするシステムが盛んでありカーオーディオシステムにおいては電源電位の瞬時低下、増加が頻発する。

【0015】

そのような電源変動の中でも電力増幅装置は音切れを生じさせないために、増幅回路の出力電位を切り替えるシステムが主流となっている。しかし、音切れさせない状態で出力電位が切り替わると、一時的にプッシュプル出力トランジスタで電力の不平衡が生じて、保護がかかり音切れを生じる。

【0016】

そこで、実施形態では、アイドリングストップによる電源電位の瞬時低下、増加においても、より適切に出力端子の誤接続を検出することが可能な電力増幅装置およびオーディオシステムを提供する。

10

【0017】

以下、実施形態について図面に基づいて説明する。なお、以下では、BTL方式を用いた電力増幅装置を一例に挙げて説明する。

【第1の実施形態】

【0018】

図1は、第1の実施形態に係るオーディオシステム1000の構成の一例を示すブロック図である。

【0019】

図1に示すように、オーディオシステム1000は、電力増幅装置100と、スピーカ101と、を備える。

20

【0020】

電力増幅装置100は、入力端子T_{in}に入力された信号を増幅した電力を、第1の出力端子T_{out1}と第2の出力端子T_{out2}との間に出力するようになっている。そして、第1の出力端子T_{out1}と第2の出力端子T_{out2}との間に接続されたスピーカ101は、電力増幅装置100から供給された電力により駆動するようになっている。

【0021】

また、電力増幅装置100は、スピーカ101が正常に接続されているか否かに応じた信号を第1、第2の比較結果端子T_{C1}、T_{C2}に出力するようになっている。

【0022】

30

この電力増幅装置100は、図1に示すように、アンプAと、第1の増幅回路X1と、第2の増幅回路X2と、第1の比較器C1と、第2の比較器C2と、出力クリップ検出回路CDと、を備える。

【0023】

アンプAは、入力端子T_{in}に入力された入力信号を増幅した第1の増幅信号を正相出力端子A1から出力するとともに第2の増幅信号を逆相出力端子A2から出力するようになっている。

【0024】

第1の増幅回路X1は、第1の出力トランジスタ（pMOSトランジスタ）M1と、第2の出力トランジスタ（nMOSトランジスタ）M2と、第1の電流検出回路D1と、第2の電流検出回路D2と、第1の駆動回路Dr1と、を有する。

40

【0025】

第1の出力トランジスタM1は、電源電位V_{cc}が印加される電源線L1に一端（ソース）が接続され、第1の出力信号S_{out1}を出力する第1の出力端子T_{out1}に他端（ドレイン）が接続されている。

【0026】

第1の電流検出回路D1は、第1の出力トランジスタM1に流れる第1の電流を検出しこの検出結果に基づいた第1の検出信号S_{D1}を第1の検出端子T_{D1}に出力するようになっている。

【0027】

50

第2の出力トランジスタM2は、第1の出力端子T o u t 1に一端（ドレイン）が接続され、接地電位G n dが印加される接地線L2に他端（ソース）が接続されている。

【0028】

第2の電流検出回路D2は、第2の出力トランジスタM2に流れる第2の電流を検出しこの検出結果に基づいた第2の検出信号S D2を第2の検出端子T D2に出力するようになっている。

【0029】

第1の駆動回路D r 1は、第1の増幅信号が入力され、この第1の増幅信号に応じた制御信号を第1、第2の出力トランジスタM1、M2のゲートに出力して、第1、第2の出力トランジスタM1、M2の動作を制御するようになっている。

10

【0030】

この第1の駆動回路D r 1は、プッシュプル出力回路として動作する。すなわち、第1の駆動回路D r 1は、第1の増幅信号に応じて、第1の出力トランジスタM1と第2の出力トランジスタM2とを相補的にオン／オフするように制御する。

【0031】

また、第2の増幅回路X2は、第3の出力トランジスタ（pMOSトランジスタ）M3と、第4の出力トランジスタ（nMOSトランジスタ）M4と、第3の電流検出回路D3と、第4の電流検出回路D4と、第2の駆動回路D r 2と、を有する。

【0032】

第3の出力トランジスタM3は、電源線L1に一端（ソース）が接続され、第2の出力信号S o u t 2を出力する第2の出力端子T o u t 2に他端（ドレイン）が接続されている。

20

【0033】

第3の電流検出回路D3は、第3の出力トランジスタM3に流れる第3の電流を検出しこの検出結果に基づいた第3の検出信号S D3を第3の検出端子T D3に出力するようになっている。

【0034】

第4の出力トランジスタM4は、第2の出力端子T o u t 2に一端（ドレイン）が接続され、接地線L2に他端（ソース）が接続されている。

【0035】

30

第4の電流検出回路D4は、第4の出力トランジスタM4に流れる第4の電流を検出しこの検出結果に基づいた第4の検出信号S D4を第4の検出端子T D4に出力するようになっている。

【0036】

第2の駆動回路D r 2は、第2の増幅信号が入力され、この第2の増幅信号に応じた制御信号を第3、第4の出力トランジスタM3、M4のゲートに出力して、第3、第4の出力トランジスタM3、M4の動作を制御するようになっている。

【0037】

この第2の駆動回路D r 2は、プッシュプル出力回路として動作する。ここで、第2の増幅信号は、第1の増幅信号に対して位相が反転している。すなわち、第2の駆動回路D r 2は、第2の増幅信号に応じて、第3の出力トランジスタM3が第1の出力トランジスタM1に対して相補的にオン／オフし且つ第3の出力トランジスタM3と第4の出力トランジスタM4とを相補的にオン／オフするように制御する。

40

【0038】

また、図1に示すように、第1の比較器C1は、第1の検出信号S D1と第4の検出信号S D4とを比較し、第1の電流と第4の電流とが第1の所定値以上異なるか否かに応じた第1の比較信号S C1を第1の比較結果端子T C1に出力するようになっている。

【0039】

第2の比較器C2は、第2の検出信号S D2と第3の検出信号S D3とを比較し、第2の電流と第3の電流とが第2の所定値以上異なるか否かに応じた第2の比較信号S C2を

50

第2の比較結果端子TC2に出力するようになっている。

【0040】

なお、第1の比較信号SC1が、第1の電流と第4の電流とが第1の所定値以上異なることを示す場合、または、第2の比較信号SC2が、第2の電流と第3の電流とが第2の所定値以上異なることを示す場合には、第1の出力端子Tout1と第2の出力端子Tout2との間に、スピーカが正常に接続されていない状態（既述のクロス誤接続状態）であると判断される。なお、第1の所定値と第2の所定値とは同じ値であってもよい。

【0041】

また、図1に示すように、出力クリップ検出回路CDは、第1の出力信号Sou1および第2の出力信号Sou2を検出し、この検出結果に応じたクリップ検出信号S1を出力して、第1の比較器C1および第2の比較器C2を制御するようになっている。

10

【0042】

ここで、図2は、図1に示す第1、第3の電流検出回路D1、D3の構成の一例を示す回路図である。なお、この図2において、第3の電流検出回路D3に対応する符号は“() ”で囲まれている。図2に示すように、例えば、第1の電流検出回路D1と第3の電流検出回路D3とは、同様の回路構成を有する。

【0043】

図2に示すように、第1の電流検出回路D1は、例えば、第1の検出トランジスタ（pMOSトランジスタ）MD1を含む。

【0044】

20

第1の検出トランジスタMD1は、電源線L1に一端（ソース）が接続され、第1の出力端子Tout1に他端（ドレイン）が接続され、第1の出力トランジスタM3のゲートにゲートが接続されている。この第1の検出トランジスタMD1は、第1の出力トランジスタM1に流れる第1の電流をカレントミラーした第1の検出電流が流れる。

【0045】

すなわち、第1の電流検出回路D1は、第1の検出電流を第1の検出信号SD1として第1の検出端子TD1から出力する。

【0046】

同様に、図2に示すように、第3の電流検出回路D3は、例えば、第3の検出トランジスタ（pMOSトランジスタ）MD3を含む。

30

【0047】

第3の検出トランジスタMD3は、電源線L1に一端（ソース）が接続され、第2の出力端子Tout2に他端（ドレイン）が接続され、第3の出力トランジスタM3のゲートにゲートが接続されている。この第3の検出トランジスタMD3は、第3の出力トランジスタM3に流れる第3の電流をカレントミラーした第3の検出電流が流れるようになっている。

【0048】

すなわち、第3の電流検出回路D3は、第3の検出電流を第3の検出信号SD3として第3の検出端子TD3から出力する。

【0049】

40

なお、第1の出力トランジスタM1のサイズは、第3の出力トランジスタM3のサイズと等しくなるように設定されている。

【0050】

この場合、第1の電流に対する第1の検出電流の第1のミラー比は、第3の電流に対する第3の検出電流の第3のミラー比と等しくなるように設定される。

【0051】

また、図3は、図1に示す第2、第4の電流検出回路D2、D4の構成の一例を示す回路図である。なお、この図3において、第4の電流検出回路D4に対応する符号は“() ”で囲まれている。図3に示すように、例えば、第2の電流検出回路D2と第4の電流検出回路D4とは、同様の回路構成を有する。

50

【0052】

図3に示すように、第2の電流検出回路D2は、例えば、第2の検出トランジスタ（nMOSトランジスタ）MD2を含む。

【0053】

第2の検出トランジスタMD2は、接地線L2に一端（ソース）が接続され、第1の出力端子T_{out1}に他端（ドレイン）が接続され、第2の出力トランジスタM2のゲートにゲートが接続されている。この第2の検出トランジスタMD2は、第2の出力トランジスタM2に流れる第2の電流をカレントミラーした第2の検出電流が流れる。

【0054】

すなわち、第2の電流検出回路D2は、第2の検出電流を第2の検出信号SD2として第2の検出端子TD2から出力する。 10

【0055】

同様に、図3に示すように、第4の電流検出回路D4は、第4の検出トランジスタ（nMOSトランジスタ）MD4を含む。

【0056】

第4の検出トランジスタMD4は、接地線L2に一端（ソース）が接続され、第2の出力端子T_{out2}に他端（ドレイン）が接続され、第4の出力トランジスタM4のゲートにゲートが接続されている。この第4の検出トランジスタMD4は、第4の出力トランジスタM4に流れる第4の電流をカレントミラーした第4の検出電流が流れる。 20

【0057】

すなわち、第1の電流検出回路D1は、第4の検出電流を第4の検出信号SD4として第4の検出端子TD4から出力する。 20

【0058】

なお、第2の出力トランジスタM2のサイズは、第4の出力トランジスタM4のサイズと等しくなるように設定される。

【0059】

この場合、第2の電流に対する第2の検出電流の第2のミラー比は、第4の電流に対する第4の検出電流の第4のミラー比と等しくなるように設定される。

【0060】

ここで、図1に示す第1、第2の比較器C1、C2の回路構成の具体例について説明する。 30

【0061】

図4は、図1に示す第1、第2の比較器C1、C2の構成の一例を示す回路図である。図4の構成は第1、第3の出力トランジスタM1、M3の電流が多い事を検出する。なお、この図4において、第2の比較器C2に対応する符号は“（）”で囲まれている。図4に示すように、例えば、第1の比較器C1と第2の比較器C2とは、同様の回路構成を有する。

【0062】

図4に示すように、第1の比較器C1は、入力抵抗Z1と、演算回路C1aと、コンパレータC1bと、を有する。入力抵抗Z1は、第1の検出端子TD1および第4の検出端子TD4に一端が接続され、固定電位（接地線L2）に他端が接続されている。 40

【0063】

コンパレータC1bは、入力抵抗Z1の一端が第1の入力（非反転入力端子）に接続され、基準電圧V_{fer}が第2の入力（反転入力端子）に印加されている。また基準電圧V_{ref}>接地電位G_{nd}である。

【0064】

演算回路C1aは、コンパレータC1bが出力する信号と出力クリップ検出回路CDが出力するクリップ検出信号S1とを演算した信号を第1の比較信号SC1として出力する。

【0065】

この演算回路C 1 aは、例えば、図4に示すように、コンパレータC 1 bが出力した信号とクリップ検出信号S 1とをAND演算し、このAND演算結果を第1の比較信号SC 1として出力するAND回路である。

【0066】

したがって、クリップ検出信号S 1が“Low”レベルの場合（すなわち、第1、第2の出力端子T o u t 1、T o u t 2が電源側または接地側にクリップされている場合）には、AND回路の出力は“Low”レベルに固定される。

【0067】

一方、クリップ検出信号S 1が“High”レベルの場合（すなわち、第1、第2の出力端子T o u t 1、T o u t 2が電源側または接地側にクリップされていない場合）には、AND回路の出力はコンパレータC 1 bが出力する信号に応じて変化する。すなわち、この場合、第1の比較器C 1は、コンパレータC 1 bが出力する信号に応じて、第1の比較信号SC 1を出力する。

10

【0068】

なお、入力抵抗Z 1と基準電圧V r e fとは、電流検出の検出感度を決定するために適切に設定されている。コンパレータは電流検出回路の演算結果が基準電圧以上であるかを判定し、AND回路に出力するように構成される。

【0069】

演算回路C 2 aは、コンパレータC 2 bが出力する信号と出力クリップ検出回路C Dが出力するクリップ検出信号S 1とを演算した信号を第2の比較信号SC 2として出力する。

20

【0070】

この演算回路C 2 aは、例えば、図4に示すように、コンパレータC 2 bが出力した信号とクリップ検出信号S 1とをAND演算し、このAND演算結果を第2の比較信号SC 2として出力するAND回路である。

【0071】

したがって、クリップ検出信号S 1が“Low”レベルの場合（すなわち、第1、第2の出力端子T o u t 1、T o u t 2が電源側または接地側にクリップされている場合）には、AND回路の出力は“Low”レベルに固定される。

【0072】

30

一方、クリップ検出信号S 1が“High”レベルの場合（すなわち、第1、第2の出力端子T o u t 1、T o u t 2が電源側または接地側にクリップされていない場合）には、AND回路の出力はコンパレータC 2 bが出力する信号に応じて変化する。すなわち、この場合、第2の比較器C 2は、コンパレータC 2 bが出力する信号に応じて、第2の比較信号SC 2を出力する。

【0073】

既述のように、入力抵抗Z 1と基準電圧V r e fとは、電流検出の検出感度を決定するために適切に設定されている。コンパレータは電流検出回路の演算結果が基準電圧以上であるかを判定し、AND回路に出力するように構成される。

【0074】

40

図5は、図1に示す第1、第2の比較器C 1、C 2の構成の一例を示す回路図である。図5の構成は第4、第2の出力トランジスタM 4、M 2の電流が多い事を検出する。なお、この図5において、第2の比較器C 2に対応する符号は“（）”で囲まれている。図5に示すように、例えば、第1の比較器C 1と第2の比較器C 2とは、同様の回路構成を有する。

【0075】

図5に示すように、第1の比較器C 1は、入力抵抗Z 1と、演算回路C 1 aと、コンパレータC 1 bと、を有する。入力抵抗Z 1は、第1の検出端子T D 1および第4の検出端子T D 4に一端が接続され、固定電位（電源線L 1）に他端が接続されている。

【0076】

50

コンパレータC 1 bは、入力抵抗Z 1の一端が第2の入力（反転入力端子）に接続され、基準電圧V f e rが第1の入力（非反転入力端子）に印加されている。また基準電圧V r e f<電源電位V c cである。

【0077】

演算回路C 1 aは、コンパレータC 1 bが出力する信号と出力クリップ検出回路C Dが出力するクリップ検出信号S 1とを演算した信号を第1の比較信号S C 1として出力する。

【0078】

この演算回路C 1 aは、例えば、図5に示すように、コンパレータC 1 bが出力した信号とクリップ検出信号S 1とをAND演算し、このAND演算結果を第1の比較信号S C 1として出力するAND回路である。

10

【0079】

したがって、クリップ検出信号S 1が“ L o w ”レベルの場合（すなわち、第1、第2の出力端子T o u t 1、T o u t 2が電源側または接地側にクリップされている場合には、AND回路の出力は“ L o w ”レベルに固定される。

【0080】

一方、クリップ検出信号S 1が“ H i g h ”レベルの場合（すなわち、第1、第2の出力端子T o u t 1、T o u t 2が電源側または接地側にクリップされていない場合には、AND回路の出力はコンパレータC 1 bが出力する信号に応じて変化する。すなわち、この場合、第1の比較器C 1は、コンパレータC 1 bが出力する信号に応じて、第1の比較信号S C 1を出力する。

20

【0081】

なお、入力抵抗Z 1と基準電圧V r e fとは、電流検出の検出感度を決定するために適切に設定されている。コンパレータは電流検出回路の演算結果が基準電圧以下であるかを判定し、AND回路に出力するように構成される。

【0082】

演算回路C 2 aは、コンパレータC 2 bが出力する信号と出力クリップ検出回路C Dが出力するクリップ検出信号S 1とを演算した信号を第2の比較信号S C 2として出力する。

【0083】

この演算回路C 2 aは、例えば、図5に示すように、コンパレータC 2 bが出力した信号とクリップ検出信号S 1とをAND演算し、このAND演算結果を第2の比較信号S C 2として出力するAND回路である。

30

【0084】

したがって、クリップ検出信号S 1が“ L o w ”レベルの場合（すなわち、第1、第2の出力端子T o u t 1、T o u t 2が電源側または接地側にクリップされている場合には、AND回路の出力は“ L o w ”レベルに固定される。

【0085】

一方、クリップ検出信号S 1が“ H i g h ”レベルの場合（すなわち、第1、第2の出力端子T o u t 1、T o u t 2が電源側または接地側にクリップされていない場合には、AND回路の出力はコンパレータC 2 bが出力する信号に応じて変化する。すなわち、この場合、第2の比較器C 2は、コンパレータC 2 bが出力する信号に応じて、第2の比較信号S C 2を出力する。

40

【0086】

既述のように、入力抵抗Z 1と基準電圧V r e fとは、電流検出の検出感度を決定するために適切に設定されている。コンパレータは電流検出回路の演算結果が基準電圧以下であるかを判定し、AND回路に出力するように構成される。

【0087】

また、図6は、図1に示す第1、第2の比較器C 1、C 2の構成の他の例を示す回路図である。なお、この図6において、第2の比較器C 2に対応する符号は“ () ”で囲まれ

50

ている。図6に示すように、例えば、第1の比較器C1と第2の比較器C2とは、同様の回路構成を有する。

【0088】

図6に示すように、第1の比較器C1（第2の比較器C2）は、図4に示す回路構成と比較して、直流電源VSと、感度鈍化抵抗Z2と、をさらに備える。

【0089】

感度鈍化抵抗Z2は、入力抵抗Z1の一端に一端が接続され、コンパレータC1b（C2b）の第1の入力（非反転入力端子）および第4の検出端子TD4（第2の検出端子TD2）に他端が接続されている。

【0090】

直流電源VSは、コンパレータC1b（C2b）の第2の入力（反転入力端子）に一端（正極）が接続され、固定電位（接地線L2）に他端（負極）が接続され、基準電圧Vrefaを生成するようになっている。

【0091】

図6の例では、入力抵抗Z1の他端および直流電源VSの他端は、接地線L2のみに接続されている。

【0092】

コンパレータC1b（C2b）は、第1の電流検出回路の演算結果が基準電圧以上であるかを判定し、AND回路に出力するように構成される。AND回路はコンパレータからの論理値と出力検出クリップ回路の出力論理値の論理積を比較器端子に出力する。感度鈍化抵抗Z2は入力抵抗Z1との比率により（例えば、 $(Z1 + Z2) / Z1 > 1$ ）正常動作時の誤動作をより防止することができる。図6に示す回路構成は、第1、第3の出力トランジスタM1、M3の電流不平衡を検出する構成である。

【0093】

また、図7は、図1に示す第1、第2の比較器C1、C2の構成のさらに他の例を示す回路図である。なお、この図7において、第2の比較器C2に対応する符号は“（）”で囲まれている。図7に示すように、例えば、第1の比較器C1と第2の比較器C2とは、同様の回路構成を有する。

【0094】

図7に示すように、第1の比較器C1（第2の比較器C2）は、図5に示す回路構成と比較して、直流電源VSと、感度鈍化抵抗Z2と、をさらに備える。

【0095】

感度鈍化抵抗Z2は、入力抵抗Z1の一端および第4の検出端子TD4（第2の検出端子TD2）に一端が接続され、コンパレータC1b（C2b）の第2の入力（反転入力端子）および第1の検出端子TD1（第3の検出端子TD3）に他端が接続されている。

【0096】

直流電源VSは、コンパレータC1b（C2b）の第1の入力（非反転入力端子）に一端（負極）が接続され、固定電位（電源線L1）に他端（正極）が接続され、基準電圧Vrefaを生成するようになっている。

【0097】

図7の例では、入力抵抗Z1の他端および直流電源VSの他端は、電源線L1のみに接続されている。

【0098】

コンパレータC1b（C2b）は、第1の電流検出回路の演算結果が基準電圧以下であるかを判定し、AND回路に出力するように構成される。AND回路はコンパレータからの論理値と出力検出クリップ回路の出力論理値の論理積を比較器端子に出力する。感度鈍化抵抗Z2は入力抵抗Z1との比率により（例えば、 $(Z1 + Z2) / Z1 > 1$ ）正常動作時の誤動作をより防止することができる。図7に示す回路構成は、第2、第4の出力トランジスタM2、M4の電流不平衡を検出する構成である。

【0099】

10

20

30

40

50

次に、図 1 に示す出力クリップ検出回路 C D の回路構成の具体例について説明する。

【0100】

図 8 は、図 1 に示す出力クリップ検出回路 C D の構成の一例を示す回路図である。

【0101】

図 8 に示すように、出力クリップ検出回路 C D は、例えば、N O R 回路 C D a と、第 1 の電源側直流電源 V S b 1 と、第 2 の電源側直流電源 V S b 2 と、第 1 の電源側コンパレータ C D b 1 と、第 2 の電源側コンパレータ C D b 2 と、を含む。

【0102】

第 1 の電源側直流電源 V S b 1 は、電源線 L 1 に正極が接続され、第 1 の電源側基準電圧 V r e f b 1 を出力するようになっている。

10

【0103】

第 2 の電源側直流電源 V S b 2 は、電源線 L 1 に正極が接続され、第 2 の電源側基準電圧 V r e f b 2 を出力するようになっている。

【0104】

第 1 の電源側コンパレータ C D b 1 は、第 1 の電源側直流電源 V r e f b 1 の負極に反転入力端子が接続され、第 1 の出力端子 T o u t 1 に非反転出力端子が接続されている。

【0105】

第 2 の電源側コンパレータ C D b 2 は、第 2 の電源側直流電源 V r e f b 2 の負極に反転入力端子が接続され、第 2 の出力端子 T o u t 2 に非反転出力端子が接続されている。

20

【0106】

N O R 回路 C D a は、第 1 および第 2 の電源側コンパレータ C D b 1、C D b 2 の出力を N O R 演算した結果を、クリップ検出信号 S 1 として出力するようになっている。

【0107】

この図 8 に示す出力クリップ検出回路 C D は、第 1 の出力信号 S o u t 1 が、電源電位 V c c から電源電位 V c c よりも低い第 1 の電源側基準電圧 V r e f b 1 の範囲にある場合、または、第 2 の出力信号 S o u t 2 が、電源電位 V c c から電源電位 V c c よりも低い第 2 の電源側基準電圧 V r e f b 2 の範囲にある場合には、第 1 の比較器 C 1 から第 1 の比較信号 S C 1 を出力させない（すなわち、第 1 の比較器 C 1 の出力を固定値にする）ように制御し且つ第 2 の比較器 C 2 から第 2 の比較信号 S C 2 を出力させない（すなわち、第 2 の比較器 C 2 の出力を固定値にする）ように制御する。

30

【0108】

つまり、出力電位が内部電源 V c c 付近にある時にはクロス誤接続検出しないようにしている。これは有信号時の誤動作防止に優位となる。

【0109】

また、図 9 は、図 1 に示す出力クリップ検出回路 C D の構成の他の例を示す回路図である。

【0110】

図 9 に示すように、出力クリップ検出回路 C D は、N O R 回路 C D a と、第 1 の接地側直流電源 V S c 1 と、第 2 の接地側直流電源 V S c 2 と、第 1 の接地側コンパレータ C D c 1 と、第 2 の接地側コンパレータ C D c 2 と、を含む。

40

【0111】

第 1 の接地側直流電源 V S c 1 は、接地線 L 2 に負極が接続され、第 1 の接地側基準電圧 V r e f c 1 を出力するようになっている。

【0112】

第 2 の接地側直流電源 V S c 2 は、接地線 L 2 に負極が接続され、第 2 の接地側基準電圧 V r e f c 2 を出力するようになっている。

【0113】

第 1 の接地側コンパレータ C D c 1 は、第 1 の接地側直流電源 V S c 1 の負極に非反転入力端子が接続され、第 1 の出力端子 T o u t 1 に反転入力端子が接続されている。

【0114】

50

第2の接地側コンパレータCDc2は、第2の接地側直流電源VSc2の負極に非反転入力端子が接続され、第2の出力端子Tout2に反転入力端子が接続されている。

【0115】

NOR回路CDaは、第1および第2の接地側コンパレータCDc1、CDc2の出力をNOR演算した結果を、クリップ検出信号S1として出力するようになっている。

【0116】

この図9に示す出力クリップ検出回路CDは、第1の出力信号Sou1が、接地電位Gndから接地電位Gndよりも高い第1の接地側基準電圧Vrefc1の範囲にある場合、または、第2の出力信号Sou2が、接地電位Gndから接地電位Gndよりも高い第2の接地側基準電圧Vrefc2の範囲にある場合には、第1の比較器C1から第1の比較信号SC1を出力させない（すなわち、第1の比較器C1の出力を固定値にする）ように制御し且つ第2の比較器C2から第2の比較信号SC2を出力させない（すなわち、第2の比較器C2の出力を固定値にする）ように制御する。

【0117】

また、図10は、図1に示す出力クリップ検出回路CDの構成のさらに他の例を示す回路図である。

【0118】

図10に示すように、出力クリップ検出回路CDは、例えば、NOR回路CDaと、第1の電源側直流電源Vsb1と、第2の電源側直流電源Vsb2と、第1の電源側コンパレータCdb1と、第2の電源側コンパレータCdb2と、第1の接地側直流電源Vsc1と、第2の接地側直流電源Vsc2と、第1の接地側コンパレータCDc1と、第2の接地側コンパレータCDc2と、を含む。

【0119】

第1の電源側直流電源Vsb1は、電源線L1に正極が接続され、第1の電源側基準電圧Vrefb1を出力するようになっている。

【0120】

第2の電源側直流電源Vsb2は、電源線L1に正極が接続され、第2の電源側基準電圧Vrefb2を出力するようになっている。

【0121】

第1の電源側コンパレータCdb1は、第1の電源側直流電源Vrefb1の負極に反転入力端子が接続され、第1の出力端子Tout1に非反転出力端子が接続されている。

【0122】

第2の電源側コンパレータCdb2は、第2の電源側直流電源Vrefb2の負極に反転入力端子が接続され、第2の出力端子Tout2に非反転出力端子が接続されている。

【0123】

第1の接地側直流電源Vsc1は、接地線L2に負極が接続され、第1の接地側基準電圧Vrefc1を出力するようになっている。

【0124】

第2の接地側直流電源Vsc2は、接地線L2に負極が接続され、第2の接地側基準電圧Vrefc2を出力するようになっている。

【0125】

第1の接地側コンパレータCDc1は、第1の接地側直流電源Vsc1の正極に非反転入力端子が接続され、第1の出力端子Tout1に反転入力端子が接続されている。

【0126】

第2の接地側コンパレータCDc2は、第2の接地側直流電源Vsc2の正極に非反転入力端子が接続され、第2の出力端子Tout2に反転入力端子が接続されている。

【0127】

NOR回路CDaは、第1および第2の電源側コンパレータCdb1、Cdb2の出力および第1および第2の接地側コンパレータCDc1、CDc2の出力をNOR演算した結果を、クリップ検出信号S1として出力するようになっている。

【0128】

この図10に示す出力クリップ検出回路CDは、第1の出力信号Sout1が、電源電位Vccから電源電位Vccよりも低い第1の電源側基準電圧の範囲にある場合、第2の出力信号Sout2が、電源電位Vccから電源電位Vccよりも低い第2の電源側基準電圧の範囲にある場合、第1の出力信号Sout1が、接地電位Gndから接地電位Gndよりも高い第1の接地側基準電圧の範囲にある場合、または、第2の出力信号Sout2が、接地電位Gndから接地電位Gndよりも高い第2の接地側基準電圧の範囲にある場合には、第1の比較器C1から第1の比較信号SC1を出力させない（すなわち、第1の比較器C1の出力を固定値にする）ように制御し且つ第2の比較器C2から第2の比較信号SC2を出力させない（すなわち、第2の比較器C2の出力を固定値にする）ように制御する。

10

【0129】

つまり、出力電位が電源電位Vcc付近あるいは接地電位Gnd付近にある時にはクロス誤接続検出しないようにしている。これは有信号時の誤動作防止に優位となる。

【0130】

次に、以上のような構成を有する電力増幅装置100のクロス誤接続状態における動作について説明する。

【0131】

マルチチャネルを有するパワーアンプシステムにおいて、あるチャネルのBTL出力の一方の出力端子と異なるチャネルのいずれかの出力端子との間に誤接続により配線抵抗Rsが接続された状態（クロス誤接続状態）を例に挙げて説明する。

20

【0132】

図11は、誤接続状態の4つの例を示す図である。誤接続間のオフセット電圧がVosとした場合（増幅回路1の出力端子電圧が他方に比べて大きいとする）、配線抵抗Rsに流れる電流Io（cross_short）は以下の式（1）のように表わされる。

【数1】

$$I_o(\text{cross_short}) = V_{os} / R_s \quad (1)$$

【0133】

例えば、第1の比較器C1はこのクロス誤接続状態を検知するものであるため、第1の比較器C1に入力される電流をIin(COMP)、入力抵抗をZ1、基準電圧をVref(COMP)とすると、クロス誤接続状態の判定式は以下の式（2）で表わされる。この式が成立する場合には、第1の比較器C1はクロス誤接続状態と判定する。（但し、Iin(COMP)=第1の検出電流I(D1)－第4の検出電流I(D4)）

30

【数2】

$$I_{in}(\text{COMP}) \cdot Z_1 > V_{ref}(\text{COMP}) \quad (2)$$

【0134】

更に、クロス誤接続状態では、I(D1)>>I(D4)の関係から以下の式（3）のように書き換えることができる。

40

【数3】

$$I(D1) \cdot Z_1 > V_{ref}(\text{COMP}) \quad (3)$$

【0135】

第1の電流検出回路D1に流れる電流は、出力トランジスタM1に流れる電流をモニタする。そのため、その電流比を1/m倍にすると、最終的な判定式は以下の式（4）で表わされる。

【数 4】

$$I_o > m \cdot \frac{V_{ref}(COMP)}{Z1} \quad (4)$$

【0136】

以上のようにクロス誤接続の判定式は出力トランジスタが流す電流のみをモニタする。アイドリングストップで電力増幅装置100の出力電位が切り替わり瞬時的に電力に不平衡が生じた場合でも電流は平衡しており誤動作することはない。

【0137】

以上のように、本実施形態に係る電力増幅装置によれば、出力端子の誤接続を検出することができる。 10

【0138】

特に、カーオーディオシステムにてクロス誤接続が発生した際、誤接続するワイヤーの配線抵抗と誤接続するチャンネル間のオフセット電圧によって流れる短絡電流で破壊しないよう保護し、更に正常動作時における瞬低、電源上昇、過渡動作時においても誤動作しないことを特徴とする。

【0139】

(変形例)

以下では、既述の第1の実施形態の変形例について説明する。

【0140】

20

図12は、電力増幅装置100の構成の一部の変形例を示す図である。なお、図12において図1と同じ符号は、第1の実施形態と同様の構成を示す。また、この図12に示されない電力増幅装置100の他の構成は、図1と同様である。

【0141】

図12に示すように、電力増幅装置200は、中点電位制御回路1と、全差動オペアンプ3と、第1の帰還抵抗R1と、第2の帰還抵抗R2と、第3の帰還抵抗R3と、第4の帰還抵抗R4と、第1の入力抵抗R11と、第2の入力抵抗R12と、第1のオペアンプOP1と、第2のオペアンプOP2と、スイッチ回路SWと、を備える。

【0142】

なお、第1の帰還抵抗R1と、第2の帰還抵抗R2と、第3の帰還抵抗R3と、第4の帰還抵抗R4と、第1の入力抵抗R11と、第2の入力抵抗R12と、第1のオペアンプOP1と、第2のオペアンプOP2とは、図1のアンプAに対応する。また、第1、第2の信号入力端子Tin1、Tin2は、図1の入力端子Tinに対応する。 30

【0143】

図1に示すように、第1のオペアンプOP1は、非反転入力端子が第1の信号入力端子Tin1に接続されている。

【0144】

第1の帰還抵抗R1は、第1のオペアンプOP1の出力端子と第1のオペアンプOP1の反転入力端子との間に接続されている。

【0145】

40

第2の帰還抵抗R2は、一端が第1のオペアンプOP1の反転入力端子に接続されている。

【0146】

第2のオペアンプOP2は、非反転入力端子が第2の信号入力端子Tin2に接続されている。

【0147】

第3の帰還抵抗R3は、一端が第2のオペアンプOP2の反転入力端子に接続され、他端が第2の帰還抵抗R2の他端に接続されている。

【0148】

第4の帰還抵抗R4は、第2のオペアンプOP2の出力端子と第2のオペアンプOP2 50

の反転入力端子との間に接続されている。

【0149】

なお、第1ないし第4の帰還抵抗 $R_1 \sim R_4$ は、例えば、同じ第1の抵抗値 R_a をそれぞれ有する。

【0150】

また、全差動オペアンプ3は、非反転入力端子が第1のオペアンプOP1の出力端子に接続され、反転入力端子が第2のオペアンプOP2の出力端子に接続され、非反転出力端子が第1の信号出力端子T o u t 1に接続され、反転出力端子が第2の信号出力端子に接続されている。この全差動オペアンプ3は、差動利得を一定に保つようになっている。

【0151】

ここで、図12に示すように、全差動オペアンプ3は、例えば、第5の帰還抵抗 R_5 と、第6の帰還抵抗 R_6 と、第7の帰還抵抗 R_7 と、第8の帰還抵抗 R_8 と、第9の帰還抵抗 R_9 と、第10の帰還抵抗 R_{10} と、第3のオペアンプX1と、第4のオペアンプX2と、を有する。

【0152】

第5の帰還抵抗 R_5 は、一端が全差動オペアンプ3の非反転入力端子（第1のオペアンプOP1の出力端子）に接続されている。

【0153】

第6の帰還抵抗 R_6 は、一端が全差動オペアンプ3の反転入力端子（第2のオペアンプOP2の出力端子）に接続されている。

【0154】

第7の帰還抵抗 R_7 は、一端が第5の帰還抵抗 R_5 の他端に接続されている。

【0155】

第8の帰還抵抗 R_8 は、一端が第6の帰還抵抗 R_6 の他端に接続されている。

【0156】

第3のオペアンプX1は、非反転入力端子が第5の帰還抵抗 R_5 の他端に接続され、反転入力端子が第8の帰還抵抗 R_8 の他端に接続され、出力端子が全差動オペアンプ3の非反転出力端子（第1の信号出力端子T o u t 1）に接続されている。

【0157】

第9の帰還抵抗 R_9 は、第3のオペアンプX1の出力端子と第3のオペアンプX1の反転入力端子との間に接続されている。

【0158】

第4のオペアンプX2は、非反転入力端子が第6の帰還抵抗 R_6 の他端に接続され、反転入力端子が第7の帰還抵抗 R_7 の他端に接続され、出力端子が全差動オペアンプ3の反転出力端子（第2の信号出力端子T o u t 2）に接続されている。

【0159】

第10の帰還抵抗 R_{10} は、第4のオペアンプX2の出力端子と第4のオペアンプX2の反転入力端子との間に接続されている。

【0160】

なお、第5および第6の帰還抵抗 R_5 、 R_6 は、本実施例では、例えば、同じ第2の抵抗値 R_b をそれぞれ有する。

【0161】

また、第9および第10の帰還抵抗 R_9 、 R_{10} は、本実施例では、例えば、同じ第3の抵抗値 R_c をそれぞれ有する。

【0162】

また、第7および第8の帰還抵抗 R_7 、 R_8 の抵抗値は、本実施例では、例えば、第3の抵抗値 R_c よりも無視できるほど小さいものとする。

【0163】

スイッチ回路SWは、第2の帰還抵抗 R_2 の他端と接地との間に接続されている。

【0164】

10

20

30

40

50

第1の入力抵抗 R_{11} は、第1の信号入力端子 T_{in1} と基準電圧 V_{ref} が印加される基準端子（SVR端子） T_{ref} との間に接続されている。

【0165】

第2の入力抵抗 R_{12} は、第2の信号入力端子 T_{in2} と基準端子 T_{ref} との間に接続されている。

【0166】

なお、基準電圧 V_{ref} は、SVRフィルタ2により、基準端子 T_{ref} に供給されるようになっている。このSVRフィルタ2は、電源電位 V_{bat} （ V_{cc} ）を電源電位 V_{bat} の中間電圧よりも低い値に分圧して基準電圧 V_{ref} を生成し、且つ、生成した基準電圧 V_{ref} に対する電源電位変動除去比を、基準端子 T_{ref} と接地との間に接続されたキャパシタ（図示せず）により、高めている。

10

【0167】

すなわち、基準電圧 V_{ref} は、電源電位 V_{bat} がアイドリングストップ等により変動しても、安定しているものである。基準電圧 V_{ref} は、例えば、電源電位 V_{bat} の4分の1に設定される。

【0168】

中点電位制御回路1は、基準電圧 V_{ref} と電源電位（バッテリー電圧） V_{bat} を監視し、この電源電位 V_{bat} の値に応じて、スイッチ回路SWを制御するようになっている。

【0169】

20

例えば、中点電位制御回路1は、電源電位 V_{bat} が予め設定された切替閾値 V_{th} 以上である場合（電源電位 V_{bat} が安定状態である場合）には、スイッチ回路SWをオンする。一方、中点電位制御回路1は、電源電位 V_{bat} が切替閾値 V_{th} 未満である場合（電源電位 V_{bat} が瞬時に低下した場合）には、スイッチ回路SWをオフする。

【0170】

なお、切替閾値 V_{th} は、第1および第2のオペアンプOP1、OP2が動作して所定の信号を出力することができる電源電位 V_{bat} の値に設定される。この切替閾値 V_{th} は、基準電圧 V_{ref} に基づいて設定される。例えば、切替閾値 V_{th} は、安定時の電源電位 V_{bat} の2分の1よりも高く設定される。この場合、中点電位制御回路1は、電源電位 V_{bat} と基準電圧 V_{ref} とを比較した結果に基づいて、スイッチ回路SWを制御

30

【0171】

次に、以上のような構成を有する電力増幅回路の動作、利得及びDC動作点について説明する。

【0172】

既述のように、電源電位 V_{bat} は、バッテリー電圧である。また、基準端子 T_{ref} は、電源電位 V_{bat} の中間電圧よりも低い、例えば電源電位 V_{bat} の1/4の電圧を生成し、また外付けコンデンサで電源電位除去比を高めた端子であるとする。また、第1の信号入力端子 T_{in1} には、入力信号が印加され、第2の信号入力端子 T_{in2} は仮想接地点とする。

40

【0173】

まず、スイッチ回路SWがオン状態の時、第1のオペアンプOP1の利得 K_1 は、以下の式（5）に示すように、2倍となる。

$$K_1 = 1 + R_1 / R_2 = 1 + R_a / R_a = 2 \quad (5)$$

【0174】

第2のオペアンプOP2の利得 K_2 も同様にして求められる。そして、第2の信号入力端子 T_{in2} は仮想接地点なので、結局、第1のオペアンプOP1と第2のオペアンプOP2の差動出力の差動利得 K_A は、第2のオペアンプOP2の出力が交流接地点となるため、以下の式（6）に示すように、2倍となる。

$$K_A = K_1 - K_2 = 2 - 0 = 2 \quad (6)$$

50

【0175】

第1のオペアンプOP1及び第2のオペアンプOP2は、2倍のDCアンプでもあり、基準端子T r e fの基準電圧V r e fが安定時の電源電位V b a tの1/4の設定である。したがって、第1のオペアンプOP1と第2のオペアンプOP2の出力電位は、電源電位V b a tの1/2、つまり、電源電位V b a tの中間電位となる。

【0176】

次に、全差動オペアンプ3の差動利得、すなわち第1のオペアンプOP1および第2のオペアンプOP2の出力から、第1の信号出力端子T o u t 1及び第2の信号出力端子T o u t 2までの差動利得をK Bとする。この差動利得K Bは、既述のように、第7、第8の帰還抵抗の抵抗値が第9、第10の帰還抵抗の抵抗値に比べて無視できるほど小さいことから、近似的に、 R_c/R_b となる。

10

【0177】

よって、第1の信号入力端子T i n 1に入力信号が入力された場合の、電力増幅装置200の差動利得（第1の信号出力端子T o u t 1と第2の信号出力端子T o u t 2の差動出力利得）Kは、 $K = K_A \times K_B = 2 R_c/R_b$ と計算される。

【0178】

第1の信号出力端子T o u t 1と第2の信号出力端子T o u t 2の出力電位は、第7、第8の帰還抵抗R7、R8の作用により、ほぼ第1のオペアンプOP1の出力電位と第2のオペアンプOP2の出力電位に近い値を示すことになる。もし、R7、R8が無ければ、第1のオペアンプOP1および第2のオペアンプOP2のDC利得はほぼ無限大となり、出力電位T o u t 1、T o u t 2が所望の電圧に定まらなくなってしまう。したがって、第1の信号出力端子T o u t 1と第2の信号出力端子T o u t 2の出力電位は、ほぼ電源電位V b a tの中間電位を示す。

20

【0179】

一方で、スイッチ回路SWがオフ状態の時、第1のオペアンプOP1の利得K1は、以下の式（7）に示すように、1.5倍となる。

$$K_1 = 1 + R_1 / (R_2 + R_3) = 1 + R_a / (2 R_a) = 1.5 \quad (7)$$

【0180】

同様に、スイッチ回路SWがオフ状態の時、第2のオペアンプOP2の利得K2は、以下の式（8）に示すように、-0.5倍となる。

30

$$K_2 = -R_4 / (R_2 + R_3) = -R_a / 2 R_a = -0.5 \quad (8)$$

【0181】

結局、第1のオペアンプOP1と第2のオペアンプOP2の出力の差動利得K Aは、以下の式（9）に示すように、2倍となる。

$$K_A = K_1 - K_2 = 1.5 - (-0.5) = 2 \quad (9)$$

【0182】

スイッチ回路SWがオフ状態であるので、第1のオペアンプOP1と第2のオペアンプOP2の出力電位は、ほぼ基準端子T r e fと同電位となり、電源電位V b a tの1/4となる。

【0183】

40

第1の信号出力端子T o u t 1と第2の信号出力端子T o u t 2の出力電位は、第7、第8の帰還抵抗R7、R8の作用により、ほぼ第1のオペアンプOP1の出力電位と第2のオペアンプOP2の出力電位に近い値を示すことになる。したがって、第1の信号出力端子T o u t 1と第2の信号出力端子T o u t 2の出力電位は、ほぼ電源電位V b a tの1/4の電位を示す。

【0184】

また、既述のように、全差動オペアンプ3の差動利得K Bは、第7、第8の帰還抵抗の抵抗値が第9、第10の帰還抵抗の抵抗値に比べて無視できるほど小さいことから、近似的に、 R_c/R_b となる。

【0185】

50

よって、第1の信号入力端子 T_{in1} に入力信号が入力された場合の、電力増幅装置 200 の差動利得（第1の信号出力端子 T_{out1} と第2の信号出力端子 T_{out2} の差動出力利得） K は、 $K = K_A \times K_B = 2 R_c / R_b$ と計算される。

【0186】

このように、電力増幅装置 200 の差動利得 K は、スイッチ回路 SW のオン／オフ状態に拘わらず、常に $2 R_c / R_b$ と一定となる。そして、スイッチ回路 SW のオン／オフ状態により、第1の信号出力端子 T_{out1} と第2の信号出力端子 T_{out2} の直流出力電位のみが、電源電位 V_{bat} の中間電圧、または電源電位 V_{bat} の $1/4$ の電位に変化する。

【0187】

10

ここで、電力増幅装置 200 の具体的な動作波形の一例について説明する。

【0188】

図13は、図12に示す実施例1に係る電力増幅装置 200 の具体的な動作波形の一例を示す図である。

【0189】

ここでは、切替閾値 V_{th} を式 (10) のように設定する。なお、式 (10) において、 V_{ref} は、基準電圧であり、 V_{hr} は、固定の電圧である。

$$V_{th} = 2 V_{ref} + V_{hr} \quad (10)$$

【0190】

図13において、電源電位 V_{bat} の波形は、典型的なアイドリングストップ後のエンジン再始動時に発生する、バッテリー電圧の瞬時低下（時間 $t_1 \sim t_4$ ）を示している。なお、時間 t_1 以前、時間 t_4 以降は、電源電位（バッテリー電圧） V_{bat} が安定状態である。

20

【0191】

出力直流電圧 V_{outDC} は、第1の信号出力端子 T_{out1} と第2の信号出力端子 T_{out2} の電位を示している。

【0192】

例えば、電源電位 V_{bat} が切替閾値 V_{th} よりも高い場合（時間 t_2 以前、時間 t_3 以降）、中点電位制御回路1がスイッチ回路 SW をオンすることにより、出力直流電圧 V_{outDC} は、電源電位 V_{bat} の $1/2$ に変化する。

30

【0193】

一方、電源電位 V_{bat} が切替閾値 V_{th} よりも低い場合（時間 $t_2 \sim t_3$ ）、中点電位制御回路1がスイッチ回路 SW をオフすることにより、出力直流電圧 V_{outDC} は、電源電位 V_{bat} の $1/4$ に変化する。

【0194】

そして、第1の信号出力端子 T_{out1} 及び第2の信号出力端子 T_{out2} には、正相の出力信号と逆相の出力信号が出力される。電源電位 V_{bat} の波形の瞬時低下あるいは上昇時に、一方の出力端子がクリップする場合がある（図13の矢印A）。

【0195】

しかしながら、本実施例1に係る電力増幅装置 200 は、差動利得を一定に保つので、第1の信号出力端子 T_{out1} と第2の信号出力端子 T_{out2} の差動出力は、バッテリー電圧の瞬時低下の前後においても常に所望の出力波形を得られることになる（図13の矢印B）。

40

【0196】

以上のように、本実施例1に係る電力増幅回路によれば、電源電位が瞬時低下しても所望の出力波形を出力し続けることができる。

【0197】

そして、本実施例1に係る電力増幅回路を適用したカーオーディオは、アイドリングストップによるエンジン停止から始動時の負荷急変によるバッテリー電圧の瞬時低下の際に、音声出力を途切れさせないようにすることができる。すなわち、ユーザは、エンジン停止

50

から始動時に、このカーオーディオの音声出力を違和感なく聞くことができる。

【0198】

なお、実施形態は例示であり、発明の範囲はそれらに限定されない。

【符号の説明】

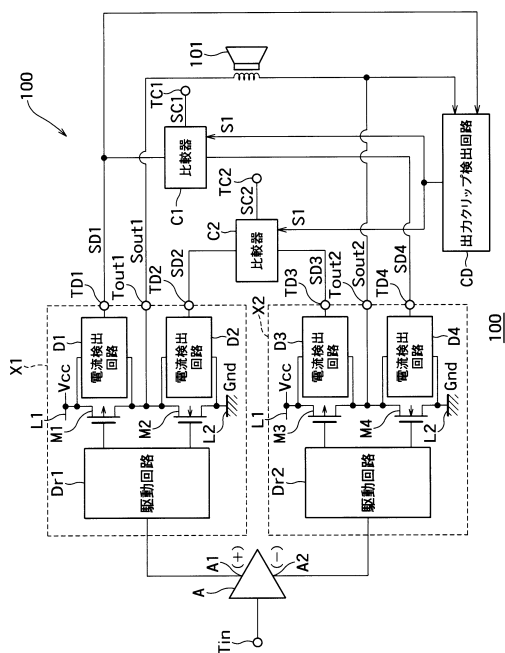
【0199】

100 電力増幅装置

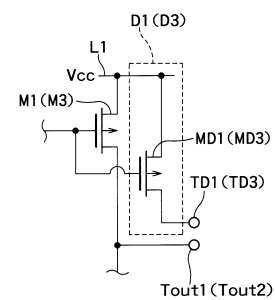
101 スピーカ

1000 オーディオシステム

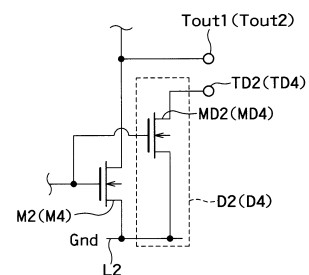
【図1】



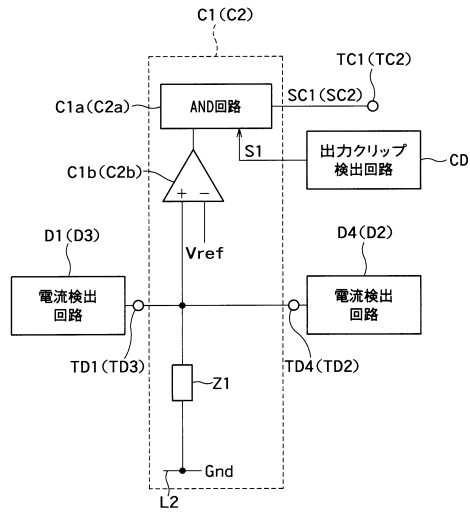
【図2】



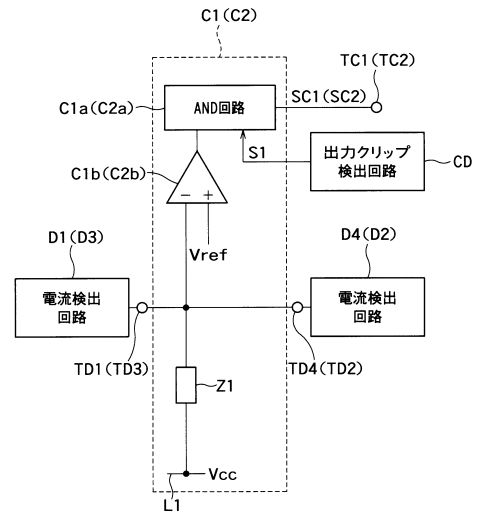
【図3】



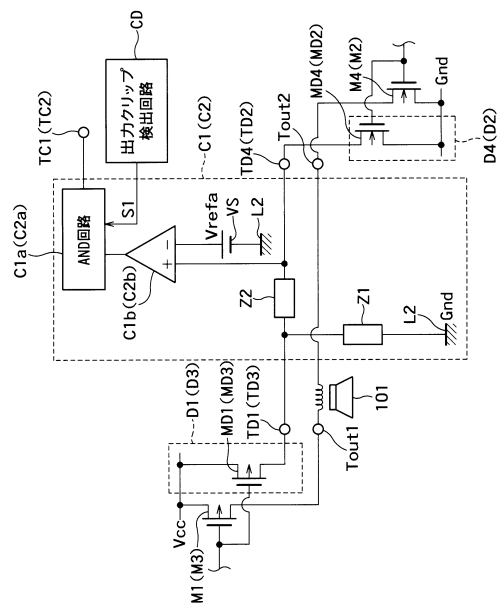
【図 4】



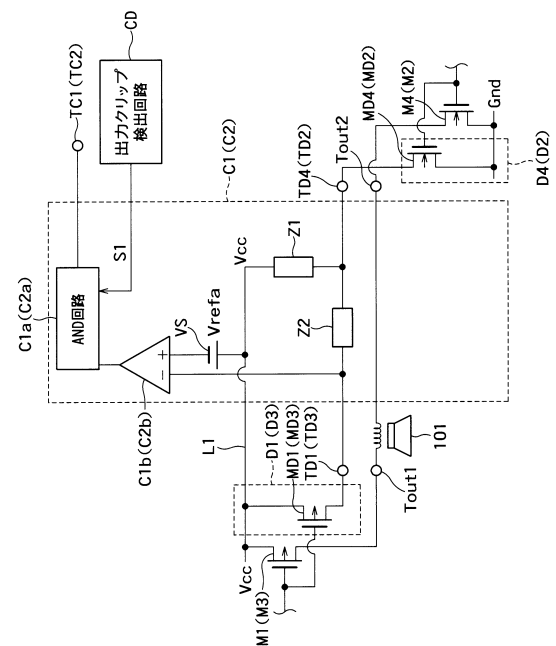
【図 5】



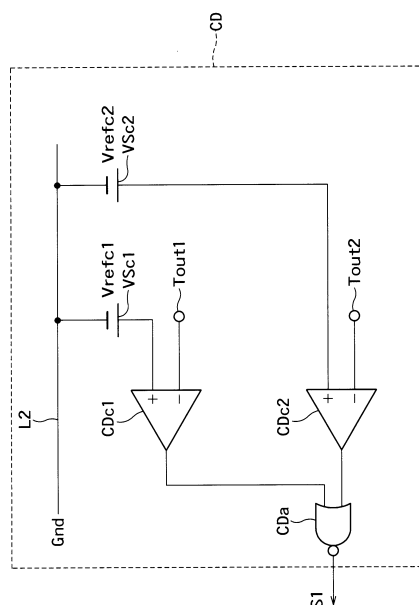
【図 6】



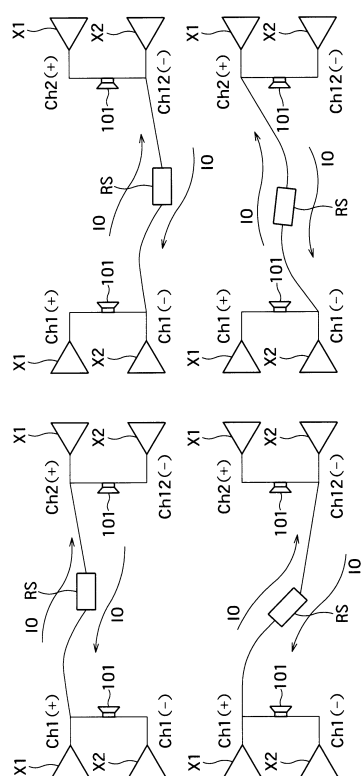
【図 7】



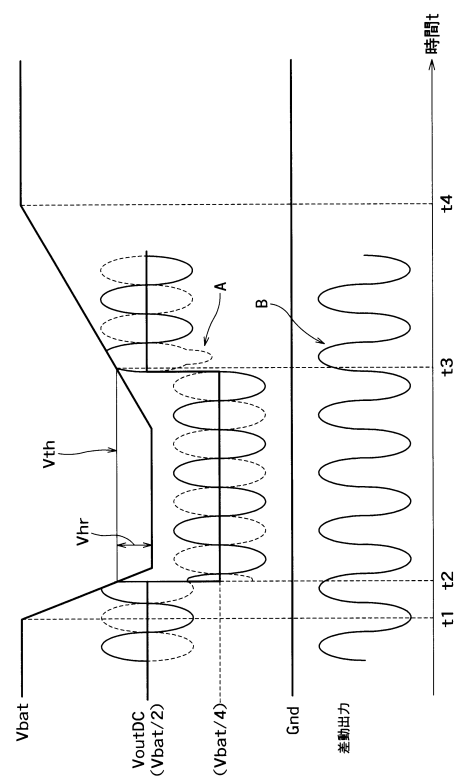
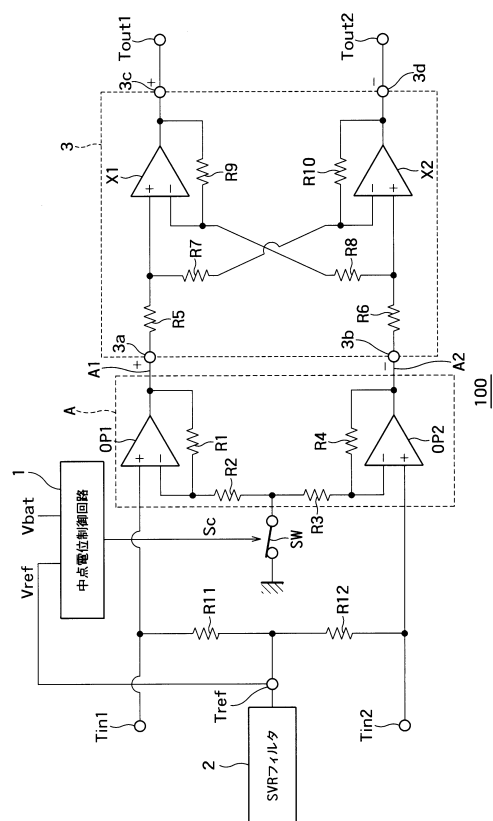
【图 9】



【図 1 1】



【图 13】



フロントページの続き

- (72)発明者 山 内 明
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 鶴 見 博 幸
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 富澤 哲生

- (56)参考文献 特開昭61-081010 (JP, A)
特開平03-045005 (JP, A)
特開2008-092293 (JP, A)
特開2000-165154 (JP, A)
特開2004-180294 (JP, A)
特開2000-151297 (JP, A)
特開2000-152367 (JP, A)
米国特許第05148115 (US, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H03F | 1/52 |
| H03F | 3/185 |
| H03F | 3/21 |
| H03F | 3/68 |