

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5598363号
(P5598363)

(45) 発行日 平成26年10月1日(2014.10.1)

(24) 登録日 平成26年8月22日(2014.8.22)

(51) Int.Cl. F I
G 1 1 C 13/00 (2006.01) G 1 1 C 13/00 1 5 0
 G 1 1 C 13/00 1 1 0 R

請求項の数 15 (全 31 頁)

(21) 出願番号	特願2011-29584 (P2011-29584)	(73) 特許権者	000002185 ソニー株式会社
(22) 出願日	平成23年2月15日(2011.2.15)		東京都港区港南1丁目7番1号
(65) 公開番号	特開2012-169011 (P2012-169011A)	(74) 代理人	100098785 弁理士 藤島 洋一郎
(43) 公開日	平成24年9月6日(2012.9.6)	(74) 代理人	100109656 弁理士 三反崎 泰司
審査請求日	平成26年1月20日(2014.1.20)	(74) 代理人	100130915 弁理士 長谷部 政男
		(74) 代理人	100155376 弁理士 田名網 孝昭
		(72) 発明者	北川 真 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 記憶装置およびその動作方法

(57) 【特許請求の範囲】

【請求項1】

印加される電圧に応じて抵抗状態が変化する複数の記憶素子と、
前記記憶素子に接続されたビット線と、
 前記記憶素子の抵抗状態を変化させることによって情報の書き込みまたは消去を行う抵抗変化動作と、前記記憶素子から情報を読み出す読み出し動作とを行う駆動部とを備え、
 前記駆動部は、
 前記読み出し動作の際の読み出し信号を出力する増幅器と、
 定電流負荷と、
前記ビット線を駆動するための書き込みドライバと、
 前記記憶素子に対して、前記抵抗変化動作と、情報の書き込みまたは消去が正常に行われたか否かを確認するための前記読み出し動作を前記抵抗変化動作に続けて行うダイレクトベリファイ動作と、を実行する制御部とを有し、
 前記制御部は、
 前記ダイレクトベリファイ動作を行う期間では、前記定電流負荷が前記増幅器の負荷として機能すると共に、前記記憶素子に流れる電流と前記定電流負荷の電流とに基づいて前記読み出し信号が出力されるように制御し、
前記抵抗変化動作を行う期間および前記ダイレクトベリファイ動作を行う期間において

それぞれ、前記定電流負荷が前記ビット線に接続されるように制御する

記憶装置。

【請求項 2】

前記定電流負荷に接続されたりファレンス素子を備え、
前記増幅器は、前記記憶素子に流れる電流と前記リファレンス素子に流れる電流とに基づいて差動増幅を行うことにより、前記読み出し信号を出力する

請求項 1 に記載の記憶装置。

【請求項 3】

前記リファレンス素子は、前記記憶素子と略同等の抵抗特性を示す素子である

請求項 2 に記載の記憶装置。

10

【請求項 4】

前記略同等の抵抗特性は、非線形の抵抗特性である

請求項 3 に記載の記憶装置。

【請求項 5】

複数のメモリセルを備え、

1つの記憶素子と1つのリファレンス素子とが、1つのメモリセル内に配設されている

請求項 2 ないし請求項 4 のいずれか 1 項に記載の記憶装置。

【請求項 6】

前記駆動部は、前記定電流負荷を利用して所定の定電圧を生成する定電圧生成部を有し

、

前記増幅器は、前記記憶素子に流れる電流に対応する電圧と前記定電圧とに基づいて差動増幅を行うことにより、前記読み出し信号を出力する

請求項 1 に記載の記憶装置。

20

【請求項 7】

複数の増幅器に対して1つの定電圧生成部が共通接続されている

請求項 6 に記載の記憶装置。

【請求項 8】

前記制御部は、前記抵抗変化動作を行う期間では、前記書き込みドライバが前記定電流負荷よりも低インピーダンス状態となるように制御する

請求項 1 ないし請求項 7 のいずれか 1 項に記載の記憶装置。

30

【請求項 9】

前記駆動部は、ソースが前記ビット線に接続された電圧制御トランジスタを有し、

前記電圧制御トランジスタのゲートに印加される電圧によって、前記抵抗変化動作の際に前記記憶素子に印加される電圧が制御される

請求項 1 ないし請求項 8 のいずれか 1 項に記載の記憶装置。

【請求項 10】

前記定電流負荷が、カレントミラー回路を用いて構成されている

請求項 1 ないし請求項 9 のいずれか 1 項に記載の記憶装置。

【請求項 11】

前記記憶素子は、第 1 電極、記憶層および第 2 電極をこの順に有し、

前記記憶層では、前記第 1 電極と前記第 2 電極との間に印加される電圧の極性に依じて、可逆的に抵抗状態が変化する

請求項 1 ないし請求項 10 のいずれか 1 項に記載の記憶装置。

40

【請求項 12】

前記記憶層は、

前記第 1 電極側に設けられた抵抗変化層と、

前記第 2 電極側に設けられたイオン源層と

を有する請求項 11 に記載の記憶装置。

【請求項 13】

前記記憶素子では、

50

前記第 1 電極側に負電位が印加されると共に前記第 2 電極側に正電位が印加されると、前記イオン源層中のイオンが前記第 1 電極側に移動して前記抵抗変化層が低抵抗化することにより、その抵抗状態を高抵抗状態から低抵抗状態へと変化させる、前記抵抗変化動作としてのセット動作が行われ、

前記第 1 電極側に正電位が印加されると共に前記第 2 電極側に負電位が印加されると、前記イオン源層中のイオンが前記第 2 電極側に移動して前記抵抗変化層が高抵抗化することにより、前記低抵抗状態から前記高抵抗状態へと変化させる、前記抵抗変化動作としてのリセット動作が行われる

請求項 1 2 に記載の記憶装置。

【請求項 1 4】

前記制御部は、前記記憶素子の抵抗状態を低抵抗状態から高抵抗状態へと変化させる、前記抵抗変化動作としてのリセット動作に続けて、前記ダイレクトベリファイ動作を実行する

請求項 1 ないし請求項 1 3 のいずれか 1 項に記載の記憶装置。

【請求項 1 5】

印加される電圧に応じて抵抗状態が変化する複数の記憶素子と、前記記憶素子に接続されたビット線と、前記記憶素子から情報を読み出す読み出し動作の際の読み出し信号を出力する増幅器と、定電流負荷と、前記ビット線を駆動するための書き込みドライバとを備えた記憶装置を動作させる際に、

前記記憶素子に対して、その抵抗状態を変化させることによって情報の書き込みまたは消去を行う抵抗変化動作と、情報の書き込みまたは消去が正常に行われたか否かを確認するための前記読み出し動作を前記抵抗変化動作に続けて行うダイレクトベリファイ動作と、を実行すると共に、

前記ダイレクトベリファイ動作を行う期間では、前記定電流負荷が前記増幅器の負荷として機能すると共に、前記記憶素子に流れる電流と前記定電流負荷の電流とに基づいて前記読み出し信号が出力されるように制御し、

前記抵抗変化動作を行う期間および前記ダイレクトベリファイ動作を行う期間においてそれぞれ、前記定電流負荷が前記ビット線に接続されるように制御する

記憶装置の動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶層の電気的特性の変化により情報を記憶する記憶素子を備えた記憶装置、およびそのような記憶装置の動作方法に関する。

【背景技術】

【0002】

コンピュータ等の情報機器においては、ランダム・アクセス・メモリとして、動作が高速で、高密度の D R A M (Dynamic Random Access Memory) が広く使用されている。しかしながら、D R A M は、電子機器に用いられる一般的な論理回路 L S I (Large Scale Integrated Circuit) や信号処理と比較して、製造プロセスが複雑であるため、製造コストが高くなっている。また、D R A M は、電源を切ると情報が消えてしまう揮発性メモリであり、頻りにリフレッシュ動作、即ち書き込んだ情報(データ)を読み出し、増幅し直して、再度書き込み直す動作を行う必要がある。

【0003】

一方で、近年では、記憶層の電気的特性の変化により情報を記憶する、抵抗変化型の記憶素子(不揮発性メモリ)が開発されている。また、例えば非特許文献 1 には、特にメモリ素子の微細加工の限界に対して有利な、新しいタイプの抵抗変化型の記憶素子が提案されている。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 3 - 1 8 7 5 9 0 号公報

【特許文献 2】特開 2 0 0 4 - 2 3 4 7 0 7 号公報

【特許文献 3】特開 2 0 0 7 - 1 3 3 9 3 0 号公報

【特許文献 4】特開 2 0 1 0 - 1 9 8 7 0 2 号公報

【非特許文献】

【 0 0 0 5 】

【非特許文献 1】K.Aratani, 他 1 2 名, “A Novel Resistance Memory with High Scalability and Nanosecond Switching”, Technical Digest IEDM2007, p. 7 8 3 - 7 8 6

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

この非特許文献 1 の記憶素子は、2 つの電極の間に、ある金属を含むイオン導電体（記憶層）を挟む構造としたものである。この記憶素子では、2 つの電極のいずれか一方にイオン導電体中に含まれる金属を含ませている。これにより、2 つの電極間に電圧を印加した場合に、電極中に含まれる金属がイオン導電体中にイオンとして拡散し、イオン導電体の抵抗値あるいはキャパシタンス等の電気特性が変化している。なお、一般的には、記憶素子の抵抗状態を高抵抗状態から低抵抗状態に変化させる動作は「セット動作」と呼ばれ、逆に低抵抗状態から高抵抗状態へと変化する動作は「リセット動作」と呼ばれている。

【 0 0 0 7 】

ところで、このような抵抗変化型の記憶素子では、長期的な信頼性を向上させる（記憶素子の抵抗分布の狭帯化を図る）ため、データの保持特性や、上記したセット動作およびリセット動作の繰り返し可能回数を高めることが重要である。このデータの保持特性としては、例えば、上記したセット動作時およびリセット動作時の保持特性が挙げられる。そこで、このような記憶素子では一般に、上記したような記憶素子の抵抗状態を変化させる動作（抵抗変化動作：情報の書き込みまたは消去動作）を行った後に、ベリファイ動作がなされるようになっている。このベリファイ動作とは、抵抗変化動作の際に情報の書き込みまたは消去が正常に行われたか否かを確認するための読み出し動作のことである。ところが、従来の手法では、抵抗変化動作とこのベリファイ動作とが非連続に行われていた（例えば、2 つの動作の間に所定のプリチャージ期間が設定されていた）ため、ベリファイ動作の際に要する処理時間が長くなってしまっていた。すなわち、ベリファイ動作の高速化が困難であった。

【 0 0 0 8 】

そこで、例えば特許文献 1 ~ 4 では、抵抗変化動作とベリファイ動作とをこの順序で連続的に（続けて）行う手法（ダイレクトベリファイ動作）が提案されている。このダイレクトベリファイ動作を実行する際には、2 つの動作（抵抗変化動作およびダイレクトベリファイ動作）が連続的に行われるため、例えば上記したようなプリチャージ期間を設ける必要がなくなり、ベリファイ動作の高速化を実現することができる。

【 0 0 0 9 】

ところが、上記特許文献 1 ~ 4 の手法では、抵抗変化動作の際の電流 I と負荷抵抗 R との IR 積をセンスすることによりベリファイ動作を行っているため、以下の問題が生じていた。すなわち、 IR 積をセンスすることに起因して読み出し信号の振幅が小さくなってしまい、ベリファイ動作の精度が低下してしまうという問題があった。

【 0 0 1 0 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、ベリファイ動作の高速化を図りつつベリファイ精度を向上させることが可能な記憶装置およびその動作方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

本発明の記憶装置は、印加される電圧に応じて抵抗状態が変化する複数の記憶素子と、記憶素子に接続されたビット線と、記憶素子の抵抗状態を変化させることによって情報の書き込みまたは消去を行う抵抗変化動作と、記憶素子から情報を読み出す読み出し動作とを行う駆動部とを備えたものである。この駆動部は、読み出し動作の際の読み出し信号を出力する増幅器と、定電流負荷と、ビット線を駆動するための書き込みドライバと、記憶素子に対して、抵抗変化動作と、情報の書き込みまたは消去が正常に行われたか否かを確認するための読み出し動作を抵抗変化動作に続けて行うダイレクトベリファイ動作と、を実行する制御部とを有している。この制御部は、ダイレクトベリファイ動作を行う期間では、定電流負荷が増幅器の負荷として機能すると共に、記憶素子に流れる電流と定電流負荷の電流とに基づいて読み出し信号が出力されるように制御し、抵抗変化動作を行う期間およびダイレクトベリファイ動作を行う期間においてそれぞれ、定電流負荷がビット線に接続されるように制御する。

10

【0012】

本発明の記憶装置の動作方法は、印加される電圧に応じて抵抗状態が変化する複数の記憶素子と、記憶素子に接続されたビット線と、記憶素子から情報を読み出す読み出し動作の際の読み出し信号を出力する増幅器と、定電流負荷と、ビット線を駆動するための書き込みドライバとを備えた記憶装置を動作させる際に、記憶素子に対して、その抵抗状態を変化させることによって情報の書き込みまたは消去を行う抵抗変化動作と、情報の書き込みまたは消去が正常に行われたか否かを確認するための読み出し動作を抵抗変化動作に続けて行うダイレクトベリファイ動作と、を実行すると共に、このダイレクトベリファイ動作を行う期間では、定電流負荷が増幅器の負荷として機能すると共に、記憶素子に流れる電流と定電流負荷の電流とに基づいて読み出し信号が出力されるように制御し、抵抗変化動作を行う期間およびダイレクトベリファイ動作を行う期間においてそれぞれ、定電流負荷がビット線に接続されるように制御するものである。

20

【0013】

本発明の記憶装置および記憶装置の動作方法では、情報の書き込みまたは消去が正常に行われたか否かを確認するための読み出し動作（ベリファイ動作）を上記抵抗変化動作に続けて行うダイレクトベリファイ動作が実行される。これにより、これらの抵抗変化動作とベリファイ動作とが非連続に行われる場合（例えば、2つの動作の間に所定のプリチャージ期間が設定される場合）と比べ、ベリファイ動作の際に要する処理時間が短くなる。また、このダイレクトベリファイ動作を行う期間では、定電流負荷が増幅器の負荷として機能すると共に、記憶素子に流れる電流と定電流負荷の電流とに基づいて、増幅器から読み出し信号が出力される。これにより、定電流負荷における高い出力抵抗に起因して増幅器における増幅率が大きくなり、読み出し信号の振幅が大きくなる。

30

【0014】

なお、記憶素子に対する書き込み動作および消去動作を、低抵抗化（高抵抗状態から低抵抗状態への変化）および高抵抗化（低抵抗状態から高抵抗状態への変化）のいずれに対応させるかは定義の問題であるが、本明細書では、低抵抗状態を書き込み状態、高抵抗状態を消去状態と定義する。

【発明の効果】

40

【0015】

本発明の記憶装置および記憶装置の動作方法によれば、上記ダイレクトベリファイ動作を実行するようにしたので、ベリファイ動作の際に要する処理時間を短くすることができる。また、このダイレクトベリファイ動作を行う期間では、定電流負荷が増幅器の負荷として機能すると共に、記憶素子に流れる電流と定電流負荷の電流とに基づいて増幅器から読み出し信号が出力されるようにしたので、増幅器における増幅率を大きくして読み出し信号の振幅も大きくすることができる。よって、ベリファイ動作の高速化を図りつつ、ベリファイ精度を向上させることが可能となる。

【図面の簡単な説明】

【0016】

50

- 【図 1】本発明の第 1 の実施の形態に係る記憶装置の構成例を表すブロック図である。
- 【図 2】図 1 に示したメモリセルおよびセンスアンプの構成例を表す回路図である。
- 【図 3】図 2 に示した記憶素子の構成例を表す断面図である。
- 【図 4】図 2 に示した書き込みドライバの構成例を表す回路図である。
- 【図 5】図 3 に示した記憶素子におけるセット動作およびリセット動作の概要を説明するための断面図である。
- 【図 6】図 3 に示した記憶素子の非線形特性の一例を表す特性図である。
- 【図 7】第 1 の実施の形態の実施例 1 - 1 に係るリセット & ダイレクトベリファイ動作の一例を表すタイミング波形図である。
- 【図 8】第 1 の実施の形態の実施例 1 - 2 に係るリード動作の一例を表すタイミング波形図である。 10
- 【図 9】変形例 1 に係るセンスアンプ、VREF 生成部およびメモリセルの構成例を表す回路図である。
- 【図 10】変形例 1 の実施例 2 - 1 に係るリセット & ダイレクトベリファイ動作の一例を表すタイミング波形図である。
- 【図 11】変形例 1 の実施例 2 - 2 に係るリード動作の一例を表すタイミング波形図である。
- 【図 12】変形例 2 に係るセンスアンプおよびメモリセルの構成例を表す回路図である。
- 【図 13】変形例 2 の実施例 3 - 1 に係るリセット & ダイレクトベリファイ動作の一例を表すタイミング波形図である。 20
- 【図 14】変形例 2 の実施例 3 - 2 に係るリード動作の一例を表すタイミング波形図である。
- 【図 15】変形例 3 に係るセンスアンプおよびメモリセルの構成例を表す回路図である。
- 【図 16】変形例 3 の実施例 4 - 1 に係るリセット & ダイレクトベリファイ動作の一例を表すタイミング波形図である。
- 【図 17】変形例 3 の実施例 4 - 2 に係るリード動作の一例を表すタイミング波形図である。
- 【図 18】第 2 の実施の形態に係るセンスアンプおよびメモリセルの構成例を表す回路図である。
- 【図 19】第 2 の実施の形態の実施例 5 に係るセット & ダイレクトベリファイ動作の一例を表すタイミング波形図である。 30
- 【図 20】変形例 4 に係る記憶素子の構成例を表す断面図である。
- 【図 21】変形例 5 に係る記憶素子の構成例を表す断面図である。
- 【発明を実施するための形態】
- 【0017】
- 以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。
1. 第 1 の実施の形態（リセット & ダイレクトベリファイ動作の例）
 2. 第 1 の実施の形態の変形例 40
 - 変形例 1（相補読み出し方式の代わりにシングルエンド読み出し方式を用いた例）
 - 変形例 2（電圧制御トランジスタを P 型のトランジスタとした例）
 - 変形例 3（選択トランジスタを P 型のトランジスタとした例）
 3. 第 2 の実施の形態（セット & ダイレクトベリファイ動作の例）
 4. 第 1, 第 2 の実施の形態に共通の変形例
 - 変形例 4, 5（記憶素子の他の構成例）
 5. その他の変形例
- 【0018】
- < 第 1 の実施の形態 >
- [記憶装置 1 の構成] 50

図1は、本発明の第1の実施の形態に係る記憶装置（記憶装置1）のブロック構成を表すものである。この記憶装置1は、複数のメモリセル20を有するメモリアレイ2と、制御部30と、ワード線駆動部31と、ビット線駆動部・センスアンプ32とを備えている。これらのうち、制御部30、ワード線駆動部31およびビット線駆動部・センスアンプ32が、本発明における「駆動部」の一具体例に対応する。

【0019】

ワード線駆動部31は、行方向に平行して配置された複数個のワード線WL, REF WLに対してそれぞれ、所定の電位（ワード線電位）を印加するものである。なお、これらのワード線WL, REF WLの詳細については後述する。

【0020】

ビット線駆動・センスアンプ部32は、列方向に平行して配置された複数個のビット線BL, /BLに対してそれぞれ、所定の電位（後述するセット電圧またはリセット電圧）を印加するものである。このビット線駆動・センスアンプ部32はまた、上記したビット線BL, /BLを用いて、各メモリセル20から情報の読み出し動作（リード動作）を行うと共に、内部に列方向に並んで配置された複数個のセンスアンプ320において所定の信号増幅処理を行う機能も有している。更に、ビット線駆動・センスアンプ部32（センスアンプ320）では、制御部30による制御に従って、所定のベリファイ動作（後述するダイレクトベリファイ動作）もなされるようになっている。このベリファイ動作とは、情報の書き込みまたは消去が正常に行われたか否かを確認するための読み出し動作のことである。なお、センスアンプ320の詳細構成については後述するが、1つの列上で行方向に並んで配置された複数個のメモリセル20に対して、1つのセンスアンプ320が対応付けて設けられているものとする。

【0021】

制御部30は、後述する各種の信号（制御信号）を用いて、駆動対象のメモリセル20に対してダイレクトベリファイ動作を実行するように制御する機能を有している。このダイレクトベリファイ動作とは、情報の書き込み動作または消去動作（抵抗変化動作：後述するセット動作またはリセット動作に対応）についてのベリファイ動作を、この抵抗変化動作に続けて（連続的に）行うベリファイ動作のことである。ここで、本実施の形態では特に、後述するリセット動作に続けてダイレクトベリファイ動作を連続的に実行する（以下、「リセット&ダイレクトベリファイ動作」と称する）ようになっている。

【0022】

このようにして、制御部30、ワード線駆動部31およびビット線駆動部・センスアンプ32は、メモリアレイ2内の複数のメモリセル20の中から駆動対象となるメモリセル20を選択し、情報の書き込み動作、消去動作、読み出し動作またはベリファイ動作（ダイレクトベリファイ動作）を選択的に行うようになっている。

【0023】

メモリアレイ2では、図1に示したように、複数のメモリセル20が行列状（マトリクス状）に配置されている。図2は、このメモリセル20の回路構成例を、上記したセンスアンプ320の回路構成例とともに表したものである。なお、図2では、1つのセンスアンプ320に接続された1つのメモリセル20を代表して示しているが、実際には前述したように、1つのセンスアンプ320に対して複数個のメモリセル20が共通して接続されているものとする。

【0024】

[メモリセル20の構成]

図2に示したように、各メモリセル20は、1つの記憶素子21と1つの選択トランジスタ221とからなる、いわゆる「1T1R」型の回路構成を有している。各メモリセル20はまた、1つのリファレンス素子23と1つの選択トランジスタ222とからなる、リファレンス用の「1T1R」型の回路構成も有している。すなわち、ここでは1つのメモリセル20内に、1つの記憶素子21と1つのリファレンス素子23とが配設されている。更に、各メモリセル20には、一对のワード線WL, REF WLと、一对のビット線

10

20

30

40

50

BL, /BLとが接続されている。ここで、ワード線WLは、駆動対象の記憶素子21を選択するためのものであり、ワード線REFWLは、駆動対象のリファレンス素子23を選択するためのものである。また、ビット線BLは、駆動対象の記憶素子21に対して書き込むための信号(データ)、または駆動対象の記憶素子21から読み出した信号を伝達させるためのものである。一方、ビット線/BLは、駆動対象のリファレンス素子23に対して書き込むための信号、または駆動対象のリファレンス素子23から読み出した信号を伝達させるためのものである。なお、これらのビット線BL, /BLは、記憶素子21またはリファレンス素子23に対して直接または間接的に接続されるようになっている(ここでは、選択トランジスタ221, 222を介して間接的に接続されている)。

【0025】

10

このメモリセル20では、ワード線WLが選択トランジスタ221のゲートに接続され、ビット線BLが、選択トランジスタ221におけるソースおよびドレインのうちの一方側に接続されている。選択トランジスタ221におけるソースおよびドレインのうちの他方側は、記憶素子21を介して所定の電位VCOMMON(Vss)に接続されている。また、リファレンス素子23側では、ワード線REFWLが選択トランジスタ222のゲートに接続され、ビット線/BLが、選択トランジスタ222におけるソースおよびドレインのうちの一方側に接続されている。選択トランジスタ222におけるソースおよびドレインのうちの他方側は、リファレンス素子23を介して所定の電位VCOMMON(Vss)に接続されている。

【0026】

20

選択トランジスタ221, 222は、駆動対象の記憶素子21またはリファレンス素子23を選択するためのトランジスタであり、ここではそれぞれ、N型のMOS(Metal Oxide Semiconductor)トランジスタからなる。ただし、これには限られず、他の構造のトランジスタを用いてもよい。

【0027】

(記憶素子21)

記憶素子21は、印加される電圧の極性に応じて可逆的に抵抗状態が変化する(低抵抗状態と高抵抗状態との間で変化する)ことを利用して、情報の記憶(書き込みおよび消去)を行う素子(いわゆるバイポーラ型の抵抗変化型記憶素子)である。この記憶素子21は、図3に断面図で示したように、下部電極211(第1電極)、記憶層212および上部電極213(第2電極)をこの順に有している。

30

【0028】

下部電極211は、選択トランジスタ221側に設けられた電極である。この下部電極211は、半導体プロセスに用いられる配線材料、例えば、W(タングステン)、WN(窒化タングステン)、窒化チタン(TiN)、窒化 tantalum(TaN)等の金属または金属窒化物により構成されている。ただし、下部電極211の構成材料としては、これらには限られない。

【0029】

記憶層212は、上部電極213側に設けられたイオン源層212Bと、下部電極211側に設けられた抵抗変化層212Aとを有する積層構造となっている。この記憶層212では、詳細は後述するが、下部電極211と上部電極213との間に印加される電圧の極性に応じて、抵抗状態が低抵抗状態と高抵抗状態との間で可逆的に変化するようになっている。

40

【0030】

イオン源層212Bは、陰イオン化するイオン伝導材料として、テルル(Te)、硫黄(S)およびセレン(Se)のうち少なくとも1種のカルコゲン元素を含んでいる。また、イオン源層212Bは、陽イオン化可能な金属元素としてジルコニウム(Zr)やハフニウム(Hf)および/または銅(Cu)、更に消去時に酸化物を形成する元素としてアルミニウム(Al)および/またはゲルマニウム(Ge)を含んでいる。具体的には、イオン源層212Bは、例えば、ZrTeAl、ZrTeAlGe、CuZrTeAl、C

50

uTeGe、CuSiGeなどの組成のイオン源層材料により構成されている。なお、イオン源層212Bは、上記以外にも他の元素、例えばケイ素(Si)やホウ素(B)を含んでいてもよい

【0031】

抵抗変化層212Aは、電気伝導上のバリアとして情報保持特性を安定化させる機能を有するものであり、イオン源層212Bよりも抵抗値の高い材料により構成されている。抵抗変化層212Aの構成材料としては、例えば、好ましくはGd(ガドリニウム)などの希土類元素、Al, Mg(マグネシウム), Ta, Si(シリコン)およびCuのうちの少なくとも1種を含む酸化物もしくは窒化物などが挙げられる。

【0032】

上部電極213は、前述したVCOMMON側に設けられた電極である。この上部電極213は、下部電極211と同様に公知の半導体配線材料により構成されており、中でも、ポストアニールを経てもイオン源層212Bと反応しない安定な材料が好ましい。

【0033】

(リファレンス素子23)

リファレンス素子23は、例えばダイオードや、酸化膜等によって構成されるトンネル抵抗を用いた素子等からなり、記憶素子21と略同等の抵抗特性(電流I-電圧Vの特性)を示す素子、すなわち、非線形の抵抗特性を示す素子であることが望ましい。ただしこれには限られず、リファレンス素子23として、線形の抵抗特性を示す素子を用いるようにしてもよい。

【0034】

[センスアンプ320の構成]

センスアンプ320は、一对のトランジスタTr11, Tr12(電圧制御トランジスタ)、一对のトランジスタTr21, Tr22、一对のトランジスタTr31, Tr32、一对のトランジスタTr41, Tr42、一对のトランジスタTr51, Tr52、一对のトランジスタTr61, Tr62、一对のトランジスタTr71, Tr72および一对のトランジスタTr81, Tr82を有している。これらのうち、トランジスタTr11, Tr21, Tr31, Tr41, Tr51, Tr61, Tr71, Tr81は、記憶素子21に対応して設けられたトランジスタである。一方、トランジスタTr12, Tr22, Tr32, Tr42, Tr52, Tr62, Tr72, Tr82は、リファレンス素子23に対応して設けられたトランジスタである。また、トランジスタTr11, Tr12, Tr21, Tr22, Tr51, Tr52, Tr61, Tr62はそれぞれ、ここではN型のMOSトランジスタからなる。一方、トランジスタTr31, Tr32, Tr41, Tr42, Tr71, Tr72, Tr81, Tr82はそれぞれ、ここではP型のMOSトランジスタからなる。ただし、これには限られず、他の構造のトランジスタを用いてもよい。

【0035】

センスアンプ320はまた、一对の書き込みドライバWR T Dr 1, WR T Dr 2、1つの差動アンプAmpおよび1つのラッチ回路L a t c hを有している。

【0036】

書き込みドライバWR T Dr 1は、記憶素子21側に対応して設けられており、ビット線BLを所定の電位(後述するセット電圧またはリセット電圧)に駆動するためのドライバである。一方、書き込みドライバWR T Dr 2は、リファレンス素子23側に対応して設けられており、ビット線/BLを所定の電位(後述するセット電圧またはリセット電圧)に駆動するためのドライバである。なお、これらの書き込みドライバWR T Dr 1, WR T Dr 2の詳細構成については、後述する。

【0037】

差動アンプAmpは、読み出し動作(リード動作およびベリファイ動作)の際の読み出し信号SOを、ラッチ回路L a t c hに対して出力する増幅器(差動増幅器)である。なお、この差動アンプAmpの動作の詳細については、後述する。

10

20

30

40

50

【 0 0 3 8 】

ラッチ回路 L a t c h は、差動アンプ A m p から出力される読み出し信号 S O、または以下説明する一対の信号入出力線 L I O、/ L I O から入力される信号を一時的に保持する回路である。

【 0 0 3 9 】

このセンスアンプ 3 2 0 には、上記した一対の信号入出力線 L I O、/ L I O と、制御部 3 0 から供給される各種の信号線 V G R S T、B L E Q、/ B L E Q、W R T E N、/ W R T E N、/ D V R F E N、R E A D E N、V B I A S とが接続されている。これらのうち、信号入出力線 L I O、/ L I O は、複数のセンスアンプ 3 2 0 において共有化されているデータバスであり、信号の書き込み動作、消去動作および読み出し動作の際のデータバスとして機能するようになっている。

10

【 0 0 4 0 】

信号線 V G R S T は、詳細は後述するが、前述したダイレクトベリファイ動作の際に、一対のトランジスタ T r 1 1、T r 1 2 (電圧制御トランジスタ) を介してビット線 B L、/ B L へ後述するリセット電圧を供給するための信号線である。

【 0 0 4 1 】

信号線 B L E Q は、後述する一対の信号線 V o d、/ V o d およびビット線 B L、/ B L の電位をそれぞれ電源 V C O M M O N (V s s) に初期化 (イコライズ) するための信号を伝達する信号線である。具体的には、詳細は後述するが、この信号線 B L E Q の電位が「H (ハイ)」レベルのときに、信号線 V o d、/ V o d およびビット線 B L、/ B L の電位がそれぞれ電源 V s s に初期化されるようになっている。一方、信号線 / B L E Q は、後述する一対の信号線 V o / V o の電位をそれぞれ電源 V d d に初期化するための信号を伝達する信号線である。具体的には、詳細は後述するが、この信号線 / B L E Q の電位が「H」レベルのときに、信号線 V o、/ V o がそれぞれ電源 V d d に初期化されるようになっている。

20

【 0 0 4 2 】

信号線 W R T E N、/ W R T E N はそれぞれ、書き込みドライバ W R T D r 1、W R T D r 2 の動作を制御 (動作の有効化および無効化を設定する制御) するための信号を伝達する信号線である。なお、これらの書き込みドライバ W R T D r 1、W R T D r 2 に対する動作制御の詳細については、後述する。

30

【 0 0 4 3 】

信号線 / D R V F E N は、前述したベリファイ動作 (ダイレクトベリファイ動作) を有効化するための信号を伝達する信号線である。具体的には、詳細は後述するが、この信号線 / D R V F E N の電位が「L (ロー)」となっている期間において、ダイレクトベリファイ動作が実行されるようになっている。

【 0 0 4 4 】

信号線 R E A D E N は、通常の読み出し動作を有効化するための信号を伝達する信号線である。具体的には、詳細は後述するが、この信号線 R E A D E N の電位が「H」となっている期間において、読み出し動作が実行されるようになっている。

【 0 0 4 5 】

信号線 V B I A S は、詳細は後述するが、通常の読み出し動作の際に、一対のトランジスタ T r 1 1、T r 1 2 を介してビット線 B L、/ B L を所定の電位 (V B I A S - V g s (トランジスタ T r 1 1、T r 1 2 のゲート・ソース間電圧: 約 0.1 V)) にクランプするための信号線である。

40

【 0 0 4 6 】

このセンスアンプ 3 2 0 では、トランジスタ T r 1 1、T r 1 2 のゲートにそれぞれ、信号線 V G R S T が接続されている。トランジスタ T r 1 1 のソースにはビット線 B L が接続され、トランジスタ T r 1 2 のソースにはビット線 / B L が接続されている。トランジスタ T r 1 1 のドレインには信号線 V o d が接続され、トランジスタ T r 1 2 のドレインには信号線 / V o d が接続されている。これにより詳細は後述するが、ダイレクトベリ

50

ファイ動作の際に、トランジスタ $Tr11$ 、 $Tr12$ のゲート・ソース間電圧 V_{gs} によって、前述した抵抗変化動作の際に記憶素子 21 に印加される電圧（ここではリセット電圧）が設定されるようになっている。

【0047】

トランジスタ $Tr21$ 、 $Tr22$ のゲートにはそれぞれ信号線 $BLEQ$ が接続され、ソースにはそれぞれ、所定の電位 V_{COMMON} (V_{ss}) が接続されている。トランジスタ $Tr21$ のドレインには信号線 V_{od} が接続され、トランジスタ $Tr22$ のドレインには信号線/ V_{od} が接続されている。

【0048】

書き込みドライバ $WRTDr1$ では、入力信号としてのラッチデータ $LATCHDT$ が10
入力され、出力信号が信号線 V_{od} に出力され、制御信号としての信号線 $WRTEEN$ 、/ $WRTEEN$ がそれぞれ入力されるようになっている。同様に、書き込みドライバ $WRTDr2$ では、入力信号としてのラッチデータ $LATCHDT$ が入力され、出力信号が信号線/ V_{od} に出力され、制御信号としての信号線 $WRTEEN$ 、/ $WRTEEN$ がそれぞれ入力されるようになっている。

【0049】

ここで、図4に、書き込みドライバ $WRTDr1$ 、 $WRTDr2$ の回路構成例を示す。書き込みドライバ $WRTDr1$ 、 $WRTDr2$ はそれぞれ、4つのトランジスタ $Tr91$ 、 $Tr92$ 、 $Tr93$ 、 $Tr94$ を有している。これらのトランジスタのうち、トランジスタ $Tr91$ 、 $Tr92$ はそれぞれP型のMOSトランジスタからなり、トランジスタ $Tr93$ 、 $Tr94$ はそれぞれN型のMOSトランジスタからなる。ただし、これには限られず、他の構造のトランジスタを用いてもよい。ここで、トランジスタ $Tr91$ のゲートには信号線/ $WRTEEN$ が接続され、ソースには電源 V_{dd} が接続され、ドレインにはトランジスタ $Tr92$ のソースが接続されている。トランジスタ $Tr92$ 、 $Tr93$ のゲートにはそれぞれ、ラッチデータ $LATCHDT$ の信号線が接続され、トランジスタ $Tr92$ 、 $Tr93$ のドレインにはそれぞれ、信号線 V_{od} （または信号線/ V_{od} ）が接続されている。トランジスタ $Tr93$ のソースにはトランジスタ $Tr94$ のドレインが接続され、トランジスタ $Tr94$ のゲートには信号線 $WRTEEN$ が接続され、トランジスタ $Tr94$ のソースは接地されている（グランドに接続されている）。このような構成により書き込みドライバ $WRTDr1$ 、 $WRTDr2$ では、信号線 $WRTEEN$ の電位が「H」（信号線/ $WRTEEN$ の電位が「L」）のときに、ラッチデータ $LATCHDT$ の論理レベル（「0」または「1」）を反転して信号線 V_{o} （または信号線/ V_{o} ）へ出力するようになっている。すなわち、ラッチデータ $LATCHDT$ の論理レベルが「0」のときには、「1」の論理レベルの信号が出力され、逆にラッチデータ $LATCHDT$ の論理レベルが「1」のときには、「0」の論理レベルの信号が出力される。一方、信号線 $WRTEEN$ の電位が「L」（信号線/ $WRTEEN$ の電位が「H」）のときには、書き込みドライバ $WRTDr1$ 、 $WRTDr2$ はそれぞれ、ハイインピーダンス（ HiZ ）状態となる。

【0050】

センスアンプ 320 において、トランジスタ $Tr31$ 、 $Tr32$ のゲートにはそれぞれ、信号線/ $DRVFEN$ が接続されている。トランジスタ $Tr31$ のドレインには信号線 V_{od} が接続され、トランジスタ $Tr32$ のドレインには信号線/ V_{od} が接続されている。トランジスタ $Tr31$ のソースにはトランジスタ $Tr41$ のドレインが接続され、トランジスタ $Tr32$ のソースにはトランジスタ $Tr42$ のドレインが接続されている。

【0051】

トランジスタ $Tr41$ 、 $Tr42$ のゲートにはそれぞれ、ラッチデータ $LATCHDT$ の信号線が接続されている。トランジスタ $Tr41$ のソースには信号線 V_{o} が接続され、トランジスタ $Tr42$ のソースには信号線/ V_{o} が接続されている。これにより、後述するダイレクトベリファイ動作がパスした場合（情報の書き込みまたは消去が正常に行われたと判断された場合）に、次のダイレクトベリファイ動作のシーケンスにおいてダイレクトベリファイ動作が実行されないようになっている。

10

20

30

40

50

【 0 0 5 2 】

トランジスタTr 5 1 , Tr 5 2 のゲートにはそれぞれ、信号線 R E A D E N が接続されている。トランジスタTr 5 1 のソースには信号線 V o d が接続され、トランジスタTr 5 2 のソースには信号線 / V o d が接続されている。トランジスタTr 5 1 のドレインにはトランジスタTr 6 1 のソースが接続され、トランジスタTr 5 2 のドレインにはトランジスタTr 6 2 のソースが接続されている。

【 0 0 5 3 】

トランジスタTr 6 1 , Tr 6 2 のゲートにはそれぞれ、信号線 V B I A S が接続されている。トランジスタTr 6 1 のドレインには、トランジスタTr 7 1 のドレイン、トランジスタTr 8 1 のドレインおよび信号線 V o が接続されている。トランジスタTr 6 2 のドレインには、トランジスタTr 7 2 のドレイン、トランジスタTr 8 1 のゲート、トランジスタTr 8 2 のゲートおよびドレイン、ならびに信号線 / V o が接続されている。

10

【 0 0 5 4 】

トランジスタTr 7 1 , Tr 7 2 のゲートにはそれぞれ、信号線 / B L E Q が接続されている。トランジスタTr 7 1 , Tr 7 2 のソースにはそれぞれ、電源 V d d が接続されている。

【 0 0 5 5 】

トランジスタTr 8 1 , Tr 8 2 のソースにはそれぞれ、電源 V d d が接続されている。また、上記したように、トランジスタTr 8 1 , Tr 8 2 のゲートは互いに接続されると共に、トランジスタTr 8 2 のドレインにも接続されている。すなわち、これらのトランジスタTr 8 1 , Tr 8 2 により、定電流負荷（定電流源）として機能するカレントミラー回路が形成されるようになっている。なお、この定電流負荷（カレントミラー回路）は、記憶素子 2 1 およびリファレンス素子 2 3 に対して直接または間接的に接続されるようになっている（ここでは、間接的に接続されている）。

20

【 0 0 5 6 】

差動アンプ A m p の負極入力端には信号線 V o が接続され、正極入力端には信号線 / V o が接続され、出力端には信号線 S O が接続されている。このような構成により差動アンプ A m p では、駆動対象のメモリセル 2 0 内の記憶素子 2 1 に流れる電流とリファレンス素子 2 3 に流れる電流とに基づいて差動増幅を行うことにより、読み出し信号 S O を出力するようになっている（相補読み出し方式）。具体的には、差動アンプ A m p は、記憶素子 2 1 に流れる電流とリファレンス素子 2 3 に流れる電流との差分（電流差）を差動増幅して読み出し信号 S O を出力する。

30

【 0 0 5 7 】

ラッチ回路 L a t c h には、信号入出力線 L I O , / L I O 、信号線 S O 、ラッチデータ L A T C H D T の信号線および信号線 L A T C H E N が接続されている。このような構成によりラッチ回路 L a t c h では、読み出し信号 S O を一時的に保持して信号入出力線 L I O , / L I O へ出力したり、信号入力線 L I O , / L I O から入力された信号を一時的に保持してラッチデータ L A T C H D T の信号線へ出力するようになっている。また、このラッチ回路 L a t c h によるラッチ動作は、信号線 L A T C H E N によって制御されるようになっている。具体的には、例えばこの信号 L A T C H E N の立ち上がりエッジのタイミングにおいて、信号がラッチされる（一時的に保持される）。

40

【 0 0 5 8 】

[記憶装置 1 の作用・効果]

(1 . 基本動作)

この記憶装置 1 では、図 1 に示したように、ワード線駆動部 3 1 が、複数個のワード線 W L , R E F W L に対してそれぞれ、所定の電位（ワード線電位）を印加する。また、それと共に、ビット線駆動・センスアンプ部 3 2 が、複数個のビット線 B L , / B L に対してそれぞれ、所定の電位（後述するセット電圧またはリセット電圧）を印加する。これにより、メモリアレイ 2 内の複数のメモリセル 2 0 の中から駆動対象となるメモリセル 2 0 が選択され、情報の書き込み動作、消去動作、読み出し動作またはベリファイ動作が選択

50

的に行われる。なお、ワード線WLを用いた駆動対象の記憶素子21の選択と、ワード線REFWLを用いた駆動対象のリファレンス素子23の選択とは、相補的に行われるようになっている。

【0059】

具体的には、各メモリセル20内の記憶素子21では、下部電極211と上部電極213との間に印加される電圧の極性に応じて、可逆的に記憶層212の抵抗状態が変化する（低抵抗状態と高抵抗状態との間で変化する）。これを利用して記憶素子21では、情報の書き込み動作または消去動作がなされる。

【0060】

一方、ビット線駆動・センスアンプ部32は、複数個のビット線BL、/BLを用いて、駆動対象のメモリセル20内の記憶素子21から、情報の読み出し動作を行うと共に、内部の複数個のセンスアンプ320において所定の信号増幅処理を行う。このようにして、記憶素子21から情報の読み出し動作がなされると共に、後述するベリファイ動作（ダイレクトベリファイ動作）がなされる。

【0061】

なお、駆動対象の記憶素子21を選択する際には、その記憶素子21が属するメモリセル20に接続されたワード線WLに対して所定の電位（ワード線電位）が印加されると共に、接続されたビット線BLに所定の電圧（後述するセット電圧またはリセット電圧）が印加される。一方、駆動対象外の記憶素子21が属するメモリセル20では、接続されたワード線WLに対してグランド電位（例えば0V）が印加されると共に、接続されたビット線BLが、フローティング状態あるはグランド電位（0V）に設定される。同様に、駆動対象（動作対象）のリファレンス素子23を選択する際には、そのリファレンス素子23が属するメモリセル20に接続されたワード線REFWLに対して所定の電位（ワード線電位）が印加されると共に、接続されたビット線/BLに所定の電圧（後述するセット電圧またはリセット電圧）が印加される。一方、駆動対象外のリファレンス素子23が属するメモリセル20では、接続されたワード線REFWLに対してグランド電位（例えば0V）が印加されると共に、接続されたビット線/BLが、フローティング状態あるはグランド電位（0V）に設定される。

【0062】

ここで、図5および図6を参照して、情報の書き込み動作または消去動作に対応する、セット動作およびリセット動作について詳細に説明する。セット動作とは、記憶素子21（具体的には記憶層212）の抵抗状態を、高抵抗状態（初期状態）から低抵抗状態に変化させる（低抵抗化する）動作のことである。また、リセット動作とは、逆に、記憶素子21（記憶層212）の抵抗状態を、低抵抗状態から高抵抗状態に変化させる（高抵抗化する）動作のことである。以下、このような抵抗変化動作（セット動作およびリセット動作）について詳細に説明する。

【0063】

具体的には、図5(A)に示したセット動作時には、駆動対象のメモリセル20において、ワード線WL（選択トランジスタ221のゲート）に所定のワード線電位が印加される。また、それと共に、ビット線BLに所定のセット電圧が印加される。すると、図5(A)中に示したように、駆動対象の記憶素子21では、下部電極211側に負電位が、上部電極213側に正電位がそれぞれ印加される（すなわち、記憶素子21に対して正電圧が印加される）。これにより、記憶層212において、イオン源層212Bから例えばCuおよび/またはZr, Alなどの陽イオンがイオン伝導し、下部電極211側で電子と結合して析出する（図5(A)中の符号P11参照）。その結果、下部電極211と抵抗変化層212Aとの界面に、金属状態に還元された低抵抗のZrおよび/またはCu, Alなどの導電パス（フィラメント）が形成される。もしくは、抵抗変化層212Aの中に導電パスが形成される。よって、抵抗変化層212Aの抵抗値が低くなり（低抵抗化し）、初期状態の高抵抗状態から低抵抗状態へ変化する。このようにして、駆動対象の記憶素子21においてセット動作が行われる。なお、その後、正電圧を除去して記憶素子21に

10

20

30

40

50

印加される電圧をなくしても、低抵抗状態が保持される。これにより、記憶素子 2 1 に情報が書き込まれたことになる。

【 0 0 6 4 】

一方、図 5 (B) に示したリセット動作時には、駆動対象のメモリセル 2 0 において、ワード線 W L (選択トランジスタ 2 2 1 のゲート) に所定のワード線電位が印加される。また、それと共に、ビット線 B L に所定のリセット電圧が印加される。すると、図 5 (B) 中に示したように、駆動対象の記憶素子 2 1 では、下部電極 2 1 1 側に正電位が、上部電極 2 1 3 側に負電位がそれぞれ印加される (すなわち、記憶素子 2 1 に対して負電圧が印加される) 。これにより、上記したセット動作によって抵抗変化層 2 1 2 内に形成されていた導電パスの Z r および / または C u , A l が酸化してイオン化し、イオン源層 2 1 2 B に溶解もしくは T e 等と結合して、 C u₂T e、 C u T e 等の化合物を形成する (図 5 (B) 中の符号 P 1 2 参照) 。すると、 Z r および / または C u による導電パスが消滅、または減少して、抵抗値が高くなる (高抵抗化する) 。あるいは、更にイオン源層 2 1 2 B 中に存在する A l や G e などの添加元素がアノード極上に酸化膜を形成して、高抵抗な状態へ変化する。このようにして、低抵抗状態から初期状態の高抵抗状態へと変換し、駆動対象の記憶素子 2 1 においてリセット動作が行われる。なお、その後、負電圧を除去して記憶素子 2 1 に印加される電圧をなくしても、高抵抗状態が保持される。これにより、記憶素子 2 1 に書き込まれた情報を消去することが可能になる。

10

【 0 0 6 5 】

このようにして、このような過程 (セット動作およびリセット動作) を繰り返すことにより、記憶素子 2 1 において、情報の書き込み、および書き込まれた情報の消去を繰り返し行うことができる。すなわち、最初に、記憶素子 2 1 が高抵抗状態であった場合 (初期状態) には、記憶素子 2 1 に電圧を印加しても、電流はほとんど流れない。次いで、記憶素子 2 1 に対して所定の閾値 V_{th+} を超えた正電圧が印加されると、記憶素子 2 1 は急激に電流が流れる状態 (低抵抗状態) に遷移する。続いて、印加電圧 V を 0 V に戻しても、この低抵抗状態は保持される。そののち、記憶素子 2 1 に対して所定の閾値電圧 V_{th-} を超えた負電圧が印加されると、記憶素子 2 1 は急激に電流が流れない状態 (高抵抗状態) に遷移する。そして、その後は印加電圧 V を 0 V に戻しても、この高抵抗状態が保持される。このように、記憶素子 2 1 に対して極性の異なる電圧を印加することにより、可逆的に抵抗値 (抵抗状態) が変化する。

20

30

【 0 0 6 6 】

また、このようなセット動作およびリセット動作の際に、記憶素子 2 1 は、例えば図 6 (A) , (B) に示したような非線形性の抵抗特性を示す。すなわち、記憶素子 2 1 の上部電極 2 1 3 と下部電極 2 1 1 との間への印加電圧 (B i a s) と、そのときに記憶素子 2 1 に流れる電流 I_{cell} および記憶素子 2 1 の抵抗値 R_{cell} とは、非線形性の対応関係を示す。具体的には、図 6 (A) に示したように、印加電圧が増加するのに応じて、電流 I_{cell} が相乗的に増加すると共に、図 6 (B) に示したように、印加電圧が増加するのに応じて、抵抗値 R_{cell} が相乗的に減少する。

【 0 0 6 7 】

更に、例えば、抵抗値の高い状態 (高抵抗状態) を「 0 」の情報に、抵抗値の低い状態 (低抵抗状態) を「 1 」の情報に、それぞれ対応させると、以下のことも言える。すなわち、正電圧の印加による情報の記録過程で、「 0 」の情報から「 1 」の情報に変化させ、負電圧の印加による情報の消去過程で、「 1 」の情報から「 0 」の情報に変化させることができる。

40

【 0 0 6 8 】

なお、記憶素子 2 1 に対する書き込み動作および消去動作を、低抵抗化 (高抵抗状態から低抵抗状態への変化) および高抵抗化 (低抵抗状態から高抵抗状態への変化) のいずれに対応させるかは定義の問題であるが、本明細書では、低抵抗状態を書き込み状態、高抵抗状態を消去状態と定義する。

【 0 0 6 9 】

50

(2 . リセット&ダイレクトベリファイ動作)

次に、図 2 および図 7 を参照して、本発明の特徴的部分の 1 つである、記憶装置 1 におけるリセット&ダイレクトベリファイ動作について、比較例と比較しつつ詳細に説明する。

【 0 0 7 0 】

(2 - 1 . 比較例)

まず、抵抗変化型の記憶素子では一般に、長期的な信頼性を向上させる（記憶素子の抵抗分布の狭帯化を図る）ため、データの保持特性や、上記したセット動作およびリセット動作の繰り返し可能回数を高めることが重要である。このデータの保持特性としては、例えば、セット動作時およびリセット動作時の保持特性が挙げられる。そこで、このような記憶素子では一般に、そのようなセット動作やリセット動作（抵抗変化動作）の後にベリファイ動作が実行されるようになっている。

10

【 0 0 7 1 】

例えば、リセット動作後のベリファイ動作では、データ保持マージンや回路ばらつきマージン等を考慮して、通常の読み出し動作時の判定抵抗よりもベリファイ動作時の判定抵抗のほうを高く設定するのが一般的である。具体的には、例えば通常の読み出し時の判定抵抗を 1 0 0 k とした場合、ベリファイ動作時の判定抵抗は 1 M 以上に設定される。また、通常の読み出し時およびベリファイ動作時のビット線の電圧は、いわゆる R e a d D i s t u r b を考慮して、低い電圧（例えば 0 . 1 V ）に設定されるのが一般的である。

20

【 0 0 7 2 】

ところが、従来手法では、抵抗変化動作とベリファイ動作とが非連続に行われていた（例えば、2 つの動作の間に所定のプリチャージ期間が設定されていた）ため、ベリファイ動作の際に要する処理時間が長くなってしまっていた。すなわち、ベリファイ動作の高速化が困難であった。

【 0 0 7 3 】

そこで最近では、抵抗変化動作とベリファイ動作とをこの順序で続けて（連続的に）行う手法（ダイレクトベリファイ動作）が提案されている。このダイレクトベリファイ動作を実行する際には、2 つの動作（抵抗変化動作およびダイレクトベリファイ動作）が連続的に行われるため、例えば上記したようなプリチャージ期間を設ける必要がなくなり、ベリファイ動作の高速化を実現することができる。

30

【 0 0 7 4 】

ところがこの手法では、抵抗変化動作の際の電流 I と負荷抵抗 R との $I R$ 積をセンスすることによりベリファイ動作を行っているため、以下の問題が生じていた。すなわち、 $I R$ 積をセンスすることに起因して読み出し信号の振幅が小さくなってしまい、ベリファイ動作の精度（ベリファイ精度）が低下してしまうという問題があった。また、上記したリセット動作後のベリファイ動作の例で説明すると、ビット線の電圧が 0 . 1 V であり判定抵抗が 1 M であると、1 0 0 n A 程度の微小な電流信号しか読み出せない。したがって、読み出し信号の振幅が小さくなるため、ベリファイ動作は低速に行わざるを得ないことになる。

40

【 0 0 7 5 】

(2 - 2 . 実施例 1 - 1)

これに対して本実施の形態の記憶装置 1 では、例えば図 7 に示した実施例（実施例 1 - 1）のようにして、上記比較例における問題（特にベリファイ精度低下の問題）を解決している。

【 0 0 7 6 】

ここで図 7 は、実施例 1 - 1 に係るリセット&ダイレクトベリファイ動作の一例を、タイミング波形図で表わしたものである。この図 7 において、(A) はワード線 W L の電位、(B) は信号線 R E F W L の電位、(C) は信号線 R E A D E N の電位、(D) は / D V R F E N の電位、(E) は信号線 B L E Q の電位、(F) は信号線 W R T E N の電位、

50

(G) は V C O M M O N の電位、(H) は信号線 V o , / V o の電位、(I) は信号線 V G R S T の電位、(J) はビット線 B L , / B L の電位、をそれぞれ示す。

【 0 0 7 7 】

(期間 T 1 1 : タイミング t 1 1 以前)

この実施例 1 - 1 のリセット & ダイレクトベリファイ動作では、最初にタイミング t 1 1 以前の期間 T 1 1 において、初期化状態への設定がなされる。すなわち、まず、ワード線 W L , R E F W L の電位がいずれも「 L 」状態となっているため、駆動対象のメモリセル 2 0 における記憶素子 2 1 およびリファレンス素子 2 3 が、いずれも非選択状態となる (図 7 (A) , (B)) 。また、信号線 B L E Q の電位が「 H 」状態 (信号線 / B L E Q の電位が「 L 」状態) であるため、信号線 V o d , / V o d およびビット線 B L , / B L の電位がそれぞれ電源 V s s に初期化されると共に、信号線 V o , / V o の電位がそれぞれ電源 V d d に初期化される (図 7 (E) , (H) , (J)) 。また、信号線 R E A D E N の電位が「 L 」状態であると共に信号線 / D V R F E N の電位が「 H 」状態であることから、トランジスタ T r 3 1 , T r 3 2 , T r 5 1 , T r 5 2 がいずれもオフ状態となる (図 7 (C) , (D)) 。これにより、前述した定電流負荷 (カレントミラー回路) と信号線 V o , / V o とが互いに分離される。なお、この期間 T 1 1 から以下の期間 T 1 2 までの期間では、信号線 W R T E N の電位が「 L 」状態であることから、書き込みドライバ W R T D r 1 , W R T D r 2 はハイインピーダンス (H i Z) 状態となっている (図 7 (F)) 。

10

【 0 0 7 8 】

(期間 T 1 2 : タイミング t 1 1 ~ t 1 2)

次に、タイミング t 1 1 ~ t 1 2 の期間 T 1 2 では、駆動対象のメモリセル 2 0 の選択が開始される。すなわち、ワード線 W L , R E F W L の電位がいずれも「 H 」状態となるため、駆動対象のメモリセル 2 0 における記憶素子 2 1 およびリファレンス素子 2 3 が、いずれも選択状態となる (図 7 (A) , (B)) 。ただし、この時点ではまだ、ビット線 B L , / B L の電位がいずれも電源 V s s に初期化されていることから、記憶素子 2 1 およびリファレンス素子 2 3 に印加される電圧は、いずれも 0 V となる。

20

【 0 0 7 9 】

(期間 T 1 3 : タイミング t 1 2 ~ t 1 3)

次いで、タイミング t 1 2 ~ t 1 3 の期間 T 1 3 では、リセット動作が行われる。具体的には、この期間 T 1 3 は、期間 T 1 3 と以下の期間 T 1 4 とから構成されるリセット & ダイレクトベリファイ動作期間のうち、リセット動作期間となる。この期間 T 1 3 では、まず、信号線 B L E Q の電位が「 L 」状態 (信号線 / B L E Q の電位が「 H 」状態) となるため、信号線 V o d , / V o d 、ビット線 B L , / B L の電位および信号線 V o , / V o に対する初期化が、いずれも解除される (図 7 (E) , (H) , (J)) 。

30

【 0 0 8 0 】

また、信号線 W R T E N の電位が「 H 」状態となるため、書き込みドライバ W R T D r 1 , W R T D r 2 がそれぞれ、駆動動作を開始する (図 7 (F)) 。具体的には、ここではリセット動作を行うことから、書き込みドライバ W R T D r 1 , W R T D r 2 はそれぞれ、信号線 V o d , / V o d の電位をそれぞれ、電源 V d d に駆動する。これにより、ビット線 B L , / B L はそれぞれ、信号線 V G R S T の電位からトランジスタ T r 1 1 , T r 1 2 のゲート・ソース間電圧 V g s を差し引いた電位 (V G R S T - V g s) となる (図 7 (J)) 。このようにして、信号線 V o d , / V o d およびビット線 B L , / B L の電位がそれぞれ、低インピーダンスである書き込みドライバ W R T D r 1 , W R T D r 2 により、高速に駆動される (高速に電位が立ち上げられる) 。ここで、この期間 T 1 3 では、信号線 / D V R F E N の電位が「 L 」状態となることからトランジスタ T r 3 1 , T r 3 2 がそれぞれオン状態となり、定電流負荷 (カレントミラー回路) もまた、信号線 V o d , / V o d にそれぞれ接続されることになる (図 7 (D)) 。換言すると、期間 T 1 3 (および後述する期間 T 1 4) では、定電流負荷および書き込みドライバ W R T D r 1 , W R T D r 2 がそれぞれ、ビット線 B L , / B L に対して電氣的に接続される。ただし、リ

40

50

セット動作を行う期間（この期間T13）では、定電流負荷と比べて書き込みドライバWRTDr1, WRTDr2のほうが低インピーダンス状態であることから、実質的には定電流負荷は機能しない（ペリファイ動作はまだ開始されていない）。換言すると、期間T13では、定電流負荷ではなく書き込みドライバWRTDr1, WRTDr2によって、信号線Vod, /Vodおよびビット線BL, /BLがそれぞれ駆動される。つまり、制御部30は、定電流負荷と書き込みドライバWRTDr1, WRTDr2とのインピーダンスの違いを利用して、抵抗変化動作（ここではリセット動作）およびペリファイ動作を行う。

【0081】

また、上記したように、ビット線BL, /BLの電位はそれぞれ、(VGRST - Vgs)に設定されることから、トランジスタTr11, Tr12のゲートに印加される電圧（信号線VGRSTの電位）により、リセット動作の際に記憶素子21に印加される電圧が制御される。

【0082】

（期間T14：タイミングt13～t14）

次に、タイミングt13～t14の期間T14では、ペリファイ動作（ダイレクトペリファイ動作）が行われる。具体的には、この期間T14は、上記したリセット&ダイレクトペリファイ動作期間のうち、ダイレクトペリファイ動作期間となる。この期間T14では、信号線WRTEENの電位が再び「L」状態となるため、書き込みドライバWRTDr1, WRTDr2がそれぞれ再び動作を停止し、ハイインピーダンス（HiZ）状態となる（図7（F））。これにより、信号線Vod, /Vodおよび信号線Vo, /Voにはそれぞれ、実質的には定電流負荷のみが（電氣的に）接続されることになる。

【0083】

すると、信号線Vo, /Voは、定電流負荷の電流と、駆動対象の記憶素子21またはリファレンス素子23に流れる電流とにより定まる所定の電位に設定される（図7（H））。なお、図7（H）中に示した「HRS」は高抵抗状態（High Resistance State）を、「LRS」は低抵抗状態（Low Resistance State）をそれぞれ意味しており、以降の他の図においても同様である。具体的には、信号線Voは、定電流負荷の電流と、駆動対象の記憶素子21に流れる電流とにより定まる所定の電位となる。一方、信号線/Voは、定電流負荷の電流と、駆動対象のリファレンス素子23に流れる電流とにより定まる所定の電位となる。

【0084】

そして、差動アンプAmpでは、このような記憶素子21に流れる電流とリファレンス素子23に流れる電流とに基づいて差動増幅が行われ、読み出し信号SOが出力される（相補読み出し方式）。具体的には、差動アンプAmpでは、記憶素子21に流れる電流とリファレンス素子23に流れる電流との差分（電流差）、換言すると、上記した信号線Vo, /Vo間の電位差が、差動増幅されることにより読み出し信号SOが出力される。ここで、この期間T14（ダイレクトペリファイ動作を行う期間）では、上記したように信号線Vo, /Voには定電流負荷のみが接続されているため、この定電流負荷が、差動アンプAmpの負荷（能動負荷）として機能するようになる。これにより、定電流負荷における高い出力抵抗（出力インピーダンス）に起因して、差動アンプAmpにおける増幅率が大きくなり、このダイレクトペリファイ動作の際の読み出し信号SOの振幅が大きくなる。すなわち、記憶素子21に流れる電流とリファレンス素子23に流れる電流との微小な電流差（信号線Vo, /Vo間の微小な電位差）が、差動アンプAmpにおいて大幅に増幅され、読み出し信号SOとして出力される。

【0085】

（期間T15：タイミングt14～t15）

次いで、タイミングt14～t15の期間T15は、上記したダイレクトペリファイ動作の終了後の期間となる。すなわち、この期間T15では、まず、信号線/DVRFENの電位が再び「H」状態となることから、トランジスタTr51, Tr52がいずれもオ

10

20

30

40

50

フ状態となる(図7(D))。これにより、定電流負荷と信号線 V_o 、 $/V_o$ とが、再び互いに分離される。また、信号線BLEQの電位が再び「H」状態(信号線BLEQの電位が再び「L」状態)となる。これにより、信号線 V_{od} 、 $/V_{od}$ およびビット線BL、 $/BL$ の電位がそれぞれ、再び電源 V_{ss} に初期化されると共に、信号線 V_o 、 $/V_o$ の電位がそれぞれ、再び電源 V_{dd} に初期化される(図7(E)、(H)、(J))。

【0086】

(期間T16: タイミングt15以降)

なお、その後の期間T16(タイミングt15以降)では、ワード線WL、REFWLの電位がそれぞれ、再び「L」状態となる。このため、駆動対象のメモリセル20における記憶素子21およびリファレンス素子23がそれぞれ、再び非選択状態となる(図7(A)、(B))。これにより、前述した期間T11と等価な状態となる。

10

【0087】

このようにして、実施例1-1のリセット&ダイレクトベリファイ動作では、その名称の通り、リセット動作とベリファイ動作(ダイレクトベリファイ動作)とが、この順序で続けて(連続的に)行われる。これにより、前述した従来の手法のように、リセット動作とベリファイ動作とが非連続に行われる場合(例えば、2つの動作の間に所定のプリチャージ期間が設定される場合)と比べ、ベリファイ動作の際に要する処理時間が短くなる。

【0088】

また、この実施例1-1の手法では、記憶素子21に対して高いリセット電圧($V_{GST} - V_{gs}$)を印加することができると共に、例えば前述の図6(A)、(B)に示したような記憶素子21における非線形な抵抗特性を利用することができる。したがって、センス動作時における一对の信号線 V_o 、 $/V_o$ の振幅速度は、読み出し電流が大きいほど高速になる。よって、信号線 V_o 、 $/V_o$ が入力側に接続される差動アンプAmpの判定に必要な V_o 以上の V_o 電圧振幅が高速に発生するため、高速なセンス動作が実現される。この観点からも、ベリファイ動作の更なる高速化が図られる。

20

【0089】

更に、この実施例1-1のダイレクトベリファイ動作を行う期間(期間T14)では、定電流負荷が差動アンプAmpの負荷として機能すると共に、駆動対象の記憶素子21に流れる電流と定電流負荷の電流とに基づいて、この差動アンプAmpから読み出し信号SOが出力される。これにより、定電流負荷における高い出力抵抗に起因して差動アンプAmpにおける増幅率が大きくなり、読み出し信号SOの振幅が大きくなる。

30

【0090】

(2-3. 実施例1-2)

なお、本実施の形態に係るリード動作は、例えば図8に示した実施例1-2のようにしてなされる。この図8は、実施例1-2に係るリード動作の一例をタイミング波形図で表わしたものである。図8において、(A)~(H)、(J)に示した各信号線の種類は、上記した図7(A)~(H)、(J)の各信号線の種類と同一であり、図8(I)は、信号線VBIASの電位を示す。

【0091】

この実施例1-2のリード動作(タイミングt21~t25)は、基本的には、上記した実施例1-1のリセット&ダイレクトベリファイ動作と同様である。異なる点は、以下の通りである。すなわち、まず、信号線WR TENの電位が「L」状態に固定されている(FixL)ため、書き込みドライバWRTDr1、WRTDr2はいずれも動作しない(図8(D))。また、いわゆるRead Disturbが発生するのを回避するため、ビット線BL、 $/BL$ を($V_{BIAS} - V_{gs}$: 0.1V程度の低電位)にクランプする必要があるので、信号線/DVRFENの電位が「H」状態に固定されている(FixH)。これにより、一对の信号線 V_o 、 $/V_o$ と一对の信号線 V_{od} 、 $/V_{od}$ とは、トランジスタTr61、Tr62、Tr51、Tr52を介してのみ接続される。また、トランジスタTr61、Tr62のゲートには信号線VBIASの電位が印加されており、 $V_{BIAS} - V_{gs} = 0.1V$ となるように制御されている。したがって、一对の信号

40

50

線 V_{od} 、 \bar{V}_{od} は、 $0.1V$ にクランプされる。

【0092】

以上のように本実施の形態では、上記したダイレクトベリファイ動作を実行するようにしたので、ベリファイ動作の際に要する処理時間を短くすることができる。また、このダイレクトベリファイ動作を行う期間（期間 T_{14} ）では、定電流負荷が差動アンプ A_{mp} の負荷として機能すると共に、駆動対象の記憶素子 2_1 に流れる電流と定電流負荷の電流とに基づいて差動アンプ A_{mp} から読み出し信号 S_0 が出力されるようにしたので、この差動アンプ A_{mp} における増幅率を大きくして読み出し信号 S_0 の振幅も大きくすることができる。よって、ベリファイ動作の高速化を図りつつ、ベリファイ精度を向上させることが可能となる。

10

【0093】

また、差動アンプ A_{mp} において、駆動対象の記憶素子 2_1 に流れる電流と駆動対象のリファレンス素子 2_3 に流れる電流とに基づいて差動増幅を行うことによって読み出し信号 S_0 を出力する（相補読み出し方式を用いる）ようにしたので、以下の効果も得ることができる。すなわち、補読み出し動作であることから、過渡的にビット線 B_L や信号線 V_0 が遷移する状態であっても読み出すことが可能となり、更なるベリファイ動作の高速化を図ることが可能となる。

【0094】

更に、リファレンス素子 2_3 が、記憶素子 2_1 と略同等の抵抗特性（非線形の抵抗特性）を示す素子であるようにしたので、リセット電圧（ $V_{GRST} - V_{gs}$ ）の変化に対しても精度良く追従することが可能となり、この点からもベリファイ精度を向上させることが可能となる。

20

【0095】

加えて、トランジスタ Tr_{11} 、 Tr_{12} （電圧制御トランジスタ）のゲートに印加される電圧によってリセット電圧が制御されるようにしたので、信号線 V_0 側からはビット線 B_L の負荷が見えないようにすることができ、読み出し側での負荷を軽減して更なるベリファイ動作の高速化を図ることが可能となる。

【0096】

また、リセット動作についてダイレクトベリファイ動作を実行するようにしたので、以下のような効果を得ることが可能である。すなわち、まず、セット抵抗は例えば数 $10k$ 程度のベリファイ抵抗であることから、記憶素子 2_1 における抵抗値非線形性を利用できたとしても、記憶素子 2_1 以外の回路素子の寄生抵抗が数 k 程度存在するため、ベリファイ動作時における読み出し電流の増加は限定的である。これに対して、リセットベリファイ動作時における記憶素子 2_1 の抵抗は、例えば $1M$ 程度から $100k$ 程度まで低下するため、上記した回路素子の寄生抵抗が無視できる範囲内において読み出し電流を増加させることが可能である。よって、リセット動作についてダイレクトベリファイ動作を行ったほうが、セット動作についてダイレクトベリファイ動作を行う場合と比べ、ベリファイ動作時の電流増加の効果が大きいと言える。

30

【0097】

< 第1の実施の形態の変形例 >

40

続いて、上記第1の実施の形態の変形例（変形例1～3）について説明する。なお、第1の実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

【0098】

[変形例1]

図9は、変形例1に係るセンスアンプ（センスアンプ 3_20A_1 ）、 V_{REF} 生成部（ V_{REF} 生成部 3_20A_2 ）およびメモリセル（メモリセル 2_0A ）の回路構成例を表したものである。本変形例では、上記第1の実施の形態のセンスアンプ 3_20 において用いられた相補読み出し方式の代わりに、以下詳述するシングルエンド読み出し方式が用いられている。

50

【 0 0 9 9 】

(メモリセル20Aの構成)

各メモリセル20Aは、1つの記憶素子21と1つの選択トランジスタ221とからなる、「1T1R」型の回路構成のみを有している。すなわち、メモリセル20Aは、第1の実施の形態のメモリセル20において、リファレンス用の素子(リファレンス素子23および選択トランジスタ222)を省いた構成となっている。したがって、メモリセル20Aにはメモリセル20とは異なり、ワード線REFWLおよびビット線/BLが接続されていない。

【 0 1 0 0 】

(センスアンプ320A1の構成)

センスアンプ320A1は、基本的には、第1の実施の形態のセンスアンプ320において、ビット線/BL側に対応する各素子(トランジスタTr12, Tr22, Tr32, Tr42, Tr52, Tr62, Tr72, Tr82および書き込みドライバWRDTr2)を省いた構成となっている。すなわち、このセンスアンプ320A1は、上記したシングルエンド読み出し方式を用いた回路構成となっている。ただし、センスアンプ320A1ではセンスアンプ320とは異なり、トランジスタTr81のゲートおよび差動アンプAmpの正極入力端子にはそれぞれ、以下説明するVREF生成部320A2から出力される信号線VREFと接続されている。

【 0 1 0 1 】

(VREF生成部320A2の回路構成)

VREF生成部320A2は、定電流負荷(後述するカレントミラー回路)を利用して、所定の固定電圧である電圧VREFを生成するものであり、センスアンプ320A1とともにビット線駆動部・センスアンプ32内に設けられている。具体的には、ビット線駆動部・センスアンプ32内において、複数のセンスアンプ320A1に対して1つのVREF生成部320A2が対応付けて設けられている。換言すると、複数のセンスアンプ320A1に対して、1つのVREF生成部320A2が共通接続されている。

【 0 1 0 2 】

このVREF生成部320A2は、2つのリファレンス素子23と、2つの選択トランジスタ222と、7つのトランジスタTr13, Tr14, Tr34, Tr53, Tr63, Tr83, Tr84と、2つのスイッチSW1, SW2とを有している。ここでは、2つの選択トランジスタ222はいずれも、N型のMOSトランジスタからなる。また、上記した7つのトランジスタのうち、トランジスタTr13, Tr14, Tr53, Tr63はそれぞれN型のMOSトランジスタからなり、トランジスタTr34, Tr83, Tr84はそれぞれP型のMOSトランジスタからなる。ただし、これには限られず、他の構造のトランジスタを用いてもよい。

【 0 1 0 3 】

スイッチSW1は、ペリファイ動作時にオン状態となると共にその他の動作状態のときにはオフ状態となるスイッチである。一方、スイッチSW2は、通常の読み出し動作時にオン状態となると共にその他の動作状態のときにはオフ状態となるスイッチである。なお、これらのスイッチSW1, SW2のオン・オフ状態は、制御部30から供給される図示しない制御信号によって制御されるようになっている。

【 0 1 0 4 】

このVREF生成部320A2では、2つのリファレンス素子23の一端はそれぞれ所定の電位VCOMMONに接続され、他端はそれぞれ、選択トランジスタ222におけるソースおよびドレインのうち的一方側に接続されている。2つの選択トランジスタ222のうち的一方は、そのソースおよびドレインのうち他方側がトランジスタTr13のソースに接続されている。2つの選択トランジスタ222のうち他方は、そのソースおよびドレインのうち他方側がトランジスタTr14のソースに接続されている。また、2つの選択トランジスタ222のゲートはそれぞれ、電源Vddに接続されている。したがって、これら2つの選択トランジスタ222はいずれも、常にオン状態に設定されている

10

20

30

40

50

。換言すると、2つのリファレンス素子23はいずれも、読み出し対象として選択されるようになっている。

【0105】

トランジスタTr13, Tr14のゲートにはそれぞれ、信号線VGRSTが接続されている。トランジスタTr13のドレインにはトランジスタTr53のソースが接続され、トランジスタTr14のドレインにはトランジスタTr34のドレインが接続されている。また、トランジスタTr34のゲートは接地(グランド)に接続され、トランジスタTr53のゲートは電源Vddに接続されている。したがって、これらのトランジスタTr34, Tr53はいずれも、常にオン状態に設定されている。

【0106】

トランジスタTr63のゲートには信号線VBIASが接続され、ソースにはトランジスタTr53のドレインが接続されている。

【0107】

トランジスタTr83のソースには電源Vddが接続され、ゲートおよびドレインにはそれぞれ、トランジスタTr63のドレインが接続されると共に、スイッチSW2を介して信号線VREFに接続されている。このような構成により、スイッチSW2がオン状態のとき(通常の読み出し動作時)には、トランジスタTr81, Tr83によって定電流負荷(カレントミラー回路)が形成されるようになっている。

【0108】

トランジスタTr84のソースには電源Vddが接続され、ゲートおよびドレインにはそれぞれ、トランジスタTr34のソースが接続されると共に、スイッチSW1を介して信号線VREFに接続されている。このような構成により、スイッチSW1がオン状態のとき(ベリファイ動作時)には、トランジスタTr81, Tr84によって定電流負荷(カレントミラー回路)が形成されるようになっている。

【0109】

(リセット&ダイレクトベリファイ動作:実施例2-1)

本変形例では、例えば図10に示した実施例2-1のようにして、リセット&ダイレクトベリファイ動作がなされる。この図10は、実施例2-1に係るリセット&ダイレクトベリファイ動作の一例を、タイミング波形図で表わしたものである。図10において、(A)はワード線WLの電位、(B)は信号線READENの電位、(C)は/DVRFENの電位、(D)は信号線BLEQの電位、(E)は信号線WRTEENの電位、(F)はVCOMMONの電位、(G)は信号線Voの電位、(H)は信号線VREFの電位、(I)はビット線BLの電位、をそれぞれ示す。

【0110】

この実施例2-1のリセット&ダイレクトベリファイ動作(タイミングt31~t35)は、基本的には、上記した実施例1-1のリセット&ダイレクトベリファイ動作と同様である。異なる点は、以下の通りである。すなわち、差動アンプAmpが、駆動対象の記憶素子21に流れる電流に対応する電圧(信号線Voの電位)と、VREF生成部320A2により生成される固定電圧VREFとに基づいて差動増幅を行うことにより、読み出し信号SOを出力する(シングルエンド読み出し方式を用いている)ことである。

【0111】

(リード動作:実施例2-2)

なお、本変形例に係る読み出し動作(リード動作)は、例えば図11に示した実施例2-2のようにしてなされる。この図11は、実施例2-2に係るリード動作の一例をタイミング波形図で表わしたものである。図11において、(A)~(H), (J)に示した各信号線の種類は、上記した図10(A)~(H), (J)の各信号線の種類と同一であり、図11(I)は、信号線VBIASの電位を示す。

【0112】

この実施例2-2のリード動作(タイミングt41~t45)も、シングルエンド読み出し方式を用いている点を除けば、基本的には上記した実施例1-2のリード動作と同様

10

20

30

40

50

である。

【0113】

以上のように本変形例では、相補読み出し方式の代わりにシングルエンド読み出し方式を用いてベリファイ動作（ダイレクトベリファイ動作）およびリード動作を行うようにしたので、上記第1の実施の形態における効果に加え、以下の効果を得ることが可能である。すなわち、センスアンプの構成を簡素化することができ、記憶装置における高密度化を図ることが可能となる。また、複数のセンスアンプ320A1に対して1つのVREF生成部320A2が共通接続されているようにしたので、この点からも構成を簡素化することができ、記憶装置における高密度化を図ることが可能となる。

【0114】

[変形例2]

図12は、変形例2に係るセンスアンプ（センスアンプ320B）の回路構成例を、メモリセル20の回路構成とともに表したものである。

【0115】

（センスアンプ320Bの構成）

本変形例のセンスアンプ320Bは、第1の実施の形態のセンスアンプ320において、トランジスタTr11, Tr12（電圧制御トランジスタ）がそれぞれ、N型ではなくP型のMOSトランジスタにより構成されている。また、それと共に、トランジスタTr21, Tr22, Tr51, Tr52, Tr61, Tr62がそれぞれ、N型ではなくP型のMOSトランジスタにより構成され、逆にトランジスタTr31, Tr32, Tr41, Tr42, Tr71, Tr72, Tr81, Tr82がそれぞれ、P型ではなくN型のMOSトランジスタにより構成されている。そして、センスアンプ320B内の電源Vdd, VCOMMONの配置関係が、センスアンプ320内における配置関係と互いに逆となっている。なお、センスアンプ320Bにおける他の構成は、センスアンプ320と同様である。

【0116】

（リセット&ダイレクトベリファイ動作：実施例3-1）

本変形例では、例えば図13に示した実施例3-1のようにして、リセット&ダイレクトベリファイ動作がなされる。この図13は、実施例3-1に係るリセット&ダイレクトベリファイ動作の一例を、タイミング波形図で表わしたものである。図13において、（A）はワード線WLの電位、（B）はワード線REFWLの電位、（C）は信号線READENの電位、（D）は/DVRFENの電位、（E）は信号線BLEQの電位、（F）は信号線WR TENの電位、（G）はVCOMMONの電位、（H）はビット線BL, /BLの電位、（I）は信号線VGRSTの電位、（J）は信号線Vo, /Voの電位、をそれぞれ示す。

【0117】

この実施例3-1のリセット&ダイレクトベリファイ動作（タイミングt51~t55）も、基本的には、実施例1-1のリセット&ダイレクトベリファイ動作と同様である。異なる点は、以下の通りである。すなわち、トランジスタTr11, Tr12がP型のMOSトランジスタからなることに起因して、全体の電圧極性が逆転（反転）していることである。

【0118】

（リード動作：実施例3-2）

なお、本変形例に係る読み出し動作（リード動作）は、例えば図14に示した実施例3-2のようにしてなされる。この図14は、実施例3-2に係るリード動作の一例をタイミング波形図で表わしたものである。図14において、（A）~（H）、（J）に示した各信号線の種類は、上記した図13（A）~（H）、（J）の各信号線の種類と同一であり、図14（I）は、信号線VB I A Sの電位を示す。

【0119】

この実施例3-2のリード動作（タイミングt61~t65）も、上記したように全体

10

20

30

40

50

の電圧極性が逆転している点を除けば、基本的には実施例 1 - 2 のリード動作と同様である。

【 0 1 2 0 】

このようにして本変形例においても、上記第 1 の実施の形態と同様の作用により同様の効果を得ることが可能である。

【 0 1 2 1 】

[変形例 3]

図 1 5 は、変形例 3 に係るメモリセル (メモリセル 2 0 C) の回路構成例を、センスアンプ 3 2 0 の回路構成とともに表したものである。

【 0 1 2 2 】

(メモリセル 2 0 C の構成)

本変形例のメモリセル 2 0 C は、第 1 の実施の形態のメモリセル 2 0 において、選択トランジスタ 2 2 1 , 2 2 2 をそれぞれ、N型ではなく P 型の MOS トランジスタにより構成したものであり、他の構成は同様となっている。

【 0 1 2 3 】

(リセット & ダイレクトベリファイ動作 : 実施例 4 - 1)

本変形例では、例えば図 1 6 に示した実施例 4 - 1 のようにして、リセット & ダイレクトベリファイ動作がなされる。この図 1 6 は、実施例 4 - 1 に係るリセット & ダイレクトベリファイ動作の一例を、タイミング波形図で表わしたものである。図 1 6 において、(A) はワード線 W L の電位、(B) はワード線 R E F W L の電位、(C) は信号線 R E A D E N の電位、(D) は / D V R F E N の電位、(E) は信号線 B L E Q の電位、(F) は信号線 W R T E N の電位、(G) は V C O M M O N の電位、(H) は信号線 V o , / V o の電位、(I) は信号線 V G R S T の電位、(J) はビット線 B L , / B L の電位、をそれぞれ示す。

【 0 1 2 4 】

この実施例 4 - 1 のリセット & ダイレクトベリファイ動作 (タイミング t 7 1 ~ t 7 5) も、基本的には、実施例 1 - 1 のリセット & ダイレクトベリファイ動作と同様である。異なる点は、以下の通りである。すなわち、選択トランジスタ 2 2 1 , 2 2 2 が P 型の MOS トランジスタからなることに起因して、これらの選択トランジスタ 2 2 1 , 2 2 2 の論理レベルが反転していることである。

【 0 1 2 5 】

(リード動作 : 実施例 4 - 2)

なお、本変形例に係る読み出し動作 (リード動作) は、例えば図 1 7 に示した実施例 4 - 2 のようにしてなされる。この図 1 7 は、実施例 4 - 2 に係るリード動作の一例をタイミング波形図で表わしたものである。図 1 7 において、(A) ~ (H) , (J) に示した各信号線の種類は、上記した図 1 6 (A) ~ (H) , (J) の各信号線の種類と同一であり、図 1 7 (I) は、信号線 V B I A S の電位を示す。

【 0 1 2 6 】

この実施例 4 - 2 のリード動作 (タイミング t 8 1 ~ t 8 5) も、上記したように選択トランジスタ 2 2 1 , 2 2 2 の論理レベルが反転している点を除けば、基本的には実施例 1 - 2 のリード動作と同様である。

【 0 1 2 7 】

このようにして本変形例においても、上記第 1 の実施の形態と同様の作用により同様の効果を得ることが可能である。

【 0 1 2 8 】

< 第 2 の実施の形態 >

続いて、本発明の第 2 の実施の形態について説明する。なお、上記第 1 の実施の形態 (および各変形例 1 ~ 3) における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。本実施の形態では、これまで説明したリセット & ダイレクトベリファイ動作の代わりに、以下説明するセット & ダイレクトベリファイ動作を行うようにしたものと

10

20

30

40

50

っている。すなわち、本実施の形態では特に、制御部 30 による制御によって、セット動作に続けてダイレクトベリファイ動作を連続的に実行する（「セット&ダイレクトベリファイ動作」）ようになっている。

【0129】

図 18 は、第 2 の実施の形態に係るメモリセル（メモリセル 20D）の回路構成例を、センスアンプ 320 の回路構成とともに表したものである。

【0130】

（メモリセル 20D の構成）

本実施の形態のメモリセル 20D は、第 1 の実施の形態のメモリセル 20 において、選択トランジスタ 221 と記憶素子 21 との配置関係、および選択トランジスタ 222 とリファレンス素子 23 との配置関係を、それぞれ逆にしたものとされており、他の構成は同様となっている。すなわち、本実施の形態では、ビット線 BL, /BL は、記憶素子 21 またはリファレンス素子 23 に対して直接接続されるようになっている。ただし、本実施の形態では、第 1 の実施の形態で説明した信号線 VGRST の代わりに、信号線 VGSET が用いられている。この信号線 VGSET は、ダイレクトベリファイ動作の際に、一対のトランジスタ Tr11, Tr12（電圧制御トランジスタ）を介してビット線 BL, /BL へセット電圧を供給するための信号線である。すなわち、信号線 VGSET は、これまで説明した信号線 VGRST と同様の役割を果たす信号線である。

【0131】

具体的には、メモリセル 20D では、ワード線 WL が選択トランジスタ 221 のゲートに接続され、ビット線 BL が、記憶素子 21 を介して選択トランジスタ 221 におけるソースおよびドレインのうち的一方側に接続されている。選択トランジスタ 221 におけるソースおよびドレインのうち他方側は、所定の電位 VCOMMON に接続されている。また、ワード線 REFWL が選択トランジスタ 222 のゲートに接続され、ビット線 /BL が、リファレンス素子 23 を介して選択トランジスタ 222 におけるソースおよびドレインのうち的一方側に接続されている。選択トランジスタ 222 におけるソースおよびドレインのうち他方側は、所定の電位 VCOMMON に接続されている。

【0132】

（セット&ダイレクトベリファイ動作：実施例 5）

本変形例では、例えば図 19 に示した実施例 5 のようにして、セット&ダイレクトベリファイ動作がなされる。この図 19 は、実施例 5 に係るセット&ダイレクトベリファイ動作の一例を、タイミング波形図で表わしたものである。図 19 において、(A) はワード線 WL の電位、(B) はワード線 REFWL の電位、(C) は信号線 READEN の電位、(D) は /DVRFEN の電位、(E) は信号線 BLEQ の電位、(F) は信号線 WR TEN の電位、(G) は VCOMMON の電位、(H) は信号線 Vo, /Vo の電位、(I) は信号線 VGSET の電位、(J) はビット線 BL, /BL の電位、をそれぞれ示す。

【0133】

この実施例 5 のセット&ダイレクトベリファイ動作（タイミング t91 ~ t95）も、基本的には、実施例 1 - 1 のリセット&ダイレクトベリファイ動作と同様である。異なる点は、前述したように、信号線 VGRST の代わりに信号線 VGSET を用いていることである。

【0134】

以上のように本実施の形態においても、基本的には第 1 の実施の形態と同様の作用により同様の効果を得ることが可能である。

【0135】

< 第 1, 第 2 の実施の形態に共通の変形例 >

続いて、上記第 1 および第 2 の実施の形態（ならびに各変形例 1 ~ 3）に共通の変形例（変形例 4, 5）について説明する。なお、これらの実施の形態等における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

10

20

30

40

50

【0136】

[変形例4]

図20は、変形例4に係る記憶素子(記憶素子21A)の断面構成を表したものである。本変形例の記憶素子21Aは、PCM(Phase Change Memory:相変化型メモリ)により構成されている。

【0137】

この記憶素子21Aは、下部電極211と上部電極213との間に、例えば $Ge_2Sb_2Te_5$ などのGeSbTe合金よりなる記憶層214を有している。この記憶層214では、電流の印加により結晶状態と非晶質状態(アモルファス状態)との相変化を生じ、この相変化に伴って抵抗値(抵抗状態)が可逆的に変化しているようにしている。

10

【0138】

本変形例の記憶素子21Aでは、下部電極211と上部電極213との間に正電圧または負電圧が印加されると、記憶層214が、高抵抗の非晶質状態から低抵抗の結晶状態へと(または、低抵抗の結晶状態から高抵抗の非晶質状態へ)変化する。このような過程を繰り返すことにより、記憶素子21Aに対して、情報の書き込み、および書き込まれた情報の消去を繰り返し行うことができる。

【0139】

[変形例5]

図21は、変形例5に係る記憶素子(記憶素子21B)の断面構成を表したものである。本変形例の記憶素子21Bは、RRAM(Resistive Random Access Memory:抵抗変化型メモリ)により構成されている。

20

【0140】

記憶素子21Bは、下部電極211と上部電極213との間に、 NiO , TiO_2 , $Prcamno_3$ などの酸化物よりなる記憶層215を有しており、この酸化物への電圧の印加により抵抗値(抵抗状態)が可逆的に変化しているようにしている。

【0141】

本変形例の記憶素子21Bでは、下部電極211と上部電極213との間に正電圧または負電圧が印加されると、記憶層215が高抵抗状態から低抵抗状態へと(または、低抵抗状態から高抵抗状態へ)変化する。このような過程を繰り返すことにより、記憶素子21Bに対して、情報の書き込み、および書き込まれた情報の消去を繰り返し行うことができる。

30

【0142】

<その他の変形例>

以上、実施の形態および変形例を挙げて本発明を説明したが、本発明はこれらの実施の形態等に限定されず、種々の変形が可能である。

【0143】

例えば、上記実施の形態等において説明した各層の材料などは限定されるものではなく、他の材料としてもよい。また、上記実施の形態等では、記憶素子21, 21A, 21Bおよび記録装置1等の構成を具体的に挙げて説明したが、全ての層を備える必要はなく、また、他の層を更に備えていてもよい。

40

【0144】

また、上記実施の形態等では、主に、1つのメモリセル20内に1つの記憶素子21と1つのリファレンス素子23とが配設されている例を挙げて説明したが、この場合には限られない。すなわち、複数のメモリセル20(複数の記憶素子21)に対して1つのリファレンス素子23が設けられているようにしてもよい。

【0145】

更に、カレントミラー回路(定電流負荷)を構成する各トランジスタは、上記実施の形態等で説明したP型のトランジスタ(例えばMOSトランジスタ)ではなく、N型のトランジスタ(例えばMOSトランジスタ)であってもよい。

【0146】

50

加えて、本発明に適用される記憶素子としては、上記実施の形態等で説明した記憶素子 21, 21A, 21B には限られず、他の構成の記憶素子を用いるようにしてもよい。具体的には、印加される電圧の極性に応じて可逆的に抵抗状態が変化する記憶素子（パイポーラ型の記憶素子）としては、例えば、M R A M (Magnetoresistive Random Access Memory: 磁気抵抗メモリ) 等で用いられている M T J (Magnetic Tunnel Junction: 磁気トンネル接合) や、遷移金属酸化物等の抵抗変化素子等の記憶素子を用いるようにしてもよい。更に、このようなパイポーラ型の記憶素子には限られず、印加される電圧に応じて抵抗状態が変化する抵抗変化型の記憶素子であれば、例えばユニポーラ型の記憶素子であってもよい。

【符号の説明】

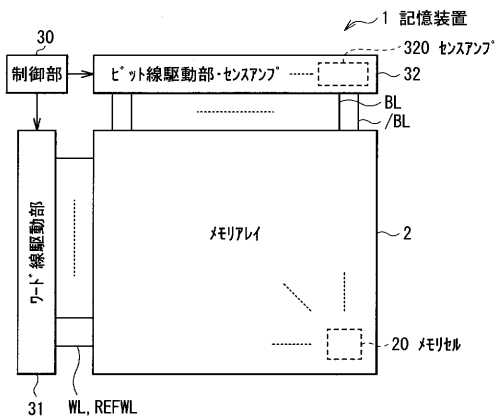
【0147】

1 ... 記憶装置、2 ... メモリアレイ、20, 20A, 20C, 20D ... メモリセル、21, 21A, 21B ... 記憶素子、211 ... 下部電極、212, 214, 215 ... 記憶層、212A ... 抵抗変化層、212B ... イオン源層、213 ... 上部電極、221, 222 ... 選択トランジスタ、23 ... リファレンス素子、30 ... 制御部、31 ... ワード線駆動部、32 ... ビット線駆動部・センスアンプ、320, 320A1, 320B ... センスアンプ、320A2 ... VREF生成部、Tr11~Tr14, Tr21, Tr22, Tr31, Tr32, Tr34, Tr41, Tr42, Tr51~Tr53, Tr61~Tr63, Tr71, Tr72, Tr81~Tr84, Tr91~Tr94 ... トランジスタ、WRTDr1, WRTDr2 ... 書き込みドライバ、Amp ... 差動アンプ、Latch ... ラッチ回路、SW1, SW2 ... スイッチ。

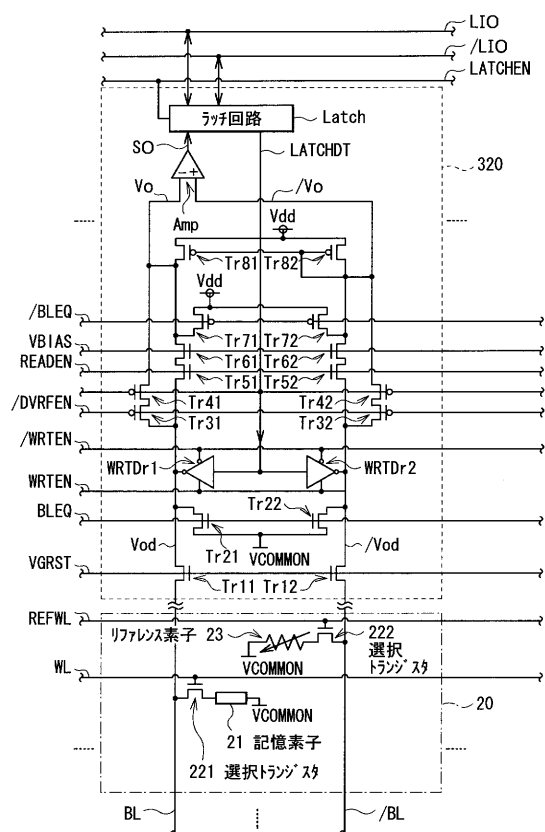
10

20

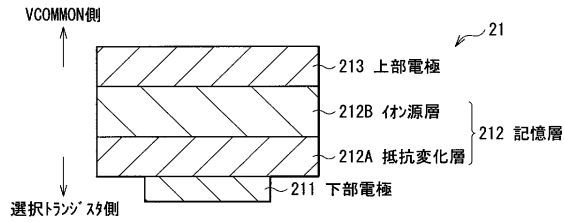
【図1】



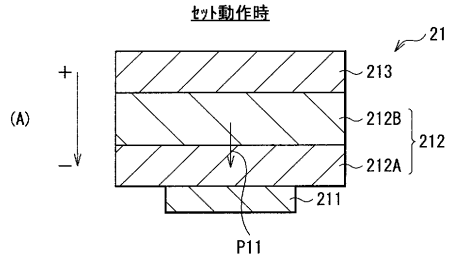
【図2】



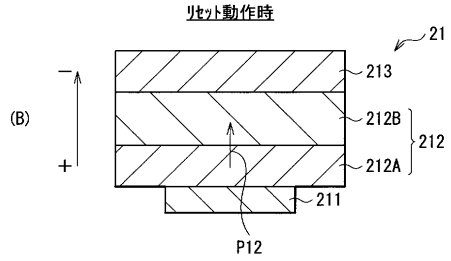
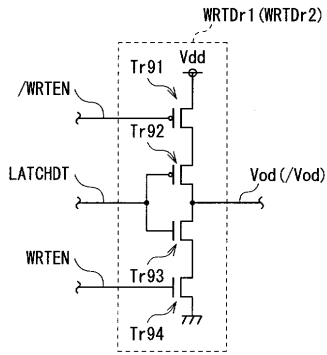
【図3】



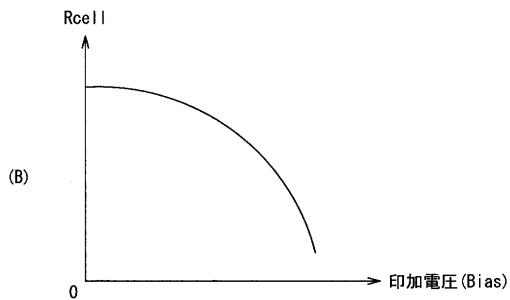
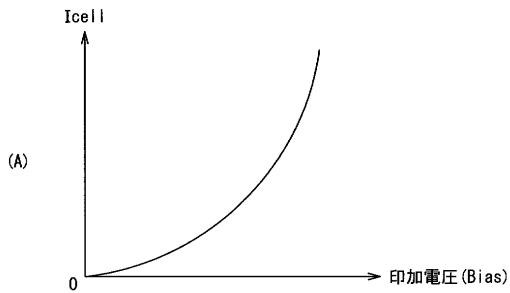
【図5】



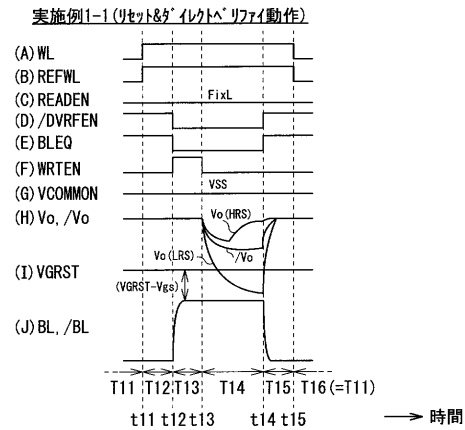
【図4】



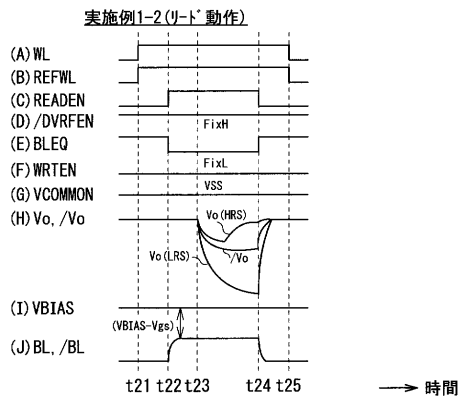
【図6】



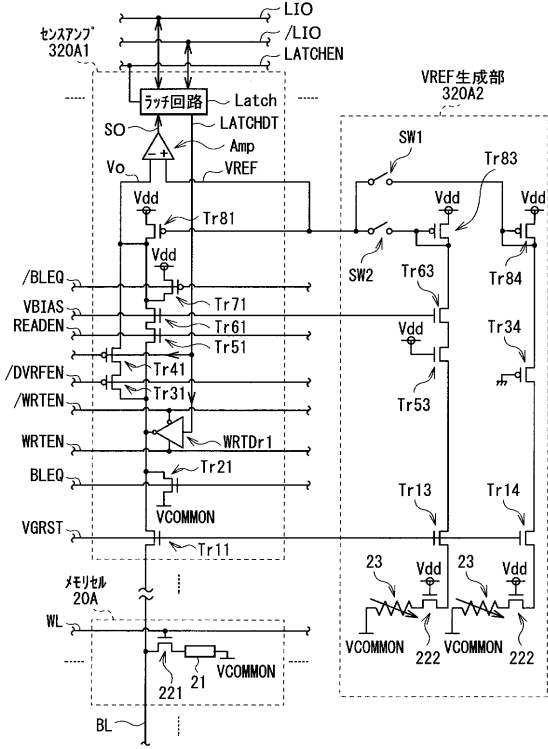
【図7】



【図8】

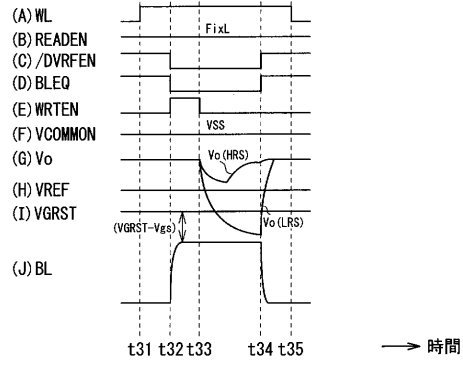


【図9】



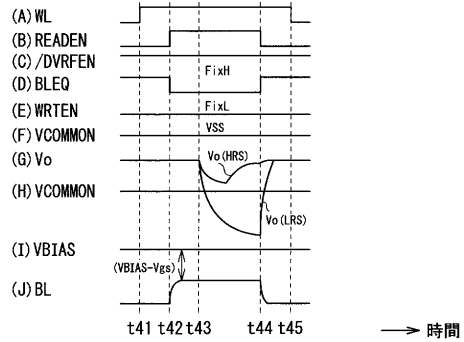
【図10】

実施例2-1 (リセット&イリット・リファイ動作)

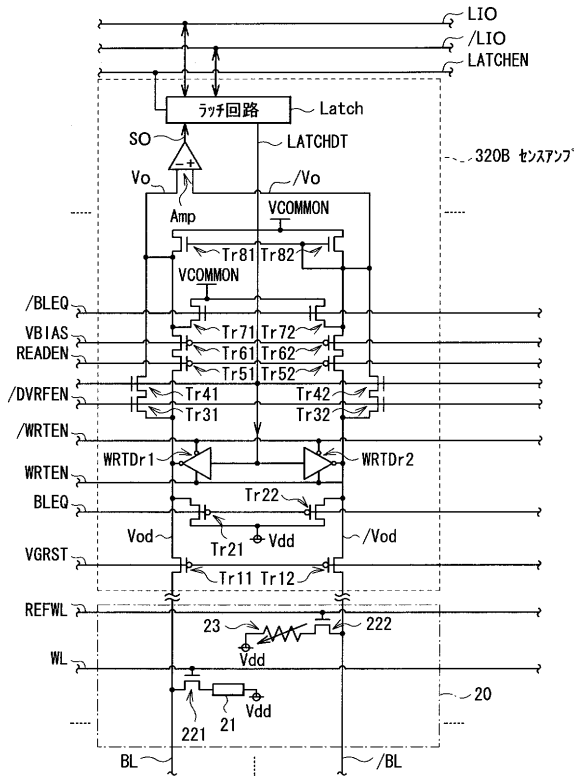


【図11】

実施例2-2 (リット動作)

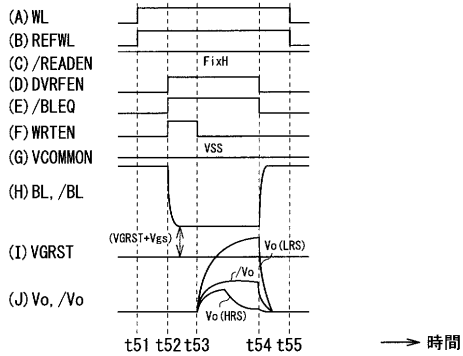


【図12】



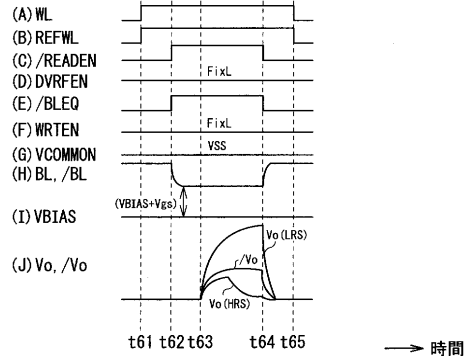
【図13】

実施例3-1 (リセット&イリット・リファイ動作)

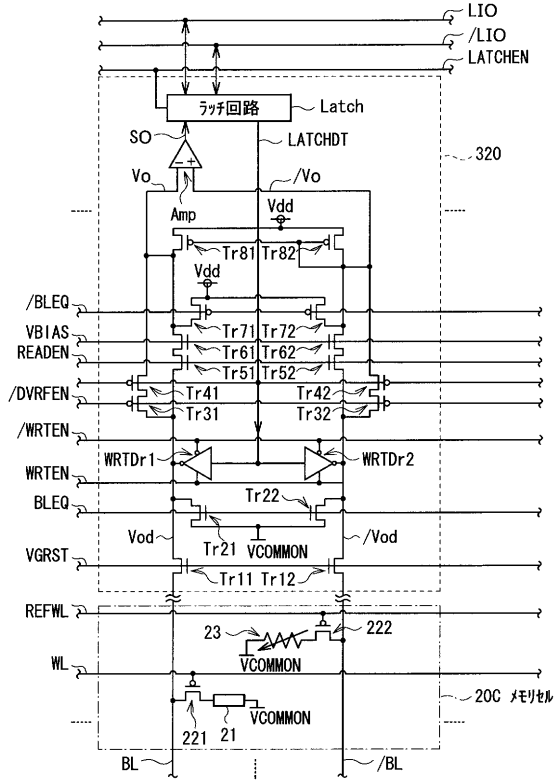


【図14】

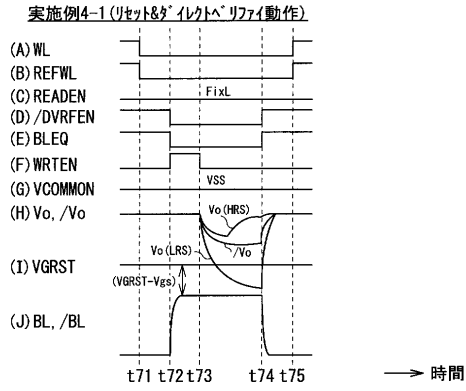
実施例3-2 (リット動作)



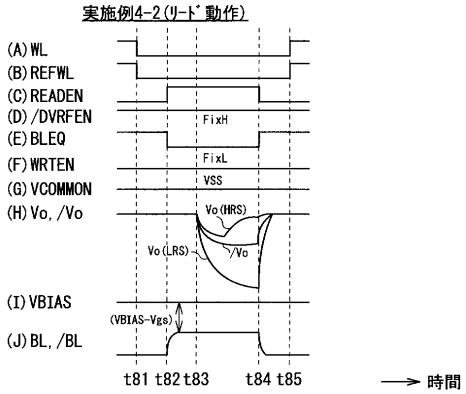
【図15】



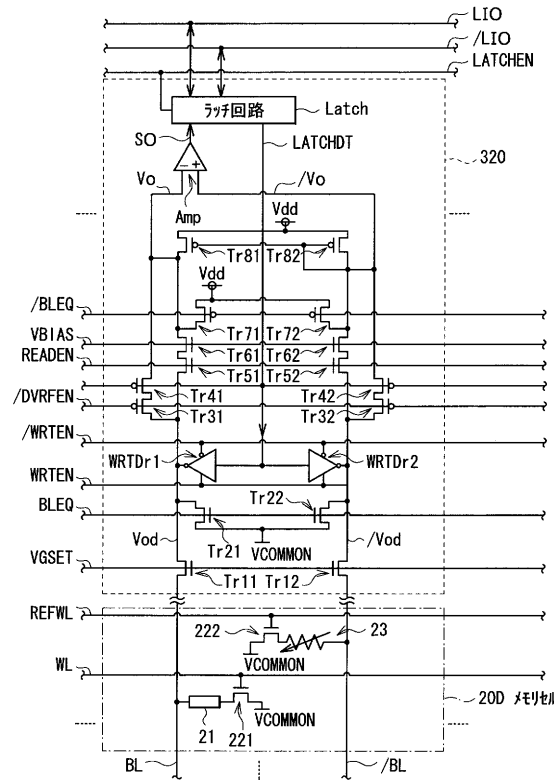
【図16】



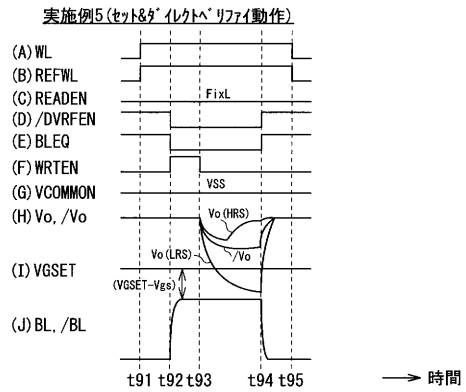
【図17】



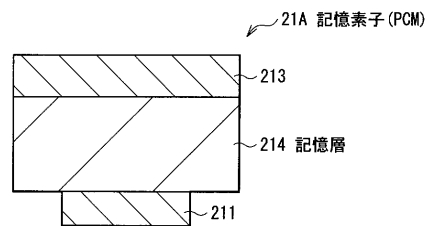
【図18】



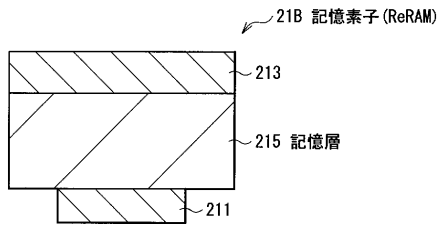
【図19】



【図20】



【図 21】



フロントページの続き

- (72)発明者 椎本 恒則
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 対馬 朋人
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 後藤 彰

- (56)参考文献 特開2007-133930(JP,A)
国際公開第2008/029446(WO,A1)
特開2009-193627(JP,A)
特開2010-170617(JP,A)
特開2008-052867(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 13/00