



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0134612
(43) 공개일자 2017년12월06일

(51) 국제특허분류(Int. Cl.)
G01R 1/18 (2006.01) G01R 1/04 (2006.01)
(52) CPC특허분류
G01R 1/18 (2013.01)
G01R 1/0466 (2013.01)
(21) 출원번호 10-2017-7031813
(22) 출원일자(국제) 2015년04월01일
심사청구일자 2017년11월01일
(85) 번역문제출일자 2017년11월01일
(86) 국제출원번호 PCT/US2015/023839
(87) 국제공개번호 WO 2016/160009
국제공개일자 2016년10월06일

(71) 출원인
엑세라 코퍼레이션
미국 매사추세츠 02062 유니버시티 에비뉴 노르우드 825
(72) 발명자
란다, 빅털
미국 캘리포니아 92694, 리빙스톤 플레이스 라테라 렌치 40
(74) 대리인
이재민

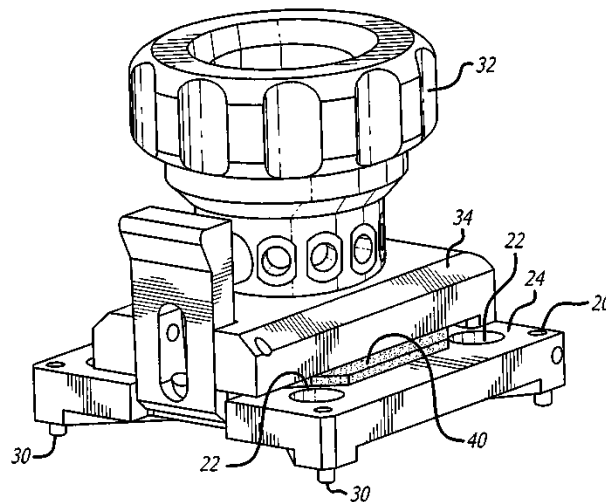
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 패러데이 케이지 배경을 가진 집적 회로(IC) 테스트 소켓

(57) 요약

집적회로 테스트 소켓은 절단되어 테스트 소켓 내로 설치되는 고 전도성 준수 재료를 포함한다. 전도성 재료는 테스트 소켓으로부터 전하를 끌어들이고, 보다 정확한 테스트를 유도한다. 테스트 소켓 베이스는 접지되고, 접지 전류는 베이스를 통해 전도성 스트립들로 흐른다. 상기 구성은 정전기 간섭으로부터 칩을 보호하는 정전기 임펄스 차폐부를 형성한다. 차폐 재료의 준수는 활성화될 때 차폐부가 밀봉되는 것을 가능하게 하여, 정전기 임펄스 차폐부가 반도체칩 주위에서 완성되는 것을 보장한다.

대표도 - 도1



명세서

청구범위

청구항 1

마이크로칩을 위한 테스트 소켓으로서,

베이스를 핸들러에 고정하기 위한 다수의 정렬 관통 구멍을 포함하는 상기 베이스;

상기 베이스 내에서 중앙에 배치되고 다수의 전기 접점을 포함하며 마이크로칩을 수용하는 크기의 웰(well);

상기 웰을 둘러싸는, 상기 베이스의 상부 표면 상의 오목부; 및

상기 오목부에 배치되는 전도성 차폐부로서, 상기 전도성 오목부는 마이크로칩으로부터의 전하를 끌어들이는데 적합한, 상기 전도성 차폐부를 포함하는, 테스트 소켓.

청구항 2

제1항에 있어서, 상기 차폐부는 8각형 형상인, 테스트 소켓.

청구항 3

제1항에 있어서, 상기 차폐부는 4개의 이산 플레이트로 구성되는, 테스트 소켓.

청구항 4

제1항에 있어서, 상기 차폐부는 금속 그물망으로 만들어지는, 테스트 소켓.

청구항 5

제1항에 있어서, 상기 차폐부는 상기 베이스와 상기 핸들러의 덮개 사이에 안치되는, 테스트 소켓.

청구항 6

제1항에 있어서, 상기 차폐부는 상기 베이스와 상기 핸들러의 덮개 사이에 스페이서를 제공하는, 테스트 소켓.

청구항 7

제1항에 있어서, 상기 베이스와 상기 차폐부는 상기 베이스가 접지 회로 기판 상에 안치될 때 마이크로칩 주위에 패러데이 케이지를 형성하는, 테스트 소켓.

청구항 8

제1항에 있어서, 상기 차폐부는 상기 베이스 상에서 상기 웰을 둘러싸는, 테스트 소켓.

청구항 9

제1항에 있어서, 상기 차폐부는 부분적으로 상기 오목부 내에, 및 부분적으로 상기 오목부 위에 안치되는, 테스트 소켓.

발명의 설명

기술 분야

[0001] 본 발명은 집적 회로와 IC 보드를 전기적으로 연결하는 소켓에 관한 것이다. 특히, 본 발명은 집적 회로를 테스트하기 위한 테스트 소켓에 관한 것으로, 테스트 소켓은 IC 칩의 테스트 동안 노이즈 및 간섭을 제거하도록 패러데이 케이지(faraday cage)로서 작용하는 전도성 구조물로 둘러싸인다.

배경 기술

[0002] 집적 회로 테스터 디바이스들은 제조 라인으로부터 칩의 품질을 테스트하고 평가하도록 반도체 산업에서 오랫동안 사용되어 왔다. 신호 무결성은 칩 설계 및 테스트의 중요한 측면이다. 이를 위해, 특정의 원하는 레벨에서 집적 회로 리드를 그 대응하는 부하 기관 패드(load board pad)에 상호 접속시키는 접점의 전도성 부분을 통해 임피던스를 유지하는 것이 필요하다. 설계의 유효 임피던스는 다수의 인자들의 함수이다. 이러한 것들은 전도 경로의 폭 및 길이, 전도성 구조물을 만드는 재료, 재료 두께 등을 포함한다.

[0003] 집적 회로(IC)와 같은 패키징 또는 몰딩된 반도체 디바이스의 전기적 특성을 테스트할 때, IC를 그 성능을 평가하는 장비, 즉 핸들러 및 부하 보드에 고정하고 연결하는 특수 테스트 소켓을 사용하는 것이 통상적이다. 많은 상이한 테스트 소켓들은 테스트될 칩의 집적 회로 리드를 테스터의 부하 보드에 신속하고 일시적으로 접속하기 위하여 고안되었다. 자동화된 테스트 장치는 특히 다수의 이러한 소켓을 사용한다. 전형적인 소켓 배열들은 접점의 프로브 팁을 변형시켜 부하 보드 상의 패드와 결합하도록 IC의 리드와 부하 보드 사이에 위치한 접점에 가해지는 힘을 사용한다. 이러한 구성은 DUT의 핀들 또는 접촉 패드들과 테스트 장치의 대응하는 리드들 사이의 확실한 접속을 제공한다. 이러한 형태의 접속의 예들은 예를 들어, Rathburn의 미국 특허 제6,409,521호 및 Sherry의 미국 특허 제7,737,708호에서 발견될 수 있으며, 이러한 것들의 교시 및 내용은 참조에 의해 본원에 통합된다.

[0004] 그 내용이 참조에 의해 본원에 통합되는 미국 특허 제7,918,669호는 본원 발명자에 의해 고안된 테스트 소켓이다. '669 특허의 소켓은 테스트 장비와의 접촉을 만들 수 있도록 테스트 회로의 커넥터들을 위를 향해 조이는 고유한 링크를 사용한다. 이러한 테스트 소켓은 테스트 장치와의 양호한 접점을 보장하는데 매우 성공적인 한편, 회로 자체에서의 힘을 감소시켰다. 이러한 테스트 소켓의 구성 요소는 링크에 탄성을 제공하여 비용 효율적이고 신뢰할 수 있는 방식으로 적절한 접촉을 보장하는 탄성 중합체 요소였다. 원통형 탄성 중합체는 접촉 링크를 적소에서 유지하고, 그 탄성은 링크들을 위한 스프링 메커니즘처럼 작용한다. 이러한 것은 링크 상에서 수직 움직임을 허용한다.

[0005] 이러한 테스트 소켓이 사용될 때, 테스트 결과에 영향을 줄 수 있는 소량의 정전하(static charge)가 소켓에 축적되는 것이 통상적이다. 대전된 테스트 소켓은 테스트중인 회로로 그 전하를 전달할 수 있으며, 이러한 것은 테스트에 도입되는 노이즈로 이어진다. 테스트 중에 노이즈는 집적 회로를 적절히 평가하는 테스터의 능력을 손상시킨다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명은 테스트 소켓 상에서 전하의 축적을 감소시키거나 또는 제거하여, 더욱 정확한 테스트 결과를 유도하도록 설계된다.

과제의 해결 수단

[0007] 본 발명은 절단되어 테스트 소켓에 설치되는 고 전도성 준수 재료(compliant material)를 포함하는 집적 회로 테스트 소켓에 관한 것이다. 전도성 재료는 테스트 소켓으로부터 전하를 끌어들여, 보다 정확한 테스트를 유도한다. 바람직한 실시예에서, 테스트 소켓 베이스는 접지되고, 접지 전류는 베이스를 통해 전도성 스트립들로 흐른다. 상기 구성은 전자기 임펄스 차폐부를 형성하여, 전자기 간섭으로부터 칩을 보호한다. 차폐 재료의 준수는 활성화될 때 차폐부가 밀봉되는 것을 가능하게 하여, 전자기 임펄스 차폐부가 반도체 칩 주위에서 완성되는 것을 보장한다.

[0008] 본 발명의 이들 및 다른 많은 특징은 하기의 설명 및 도면을 참조함으로써 가장 잘 이해될 것이다. 그러나 본 발명자의 최상의 모드가 설명되고 도시되었지만, 본 발명은 임의의 특정 도면 또는 설명에 제한되지 않는다는 것이 이해되어야 한다. 오히려, 당업자가 용이하게 이해할 수 있는 본 발명의 많은 변형이 있을 수 있으며, 본 발명은 이러한 모든 변형 및 수정을 포함하는 것으로 이해된다.

도면의 간단한 설명

[0009] 도 1은 테스트 소켓 및 테스트 장치의 실시예의 정면 사시도;

도 2는 도 1의 소켓 및 검사 장치의 측면도;

도 3은 도 1의 테스트 소켓의 평면도; 및

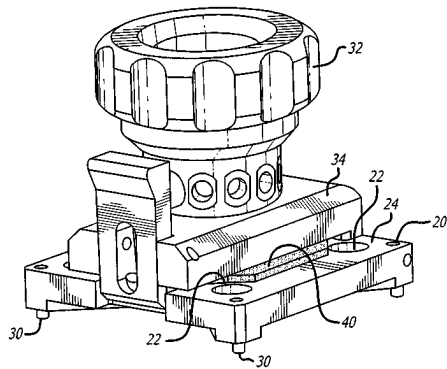
도 4는 도 1의 테스트 소켓의 저면도.

발명을 실시하기 위한 구체적인 내용

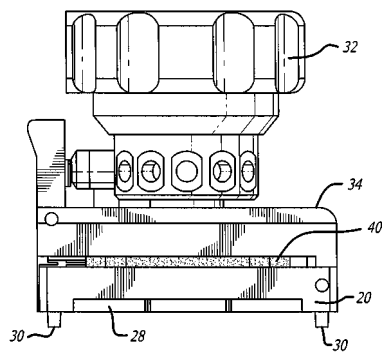
- [0010] 도 1 및 도 2는 그 개시 내용이 참조에 의해 본원에 통합되는 미국 특허 제7,918,669호에 일반적으로 기술된 형태의 집적 회로 테스트 소켓(20)을 도시한다. 테스트 소켓의 상부는 간결성을 위해 생략된다. 테스트 소켓 베이스(20)는 소켓 베이스를 테스트 장비에 장착하기 위한 4개의 정렬 구멍(22)을 가지는 대체로 정사각형 프로파일을 가진다. 베이스(20)의 하부 표면(28) 상에서, 한 세트의 못(30)들은 테스트 장비 상에 베이스를 더욱 정렬하고 세팅하도록 사용될 수 있다. 테스트 소켓 베이스(20)의 상부 표면(24)(도 3 참조) 상에서, 테스트중인 집적 회로 칩(도시되지 않음)을 수용하도록 정사각형 오목부(26)가 형성된다. 다수의 전기 커넥터는 상기 언급된 특허에서 더욱 충분히 기술된 바와 같이 오목부(26) 내에 형성된다. 집적 회로가 오목부에 배치되면, 테스트 소켓 베이스(20)는 예를 들어 핸들러 작업 프레스(32)에 배치되고 집적된 칩의 테스트를 예상하여 핸들러(32)에 클램핑될 수 있다. 핸들러/작업 프레스(32)는 클램핑 플레이트(34)를 이용하고, 여기서 클램핑 플레이트(34)는 테스트 중인 칩을 에워싼다. 자동 및 수동 모두의 다른 장치가 본 발명에서 또한 가능하다.
- [0011] 패러데이 케이지는 외부 전기장으로 둘러싸인 것을 차폐하는 와이어 그물망 또는 금속 플레이트들과 같은 전도성 물질로 만들어진 용기 또는 인클로저(enclosure)이다. 칩 테스트에서, 소켓 및 주변 요소들에서의 정전하는 테스트 결과를 간섭할 수 있는 외부 전자기 간섭(EMI 또는 노이즈)을 발생시킨다. 본 발명은 테스트 동안 EMI 및 노이즈로부터 칩을 차폐하도록 테스트중인 칩 주위에 패러데이 케이지를 형성한다.
- [0012] 도 3을 참조하면, EMI 차폐부(40)는 베이스(20)와 클램프 플레이트(34) 사이에 끼워지도록 소켓 베이스(20) 상에 형성된다. 차폐부는 전도성 재료로 만들어지고, 그물망 또는 실축형 박판(solid thin plate)일 수 있다. 케이지는 그루브 내로의 삽입, 접착제, 체결구 또는 다른 수단에 의해 베이스(20)의 상부 표면(24)에 접촉될 수 있다.
- [0013] 도 4는 4개의 대각 부재(46)에 연결된 테스트 소켓(42)을 포함하는, 소켓 베이스(20)의 저부면(28)을 도시한다. 베이스(20)의 저부 상의 4개의 대각 부재(46)는 인쇄 회로 기판과 접촉한다. 인쇄 회로 기판 상의 대응 경로는 접지된다. 이러한 접지 전류는 베이스를 통하여 EMI 차폐부로 흐른다. 차폐부는 디바이스를 위한 미니-패러데이 케이지로서 역할을 하여, 인쇄 회로 기판에 접지된 전도성 소켓 차폐부로 디바이스를 차폐한다.
- [0014] 전도성 차폐부(40)는 바람직하게 소켓 베이스(20)의 부분으로서 형성된다. 바꿔 말하면, 소켓은 차폐부(40), 칩 테스트 소켓(42) 및 베이스(20)를 단편으로서 포함하도록 구성될 수 있으며, 이러한 구성요소들은 통합 차폐부를 구성하도록 서로 협동한다. 또한, 인쇄 회로 기판에 대한 소켓 베이스(20)의 접촉 풋프린트는 적용물의 접지 요건에 의해 한정된다.
- [0015] 차폐부(40)는 플레이트를 홀딩하기 위한 크기의 오목부에 배치된 4개의 이산 플레이트(discrete plate)(40a) 또는 그물망으로 구성될 수 있다. 4개의 플레이트(40a)가 정사각형 오목부(26)의 위 및 주위에 팔각형으로 형성하도록 협동하여서, 클램프(34)는 차폐부(40)의 상부 표면과 접촉한다.
- [0016] 이러한 개시는 단지 예시적인 것이며, 본 발명의 범위를 벗어남이 없이, 특히 형상, 크기, 재료 및 부품의 배열에 관한 세부 사항에서 변경이 만들어질 수 있다는 것이 이해될 것이다. 따라서, 본 발명의 범위는 첨부된 청구항의 언어로 한정된 바와 같으며, 진술한 설명 및 도면에 의해 임의의 방식으로 한정되지 않는다.

도면

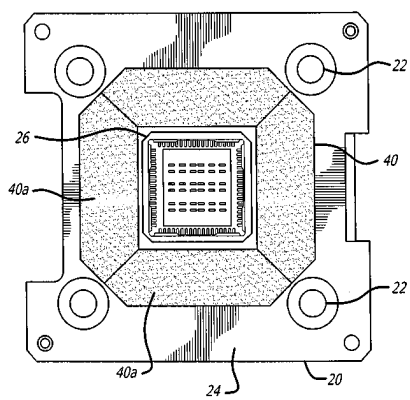
도면1



도면2



도면3



도면4

