



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월26일
(11) 등록번호 10-1205141
(24) 등록일자 2012년11월20일

(51) 국제특허분류(Int. Cl.)

G11C 29/00 (2006.01)

(21) 출원번호 10-2007-7015466

(22) 출원일자(국제) 2005년12월07일

심사청구일자 2010년12월07일

(85) 번역문제출일자 2007년07월05일

(65) 공개번호 10-2007-0093090

(43) 공개일자 2007년09월17일

(86) 국제출원번호 PCT/US2005/044086

(87) 국제공개번호 WO 2006/062959

국제공개일자 2006년06월15일

(30) 우선권주장

60/634,439 2004년12월08일 미국(US)

(56) 선행기술조사문헌

JP06044386 A*

US05905854 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

지이 애비에이션 시스템즈 엘엘씨

미국 미시간 (우편번호: 49512-1991) 그랜드 래피즈 패터슨 애비뉴 에스. 이. 3290

(72) 발명자

블레빈스, 찰스, 윌리엄스

미국 35758 알라바마주 매디슨 채키스 테라스 236

(74) 대리인

제일특허법인, 김원준

전체 청구항 수 : 총 6 항

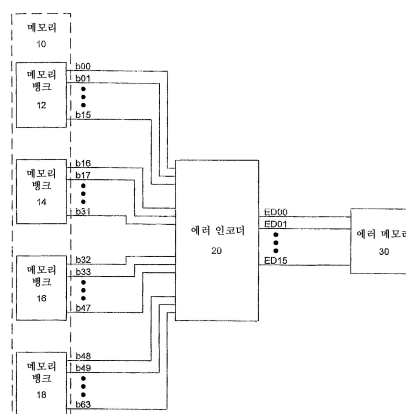
심사관 : 손준영

(54) 발명의 명칭 메모리 주변 장치에서의 향상된 에러 검출을 위한 시스템 및 방법

(57) 요약

장치의 메모리에서 에러를 검출하고 정정하는 시스템 및 방법은, 제1 메모리의 제1 사전결정된 위치에 저장된 데이터의 에러값을 생성한다. 생성된 에러값을 에러 메모리에 저장된 대응 에러값과 비교하되, 에러 메모리의 각 값은 제1 메모리의 사전결정된 위치에 저장된 적어도 2개의 데이터값으로부터 계산된다. 제1 메모리의 제1 사전결정된 위치에 저장된 데이터는, 생성된 에러값이 에러 메모리의 대응 에러값과 다르다면, 제2 메모리의 제1 사전결정된 위치에 저장된 데이터로 리라이팅되고, 제2 메모리에 저장된 데이터는 제1 메모리에 저장된 데이터와 동일하다.

대표도 - 도1



특허청구의 범위

청구항 1

장치에 있어서,

데이터를 저장하는 제 1 메모리와,

상기 제 1 메모리에 저장된 것과 동일한 데이터를 저장하는 제 2 메모리와,

상기 제 1 메모리에 대한 에러 데이터를 저장하는 에러 메모리 - 상기 에러 데이터의 각 값은 상기 제 1 메모리 내의 사전 결정된 위치에 저장된 적어도 2개의 데이터값으로부터 계산됨 - 와,

상기 제 1 메모리 내의 제 1 사전 결정된 위치에 저장된 데이터의 제 1 에러값을 생성하고, 상기 생성된 제 1 에러값과 상기 에러 메모리에 저장된 대응하는 에러값을 비교하도록 구성된 에러 검출 유닛과,

상기 생성된 제 1 에러값이 상기 에러 메모리에 저장된 대응하는 에러값과 상이하다고 상기 에러 검출 유닛이 판정하면, 상기 제 1 메모리의 제 1 사전 결정된 위치에 저장된 데이터를 상기 제 2 메모리의 제 1 사전 결정된 위치에 저장된 데이터로 리라이팅(rewrite)하도록 구성된 데이터 제어 유닛

을 포함하고,

상기 에러 메모리는 또한 상기 제 2 메모리에 대한 에러 데이터를 저장하고, 상기 제 2 메모리의 에러 데이터의 각 값은 상기 제 2 메모리 내의 사전 결정된 위치에 저장된 적어도 2개의 데이터값으로부터 계산되고,

상기 에러 검출 유닛은 또한 상기 제 2 메모리 내의 제 1 사전 결정된 위치에 저장된 데이터의 제 2 에러값을 생성하고, 상기 생성된 제 2 에러값과 상기 에러 메모리에 저장된 상기 제 2 메모리의 에러 데이터의 대응하는 에러값을 비교하도록 구성되고,

상기 데이터 제어 유닛은 또한, 상기 생성된 제 2 에러값이 상기 에러 메모리에 저장된 상기 제 2 메모리의 에러 데이터의 대응하는 에러값과 상이하다고 상기 에러 검출 유닛이 판정하면, 상기 제 2 메모리의 제 1 사전 결정된 위치에 저장된 데이터를 상기 제 1 메모리의 제 1 사전 결정된 위치에 저장된 데이터로 리라이팅하도록 구성되고,

상기 에러 검출 유닛은 또한, 상기 생성된 제 1 에러값 및 상기 생성된 제 2 에러값이 상기 에러 메모리에 저장된 대응하는 에러값과 동일하면, 상기 제 1 메모리의 제 1 사전 결정된 위치에 저장된 데이터를 상기 제 2 메모리의 제 1 사전 결정된 위치에 저장된 데이터와 비교하도록 구성되고,

상기 데이터 제어 유닛은 또한, 상기 제 1 메모리의 제 1 사전 결정된 위치에 저장된 데이터와 상기 제 2 메모리의 제 1 사전 결정된 위치에 저장된 데이터가 동일하지 않으면, 상기 장치를 인터럽트(interrupt)하고 재시작하도록 구성되는

장치.

청구항 2

제 1 항에 있어서,

상기 제 1 메모리는 복수의 제 1 메모리 뱅크를 포함하고,

상기 제 2 메모리는 복수의 제 2 메모리 뱅크를 포함하며,

상기 제 1 사전 결정된 위치는 상기 복수의 제 1 메모리 뱅크 각각 내의 동일 위치 및 상기 복수의 제 2 메모리 뱅크 각각 내의 동일 위치에 대응하는

장치.

청구항 3

제 1 항에 있어서,

상기 에러값은 패리티값인

장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

장치 내의 메모리의 에러를 검출 및 정정하는 방법으로서,

제 1 메모리 내의 제 1 사전 결정된 위치에 저장된 데이터의 제 1 에러값을 생성하는 단계와,

상기 생성된 제 1 에러값과 에러 메모리에 저장된 대응하는 에러값을 비교하는 단계 - 상기 에러 메모리 내의 각 값은 상기 제 1 메모리 내의 사전 결정된 위치에 저장된 적어도 2개의 데이터값으로부터 계산됨 - 와,

상기 생성된 제 1 에러값이 상기 에러 메모리에 저장된 상기 대응하는 에러값과 상이하면, 상기 제 1 메모리의 제 1 사전 결정된 위치에 저장된 데이터를 제 2 메모리의 제 1 사전 결정된 위치에 저장된 데이터로 리라이팅하는 단계 - 상기 제 2 메모리에 저장된 데이터는 상기 제 1 메모리에 저장된 데이터와 동일함 - 와,

상기 제 2 메모리 내의 제 1 사전 결정된 위치에 저장된 데이터의 제 2 에러값을 생성하는 단계와,

상기 생성된 제 2 에러값과 상기 에러 메모리에 저장된 상기 제 2 메모리의 에러 데이터의 대응하는 에러값을 비교하는 단계와,

상기 생성된 제 2 에러값이 상기 에러 메모리에 저장된 상기 제 2 메모리의 에러 데이터의 대응하는 에러값과 상이하면, 상기 제 2 메모리의 제 1 사전 결정된 위치에 저장된 데이터를 상기 제 1 메모리의 제 1 사전 결정된 위치에 저장된 데이터로 리라이팅하는 단계와,

상기 생성된 제 1 에러값 및 상기 생성된 제 2 에러값이 상기 에러 메모리에 저장된 대응하는 에러값과 동일하면, 상기 제 1 메모리의 제 1 사전 결정된 위치에 저장된 데이터를 상기 제 2 메모리의 제 1 사전 결정된 위치에 저장된 데이터와 비교하는 단계와,

상기 제 1 메모리의 제 1 사전 결정된 위치에 저장된 데이터와 상기 제 2 메모리의 제 1 사전 결정된 위치에 저장된 데이터가 동일하지 않으면, 상기 장치를 인터럽트하고 재시작하는 단계를 포함하는

방법.

청구항 8

제 7 항에 있어서,

상기 제 1 메모리는 복수의 제 1 메모리 बैं크를 포함하고,

상기 제 2 메모리는 복수의 제 2 메모리 बैं크를 포함하며,

상기 제 1 사전 결정된 위치는 상기 복수의 제 1 메모리 बैं크 각각 내의 동일 위치 및 상기 복수의 제 2 메모리 बैं크 각각 내의 동일 위치에 대응하는

방법.

청구항 9

제 7 항에 있어서,

상기 에러값은 패리티값인

방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

명세서

기술분야

[0001] 본 발명은 일반적으로 에러 검출에 관한 것으로서, 보다 상세하게는, 메모리 주변 장치에서의 향상된 에러 검출을 위한 시스템 및 방법에 관한 것이다.

배경기술

[0002] 주요 기능을 실행하는 임의의 전자 시스템에서, 소정의 확률로 에러를 검출하는 기능을 갖는 것이 유용하다. 이러한 에러들은, 전자 부품들, 특히, 램(RAM)의 큰 뱅크에 대한 방사 효과에 의해 야기된 랜덤 에러들을 비롯한 다양한 소스로부터 발생할 수 있다. RAM 장치는 방사 유도 비트 변경에 민감하며, 이 변경은 검출되지 않는다면 시스템 동작에 에러를 야기할 수 있다. 비트 에러들을 정정하는 기능도 바람직하며 그 이유는 방사 유도 비트 에러에도 불구하고 시스템이 계속 동작할 수 있게 하기 때문이다.

[0003] 종래의 시스템에서는, 에러 검출 및 정정을 달성하도록 설계에 해밍 코드 기반 에러 검출 및 정정(EDC) 기술이 포함되어 있다. 이러한 기술은 단일 비트 검출 및 정정에 적합하다. 그러나, RAM 장치의 외형이 더욱 작아짐에 따라, 개별적인 방사 이벤트가 동일한 장치의 다중 비트들에 더욱 높은 확률로 영향을 끼치기 시작했다. 이러한 메모리 장치에 대한 에러율은 비트-시간당 약 $1.5E-10$ 에러이다. 128Mbits인 소정의 메모리 크기에 대하여, 메모리 시스템 에러율은 시간당 $1.5E-10 \times 1.28E8 = .00192$ 실패, 즉 500시간마다의 1회의 정정불가능한 이벤트이다. EDC는 2비트를 초과하는 우수(even) 비트 실패를 검출할 수 없다. 따라서, 일부 에러들은 EDC에 의해 검출될 수 없어, 주요 기능을 수행하는 단일 쓰레드된 메모리 시스템에 대하여 미검출된 에러율이 매우 높게 된다.

[0004] 이에 따라, 모든 에러들을 검출하고 정정하여 소프트 에러들로 인한 재시작률이 제로로 되는 것이 바람직하다.

발명의 상세한 설명

[0005] 본 발명의 일 양태에 따르면, 장치의 메모리에서 에러를 검출하고 정정하는 시스템 및 방법은, 제1 메모리의 제1 사전결정된 위치에 저장된 데이터의 에러값을 생성한다. 생성된 에러값을 에러 메모리에 저장된 대응 에러값과 비교하되, 에러 메모리의 각 값은 제1 메모리의 사전결정된 위치에 저장된 적어도 2개의 데이터 값으로부터 계산된다. 제1 메모리의 제1 사전결정된 위치에 저장된 데이터는, 생성된 에러값이 에러 메모리의 대응 에러값과 다르다면, 제2 메모리의 제1 사전결정된 위치에 저장된 데이터로 리라이팅되며, 제2 메모리에 저장된 데이터는 제1 메모리에 저장된 데이터와 동일하다.

[0006] 본 발명의 다른 특징, 양태, 이점은 첨부 도면과 함께 다음에 따르는 바람직한 실시예들의 상세한 설명으로 명백해질 것이다.

실시예

[0012] 도 1은 본 발명에 따라 향상된 에러 검출 시스템에서 사용될 수 있는 메모리 및 에러 인코더 시스템의 블록도이다. 도 1에 도시한 바와 같이, 메모리 및 에러 코딩 시스템은 메모리(10)와, 에러 인코더(20)와, 에러 메모리(30)를 포함한다. 메모리(10)는 복수의 메모리 뱅크(12, 14, 16, 18)를 포함한다. 도 1에서는 4개의 메모리 뱅크(12, 14, 16, 18)가 도시되어 있지만, 메모리(10)는 하나 이상의 메모리 뱅크를 포함하거나, 별도의 메모리

뱅크들을 구비하는 메모리와는 다른 구성을 가질 수 있음을 이해해야 한다.

[0013] 메모리 뱅크(12, 14, 16, 18)의 각각은 메모리(10)에게 64비트 폭을 제공하도록 조합되는 16비트 폭을 갖는다. 각 메모리 뱅크(12, 14, 16, 18)의 깊이는, 각 메모리 뱅크(12, 14, 16, 18)가 $16 \times N$ 의 크기를 갖고 메모리(10)가 $64 \times N$ 의 크기를 갖도록 임의의 크기(N)를 가질 수 있다. 도 1에 도시한 메모리(10) 및 메모리 뱅크(12, 14, 16, 18)의 크기 및 폭은 예시적인 것이며 필요시 메모리(10)가 사용되는 특정 응용을 위해 조절될 수 있다. 메모리(10)는 다른 메모리 유형들도 가능하지만 바람직하게 플래시 메모리나 NVRAM과 같은 RAM 장치로서 구현된다. 메모리 뱅크(12, 14, 16, 18)의 16비트 출력의 각각은 에러 인코더(20)에 결합된다.

[0014] 에러 인코더(20)는, 메모리(10)의 메모리 뱅크(12, 14, 16, 18)로부터 64비트의 데이터를 수신하고 메모리(10)로부터 수신한 64비트의 각 세트에 대하여 16비트의 에러 데이터를 생성한다. 에러 인코더(20)는 바람직하게 4개의 데이터 비트로부터 에러값을 생성하도록 구성되며, 여기서 이 4개의 데이터 비트는 메모리 뱅크(12, 14, 16, 18)로부터 각각 전달되는 것이다. 또한, 각 메모리 뱅크(12, 14, 16, 18)로부터 선택된 비트들은 바람직하게 각 메모리 뱅크의 동일하게 대응하는 위치에 존재한다. 예를 들어, 에러 비트 ED00은 메모리 뱅크(12, 14, 16, 18)의 데이터 비트 b00, b16, b32, b48로부터 각각 에러 인코더(20)에 의해 계산될 수 있다. 일반적으로, 에러 데이터를 계산하도록 선택된 데이터 비트들은 다른 조합들일 수 있지만, 이 조합은 바람직하게 메모리(10) 내의 사전결정된 위치에 기초한다. 에러 데이터를 생성하는 프로세스는 메모리 뱅크(12, 14, 16, 18)에서 16비트 데이터의 N개 레벨들의 각각에 대하여 반복된다.

[0015] 에러 인코더(20)에 의해 생성된 에러 데이터는 자신을 저장하는 에러 메모리(30)에 제공된다. 에러 메모리(30)는 바람직하게 메모리 뱅크(12, 14, 16, 18)와 동일한 크기와 폭을 갖도록 구성되지만, 다른 크기와 폭의 구성도 가능하다.

[0016] 도 2는 본 발명에 따라 향상된 에러 검출 시스템에서 사용될 수 있는 에러 인코더의 블록도이다. 도 2에 도시한 바와 같이, 도 1의 에러 인코더(1)와 같은 에러 인코더는, 데이터-인 레지스터(22)와, 에러 생성기(24)와, 에러 데이터 레지스터(26)를 포함한다. 데이터를 에러 인코더(20)에 제공하는 메모리(10)가 도 1에 도시한 바와 같이 설계된다고 가정하면, 데이터-인 레지스터(22)는 64비트의 메모리 데이터를 메모리(10)로부터 수신 및 저장한다. 데이터-인 레지스터(22)는 메모리(10)로부터 64비트의 데이터 각각을 저장할 수 있는 64비트 레지스터일 수 있다. 데이터-인 레지스터(22)의 크기는 메모리(10)의 비트 폭에 따라 조절될 수 있다. 데이터-인 레지스터(22)는, 에러 인코더(20)에 의해 사용될 수 있는 다른 비트들의 데이터를 저장하는 것처럼, 메모리(10)의 비트 폭보다 크게 형성될 수도 있다.

[0017] 데이터-인 레지스터(22)는 64비트의 메모리 데이터를 에러 생성기(24)에 제공한다. 에러 생성기는 64비트의 메모리 데이터로부터 16비트의 에러 데이터를 생성한다. 에러 데이터의 각 비트는 바람직하게 각 에러 비트를 계산하는 데 이용되는 메모리 데이터의 비트들의 패리티 값이다. 예를 들어, 에러 비트 ED00은, 데이터 비트들 b00, b16, b32, b48로부터 발생하는 패리티 값으로서 에러 생성기(24)에 의해 계산될 수 있다. 패리티 값은, 본질적으로, 패리티 값을 계산하는 데 이용되는 메모리 데이터 비트들의 그룹이 복수의 "1"의 우수 또는 기수를 갖는지를 가리킨다. 그 결과, 메모리 뱅크(12, 14, 16, 18) 중 하나의 특정 위치에 에러가 존재하면, 메모리 데이터 비트들의 그룹에서 1의 개수는 변경되며 그 결과 패리티 값은 에러 발생 전에 계산된 패리티 값과 더 이상 매칭되지 않는다.

[0018] 패리티 값을 계산하려면, 다음의 수학적식에 따라 16개의 에러 비트를 계산할 수 있다.

수학적식 1

[0019]
$$EE_k = b_k \text{ XOR } b_{k+16} \text{ XOR } b_{k+32} \text{ XOR } b_{k+48}$$

[0020] 여기서, k는 0 내지 15의 정수값이며 XOR는 배타적 OR 연산이다. 이 수학적식은 메모리(10) 및 에러 메모리(30)의 구성에 따라 조절될 수 있다. 예를 들어, 에러 메모리(30)는 크기에 있어서 증가되어 더 많은 에러 데이터를 유지할 수 있고 메모리 비트들의 더욱 작은 그룹으로부터 또는 메모리 비트들의 다중 조합들로부터 패리티 값들을 계산할 수 있게 한다.

[0021] 에러 생성기(24)에 의해 생성된 에러 데이터를 에러 데이터 레지스터(26)에 제공한다. 에러 데이터 레지스터(26)는 바람직하게 16비트 레지스터로서 구성되지만, 에러 데이터 레지스터(26)의 크기는 에러 생성기(24)로부터 출력되는 에러 데이터의 양에 따라 조절될 수 있다. 에러 데이터 레지스터(26)는 출력 데이터를 에러 메모리(30)에 제공하기 전에 그 출력 데이터를 저장한다. 데이터-인 레지스터(22), 에러 생성기(24), 에러 데이터

레지스터(26)에 의해 수행되는 에러 생성 프로세스는 메모리(10)에 의해 제공되는 64비트 데이터 그룹 각각에 대하여 반복적으로 수행되어 메모리 데이터의 각 비트가 에러 메모리(30)에 저장되어 있는 적어도 하나의 에러 비트와 관련된다.

[0022] 도 3은 본 발명에 따라 향상된 에러 검출 시스템에서 이용될 수 있는 에러 검출기의 블록도이다. 도 3에 도시한 바와 같이, 에러 검출기(40)는, 메모리 데이터-인 레지스터(42)와, 에러 데이터-인 레지스터(43)와, 에러 생성기(44)와, 에러 데이터 비교기(46)와, 에러 데이터 검출 데이터 레지스터(48)를 포함한다. 에러 검출기는 메모리(10)로부터의 메모리 데이터와 에러 메모리(30)로부터의 에러 데이터를 이용하여 메모리(10)에 임의의 비트 에러들이 존재하는지를 검출한다.

[0023] 메모리(10) 및 에러 메모리(30)가 도 1에 도시한 바와 같이 설계된다고 가정하면, 메모리 데이터-인 레지스터(42)는 메모리(10)로부터 64비트의 메모리 데이터를 수신 및 저장하고, 에러 데이터-인 레지스터(43)는 에러 메모리(30)로부터 16비트의 에러 데이터를 수신 및 저장한다. 메모리 데이터-인 레지스터(42)는, 메모리(10)로부터의 데이터의 64비트의 각각을 저장할 수 있는 64비트 레지스터일 수 있으며, 에러 데이터-인 레지스터(43)는, 에러 메모리(30)로부터의 데이터의 16비트의 각각을 저장할 수 있는 16비트 레지스터일 수 있다. 메모리 데이터-인 레지스터(42) 및 에러 데이터-인 레지스터(43)의 크기는 각각 메모리(10) 및 에러 메모리(30)의 비트 폭에 따라 조절될 수 있다.

[0024] 메모리 데이터-인 레지스터(42)는 64비트의 메모리 데이터를 에러 생성기(44)에 제공한다. 에러 생성기(44)는, 바람직하게 에러 인코더(20)의 에러 생성기(24)와 동일한 방식으로 구성되어 64비트의 메모리 데이터로부터 16비트의 에러 데이터를 생성한다. 에러 데이터의 각 비트는 바람직하게 각 에러 비트를 계산하는 데 이용되는 메모리 데이터의 비트들의 패리티 값이다.

[0025] 에러 생성기(44)에 의해 생성된 에러 데이터 및 에러 데이터-인 레지스터(43)로부터의 에러 데이터는 에러 데이터 비교기(46)에 제공된다. 에러 데이터 비교기(46)는 에러 생성기(44)에 의해 생성된 에러 데이터를 에러 데이터-인 레지스터(43)로부터의 에러 데이터와 비교한다. 이러한 2개 세트의 에러 데이터의 모든 비트들이 서로 매칭되면, 메모리 데이터-인 레지스터(42) 내로 로딩된 메모리 데이터는 정확한 것이다. 그러나, 하나의 비트라도 매칭되지 않으면, 메모리 데이터-인 레지스터(42) 내로 로딩된 메모리 데이터에 에러가 존재한다. 특히, 에러는 에러 데이터의 매칭되지 않는 비트(들)에 존재한다. 예를 들어, 매칭되지 않는 에러 비트가 비트 ED00이면, 에러 비트 ED00을 계산하는 데 이용되었던 위치들, 즉, b00, b16, b32, b48에 저장된 메모리 데이터에 에러가 존재하는 것으로 인식된다. 후술하는 바와 같이, 메모리(10)의 데이터는, 이러한 위치들에서 데이터를 메모리(10)와 동일한 데이터를 저장하는 백업 메모리나 슬레이브 메모리로부터의 데이터로 리라이팅함으로써 정정될 수 있다. 에러 데이터 비교기(46)에 의해 에러가 검출되면, 에러 신호(49)가 생성된다.

[0026] 에러가 검출되면, 에러 신호(49)의 생성에 더하여, 에러 데이터 비교기(46)는 16비트의 데이터를 에러 검출 레지스터(48)에 출력한다. 이 데이터는, 에러 데이터의 어느 비트들이 매칭되는지 그리고 에러 데이터의 어느 비트들이 매칭되지 않는지를 가리킨다. 예를 들어, 에러 데이터의 16비트를 비교하면, 에러 데이터 비교기(46)로부터 출력되는 데이터는 에러 비트들의 각 매칭 쌍을 0과 같은 제1 레벨로 설정하고, 에러 비트들의 각 비매칭(non-matched) 쌍을 1과 같은 제2 레벨로 설정한다. 에러 검출 레지스터(48)는 에러 데이터 비교기(46)로부터 출력되는 데이터를 수신 및 저장한다. 에러 검출 레지스터(48)는 바람직하게 16비트 레지스터이지만, 에러 데이터의 비트 폭에 따라 다른 크기를 가질 수 있다. 에러 검출 레지스터(48)는 에러 검출 데이터를 출력하고, 이 데이터는 매칭 에러 비트들과 비매칭 에러 비트들을 식별한다. 비매칭 에러 비트들은 메모리 데이터에서 에러들의 위치를 식별한다. 특히, 메모리 데이터 에러들의 위치는, 에러 메모리(30)에 저장된 에러 데이터의 대응 비트에 매칭되지 않는 에러 데이터의 비트를 생성하는 데 이용되었던 메모리 데이터의 비트들에 대응한다.

[0027] 도 4는 본 발명에 따라 향상된 에러 검출 시스템의 블록도이다. 도 4에 도시한 바와 같이, 향상된 에러 검출 시스템은 메모리(10)와, 에러 인코더(20)와, 에러 메모리(30)와, 에러 검출기(40)를 포함한다. 향상된 에러 검출 시스템은 메모리(50)와, 에러 메모리(60)와, 데이터 제어 유닛(70)도 포함한다.

[0028] 메모리(50)는 바람직하게 도 1에 대하여 상술한 바와 같이 메모리(10)와 동일한 방식으로 구성된다. 또한, 메모리(50)는 메모리(10)에 저장되어 있는 동일한 데이터로 저장된다. 이러한 방식으로, 메모리(50)는, 주 메모리 또는 마스터 메모리로서 기능하는 메모리(10)에 대하여 백업 메모리나 슬레이브 메모리로서 기능한다.

[0029] 유사하게, 에러 메모리(60)는 바람직하게 도 1에 대하여 상술한 바와 같이 에러 메모리(30)와 동일한 방식으로 구성된다. 에러 메모리(60)는 메모리(50)에 저장된 데이터로부터 에러 인코더(20)에 의해 생성된 에러 데이터

를 저장한다. 에러 인코더(20) 및 에러 검출기(40)가 도 4에서 단일 소자로서 도시되어 있지만, 마스터 메모리 및 슬레이브 메모리의 각각에 대하여 별도의 에러 인코더(20) 및 별도의 에러 검출기(40)가 존재할 수 있음을 이해해야 한다.

- [0030] 데이터 제어 유닛(70)은 향상된 에러 검출 시스템의 소자들의 각각의 동작을 제어하도록 구성된다. 데이터 제어 유닛(70)은 바람직하게 데이터, 타이밍, 및 어드레스 신호를 그 소자들에게 제공하여 이들 간의 적절한 데이터 전달을 보장한다. 예를 들어, 에러 검출기(40)로부터의 에러 신호에 응답하여, 데이터 제어 유닛(70)은, 메모리(50)가 자신의 에러 확인을 패스한다고 가정할 때, 메모리(10)의 데이터의 리라이팅을, 에러를 갖는 것으로 식별된 위치에서 메모리(50)의 대응 데이터로 제어할 수 있다.
- [0031] 도 5는 본 발명에 따라 도 4의 향상된 에러 검출 시스템을 이용하는 에러 검출 프로세스의 흐름도이다. 도 5에 도시한 바와 같이, 데이터 제어 유닛(70)은 메모리(10) 및 메모리(50)로부터 로딩되는 메모리 데이터를 식별한다(단계 502). 이 경우, 메모리(10)는 주 메모리 또는 마스터 메모리로서 기능하고, 메모리(50)는 백업 메모리 또는 슬레이브 메모리로서 기능한다. 각 메모리의 식별된 데이터는 동일한 대응 위치에 존재해야 하며, 즉, 메모리(10)에서 메모리 데이터의 위치들은 메모리(50)에서 메모리 데이터와 동일한 위치이어야 한다.
- [0032] 또한, 데이터 제어 유닛(70)은 에러 메모리(30, 60)로부터 대응 에러 데이터를 식별한다(단계 504). 상술한 바와 같이, 메모리 데이터의 각 비트는 에러 데이터의 적어도 하나의 비트와 관련된다. 메모리 데이터의 일 비트는, 메모리 데이터의 그 일 비트가 에러 데이터의 일 비트를 생성하는 데 이용되었다면 그 에러 데이터의 일 비트와 관련된다. 대응 에러 데이터는 적어도 메모리(10, 50)의 식별된 데이터 메모리로부터 생성된 에러 데이터를 포함한다.
- [0033] 데이터 제어 유닛(70)은 식별된 메모리 데이터 및 에러 데이터의 에러 검출기(40)로의 전달을 제어한다(단계 506). 메모리 데이터 및 에러 데이터의 양측 세트 모두를 위한 에러 검출을 수행하려면, 에러 검출기(40)는, 하나의 세트를 마스터 메모리의 에러 검출용으로 이용하고 다른 하나의 세트를 슬레이브 메모리의 에러 검출용으로 이용하는 것처럼, 도 3에 도시한 바와 같은 소자들의 복제 세트를 갖도록 구성될 수 있다.
- [0034] 에러 검출기(40)는 마스터 메모리 및 에러 데이터, 및 슬레이브 메모리 및 에러 데이터를 수신하고, 마스터 메모리 데이터와 슬레이브 메모리 데이터의 에러들을 확인한다(단계 508). 도 3에 대하여 설명한 바와 같이, 에러 검출기(40)는 메모리(10 또는 50)로부터 메모리 데이터를 수신하고, 수신한 메모리 데이터로부터 에러 데이터를 생성하며, 생성한 에러 데이터를 에러 메모리(30 또는 60)로부터 수신한 대응 에러 데이터와 비교한다.
- [0035] 수신한 마스터 메모리 데이터로부터 생성된 에러 데이터와 에러 메모리(30)로부터 수신된 대응 에러 데이터의 비교에 기초하여, 에러 검출기(40)는 마스터 메모리 데이터에 에러가 존재하는지 여부를 결정한다(단계 510). 수신한 마스터 메모리 데이터로부터 생성된 에러 데이터의 비트들 중 임의의 비트가 메모리(30)로부터 수신된 대응 에러 데이터와 매칭되지 않으면 마스터 메모리 데이터에 에러가 존재하는 것이다.
- [0036] 마스터 메모리 데이터에 에러가 존재하면(단계 510에서 예), 그 에러의 위치가 결정된다(단계 518). 에러 데이터의 비트가 매칭되지 않으면, 그 에러 데이터의 비트를 생성하는 데 이용되었던 메모리 데이터의 비트들은 무효이며, 즉, 에러를 갖는다. 이에 따라, 에러 위치는 에러 데이터의 비매칭 비트를 생성하는 데 이용되었던 비트들의 위치에 대응한다. 예를 들어, 비매칭 에러 비트가 ED00이면, 에러들의 위치는 b00, b16, b32, b48을 포함한다. 에러 위치는 에러 검출기(40)의 에러 검출 레지스터(48)에 저장된 에러 검출 데이터를 살펴 봄으로써 결정될 수 있다. 이 정보는 데이터 제어 유닛(70)에 의해 결정될 수 있다.
- [0037] 마스터 메모리(10)에서 에러들의 결정된 위치에 기초하여, 데이터 제어 유닛(70)은 마스터 메모리(10)의 에러 위치들에서 데이터를, 슬레이브 메모리(50)의 대응 위치의 데이터로 리라이팅한다(단계 520). 또한, 마스터 메모리(10)를 갱신한 후, 에러 인코더(20)는 갱신된 마스터 메모리(10)로부터 갱신된 에러 데이터를 생성하여 에러 메모리(30)의 에러 데이터를 갱신한다(단계 522). 또한, 마스터 메모리(10) 및 에러 메모리(30)를 갱신한 후 유사한 방식으로 슬레이브 메모리(50) 및 에러 메모리(60)를 갱신할 수 있다.
- [0038] 마스터 메모리 데이터에 에러가 존재하지 않으면(단계 510에서 아니오), 에러 검출기(40)는 슬레이브 메모리 데이터에 에러가 존재하는지 여부를 결정한다(단계 512). 마스터 메모리 데이터의 확인처럼, 수신된 슬레이브 데이터로부터 생성된 에러 데이터의 비트들 중 임의의 비트가 에러 메모리(60)로부터 수신된 대응 에러 데이터에 매칭되지 않으면 슬레이브 메모리 데이터에 에러가 존재한다.
- [0039] 슬레이브 메모리 데이터에 에러가 존재하면(단계 512에서 예), 단계 518 내지 522를 반복한다. 특히, 슬레이브 메모리(50)의 에러 위치에서, 데이터 제어 유닛(70)은 그 슬레이브 메모리(50)의 에러 위치에서의 데이터를, 마

스터 메모리(10)의 대응 위치에서의 데이터로 리라이팅하고, 데이터 제어 유닛(70)은 갱신된 슬레이브 메모리(50)로부터의 데이터를 이용하여 에러 메모리(60)의 에러 데이터를 갱신한다.

[0040] 슬레이브 메모리 데이터에 에러가 없으면(단계 512에서 아니오), 마스터 메모리 데이터 및 슬레이브 메모리 데이터를 에러 검출기(40)에 의해 비교하여 이들이 동일한지를 결정한다(단계 514). 이러한 확인은 마스터 메모리 데이터 및 슬레이브 메모리 데이터에 대하여 이미 수행된 에러 확인에 대한 백업 확인으로서 기능한다. 마스터 메모리 데이터나 슬레이브 메모리 데이터에서 검출되는 에러가 없다면, 마스터 메모리 데이터 및 슬레이브 메모리 데이터는 동일함에 틀림없다.

[0041] 마스터 메모리 데이터 및 슬레이브 메모리 데이터가 동일하지 않으면(단계 514에서 아니오), 향상된 에러 검출 시스템을 인터럽트하고 재시작한다(단계 524). 어느 세트의 데이터에서도 에러가 검출되지 않았지만 데이터가 동일하지 않으면, 향상된 에러 검출 시스템이 적절히 동작하지 않을 수 있다. 또는, 마스터 메모리 데이터나 슬레이브 메모리 데이터가 각각의 메모리 뱅크의 동일한 위치에서 2개의 메모리 데이터 비트 변경을 가졌을 수도 있으며, 여기서 2개의 메모리 데이터 비트는 동일한 에러 비트를 생성하는 데 이용되었던 것이다. 동일한 에러 비트를 생성하는 데 이용된 2개의 메모리 데이터 비트, 즉, 상이한 메모리 뱅크들의 동일한 위치의 변경 가능성은 상당히 작으며 거의 발생하지 않는다. 인터럽트 및 재시작도, 마스터 메모리 및 슬레이브 메모리 모두에서 에러가 발생하는 경우 영향을 받을 수 있다.

[0042] 마스터 메모리 데이터 및 슬레이브 메모리 데이터가 동일하다면(단계 514에서 예), 마스터 메모리(10)로부터의 메모리 데이터는 필요로 하는 어떠한 용도를 위해서라도 이용된다(단계 516). 마스터 메모리(10)로부터의 메모리 데이터의 용도는 향상된 에러 검출 시스템이 구현되는 시스템이나 장치에 의존한다.

[0043] 상술한 바와 같은 향상된 에러 검출 시스템에서, 메모리의 모든 위치의 하나 이상의 에러를 식별하고 정정할 수 있다. 그 결과, 상당히 신뢰성있는 데이터 저장을 제공할 수 있다.

[0044] 상술한 바와 같이, 메모리(10, 50) 및 에러 메모리(30, 60)는 각각 독립적인 소자들로 도시되어 있다. 그러나, 이러한 메모리들은 별도의 독립적인 소자들, 단일 구조, 또는 단일 메모리 데이터와 에러 데이터 메모리처럼 일부 다른 조합일 수 있다는 점을 이해하길 바란다. 또한, 에러 인코더(20)를 메모리들(10, 50) 간의 시간 공유에 기초하여 이용함으로써 에러 메모리(30, 60)에 저장된 에러 데이터를 각각 생성하는 데 도 2에 도시한 바와 같은 소자들의 하나의 세트만이 필요할 수 있다. 유사하게 메모리들(10, 50) 간의 시간 공유에 기초하여 에러 검출(40)을 이용함으로써 메모리 데이터에서 에러를 확인하는 데 도 3에 도시한 바와 같은 소자들의 하나의 세트만이 필요할 수 있다.

[0045] 향상된 에러 검출 시스템은 시스템이 적절히 동작하는 것을 보장하는 진단을 행하도록 구성될 수도 있다. 예를 들어, 데이터 제어 유닛(70)의 제어 하에, 시스템이 적절히 동작하는 경우 에러를 검출되게 하는 더미 데이터를 이용하여 진단 테스트를 수행할 수 있다. 시스템이 에러를 검출하지 않으면, 데이터 제어 유닛(70)은 시스템이 적절히 동작하지 않는 것으로 인식한다. 이 경우, 시스템은 인터럽트되고 재시작될 수 있다.

[0046] 본 발명의 바람직한 실시예들의 상술한 설명은 단지 예시 및 설명을 위한 것이며, 수정 및 변경이 상술한 교시로부터 가능하고 또는 본 발명의 실시로부터 얻을 수도 있다. 본 발명의 원리를 설명하기 위해 (별도로 또는 조합하여 실시될 수 있는) 실시예들을 당업자로 하여금 다양한 실시예에서 특정 용도에 적합한 다양한 수정을 이용하여 본 발명을 제조 및 이용할 수 있게 하는 실제 응용으로서 선택 및 설명하였다. 본 발명의 범위는 청구범위 및 그 등가에 의해 정의될 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 발명에 따라 향상된 에러 검출 시스템에서 사용될 수 있는 메모리 및 에러 코딩 시스템의 블록도이다.

[0008] 도 2는 본 발명에 따라 향상된 에러 검출 시스템에서 사용될 수 있는 에러 인코더의 블록도이다.

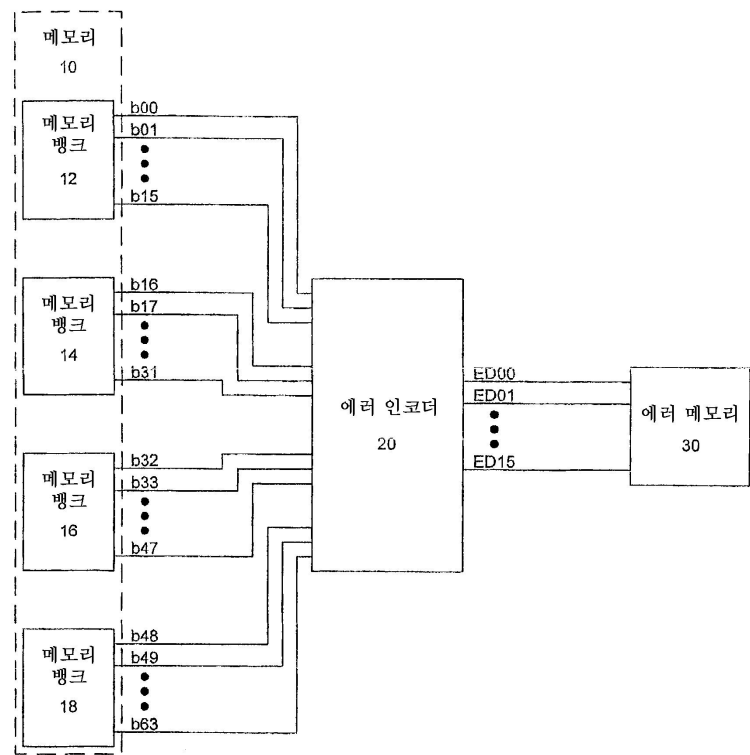
[0009] 도 3은 본 발명에 따라 향상된 에러 검출 시스템에서 사용될 수 있는 에러 검출기의 블록도이다.

[0010] 도 4는 본 발명에 따른 향상된 에러 검출 시스템의 블록도이다.

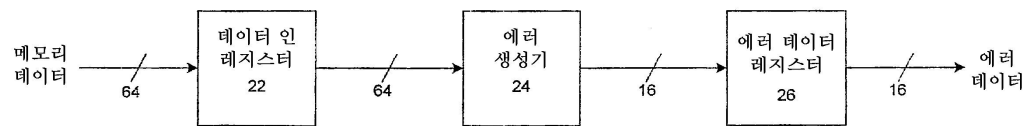
[0011] 도 5는 본 발명에 따라 도 4의 향상된 에러 검출 시스템을 이용하는 에러 검출 프로세스의 흐름도이다.

도면

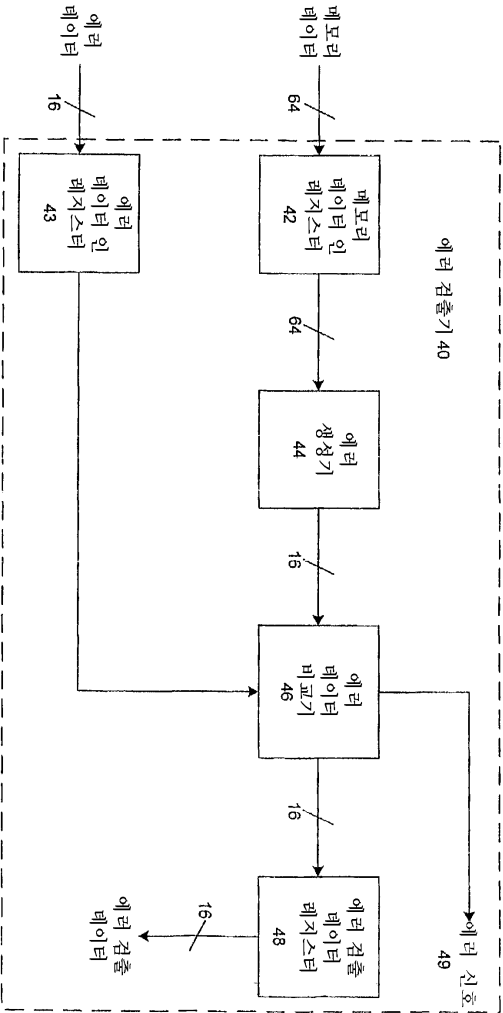
도면1



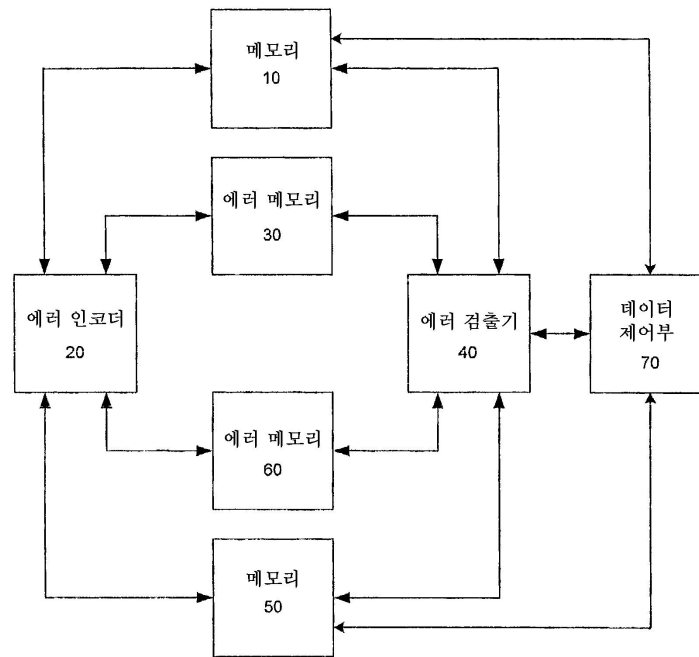
도면2



도면3



도면4



도면5

