



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I747904 B

(45) 公告日：中華民國 110 (2021) 年 12 月 01 日

(21) 申請案號：106116978 (22) 申請日：中華民國 106 (2017) 年 05 月 23 日

(51) Int. Cl. : **G06F1/04 (2006.01)** **H03K5/135 (2006.01)**

(30) 優先權：2017/01/24 南韓 10-2017-0010945
2017/01/25 美國 15/414,969

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72) 發明人：李宰坤 LEE, JAE GON (KR)；金礪燦 KIM, AH CHAN (KR)；宋陳煜 SONG, JIN
OOK (KR)；李裁榮 LEE, JAE YOUNG (KR)；崔然植 CHOI, YOUN SIK (KR)

(74) 代理人：林孟閱；盧佩君；陳怡如

(56) 參考文獻：

| | | | |
|----|----------------|----|----------------|
| TW | 201535813A1 | US | 2003/0117176A1 |
| US | 2004/0153678A1 | US | 2011/0202788A1 |
| US | 2014/0266333A1 | | |

審查人員：陳延慶

申請專利範圍項數：16 項 圖式數：40 共 104 頁

(54) 名稱

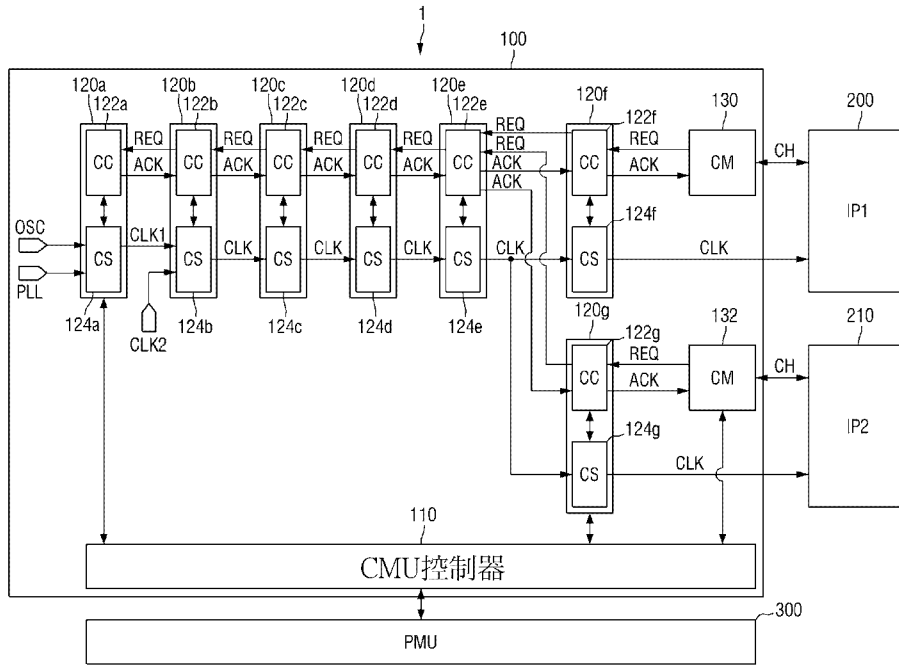
系統晶片、時鐘閘控元件、時鐘多工器元件及分頻元件

(57) 摘要

本發明提供一種系統晶片、一種時鐘閘控元件、一種時鐘多工器元件以及一種時鐘分頻元件。系統晶片包含多個智慧財產權塊和時鐘管理單元，時鐘管理單元被配置成對智慧財產權塊中的至少一個執行時鐘閘控。智慧財產權塊和時鐘管理單元使用完全握手方法彼此介接。完整握手方法可以包含以下項中的至少一個：智慧財產權塊將請求信號發送到時鐘管理單元以開始提供時鐘信號或停止提供時鐘信號；以及回應於接收請求信號，時鐘管理單元將確認信號發送到對應智慧財產權塊。本發明的系統晶片的消耗功率低，且本發明的驅動系統晶片的方法可以防止系統晶片消耗太多功率。

The invention provides a system on chip, a clock gating component, a clock multiplexer component and a clock dividing component. The system on chip includes a plurality of intellectual property blocks and a clock management unit, and the clock management unit is configured to perform clock gating on at least one of the intellectual property blocks. The intellectual property blocks and the clock management unit interface with one another using a full handshake method. The full handshake method may include at least one of the intellectual property blocks sending a request signal to the clock management unit to begin providing a clock signal or to stop providing the clock signal, and the clock management unit sending an acknowledgement signal to the corresponding intellectual property block in response to receipt of the request signal. The system on chip of the invention consumes low power, and a method of driving the system on chip of the invention can prevent the system on chip from consuming too much power.

指定代表圖：



【圖2】

符號簡單說明：

1:半導體裝置

100:時鐘管理單元

110:CMU 控制器

120a、120b、120c、
120d、120e、120f、
120g:時鐘元件

122a、122b、122c、
122d、122e、122f、
122g:時鐘控制電路
124a、124b、124c、
124d、124e、124f、
124g:時鐘源

130、132:通道管理電
路

200、210:智慧財產權
塊

300:電源管理單元

ACK:確認

CH:通信通道

CLK:時鐘信號

CLK1:第一時鐘信號

CLK2:第二時鐘信號

REQ:時鐘請求

OSC:振盪器

PLL:鎖相環



申請日：

106-08-10

公告本

I747904

【發明摘要】

IPC分類：

【中文發明名稱】系統晶片、時鐘閘控元件、時鐘多工器元件及分頻元件

【英文發明名稱】SYSTEM ON CHIP, CLOCK GATING COMPONENT, MULTIPLEXER COMPONENT AND DIVIDING COMPONENT

【中文】本發明提供一種系統晶片、一種時鐘閘控元件、一種時鐘多工器元件以及一種時鐘分頻元件。系統晶片包含多個智慧財產權塊和時鐘管理單元，時鐘管理單元被配置成對智慧財產權塊中的至少一個執行時鐘閘控。智慧財產權塊和時鐘管理單元使用完全握手方法彼此介接。完整握手方法可以包含以下項中的至少一個：智慧財產權塊將請求信號發送到時鐘管理單元以開始提供時鐘信號或停止提供時鐘信號；以及回應於接收請求信號，時鐘管理單元將確認信號發送到對應智慧財產權塊。本發明的系統晶片的消耗功率低，且本發明的驅動系統晶片的方法可以防止系統晶片消耗太多功率。

【英文】The invention provides a system on chip, a clock gating component, a clock multiplexer component and a clock dividing component. The system on chip includes a plurality of intellectual property blocks and a clock management unit, and the clock

management unit is configured to perform clock gating on at least one of the intellectual property blocks. The intellectual property blocks and the clock management unit interface with one another using a full handshake method. The full handshake method may include at least one of the intellectual property blocks sending a request signal to the clock management unit to begin providing a clock signal or to stop providing the clock signal, and the clock management unit sending an acknowledgement signal to the corresponding intellectual property block in response to receipt of the request signal. The system on chip of the invention consumes low power, and a method of driving the system on chip of the invention can prevent the system on chip from consuming too much power.

【指定代表圖】圖2。

【代表圖之符號簡單說明】

1：半導體裝置

100：時鐘管理單元

110：CMU 控制器

120a、120b、120c、120d、120e、120f、120g：時鐘元件

122a、122b、122c、122d、122e、122f、122g：時鐘控制電路

124a、124b、124c、124d、124e、124f、124g：時鐘源

130、132：通道管理電路

200、210：智慧財產權塊

300：電源管理單元

ACK：確認

CH：通信通道

CLK：時鐘信號

CLK1：第一時鐘信號

CLK2：第二時鐘信號

REQ：時鐘請求

OSC：振盪器

PLL：鎖相環

【特徵化學式】

無

【發明說明書】

【中文發明名稱】系統晶片、時鐘閘控元件、時鐘多工器元件及分頻元件

【英文發明名稱】SYSTEM ON CHIP, CLOCK GATING COMPONENT, MULTIPLEXER COMPONENT AND DIVIDING COMPONENT

[相關申請案的交叉參考]

本申請案要求 2017 年 1 月 24 日在韓國智慧財產權局提交的第 10-2017-0010945 號韓國專利申請案以及 2017 年 1 月 25 日在美國專利商標局提交的第 15/414,969 號美國專利申請案的權益，這兩個專利申請案的揭示內容以引用方式全文併入本文中。

【技術領域】

【0001】本發明是有關於一種半導體裝置。

【先前技術】

【0002】隨著電腦、通信和廣播的逐漸融合，對專用積體電路（application specific integrated circuit, ASIC）和專用標準產品（application specific standard product, ASSP）的需求由於對系統晶片（system-on-chip, SoC）的需求而改變。另外，趨向於更輕、更薄、更緊湊和更高性能資訊技術（information technology, IT）裝置是驅動 SoC 的發展的一個因素。

【0003】 SoC 是具有各種功能的功能塊（例如，智慧財產權（intellectual property, IP）塊）借助於半導體處理技術的發展集成到其上的單晶片。

【0004】 隨著 SoC 的集成密度、大小和操作速度增加，功率消耗更大程度上變成一個設計因素。當 SoC 消耗大量功率時，SoC 的溫度可能升高。如果溫度升高太大，則 SoC 可能發生故障或可能受損。

【0005】 因此，需要一種 SoC 以及可以防止 SoC 消耗太多功率的驅動 SoC 的方法。

【發明內容】

【0006】 根據本發明概念的示例性實施例，系統晶片（system on chip, SoC）包含多個智慧財產權（intellectual property, IP）塊和時鐘管理單元（clock management unit, CMU），所述時鐘管理單元被配置成對 IP 塊的至少一個執行時鐘閘控。IP 塊和 CMU 使用完全握手方法彼此介接。

【0007】 根據本發明概念的示例性實施例，時鐘閘控元件包含時鐘控制電路，所述時鐘控制電路被配置成產生操作時鐘信號；以及通道管理（channel management, CM）電路，所述通道管理電路被配置成從外部裝置接收跨越通信通道的請求信號並且將所述請求信號轉發到時鐘控制電路。時鐘控制電路被配置成根據請求信號選擇性地將操作時鐘信號提供到外部裝置並且將確認（Ack）信

號提供到 CM 電路。

【0008】 根據本發明概念的示例性實施例，時鐘多工器元件包含時鐘控制電路，所述時鐘控制電路被配置成基於第一選擇信號而選擇第一時鐘信號和第二時鐘信號中的一個、基於所述選定時鐘信號而產生操作時鐘信號並且回應於請求信號而選擇性地輸出所述操作時鐘信號；以及通道管理（channel management, CM）電路，所述通道管理電路被配置成從外部裝置接收跨越通信通道的請求信號並且將所述請求信號轉發到所述時鐘控制電路。

【0009】 根據本發明概念的示例性實施例，時鐘分頻元件包含時鐘控制電路，所述時鐘控制電路被配置成對輸入時鐘信號執行分頻操作以產生分頻時鐘信號、基於所述分頻時鐘信號而產生操作時鐘信號並且回應於請求信號而將所述操作時鐘信號選擇性地輸出到外部裝置；以及通道管理（channel management, CM）電路，所述通道管理電路被配置成從外部裝置接收跨越通信通道的請求信號並且將所述請求信號轉發到所述時鐘控制電路。

【0010】 根據本發明概念的示例性實施例，操作時鐘管理單元（clock management unit, CMU）的方法包含：CMU 確定從智慧財產權（intellectual property, IP）塊接收的請求信號是否指示 IP 塊需要進入活動模式和休眠模式中的選定的一個；當請求信號指示 IP 塊需要進入活動模式時，CMU 將啟動層處的確認（Ack）信號和時鐘信號輸出到 IP 塊；以及當時鐘請求信號指示 IP 塊需要進入休眠模式時，CMU 將去啟動層處的 Ack 信號輸出到 IP 塊並且停

止將時鐘信號輸出到 IP 塊。

【0011】 根據本發明概念的示例性實施例，時鐘管理單元（clock management unit, CMU）包含控制器電路，所述控制器電路被配置成基於從鎖相環或振盪器產生的輸出而輸出第一時鐘信號；多工電路，所述多工電路被配置成輸出所述第一時鐘信號和第二時鐘信號中的一個；第一時鐘分頻電路，所述第一時鐘分頻電路被配置成對所述多工電路的輸出執行第一分頻操作以產生第三時鐘信號；速止電路，所述速止電路被配置成選擇性地停止第三時鐘信號的脈衝以產生第四時鐘信號；第二時鐘分頻電路，所述第二時鐘分頻電路被配置成對所述速止電路的輸出執行第二分頻操作以產生第五時鐘信號；以及第一時鐘閘控電路，所述第一時鐘閘控電路被配置成選擇性地輸出所述第五時鐘信號。

【圖式簡單說明】

【0012】

圖 1 是根據本發明概念的示例性實施例的半導體裝置的框圖。

圖 2 是根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘管理單元（clock management unit, CMU）的框圖。

圖 3 是根據本發明概念的實施例的包含在半導體裝置中的智慧財產權（intellectual property, IP）塊的框圖。

圖 4 說明根據本發明概念的示例性實施例的在 CMU 的多個時鐘控制電路之間的信號傳輸路徑。

圖 5A 說明根據本發明概念的示例性實施例的可以用於 CMU 中的時鐘請求信號和時鐘確認信號。

圖 5B 說明根據本發明概念的示例性實施例的可以在 CMU 中發生的用於時鐘請求信號和時鐘確認信號的時鐘級過渡。

圖 6 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘閘控元件的實施方案。

圖 7 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘閘控元件的結構。

圖 8 是說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘閘控元件的行為的時序圖。

圖 9A 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘多工器 (MUX) 元件的實施方案。

圖 9B 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘 MUX 元件的有限狀態機 (finite state machine, FSM)。

圖 10 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘 MUX 元件的結構。

圖 11 至 20 是說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘 MUX 元件的行為的時序圖。

圖 21A 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘分頻元件。

圖 21B 說明根據本發明概念的示例性實施例的包含在半導體

裝置中的時鐘分頻元件的 FSM。

圖 22 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘分頻元件。

圖 23 是說明根據本發明概念的實施例的包含在半導體裝置中的時鐘分頻元件的行為的時序圖。

圖 24 說明根據本發明概念的示例性實施例的包含在半導體裝置中的鎖相環（phase locked loop, PLL）控制器。

圖 25 說明根據本發明概念的示例性實施例的包含在半導體裝置中的 PLL 控制器電路的多工器。

圖 26 和 27 是說明根據本發明概念的示例性實施例的包含在半導體裝置中的 PLL 控制器的行為的時序圖。

圖 28 說明根據本發明概念的示例性實施例的包含在半導體裝置中的 PLL 使用者控制器。

圖 29 說明根據本發明概念的示例性實施例的包含在半導體裝置中的適配器元件。

圖 30 說明根據本發明概念的示例性實施例的包含在半導體裝置中的滯後濾波器的結構。

圖 31 至 33 是說明根據本發明概念的示例性實施例的包含在半導體裝置中的滯後濾波器的行為的時序圖。

圖 34 是根據本發明概念的示例性實施例的包含在半導體裝置中的電源管理單元（power management unit, PMU）的框圖。

圖 35 至 39 是說明 PMU 的時鐘開/關操作的實例的時序圖。

以及

圖 40 是根據本發明概念的示例性實施例的半導體裝置的框圖。

【實施方式】

【0013】 圖 1 是根據本發明概念的示例性實施例的半導體裝置的框圖。

【0014】 參考圖 1，根據本發明概念的示例性實施例的半導體裝置包含輸入/輸出 (input/output, I/O) 墊 101、時鐘管理單元 (clock management unit, CMU) 100、電源管理單元 (power management unit, PMU) 300 和邏輯塊 (例如，一個或多個邏輯電路)。例如，邏輯塊可以實施為一個或多個智慧財產權 (IP) 塊 200 至 220。在實施例中，IP 塊是 IP 核心或作為一方的智慧財產權的邏輯或晶片佈局的可重複使用單元。在實施例中，半導體裝置是或包含系統晶片 (system-on-chip, SoC)。

【0015】 CMU 100 產生將提供到第一至第三 IP 塊 200 至 220 中的每一個的操作時鐘信號。例如，CMU 100 可以產生第一至第三時鐘信號 CLK1 至 CLK3。

【0016】 第一至第三 IP 塊 200 至 220 可以連接到系統匯流排並且通過系統匯流排彼此通信。在實施例中，第一至第三 IP 塊 200 至 220 中的每一個包含處理器、圖形處理器、記憶體控制器、輸入和輸出介面塊等。

【0017】 CMU 100 可以將第一時鐘信號 CLK1 提供到第一 IP 塊 200。CMU 100 可以將第二時鐘信號 CLK2 提供到第二 IP 塊 210。CMU 100 可以將第三時鐘信號 CLK3 提供到第三 IP 塊 220。

【0018】 第一至第三 IP 塊 200 至 220 中的任一個可以根據完全握手方法（例如，同步握手）將時鐘請求信號傳輸到 CMU 100。時鐘請求信號可以指示對應 IP 塊需要 CMU 100 向其提供時鐘信號或需要 CMU 100 停止向其提供時鐘信號。在實施例中，在完全握手方法中，CMU 100 用時鐘確認信號對時鐘請求信號作出回應，所述時鐘確認信號指示 CMU 目前正提供或將提供請求時鐘信號，或 CMU 已停止或將停止提供請求時鐘信號。在實施例中，CMU 100 對時鐘確認信號作出回應，所述時鐘確認信號僅指示 CMU 確認接收時鐘請求信號，而不提供關於時鐘信號的狀態的資訊。

【0019】 例如，第一 IP 塊 200 可以根據完全握手方法將第一時鐘請求信號 REQ1 傳輸到 CMU 100。CMU 100 可以回應於第一時鐘請求信號 REQ1 的接收而將第一時鐘確認信號 ACK1 傳輸到第一 IP 塊 200。同時或在傳輸第一時鐘確認信號 ACK1 之前，CMU 100 可以將第一時鐘信號 CLK1 傳輸到第一 IP 塊 200。

【0020】 在實施例中，CMU 100 與第一至第三 IP 塊 200 至 220 之間的介面具有完全握手方法的格式。在實施例中，介面可以實施為遵循，但不限於，ARM 有限公司的低功率介面（Low Power Interface, LPI）、Q 通道介面或 P 通道介面。

【0021】 時鐘閘控可以用於將電腦系統分成小功能塊，並且隨後

切斷未使用部分的電源。由於不是電腦的全部部分一直在運行中，因此可以停止未使用部分中的塊以減小功率消耗以及所停止塊中的熱量產生。

【0022】 根據本發明概念的示例性實施例的 CMU 100 對不需要操作時鐘信號的第一至第三 IP 塊 200 至 220 中的一些執行時鐘閘控。CMU 100 可以通過自動地執行時鐘閘控，而不在 IP 塊操作中產生誤差來減小功率消耗。

【0023】 PMU 300 控制半導體裝置的電源。例如，當半導體裝置進入待機模式時，PMU 300 通過切斷電源控制電路而切斷 SoC 的電源。此處，PMU 300 不斷地消耗電力。然而，由於 PMU 300 消耗的電力遠小於整個半導體裝置消耗的電力，因此在待機模式下半導體裝置的功率消耗顯著減小。

【0024】 具體來說，當 SoC 處於待機模式時，PMU 300 可以切斷 CMU 100 的電源。這可以對應於不存在來自第一至第三 IP 塊 200 至 220 的時鐘請求的情況。例如，如果 IP 塊中無一者在預定義時間段內作出對時鐘信號的請求，則 PMU 300 可以切斷 CMU 100 的電源。

【0025】 圖 2 是根據本發明概念的示例性實施例的包含在半導體裝置中的 CMU 100 的框圖。

【0026】 參考圖 2，CMU 100 包含時鐘元件 120a 至 120g（例如，時鐘閘控電路）、通道管理電路（channel management, CM）130 和 132，以及 CMU 控制器 110。時鐘元件 120a 至 120g 被配置成

產生將提供到 IP 塊 200 和 210 的時鐘信號，並且通道管理電路 130 和 132 安置於時鐘元件 120f 和 120g 與 IP 塊 200 和 210 之間，以提供 CMU 100 與 IP 塊 200 和 210 之間的通信通道 CH。CMU 控制器 110 使用時鐘元件 120a 至 120g 將時鐘信號提供到 IP 塊 200 和 210。在替代實施例中，省略通道管理電路 130 和 132，並且最後一個時鐘元件提供 CMU 100 與 IP 塊 200 和 210 之間的通信通道 CH。

【0027】 在一些實施例中，由通道管理電路 130 和 132 提供的通信通道 CH 可以實施為遵循，但不限於，ARM 有限公司的 LPI、Q 通道介面或 P 通道介面。通信通道 CH 還可以實施為遵循不同通信協議。

【0028】 時鐘元件 120a 至 120g 包含時鐘源（clock source, CS）124a 至 124g（例如，時鐘信號產生器）和分別控制時鐘源 124a 至 124g 的時鐘控制電路（clock control, CC）122a 至 122g。時鐘源 124a 至 124g 可以包含，例如，多工器（MUX）電路，時鐘分頻電路、速止電路和時鐘閘控電路。

【0029】 時鐘元件 120a 至 120g 彼此形成父子關係。在本實施例中，時鐘元件 120a 是時鐘元件 120b 的親代，並且時鐘元件 120b 是時鐘元件 120a 的子代和時鐘元件 120c 的親代。另外，時鐘元件 120e 是兩個時鐘元件 120f 和 120g 的親代，並且時鐘元件 120f 和 120g 是時鐘元件 120e 的子代。在本實施例中，最接近鎖相環（phase locked loop, PLL）定位的時鐘元件 120a 被稱為根時鐘元

件，並且最接近 IP 塊 200 和 210 定位的時鐘元件 120f 和 120g 可被稱為葉時鐘元件。根據時鐘元件 120a 至 120g 之間的父子關係，父子關係必然還形成於時鐘控制電路 122a 至 122g 與時鐘源 124a 至 124g 之間。

【0030】 時鐘控制電路 122a 至 122g 在親代與子代之間交換時鐘請求 REQ 和時鐘請求 REQ 的確認 ACK，並且將時鐘信號提供到 IP 塊 200 和 210。

【0031】 如果 IP 塊 200 不需要時鐘信號，例如，如果 IP 塊 200 需要處於休眠狀態，則 CMU 100 停止將時鐘信號提供到 IP 塊 200。

【0032】 具體來說，通道管理電路 130 將第一信號傳輸到 IP 塊 200，所述第一信號指示所述通道管理電路將停止在 CMU 100 或 CMU 控制器 110 的控制下提供時鐘信號。接收第一信號的 IP 塊 200 將第二信號傳輸到通道管理電路 130，所述第二信號指示可以在完成處理的操作之後停止提供時鐘信號。從 IP 塊 200 接收第二信號的通道管理電路 130 請求時鐘元件 120f，即，其親代停止提供時鐘信號。

【0033】 在實例中，如果通過通道管理電路 130 提供的通信通道 CH 遵循 Q 通道介面，則通道管理電路 130 將具有第一邏輯值（例如，邏輯低，在下文中通過參考字元“L”指示）的 QREQ_n 信號傳輸到 IP 塊 200 作為第一信號。隨後，當從 IP 塊 200 接收具有第一邏輯值的 QACCEPT_n 信號作為第二信號時，通道管理電路 130 將具有第一邏輯值的時鐘請求 REQ（例如，信號）傳輸到時鐘元

件 120f。在此情況下，具有第一邏輯值的時鐘請求 REQ 是指“時鐘提供停止請求”。

【0034】 從通道管理電路 130 接收具有第一邏輯值的時鐘請求 REQ（即，時鐘提供停止請求）的時鐘控制電路 122f 通過停用時鐘源 124f 而停止提供時鐘信號。例如，時鐘控制電路 122f 可以通過將停用信號提供到時鐘源 124f 而停用時鐘源 124f。因此，IP 塊 200 可以進入休眠模式。在此過程中，時鐘控制電路 122f 可以將具有第一邏輯值的確認 ACK 提供到通道管理電路 130。然而，應注意，儘管在傳輸具有第一邏輯值的時鐘提供停止請求之後通道管理電路 130 接收具有第一邏輯值的確認 ACK，但是並不確保停止從時鐘源 124f 提供時鐘。在實施例中，確認 ACK 僅意味著時鐘控制電路 122f 認識到時鐘元件 120f（即，通道管理電路 130 的親代）不再需要將時鐘信號提供到通道管理電路 130。

【0035】 同時，時鐘元件 120f 的時鐘控制電路 122f 將具有第一邏輯值的時鐘請求 REQ 傳輸到作為其親代的時鐘元件 120e 的時鐘控制電路 122e。如果 IP 塊 210 也不需要時鐘信號，例如，如果時鐘控制電路 122e 從時鐘控制電路 122g 接收時鐘提供停止請求，則時鐘控制電路 122e 通過停用時鐘源 124e（例如，時鐘分頻電路）而停止提供時鐘信號。因此，IP 塊 200 和 210 可以進入休眠模式。

【0036】 對於其它時鐘控制電路 122a 至 122d，可以通過相同方式執行以上操作。

【0037】 儘管時鐘元件 120f 的時鐘控制電路 122f 將具有第一邏輯值的時鐘請求 REQ 傳輸到作為其親代的時鐘元件 120e 的時鐘控制電路 122e，但是如果 IP 塊 210 正運行，則時鐘控制電路 122e 無法停用時鐘源 124e。僅當 IP 塊 210 不再需要時鐘信號時，時鐘控制電路 122e 才可以停用時鐘源 124e 並且將具有第一邏輯值的時鐘請求 REQ 傳輸到作為其親代的時鐘控制電路 120d。也就是說，僅當從時鐘控制電路 122f 和 122g 兩者接收時鐘提供停止請求時，時鐘控制電路 122e 才可以停用時鐘源 124e。

【0038】 當 IP 塊 200 和 210 處於休眠狀態時，可以停用所有時鐘源 124a 至 124f。隨後，當 IP 塊 200 進入運行狀態時，CMU 100 恢復將時鐘信號提供到 IP 塊 200 和 210。

【0039】 通道管理電路 130 將具有第二邏輯值（例如，邏輯高，在下文中通過參考字元“H”指示）的時鐘請求 REQ 傳輸到作為其親代的時鐘元件 120f 的時鐘控制電路 122f，並且等待來自時鐘控制電路 122f 的確認 ACK。此處，具有第二邏輯值的時鐘請求 REQ 是“時鐘提供請求”，並且時鐘提供請求的確認 ACK 指示已恢復通過時鐘源 124f 提供時鐘。時鐘控制電路 122f 無法立即啟用時鐘源 124f（例如，時鐘閘控電路），而是等待通過其親代提供時鐘信號。

【0040】 隨後，時鐘控制電路 122f 將具有第二邏輯值的時鐘請求 REQ（即，時鐘提供請求）傳輸到作為其親代的時鐘控制電路 122e，並且等待來自時鐘控制電路 122e 的確認 ACK。對於時鐘控

制電路 122a 至 122d，可以通過相同方式執行此操作。例如，除了第一時鐘控制電路之外，級聯的每個時鐘控制電路將時鐘提供請求發送到其親代。

【0041】 從時鐘控制電路 122b 接收具有第二邏輯值的時鐘請求 REQ 的第一時鐘控制電路 122a（即，根時鐘元件）啟用第一時鐘源 124a（例如，MUX 電路），並且將確認 ACK 傳輸到第二時鐘控制電路 122b。第二時鐘控制電路 122b 響應於從第一時鐘控制電路 122a 接收 ACK 而啟用第二時鐘源 124b，並且將 ACK 傳輸到第三時鐘控制電路 122c。通過第三、第四和第五時鐘控制電路 122c-122e 重複所述過程。在以此方式按序啟用時鐘源 124b 至 124e 之後，第五時鐘控制電路 122e 最後將確認 ACK 傳輸到第一葉時鐘控制電路 122f，所述確認 ACK 通知葉時鐘控制電路已恢復通過時鐘源 124e 提供時鐘。接收確認 ACK 的第一葉時鐘控制電路 122f 通過啟用時鐘源 124f 而將時鐘信號提供到 IP 塊 200，並且將確認 ACK 提供到通道管理電路 130。

【0042】 如上所述，時鐘控制電路 122a 至 122g 根據完全握手方法（例如，同步握手）操作，其中時鐘請求 REQ 和時鐘請求 REQ 的確認 ACK 在親代與子代之間交換。因此，時鐘控制電路 122a 至 122g 可以通過控制時鐘源 124a 至 124g 硬體方面而控制提供到 IP 塊 200 和 210 的時鐘信號。

【0043】 時鐘控制電路 122a 至 122g 可以將時鐘請求 REQ 傳輸到其親代，或通過獨立操作或在 CMU 控制器 110 的控制下操作而

控制時鐘源 124a 至 124g。在一些實施例中，時鐘控制電路 122a 至 122g 可以分別包含有限狀態機（finite state machines, FSM），所述有限狀態機根據親代與子代之間交換的時鐘請求 REQ 來控制時鐘源 124a 至 124g。

【0044】 儘管圖 2 示出包含五個時鐘元件和兩個葉時鐘元件的級聯的時鐘元件樹，但是本發明概念不限於此。在替代實施例中，可以省略這些時鐘元件中的一個或多個。在第一實施例中，僅存在第一時鐘元件 120a 和第一葉時鐘元件 120f，省略第二至第五時鐘元件 120b-120e，並且省略第二葉時鐘元件 120g。在第二實施例中，僅存在第二時鐘元件 120b 和第一葉時鐘元件 120f，省略第一時鐘元件 120a，省略第三至第五時鐘元件 120c-120e，並且省略第二葉時鐘元件 120g。在第三實施例中，僅存在第三時鐘元件 120c 和第一葉時鐘元件 120f，省略第一至第二時鐘元件 120a-120b，省略第四至第五時鐘元件 120d-120e，並且省略第二葉時鐘元件 120g。在第四實施例中，僅存在第四時鐘元件 120d 和第一葉時鐘元件 120f，省略第一至第三時鐘元件 120a-120c，省略第五時鐘元件 120e，並且省略第二葉元件 120g。在第五實施例中，僅存在第五時鐘元件 120e 和第一葉時鐘元件 120f，省略第一至第四時鐘元件 120a-120d，並且省略第二葉時鐘元件 120g。可以通過各種其它組合進一步改變這些實施例。例如，在第六實施例中，存在第一至第二時鐘元件 120a-120b，存在第一葉時鐘元件 120f，省略第三至第五時鐘元件 120b-120e，並且省略第二葉時鐘元件 120g。

【0045】 在示例性實施例中，第一時鐘元件 120a 是鎖相環（phase-locked loop, PLL）控制器。

【0046】 在示例性實施例中，PLL 控制器從振盪器 OSC 中接收通過振盪器 OSC 振盪的恒定或可變頻率信號以及通過 PLL 輸出的 PLL 信號，並且基於特定條件輸出兩個所接收信號中的一個。當元件需要 PLL 信號時，PLL 控制器輸出 PLL 信號。當元件需要振盪器信號時，PLL 控制器輸出振盪器信號。當不存在使用 PLL 的輸出的元件時，在本發明概念的實施例中，PLL 控制器關閉 PLL。在替代實施例中，當不存在使用 PLL 的輸出的元件時，PLL 控制器自動地控制 PLL 以進入旁路模式。在另一替代實施例中，當不存在使用 PLL 的輸出的元件時，PLL 控制器根本不影響 PLL 的操作。

【0047】 PLL 控制器可以用產生時鐘信號的任何元件替換。例如，PLL 控制器可以使用環形振盪器或晶體振盪器實施。

【0048】 在本發明概念的示例性實施例中，時鐘元件 120b 是時鐘多工器（MUX）單元。

【0049】 在實施例中，時鐘 MUX 單元包含時鐘控制電路 122b 和 MUX 電路 124b。時鐘 MUX 單元的時鐘控制電路 122b 可以通過按序行為操作。時鐘控制電路 122b 可以控制時鐘信號的打開或關閉。為了在時鐘信號關閉的狀態下改變時鐘 MUX 單元的 MUX 選擇，時鐘控制電路 122b 產生時鐘請求信號。用於改變 MUX 選擇的由時鐘控制電路 122b 產生的時鐘請求信號可以僅提供到前一

個親代時鐘元件和下一個親代時鐘元件，或可以提供到所有可能的親代時鐘元件。在替代實施例中，時鐘控制電路 122b 不產生用於在時鐘信號關閉的狀態下改變 MUX 選擇的時鐘請求信號。例如，在此實施例中，時鐘控制電路 122b 僅在時鐘信號已打開時改變 MUX 選擇。

【0050】 時鐘 MUX 單元的時鐘控制電路 122b 可以將時鐘請求信號僅傳輸到所使用的親代時鐘元件。時鐘 MUX 單元可以具有兩個或多於兩個輸入時鐘信號。例如，圖 2 示出 MUX 電路 124b，所述 MUX 電路接收從第一時鐘控制電路 122a 輸出的第一時鐘信號 CLK1 以及可以從外部 CMU 或其它外部裝置接收的第二時鐘信號 CLK2。MUX 電路 124b 隨後可以基於特定條件而選擇第一時鐘信號 CLK1 和第二時鐘信號 CLK2 中的一個以供輸出。

【0051】 在本發明概念的示例性實施例中，時鐘元件 120c 是時鐘分頻單元，例如，時鐘分頻器電路（例如，分頻電路）。時鐘分頻器電路獲取具有輸入頻率的輸入信號並且通過輸入頻率除以時鐘分頻比產生的輸出頻率產生輸出信號。例如，分頻比可以是大於 1 的整數。

【0052】 在實施例中，時鐘分頻單元包含時鐘控制電路 122c 和分頻電路 124c。時鐘分頻單元的時鐘控制電路 122c 可以通過按序行為操作。時鐘控制電路 122c 可以控制由分頻電路 124c 輸出的時鐘信號的打開或關閉。為了在時鐘信號關閉的狀態下改變分頻電路 124c 的時鐘分頻比，時鐘控制電路 122c 可以產生時鐘請求

信號。例如，時鐘控制電路 122c 可以將時鐘請求信號輸出到根時鐘元件，所述根時鐘元件使分頻電路 124c 開始接收時鐘信號，使得所述分頻電路可以對所接收時鐘信號執行分頻操作。在替代實施例中，時鐘控制電路 122c 不產生用於在時鐘信號關閉的狀態下改變分頻電路 124c 的時鐘分頻比的時鐘請求信號。例如，在此實施例中，時鐘控制電路 122c 僅在時鐘信號已打開時改變時鐘分頻比。

【0053】 在示例性實施例中，時鐘元件 120d 是速止單元。在實施例中，速止單元在第一週期期間向時鐘信號提供多個脈衝，在第一週期之後的第二週期期間停止這些脈衝，並且在第二週期之後的第三週期期間恢復脈衝。

【0054】 速止單元包含時鐘控制電路 122d 和時鐘閘控電路 124d。在實施例中，時鐘閘控電路 124d 基於特定條件而選擇性地輸出時鐘信號。速止單元的時鐘控制電路 122d 可以通過按序行為操作。時鐘控制電路 122d 可以控制時鐘信號的打開或關閉。當來自子代時鐘元件的時鐘請求信號不活動時，時鐘控制電路 122d 可以啟動時鐘閘控電路 124d。例如，即使已通知時鐘控制電路 122d 停止通過子代時鐘元件提供時鐘信號，當出現特定條件時，時鐘控制電路 122d 也可以啟動時鐘閘控電路 124d。

【0055】 在本發明概念的示例性實施例中，葉時鐘元件 120f 和 120g 中的每一個是時鐘閘控單元。在葉時鐘元件 120f 和 120g 是時鐘閘控單元的實施例中，每個元件包含時鐘閘控電路。

【0056】 時鐘閘控單元可以根據完全握手方法與通道管理電路 130 和 132 中的至少一個通信。

【0057】 參考圖 1 和 2，在本發明概念的示例性實施例中，PMU 300 回應於在待機模式下接收的喚醒信號而將電力控制信號傳輸到振盪器 OSC。振盪器 OSC 是產生特定頻率信號並且將操作時鐘信號供應到邏輯塊（例如，時鐘元件 120a）的振盪電路。晶體振盪器使用晶體 XTAL 的壓電振盪以準確且穩定的振盪頻率產生信號。

【0058】 當電力輸入到振盪器 OSC 時，振盪器 OSC 開始振盪。振盪器 OSC 最初輸出精確且不穩定的信號，並且隨後逐漸開始輸出穩定的晶體時鐘信號。在從振盪器 OSC 輸出的晶體時鐘信號穩定化之後，CMU 100 可以將操作時鐘信號供應到邏輯塊。

【0059】 圖 3 是根據本發明概念的示例性實施例的包含在半導體裝置中的 IP 塊的框圖。

【0060】 參考圖 3，第一 IP 塊 200 包含通道適配器 202 和 IP 核心 204。在圖 3 中，第一 IP 塊 200 說明為實例。然而，第二 IP 塊 210 和第三 IP 塊 220 可以包含與第一 IP 塊 200 基本上相同的元件。

【0061】 在實施例中，通道適配器 202 根據完全握手方法與第一通道管理電路 130 通信。通過通道適配器 202，第一 IP 塊 200 可以傳輸第一時鐘請求信號 REQ1 並且接收第一時鐘信號 CLK1。例如，第一 IP 塊 200 可以將 REQ1 傳輸到第一通道管理電路 130，

並且響應於傳輸 REQ1 而接收由葉時鐘元件 120f 輸出的時鐘信號 CLK 作為 CLK1。或者，通過通道適配器 202，第一 IP 塊 200 可以傳輸第一時鐘請求信號 REQ1，接收指示時鐘信號的存在的確認信號並且直接從由通道適配器 202 控制的時鐘元件接收第一時鐘信號 CLK1。

【0062】 IP 核心 204 可以包含，例如，處理器、圖形處理器、記憶體控制器、輸入和輸出介面塊等。

【0063】 圖 4 說明在多個時鐘控制電路之間的信號傳輸路徑。

【0064】 參考圖 4，時鐘控制電路可以使用握手信號操作，所述握手信號包含時鐘請求信號 REQ 和作為時鐘請求信號 REQ 的回應信號的確認（或時鐘確認信號）ACK。時鐘請求信號 REQ 和時鐘確認信號 ACK 可以具有，例如，第一邏輯值（例如，邏輯低）或第二邏輯值（例如，邏輯高）。然而，還可以通過其它方法實施時鐘請求信號 REQ 和時鐘確認信號 ACK。

【0065】 在本發明概念的示例性實施例中，時鐘消費者將具有第二邏輯值的時鐘請求信號 REQ 傳輸到時鐘提供者，由此通知時鐘提供者需要時鐘信號。相反，時鐘消費者可以將具有第一邏輯值的時鐘請求信號 REQ 傳輸到時鐘提供者，由此通知時鐘提供者不再需要時鐘信號。

【0066】 同時，時鐘提供者可以將具有第二邏輯值的時鐘確認信號 ACK 傳輸到時鐘消費者。具有第二邏輯值的時鐘確認信號 ACK 指示通過時鐘提供者將時鐘信號穩定地提供到時鐘消費者。相

反，時鐘提供者可以將具有第一邏輯值的時鐘確認信號 ACK 傳輸到時鐘消費者。在實施例中，具有第一邏輯值的時鐘確認信號 ACK 指示時鐘提供者無法通知時鐘消費者提供時鐘信號。例如，提供具有第一邏輯電位的 ACK 的時鐘提供者可以指示時鐘提供者僅瞭解時鐘消費者對時鐘信號的需求，而不能夠在穩定地提供時鐘信號時通知時鐘消費者。

【0067】 在實施例中，作為時鐘消費者的時鐘控制電路 122b 可以將例如具有第二邏輯值的時鐘請求信號 PARENT_CLK_REQ 傳輸到作為時鐘提供者的時鐘控制電路 122a，由此通知時鐘控制電路 122a 需要時鐘信號。因此，包含時鐘控制電路 122a 的時鐘元件（即，時鐘提供者）可以將時鐘信號傳輸到包含時鐘控制電路 122b 的時鐘元件（即，時鐘消費者）。隨後，時鐘控制電路 122b 可以從時鐘控制電路 122a 接收例如具有第二邏輯值的時鐘確認信號 PARENT_CLK_ACK。

【0068】 同時，作為時鐘提供者的時鐘控制電路 122b 可以從時鐘控制電路 122f 接收例如具有第二邏輯值的時鐘請求信號 CHILD_CLK_REQ。通過接收具有第二邏輯值的時鐘請求信號 CHILD_CLK_REQ，時鐘控制電路 122b 可以瞭解作為時鐘消費者的時鐘控制電路 122f 需要時鐘信號。因此，包含時鐘控制電路 122b 的時鐘元件（即，時鐘提供者）可以將時鐘信號提供到包含時鐘控制電路 122f 的時鐘元件（即，時鐘消費者）。同時，作為時鐘提供者的時鐘控制電路 122b 可以將例如具有第二邏輯值的時鐘確

認信號 CHILD_CLK_ACK 傳輸到時鐘控制電路 122f。

【0069】 在另一實例中，作為時鐘消費者的時鐘控制電路 122b 可以將例如具有第一邏輯值的時鐘請求信號 PARENT_CLK_REQ 傳輸到作為時鐘提供者的時鐘控制電路 122a，由此通知時鐘控制電路 122a 不再需要時鐘信號。因此，時鐘控制電路 122b 可以從時鐘控制電路 122a 接收例如具有第一邏輯值的時鐘確認信號 PARENT_CLK_ACK。具有第一邏輯值的時鐘確認信號 PARENT_CLK_ACK 指示不保證通過時鐘提供者提供時鐘。

【0070】 同時，作為時鐘提供者的時鐘控制電路 122b 可以從時鐘控制電路 122f 接收例如具有第一邏輯值的時鐘請求信號 CHILD_CLK_REQ。具有第一邏輯值的時鐘請求信號 CHILD_CLK_REQ 指示作為時鐘消費者的時鐘控制電路 122f 不再需要時鐘信號。因此，時鐘控制電路 122b 可以將例如具有第二邏輯值的時鐘確認信號 CHILD_CLK_ACK 傳輸到時鐘控制電路 122f。具有第二邏輯值的時鐘確認信號 CHILD_CLK_ACK 指示不保證通過時鐘提供者提供時鐘。

【0071】 應注意，這些時鐘控制電路之間的組合路徑可以包含第一路徑（例如，第一導線或通信通道），通過所述第一路徑，時鐘控制電路 122b 將時鐘請求信號 PARENT_CLK_REQ 傳輸到作為其親代的時鐘控制電路 122a，並且隨後從作為其親代的時鐘控制電路 122a 接收時鐘確認信號 PARENT_CLK_ACK；以及第二路徑（例如，第二導線或通信通道），通過所述第二路徑，時鐘控制電路 122b

從作為其子代的時鐘控制電路 122f 接收時鐘請求信號 CHILD_CLK_REQ，並且隨後將時鐘確認信號 CHILD_CLK_ACK 傳輸到作為其子代的時鐘控制電路 122f，但是所屬組合路徑不包含路徑（在圖 4 中通過參考字元 “X” 指示）。例如，如果存在路徑 X，則從時鐘控制電路 122a 接收的時鐘確認信號 PARENT_CLK_ACK 可以穿過路徑 X 或時鐘請求信號 PARENT_CLK_REQ 可以穿過路徑 X。

【0072】 根據完全握手方法實施時鐘請求信號 REQ 和時鐘確認信號 ACK，並且時鐘提供者和時鐘消費者可以屬於單個時鐘域或不同時鐘域。當時鐘提供者和時鐘消費者屬於單個時鐘域時，所述時鐘提供者和所述時鐘消費者回應於同一參考時鐘信號而操作。當時鐘提供者和時鐘消費者屬於不同時鐘域時，所述時鐘提供者和所述時鐘消費者回應於不同參考時鐘信號而操作。

【0073】 在示例性實施例中，分別連接到時鐘控制電路以用於通信的時鐘 MUX 電路、時鐘分頻電路、時鐘閘控電路等使用來自時鐘控制電路的不同時鐘域。也就是說，傳輸時鐘請求信號的信號線中的時鐘頻率可以不同於實際上提供的操作時鐘信號的時鐘頻率。

【0074】 圖 5A 說明本文使用的時鐘請求信號 REQ 和時鐘確認信號 ACK。圖 5B 說明用於本文使用的時鐘請求信號 REQ 和時鐘確認信號 ACK 的時鐘級過渡。

【0075】 參考圖 5A，時鐘請求信號 REQ 在時間 T1 處過渡到第

二邏輯值。這可以指示時鐘消費者通知時鐘提供者：時鐘消費者需要時鐘信號 CLK。在時間 T1 之後，時鐘提供者可以將時鐘信號 CLK 提供到時鐘消費者。

【0076】 在時間 T2 處，時鐘提供者將具有第二邏輯值的時鐘確認信號 ACK 傳輸到時鐘消費者。這指示通過時鐘提供者（參看部分 I）將時鐘信號 CLK 穩定地提供到時鐘消費者。

【0077】 在時間 T3 處，時鐘請求信號 REQ 過渡到第一邏輯值。這可以指示時鐘消費者通知時鐘提供者不再需要時鐘信號 CLK。在時間 T3 處，時鐘提供者可以停止將時鐘信號 CLK 提供到時鐘消費者，或仍可以繼續提供時鐘信號 CLK。

【0078】 在時間 T4 處，時鐘提供者可以將具有第一邏輯值的時鐘確認信號 ACK 傳輸到時鐘消費者。這指示時鐘提供者無法通知時鐘消費者提供時鐘信號 CLK。

【0079】 也就是說，在圖 5A 中，其中保證通過時鐘提供者將時鐘信號 CLK 穩定地提供到時鐘消費者的部分僅是部分 I。在另一部分 II 中，無法知道是否通過時鐘提供者將時鐘信號 CLK 提供到時鐘消費者。

【0080】 在圖 5B 中，在第二邏輯值表達為“1”且第一邏輯值表達為“0”的情況下，說明時鐘請求信號 REQ 和時鐘確認信號 ACK 的可能組合以及其間的可能過渡。

【0081】 另外，狀態 S2 時從時間 T2 至時間 T3，並且狀態 S3 時從時間 T3 至時間 T4。時鐘請求信號 REQ 和時鐘確認信號 ACK

的值的組合依序從狀態 S0 改變到狀態 S1、狀態 S2、狀態 S3，且隨後改變到狀態 S0（參看實線箭頭）。

【0082】 如果實施電路，使得在時間 T1 處，時鐘請求信號 REQ 和時鐘確認信號 ACK 同時傳輸到第二邏輯值，則時鐘請求信號 REQ 和時鐘確認信號 ACK 的值的組合可以直接從狀態 S0 切換到狀態 S2。類似地，如果實施電路，使得在時間 T3 處，時鐘請求信號 REQ 和時鐘確認信號 ACK 同時過渡到第一邏輯值，則時鐘請求信號 REQ 和時鐘確認信號 ACK 的值的組合可以直接從狀態 S2 切換到狀態 S0（參看虛線箭頭）。

【0083】 現將再次參考圖 1、2 和 4 描述完全握手方法。

【0084】 根據完全握手方法，當第一 IP 塊 200 需要時鐘信號時，所述第一 IP 塊啟動第一時鐘請求信號 REQ1。例如，第一 IP 塊 200 將第一時鐘請求信號 REQ1 設定成高狀態。

【0085】 CMU 100 回應於第一時鐘請求信號 REQ1 的啟動而啟動用於第一時鐘請求信號 REQ1 的第一時鐘確認信號 ACK1。也就是說，CMU 100 將第一時鐘確認信號 ACK1 設定成高狀態。

【0086】 CMU 100 可以在啟動第一時鐘確認信號 ACK1 之前將第一時鐘信號 CLK1 傳輸到第一 IP 塊 200。或者，CMU 100 可以在啟動第一時鐘確認信號 ACK1 的同時將第一時鐘信號 CLK1 傳輸到第一 IP 塊 200。

【0087】 當第一 IP 塊 200 不需要時鐘信號時，去啟動第一時鐘請求信號 REQ1。也就是說，第一 IP 塊 200 將第一時鐘請求信號

REQ1 設定成低狀態。

【0088】 當第一時鐘請求信號 REQ1 處於低狀態時，CMU 100 將第一時鐘確認信號 ACK1 設定成低狀態。同時，CMU 100 可以去啟動第一時鐘信號 CLK1。

【0089】 當第一時鐘確認信號 ACK1 活動時，第一 IP 塊 200 可以正常地操作。例如，當第一時鐘確認 ACK1 處於高狀態時，第一 IP 塊 200 可以正常地操作。當第一 IP 塊 200 感測到第一時鐘確認信號 ACK1 已達到低狀態時，第一 IP 塊可以切換到休眠模式。

【0090】 現將參考圖 1 和 2 描述根據本發明概念的示例性實施例的 CMU 100 的完全握手方法。完全握手方法將基於以下假設描述：圖 2 的時鐘元件 120a 至 120f 分別是 PLL 控制器、時鐘 MUX 單元、第一時鐘分頻單元、速止單元、第二時鐘分頻單元和第一時鐘閘控單元。然而，這僅僅是其中可以實施本發明概念的實例，並且本發明的範圍不限於此。在實施例中，PLL 控制器回應於來自子代時鐘元件的請求信號而停用 PLL，並且隨後依賴於 OSC。在實施例中，速止單元包含速止電路，所述速止電路被配置成在某一時間段內臨時停止時鐘信號。例如，速止電路在第一週期期間保持時鐘信號的脈衝，在第二週期期間將時鐘信號設定成常數低（例如，停用脈衝）並且在第三週期期間恢復時鐘信號的脈衝。

【0091】 PLL 控制器、時鐘 MUX 單元、第一時鐘分頻單元、速止單元、第二時鐘分頻單元和第一時鐘閘控單元分別可以包含時鐘源 124a 至 124f。

【0092】 具體來說，PLL 控制器可以包含時鐘 MUX 電路，所述時鐘 MUX 電路從振盪器 OSC 和 PLL 接收信號。時鐘 MUX 單元可以包含時鐘 MUX 電路，所述時鐘 MUX 電路接收多個時鐘信號。第一時鐘分頻單元可以包含第一時鐘分頻電路。速止電路可以包含第一時鐘閘控電路。第二時鐘分頻單元可以包含第二時鐘分頻電路。第一時鐘閘控單元可以包含第二時鐘閘控電路。

【0093】 另外，PLL 控制器可以包含時鐘控制電路 122a。時鐘 MUX 單元可以包含時鐘控制電路 122b。第一時鐘分頻單元可以包含時鐘控制電路 122c。速止電路可以包含時鐘控制電路 122d。第二時鐘分頻單元可以包含時鐘控制電路 122e。第一時鐘閘控單元可以包含時鐘控制電路 122f。

【0094】 時鐘控制電路 122a 至 122f 中的每一個可以根據完全握手方法通信。例如，時鐘控制電路 122a 和 122b 中的每一個可以支援 PLL 控制器與時鐘 MUX 單元之間的完全握手方法。

【0095】 時鐘控制電路 122b 和 122c 中的每一個可以支援時鐘 MUX 單元與第一時鐘分頻單元之間的完全握手方法。

【0096】 時鐘控制電路 122c 和 122d 中的每一個可以支援第一時鐘分頻單元與速止電路之間的完全握手方法。

【0097】 時鐘控制電路 122d 和 122e 中的每一個可以支援速止電路與第二時鐘分頻單元之間的完全握手方法。

【0098】 時鐘控制電路 122e 和 122f 中的每一個可以支援第二時鐘分頻單元與第一時鐘閘控單元之間的完全握手方法。

【0099】 同樣地，時鐘控制電路 122f 和通道管理電路 130 中的每一個可以支援第一時鐘閘控單元與通道管理單元 130 之間的全握手方法。

【0100】 第一 IP 塊 200 可以請求 CMU 100 以根據完全握手方法提供操作時鐘信號。例如，當第一 IP 塊 200 需要操作時鐘信號時，第一 IP 塊可以啟動時鐘請求信號。也就是說，當第一 IP 塊 200 需要操作時鐘信號時，第一 IP 塊可以將啟動的時鐘請求信號傳輸到 CMU 100。

【0101】 通道管理電路 130 接收啟動的時鐘請求信號。通道管理電路 130 將啟動的時鐘請求信號傳輸到第一時鐘閘控單元（例如，時鐘元件 120f）。第一時鐘閘控單元將啟動的時鐘請求信號傳輸到第二時鐘分頻單元（例如，時鐘元件 120e）。第二時鐘分頻單元將啟動的時鐘請求信號傳輸到速止電路（例如，時鐘元件 120d）。速止電路將啟動的時鐘請求信號傳輸到第一時鐘分頻單元（例如，時鐘元件 120c）。第一時鐘分頻單元將啟動的時鐘請求信號傳輸到時鐘 MUX 單元（例如，時鐘元件 120b）。時鐘 MUX 單元將啟動的時鐘請求信號傳輸到 PLL 控制器（例如，時鐘元件 120a）。

【0102】 在示例性實施例中，PLL 控制器、時鐘 MUX 單元、第一時鐘分頻單元、速止單元、第二時鐘分頻單元、第一時鐘閘控單元和第一通道管理電路 130 中的每一個實施為組合電路。因此，每次可以通過 PLL 控制器將啟動的時鐘請求信號傳輸到第一通道管理電路 130。

【0103】 PLL 控制器啟動用於啟動的時鐘請求信號的時鐘確認信號。也就是說，PLL 控制器將回應於啟動的時鐘請求信號產生的啟動的時鐘確認信號傳輸到時鐘 MUX 單元。同時，PLL 控制器將時鐘信號 CLK 傳輸到時鐘 MUX 單元。例如，PLL 控制器可以將時鐘信號 CLK 傳輸到時鐘 MUX 單元，同時 PLL 控制器傳輸啟動的時鐘確認信號。

【0104】 時鐘 MUX 單元將啟動的時鐘確認信號傳輸到第一時鐘分頻單元。同時，時鐘 MUX 單元將時鐘信號 CLK 傳輸到第一時鐘分頻單元。例如，時鐘 MUX 單元可以將時鐘信號 CLK 傳輸到第一時鐘分頻單元，同時時鐘 MUX 單元傳輸啟動的時鐘確認信號。

【0105】 第一時鐘分頻單元將啟動的時鐘確認信號傳輸到速止電路。同時，第一時鐘分頻單元將時鐘信號 CLK 傳輸到速止電路。例如，第一時鐘分頻單元可以將時鐘信號 CLK 傳輸到速止電路，同時第一時鐘分頻單元傳輸啟動的時鐘確認信號。

【0106】 速止單元將啟動的時鐘確認信號傳輸到第二時鐘分頻單元。同時，速止單元將時鐘信號 CLK 傳輸到第二時鐘分頻單元。例如，速止單元可以將時鐘信號 CLK 傳輸到第二時鐘分頻單元，同時速止單元傳輸啟動的時鐘確認信號。

【0107】 第二時鐘分頻單元將啟動的時鐘確認信號傳輸到第一時鐘閘控單元。同時，第二時鐘分頻單元將時鐘信號 CLK 傳輸到第一時鐘閘控單元。例如，第二時鐘分頻單元可以將時鐘信號 CLK

傳輸到第二時鐘分頻單元，同時第二時鐘分頻單元傳輸啟動的時鐘確認信號。

【0108】 第一時鐘閘控單元將啟動的時鐘確認信號傳輸到第一通道管理電路 130。同時，第一時鐘閘控單元將時鐘信號 CLK 提供到第一 IP 塊 200。例如，第一時鐘閘控單元可以將時鐘信號 CLK 傳輸到第一通道管理電路 130，同時第一時鐘閘控單元傳輸啟動的時鐘確認信號。

【0109】 在當前實施例中，每次可以通過第一通道管理電路 130 將時鐘確認信號傳輸到 PLL 控制器。

【0110】 當第一 IP 塊 200 不需要時鐘信號時，第一 IP 塊可以去啟動時鐘請求信號。也就是說，當第一 IP 塊 200 不需要時鐘信號時，第一 IP 塊可以將去啟動的時鐘請求信號傳輸到 CMU 100。

【0111】 通道管理電路 130 接收去啟動的時鐘請求信號。通道管理電路 130 可以將去啟動的時鐘請求信號傳輸到第一時鐘閘控單元。第一時鐘閘控單元將去啟動的時鐘請求信號傳輸到第二時鐘分頻單元。第二時鐘分頻單元將去啟動的時鐘請求信號傳輸到速止電路。速止電路可以將去啟動的時鐘請求信號傳輸到第一時鐘分頻單元。第一時鐘分頻單元可以將去啟動的時鐘請求信號傳輸到時鐘 MUX 單元。時鐘 MUX 單元可以將去啟動的時鐘請求信號傳輸到 PLL 控制器。

【0112】 PLL 控制器、時鐘 MUX 單元、第一時鐘分頻單元、速止單元、第二時鐘分頻單元、第一時鐘閘控單元和第一通道管理

電路 130 中的每一個可以實施為組合電路。因此，每次可以通過 PLL 控制器將去啟動的時鐘請求信號傳輸到通道管理電路 130。

【0113】 回應於去啟動的時鐘請求信號，PLL 控制器去啟動時鐘確認信號。也就是說，PLL 控制器可以將去啟動的時鐘確認信號傳輸到時鐘 MUX 單元。同時，PLL 控制器可以去啟動時鐘信號 CLK 或仍可以繼續將時鐘信號 CLK 傳輸到時鐘 MUX 單元。

【0114】 時鐘 MUX 單元將去啟動的時鐘確認信號傳輸到第一時鐘分頻單元。同時，時鐘 MUX 單元可以傳輸去啟動的時鐘信號 CLK 或仍可以將時鐘信號 CLK 傳輸到第一時鐘分頻單元。

【0115】 第一時鐘分頻單元將去啟動的時鐘確認信號傳輸到速止電路。同時，第一時鐘分頻單元可以去啟動時鐘信號 CLK 或仍可以將時鐘信號 CLK 傳輸到速止單元。

【0116】 速止電路將去啟動的時鐘確認信號傳輸到第二時鐘分頻單元。同時，速止電路可以去啟動時鐘信號 CLK 或仍可以將時鐘信號 CLK 傳輸到第二時鐘分頻單元。

【0117】 第二時鐘分頻單元將去啟動的時鐘確認信號傳輸到第一時鐘閘控單元。同時，第二時鐘分頻單元可以去啟動時鐘信號 CLK 或仍可以將時鐘信號 CLK 傳輸到第一時鐘閘控單元。

【0118】 第一時鐘閘控單元將去啟動的時鐘確認信號傳輸到通道管理電路 130。同時，第一時鐘閘控單元去啟動時鐘信號 CLK。

【0119】 同樣，每次可以通過第一通道管理電路 130 將時鐘確認信號傳輸到 PLL 控制器。

【0120】 現將描述根據實施例的包含在半導體裝置中的各種類型的時鐘元件。

【0121】 圖 6 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘閘控元件的實施方案。圖 7 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘閘控元件的結構。圖 8 是說明根據本發明的實施例的包含在半導體裝置中的時鐘閘控元件的行為的時序圖。可以通過圖 6 或圖 7 的時鐘閘控元件實施時鐘元件 120f 或時鐘元件 120g。

【0122】 參考圖 6，根據本發明的實施例的包含在半導體裝置中的時鐘閘控元件包含有限狀態機（finite state machine, FSM）和時鐘閘控單元 SEC_AP_RTL_CLKGATE。此處，FSM 是指由有限次數的狀態和狀態之間的轉換組成的計算模型或機器。可以使用一個或多個邏輯門實施 FSM 和 / 或時鐘閘控單元 SEC_AP_RTL_CLKGATE。在實施例中，時鐘控制電路 122f 或時鐘控制電路 122g 由 FSM 實施，並且時鐘源 124f 或時鐘源 124g 由時鐘閘控單元 SEC_AP_RTL_CLKGATE 實施。圖 6 的 FSM 和時鐘閘控單元 SEC_AP_RTL_CLKGATE 分別對應於圖 7 的適配器和核心時鐘閘控 SEC_AP_RTL_CLKGATE。此處，FSM 或適配器可以通過參考時鐘信號 CLK_RF 操作並且與時鐘閘控單元 SEC_AP_RTL_CLKGATE 執行完全握手，所述參考時鐘信號 CLK_RF 屬於來自通過時鐘元件產生的時鐘信號 CLK 的不同時鐘域。

【0123】 FSM 可以從子代時鐘元件接收時鐘請求信號 CHILD_CLK_REQ 並且將時鐘請求信號 PARENT_CLK_REQ 傳輸到親代時鐘元件或輸出啟用信號 EN 以根據 FSM 的狀態控制時鐘閘控單元 SEC_AP_RTL_CLKGATE。例如，基於時鐘請求信號 CHILD_CLK_REQ 的狀態以及其回應於發送親代時鐘請求信號 PARENT_CLK_REQ 而接收的對應確認，FSM 可以確定是時候啟動時鐘源（例如，時鐘閘控單元 SEC_AP_RTL_CLKGATE），並且因此輸出啟用信號 EN 以使時鐘源基於輸入時鐘信號 CLK_IN 而輸出時鐘信號 CLK_OUT。時鐘閘控單元 SEC_AP_RTL_CLKGATE 回應於接收到的啟用信號 EN 或在其回應於接收到的啟用信號而開始輸出時鐘信號 CLK_OUT 之後將啟用回饋信號 EN_FB 發送到 FSM。

【0124】 時鐘閘控單元 SEC_AP_RTL_CLKGATE 根據從 FSM 輸出的啟用信號 EN 接收時鐘信號 CLK_IN 並且輸出通過閘控或繞過時鐘信號 CLK_IN 獲得的時鐘信號 CLK_OUT。

【0125】 還參考圖 8，時鐘閘控元件的 FSM 可以包含以下狀態。

【0126】 第一狀態 a1 是其中時鐘閘控元件根據從子代時鐘元件接收的具有第二邏輯值的時鐘請求信號 CHILD_CLK_REQ 將時鐘信號 CLK 提供到子代時鐘元件，而不執行時鐘閘控操作的狀態。假定從子代時鐘元件接收的時鐘請求信號 CHILD_CLK_REQ 稍後過渡到第一邏輯值。

【0127】 第二狀態 a2 是其中時鐘閘控元件執行時鐘閘控操作的

狀態。因此，在時鐘閘控元件的時鐘閘控操作所需的本地握手時延週期之後，時鐘閘控元件將具有第一邏輯值的時鐘確認信號 CHILD_CLK_ACK 傳輸到子代時鐘元件。另外，時鐘閘控元件將具有第一邏輯值的時鐘請求信號 PARENT_CLK_REQ 傳輸到親代時鐘元件。

【0128】 在第三狀態 a3 中，通過將具有第一邏輯值的時鐘請求信號 PARENT_CLK_REQ 傳輸到親代時鐘元件，時鐘閘控元件請求親代時鐘元件停止提供時鐘。在第四狀態 a4 中，時鐘閘控元件等待，直到所述時鐘閘控元件從親代時鐘元件接收具有第一邏輯值的時鐘確認信號 PARENT_CLK_ACK。這指示由於已完成時鐘閘控元件的閘控操作，因此必要時可以執行親代元件的時鐘閘控操作。

【0129】 在從親代時鐘元件接收具有第一邏輯值的時鐘確認信號 PARENT_CLK_ACK 之後，在第五狀態 a5 中完全停止將時鐘提供到時鐘閘控元件的子代時鐘元件。

【0130】 此處，當從子代時鐘元件接收具有第二邏輯值的時鐘請求信號 CHILD_CLK_REQ 時，時鐘閘控元件將具有第二邏輯值的時鐘請求信號 PARENT_CLK_REQ 傳輸到親代時鐘元件，並且隨後在第六狀態 a6 中停止時鐘閘控操作。

【0131】 在停止時鐘閘控操作所需的本地握手時延週期之後，如果時鐘閘控元件從親代時鐘元件接收具有第二邏輯值的時鐘確認信號 PARENT_CLK_ACK，則時鐘閘控元件切換到第七狀態 a7。

此處，第七狀態 a7 與第一狀態 a1 相同。

【0132】 時鐘閘控單元 SEC_AP_RTL_CLKGATE 包含第一邏輯電路 SYNC 和第二邏輯電路 PREICG。第一邏輯電路 SYNC 響應於啟用信號 EN 的接收而將啟用回饋信號 EN_FB 提供到 FSM，並且在接收啟用信號 EN 之後基於輸入時鐘信號 CLK_IN 而將同步啟用信號 SYNC_EN 提供到第二邏輯電路 PREICG。第二邏輯電路 PREICG 回應於同步啟用信號 SYNC_EN 而基於輸入時鐘信號 CLK_IN 輸出輸出時鐘輸出信號 CLK_OUT。第二邏輯電路 PREICG 可以用於確保輸出穩定的時鐘信號。

【0133】 圖 9A 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘 MUX 元件的實施方案。在實施例中，時鐘元件 120b 通過圖 9A 的電路實施。圖 9B 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘 MUX 元件的 FSM。圖 10 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘 MUX 元件的結構。圖 11 至 20 是說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘 MUX 元件的行為的時序圖。

【0134】 參考圖 9A，根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘 MUX 元件包含 FSM 和 MUX 電路 SEC_AP_RTL_GFMUX。MUX 電路 SEC_AP_RTL_GFMUX 包含用於接收第一時鐘信號 CLK0 和第二時鐘信號 CLK1 的第一和第二邏輯電路 SEC_AP_RTL_CLKGATE，以及可以將 STATUS 信號提供到 FSM 的多工器 MUX，所述 STATUS 信號指示多工器 MUX 目

前正輸出時鐘信號中的一個還是已從 FSM 接收輸出選擇信號 SEL_OUT。FSM 通過適配器門 Adapter_CLKGATE（例如，邏輯電路）從子代時鐘元件接收時鐘請求信號 CHILD_CLK_REQ，並且將時鐘請求信號 PARENT_CLK_REQ0 和 PARENT_CLK_REQ1 傳輸到親代時鐘元件。例如，第一親代時鐘請求信號 PARENT_CLK_REQ0 可以傳輸到時鐘元件 120a，並且第二親代時鐘請求信號 PARENT_CLK_REQ1 可以傳輸到外部時鐘元件。

【0135】 此處，時鐘 MUX 元件可以包含無干擾 MUX。干擾是指由於雜訊產生的電腦的暫時故障。

【0136】 FSM 接收選擇信號 SEL。當 FSM 確定選擇信號 SEL 的值已改變時，FSM 比較選擇信號 SEL 和多工器選擇（muxsel）信號並且確定這些信號是否具有相同值。

【0137】 當選擇信號 SEL 和多工器選擇信號不具有相同值時，FSM 產生檢測變化信號。此處，可以通過將具有低狀態的檢測變化信號的值切換成高狀態或通過將具有高狀態的檢測變化信號的值切換成低狀態而產生檢測變化信號。

【0138】 回應於從 FSM 輸出到多工器的選擇信號 SEL_OUT，時鐘 MUX 元件輸出第一時鐘信號 CLK0 或第二時鐘信號 CLK1 作為時鐘信號 CLK_OUT。子代時鐘元件從時鐘 MUX 元件接收時鐘輸出。第一時鐘信號 CLK0 可以由時鐘元件 120a 輸出，並且第二時鐘信號 CLK1 可以由外部時鐘元件輸出。

【0139】 還參考圖 9B，包含在時鐘 MUX 元件中的 FSM 可以包

含以下狀態。

【0140】 第一狀態 b1 是其中通過硬體執行時鐘閘控的狀態。這是其中停止將時鐘提供到子代時鐘元件的（時鐘 MUX 元件的）親代時鐘元件和仍提供時鐘信號的（時鐘 MUX 元件的）親代時鐘元件兩者存在的狀態。然而，在此狀態中，不保證時鐘 MUX 元件的所有親代時鐘元件在運行。也就是說，由於不必要的親代時鐘元件的操作在此狀態中停止，因此功率消耗可能最低。因此，時鐘 MUX 元件無法根據選擇信號 SEL 改變其選擇。與時鐘閘控元件不同，即使在從子代時鐘元件接收時鐘請求信號時，時鐘 MUX 元件也可以保持最佳狀態。

【0141】 在第二狀態 b2 中，時鐘 MUX 元件的所有親代時鐘元件被喚醒，因為時鐘 MUX 元件需要根據選擇信號 SEL 改變其選擇。

【0142】 第三狀態 b3 是其中不執行通過硬體的時鐘閘控的狀態。也就是說，喚醒的所有親代時鐘元件正將時鐘信號提供到時鐘 MUX 元件。在此狀態中，時鐘 MUX 元件可以根據選擇信號 SEL 改變其選擇。

【0143】 在第四狀態 b4 中，在時鐘 MUX 元件根據選擇信號 SEL 改變其選擇之後恢復通過硬體的時鐘閘控。因此，不需要時鐘信號的親代時鐘元件的操作在第四狀態 b4 中開始停止。也就是說，在第四狀態 b4 中，時鐘停止請求信號 PARENT_CLK_REQ 傳輸到不需要時鐘信號的親代時鐘元件。

【0144】 在從不需要時鐘信號的親代時鐘元件接收時鐘確認信

號 PARENT_CLK_ACK 之後，時鐘 MUX 元件返回到第一狀態 b1。

圖 11 至 20 中所說明的第五狀態 b5 與第一狀態 b1 相同。

【0145】 參考圖 10，根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘 MUX 元件包含墊圈（例如，寄存器）、仲裁器（例如，仲裁電路）、MUX 轉換器、適配器（例如，適配器電路）和時鐘 MUX。墊圈、仲裁器、MUX 轉換器和適配器使用參考時鐘信號 CLK_RF 執行信號傳輸和接收，並且適配器根據完全握手方法控制時鐘 MUX。

【0146】 墊圈可以通過 S 通道(S-CH)接收用於選擇到時鐘 MUX 的輸入的請求。請求可以包含多工器選擇信號。在這種情況下，多工器選擇信號可以通過在墊圈與仲裁器之間執行的四相同步完全握手進行編碼並且傳遞到適配器。

【0147】 同時，仲裁器還可以通過 H 通道（H-CH）接收用於選擇到時鐘 MUX 的輸入的請求。在這種情況下，仲裁器通過 H 通道（H-CH）根據四相非同步完全雙握手接收請求。四相非同步完全雙握手可以包含輸入到仲裁器的鎖定請求、釋放請求、多工器選擇信號；以及從仲裁器輸出的確認。在這種情況下，多工器選擇信號可以通過在仲裁器與 MUX 轉換器之間執行的四相同步完全握手進行編碼並且傳遞到適配器。

【0148】 適配器包含相對於圖 9A 和 9B 描述的 FSM，並且多工器選擇信號可以通過在適配器與時鐘 MUX 之間執行的兩相非同步完全握手進行解碼並且輸入到時鐘 MUX。

【0149】 參考圖 11，時鐘信號變化通過時鐘 MUX 元件在 b3 部分中出現。此處，如果在 b1 部分與 b2 部分之間子代的時鐘請求信號處於低狀態並且子代的時鐘確認信號處於低狀態，則當親代的時鐘確認信號變為高狀態時，子代的時鐘請求信號變為高狀態。在圖 11 中，傳輸到所有親代的時鐘請求信號在 b2 與 b3 部分之間變為高狀態。然而，處於高狀態的時鐘請求信號還可以僅傳輸到前一親代或下一親代。圖 11 說明四個親代時鐘請求 PARENT_CLK_REQ_0、PARENT_CLK_REQ_1、PARENT_CLK_REQ_2 和 PARENT_CLK_REQ_3 以示出能夠接收四個不同時鐘信號並且與提供這些時鐘信號的四個不同親代時鐘元件通信的時鐘 MUX 單元的實例。然而，時鐘 MUX 單元的實施例不限於此，因為在替代實施例中可以支持更少或額外的親代時鐘元件。

【0150】 參考圖 12，如果在 b1 部分與 b2 部分之間子代的時鐘請求信號處於低狀態並且子代的時鐘確認信號處於低狀態，則在親代的時鐘確認信號變為高狀態之前，子代的時鐘請求信號變為高狀態。

【0151】 參考圖 13，在 b1 部分與 b2 部分之間，子代的時鐘請求信號處於高狀態，並且子代的時鐘確認信號處於低狀態。

【0152】 參考圖 14，在 b1 部分與 b2 部分之間，子代的時鐘請求信號處於高狀態，並且子代的時鐘確認信號處於高狀態。

【0153】 參考圖 15，在 b3 部分與 b4 部分之間，子代的時鐘請求

信號處於低狀態，子代的時鐘確認信號處於低狀態，並且子代的時鐘請求信號保持低狀態。

【0154】 參考圖 16，在 b3 部分與 b4 部分之間，子代的時鐘請求信號處於低狀態，子代的時鐘確認信號處於低狀態並且子代的時鐘請求信號從低狀態切換到高狀態。

【0155】 參看圖 17，在 b3 部分與 b4 部分之間，子代的時鐘請求信號處於低狀態，子代的時鐘確認信號處於高狀態，並且子代的時鐘請求信號保持低狀態。

【0156】 參考圖 18，在 b3 部分與 b4 部分之間，子代的時鐘請求信號處於高狀態，子代的時鐘確認信號處於低狀態，並且子代的時鐘請求信號保持高狀態。

【0157】 參考圖 19，在 b3 部分與 b4 部分之間，子代的時鐘請求信號處於高狀態，子代的時鐘確認信號處於高狀態並且子代的時鐘請求信號從高狀態切換到低狀態。

【0158】 參考圖 20，在 b3 部分與 b4 部分之間，子代的時鐘請求信號處於高狀態，子代的時鐘確認信號處於高狀態，並且子代的時鐘請求信號保持高狀態。圖 11 至圖 20 包含信號 Active_PARENT_CLK_REQ 和 Active_PARENT_CLK_ACK。

【0159】 圖 21A 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘分頻元件的實施方案。時鐘元件 120c 或時鐘元件 120e 可以通過圖 21A 的時鐘分頻元件實施。圖 21B 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘分頻元

件的 FSM。圖 22 說明根據本發明概念的示例性實施例的包含在半導體裝置中的時鐘分頻元件的結構。圖 23 是說明根據本發明的實施例的包含在半導體裝置中的時鐘分頻元件的行為的時序圖。

【0160】 參考圖 21A，根據本發明概念的實施例的包含在半導體裝置中的時鐘分頻元件包含適配器 Adapter_CLKGATE（例如，邏輯門）、FSM 和時鐘分頻電路 SEC_AP_RTL_CLKDIV_SKEWLESS。適配器 Adapter_CLKGATE 從子代時鐘元件接收時鐘請求信號 CHILD_CLK_REQ 並且將時鐘請求信號 PARENT_CLK_REQ 傳輸到親代時鐘元件。適配器 Adapter_CLKGATE 還可以從 FSM 接收合併的時鐘請求 CLKGATE_CLK_REQ，所述合併的時鐘請求 CLKGATE_CLK_REQ 是 CHILD_CLK_REQ 和額外時鐘請求 FSM_CLK_REQ 的合併。可以通過在 CHILD_CLK_REQ 和 FSM_CLK_REQ 上執行或運算來產生合併的時鐘請求 CLKGATE_CLK_REQ。FSM 確定時鐘分頻比 DIVRATIO 並且將確定的時鐘分頻比 DIVRATIO 提供到適配器 Adapter_CLKGATE。FSM 可以根據完全握手方法控制時鐘分頻電路。例如，Adapter_CLKGATE（例如，一個或多個邏輯電路）可以將停止請求信號 STOPREQ 發送到時鐘分頻電路 SEC_AP_RTL_CLKDIV_SKEWLESS。在實施例中，時鐘分頻電路 SEC_AP_RTL_CLKDIV_SKEWLESS 使用時鐘分頻比 DIVRATIO 對輸入時鐘信號 CLK_IN 執行分頻操作，以在從 FSM 接收時鐘分頻比 DIVRATIO 之後產生輸出時鐘信號 CLK_OUT 並且將確認信

號提供到 FSM。

【0161】 還參考圖 21B，包含在時鐘分頻元件中的 FSM 可以包含以下狀態。

【0162】 第一狀態 c1 是其中通過硬體執行時鐘閘控的狀態。這是其中停止將時鐘信號提供到子代時鐘元件的（時鐘分頻元件的）親代時鐘元件和仍提供時鐘信號的（時鐘分頻元件的）親代時鐘元件兩者可以存在的狀態。然而，在此狀態中，不保證時鐘分頻元件的所有親代時鐘元件在運行。也就是說，由於不必要的親代時鐘元件的操作在此狀態中停止，因此功率消耗可能最低。因此，時鐘分頻元件無法改變時鐘分頻比 DIVRATIO。例如，在狀態 c1 中，即使輸入改變分頻比 DIVCHG_REQ 的請求，時鐘分頻元件也無法改變時鐘分頻比 DIVRATIO。

【0163】 在第二狀態 c2 中，時鐘分頻元件的所有親代時鐘元件被喚醒，因為時鐘分頻元件需要改變時鐘分頻比 DIVRATIO。可以通過將時鐘請求 CLK_REQ 輸出到親代時鐘元件而引起親代時鐘元件的喚醒。

【0164】 第三狀態 c3 是其中不執行通過硬體的時鐘閘控的狀態。也就是說，喚醒的所有親代時鐘元件正將時鐘信號提供到時鐘分頻元件。在此狀態中，時鐘分頻元件可以改變時鐘分頻比。例如，可以輸出時鐘分頻比改變請求 CLKDIV_DIVCHG_REQ 以引起改變。在改變之後以及在接收輸入 synchronized_CLKDIV_DIVCHG_ACK 之後，輸出改變的確認 DIVCHG_ACK。

【0165】 在第四狀態 c4 中，在時鐘分頻元件改變時鐘分頻比之後恢復通過硬體的時鐘閘控。因此，不需要時鐘信號的親代時鐘元件的操作開始停止。也就是說，在第四狀態 c4 中，時鐘停止請求信號 PARENT_CLK_REQ 傳輸到不需要時鐘信號的親代時鐘元件。

【0166】 在從不需要時鐘信號的親代時鐘元件接收時鐘確認信號 PARENT_CLK_ACK 之後，時鐘分頻元件返回到第一狀態 c1。圖 23 中說明的第五狀態 c5 與第一狀態 c1 相同。

【0167】 參考圖 22，根據本發明的實施例的包含在半導體裝置中的時鐘分頻元件包含墊圈、仲裁器和適配器。墊圈、仲裁器、和適配器使用參考時鐘信號 CLK_RF 執行信號傳輸和接收，並且適配器根據完全握手方法控制時鐘分頻器。

【0168】 墊圈可以通過 S 通道 (S-CH) 接收用於改變時鐘分頻比的請求信號。請求可以包含作為分頻比 (divratio) 信號的 DIVRATIO。在這種情況下，請求信號可以通過在墊圈與仲裁器之間執行的同步完全握手進行編碼並且傳遞到適配器。

【0169】 同時，仲裁器還可以通過 H 通道 (H-CH) 接收用於改變時鐘分頻比的請求信號。在這種情況下，仲裁器通過 H 通道 (H-CH) 根據非同步完全雙握手接收請求信號。四相非同步完全雙握手可以包含輸入到仲裁器的鎖定請求、釋放請求、分頻比信號；以及從仲裁器輸出的確認。在這種情況下，請求信號可以通過在仲裁器與適配器之間執行的同步完全握手進行編碼並且傳遞

到適配器。

【0170】 適配器包含相對於圖 21A 和 21B 描述的 FSM，並且請求信號可以通過在適配器與時鐘分頻器之間執行的非同步完全握手進行解碼並且輸入到時鐘分頻器。

【0171】 參考圖 23，時鐘分頻比 DIVRATIO 的改變在 c3 部分中出現。時鐘分頻器回應於傳輸到時鐘分頻器的時鐘分頻比改變請求 CLKDIV_DIVCHG_REQ 而操作。圖 23 包含信號 ADAPTER_CLKDIV。

【0172】 圖 24 說明根據本發明概念的示例性實施例的包含在半導體裝置中的 PLL 控制器的實施方案。圖 25 說明根據本發明的實施例的包含在半導體裝置中的 PLL 控制器電路的多工器 MERGE_MUXSEL 的結構。圖 26 和 27 是說明根據本發明概念的示例性實施例的包含在半導體裝置中的 PLL 控制器的行為的時序圖。

【0173】 參考圖 24，根據本發明概念的示例性實施例的包含在半導體裝置中的 PLL 控制器包含適配器、多工器等。適配器用作傳輸請求信號和確認信號的控制電路。適配器可以在存在親代時鐘元件時將 REQ/ACK 發送到親代時鐘元件以及從親代時鐘元件接收 REQ/ACK，同時適配器可以在不存在親代時鐘元件時繞過。圖 24 包含信號 OSCCLK 和 PLL_FOUT，圖 24 包含模組 SEC_AP_RTL_GFCLKMUX、ADAPTER_CLKMUX 和 SEC_AP_。

【0174】 參考圖 25，多工器 MERGE_MUXSEL 根據完全握手方

法與特殊功能寄存器（special function register, SFR）和系統時鐘振盪器（SYSCLK_OSC）通信並且輸出選擇信號 SEL。圖 25 包含信號 SEL_REQ0、SEL_REQ1、SEL_ACK0 和 SEL_ACK1，圖 25 包含模組 SFR I/F。

【0175】 在圖 26 和 27 中，提供說明 PLL 控制器電路的操作的時序圖。具體而言，圖 26 是說明多工器 MERGE_MUXSEL 的操作的時序圖，並且圖 27 是說明 TRANS_HCH2PH 的操作的時序圖。圖 26 包含信號 MUXSEL_ACK[1]、synchronized_MUXSEL_REQ[0]、synchronized_MUXSEL_REQ[1]、MUX_SEL、MUX_STATUS 和 MUX_SEL_sequential。圖 27 包含信號 MUXSEL_REQ0、MUXSEL_ACK0、RefClk、Hch/Data、Hch/Request_lock 和 Hch/Acknowledge。

【0176】 圖 28 說明根據本發明概念的示例性實施例的包含在半導體裝置中的 PLL 使用者控制器的實施方案。圖 28 包含信號 OSCCLK 和 PLL_FOUT，圖 28 包含模組 SEC_AP_RTL_GFCLKMUX、ADAPTER_CLKMUX 和 SEC_AP_。

【0177】 參考圖 28，PLL 用戶控制器包含適配器、多工器等。適配器用作傳輸請求信號和確認信號的控制電路。適配器可以在存在親代時鐘元件時將 REQ/ACK 發送到親代時鐘元件以及從親代時鐘元件接收 REQ/ACK，同時適配器可以在不存在親代時鐘元件時繞過。

【0178】 圖 29 說明根據本發明概念的示例性實施例的包含在半導體裝置中的適配器元件的實施方案。

【0179】 參考圖 29，適配器元件將多個請求通道合併成一個通道。適配器元件根據完全握手方法通信。適配器元件從子代接收時鐘請求信號並且將時鐘請求信號傳輸到親代。另外，適配器元件從親代接收時鐘確認信號並且將時鐘確認信號傳輸到子代。

【0180】 在圖 29 中，可以僅使用組合單元實施 CHILD_CLK_REQ 與 PARENT_CLK_REQ 之間的路徑。此路徑可以用於最小化請求路徑的迴圈時延。在圖 29 中，可以僅使用組合單元實施 PARENT_CLK_ACK 與 CHILD_CLK_ACK 之間的路徑。此路徑可以用於最小化確認路徑的迴圈時延。在圖 29 中，可以僅使用組合單元實施從 CHILD_CLK_REQ 到 CHILD_CLK_ACK 的路徑。此路徑可以用於最小化請求至確認路徑的迴圈時延。在圖 29 中，可以僅使用組合單元實施從 PARENT_CLK_ACK 到 PARENT_CLK_REQ 的路徑。此路徑可以用於最小化確認至請求路徑的迴圈時延。上述四個路徑中一些可以通過依序單元有意分離，以便防止組合環。

【0181】 圖 30 說明根據本發明概念的示例性實施例的包含在半導體裝置中的滯後濾波器的結構。可以通過圖 30 的滯後濾波器實施圖 24 的適配器滯後濾波器 ADAPTER_HYSTERESISFILTER。圖 31 至 33 是說明根據本發明的實施例的包含在半導體裝置中的滯後濾波器的行為的時序圖。

【0182】 參考圖 30，滯後濾波器包含在適配器中。參考圖 31 至 33，滯後濾波器產生使用計數器濾波的請求信號。圖 30 包含信號

CHILD_CLK_ACK[c;0]、CHILD_CLK_REQ[c;0]、FILTER_REQ/ACK、FILTERED_REQ、ENABLE_FILTER 和 EXPIRE_VALUE，圖 30 包含模組 ADAPTER_NULL。圖 31 包含信號 EXPIRE_VALUE、FILTERED_REQ、increase_counter 和 clear_counter。圖 32 包含信號 EXPIRE_VALUE、FILTERED_REQ 和 increase_counter。圖 33 包含信號 EXPIRE_VALUE 和 FILTERED_REQ。

【0183】 圖 34 是根據本發明概念的示例性實施例的在圖 1 中說明的 PMU 300 的實施例的框圖。圖 35 至 39 是說明 PMU 150 的時鐘開/關操作的實施例的時序圖。

【0184】 參考圖 34，PMU 300 可以根據完全握手方法通過 CMU 介面電路（CMU I/F）151 與 CMU 100 通信。另外，PMU 300 可以進一步包含供電順序管理電路 152 和掃描轉儲順序管理電路 153。

【0185】 圖 35 說明在啟動順序中 PMU 300 的操作，圖 36 說明在用於 CMU 100 的 w/保持的斷電順序中 PMU 300 的操作，圖 37 說明在用於 CMU 100 的 w/保持的通電順序中 PMU 300 的操作，圖 38 說明在用於 CMU 100 的 w/o 保持的斷電順序中 PMU 300 的操作，並且圖 39 說明在用於 CMU 100 的 w/o 保持的通電順序中 PMU 300 的操作。

【0186】 參考圖 35，在遵循啟動順序的通電狀態下，PLL 操作。在 PLL 的操作之後，必要時在用於最小化不必要的功率消耗的環境中執行根據各種實施例的通過硬體的時鐘閘控。圖 35 包含信號

RefClk。

【0187】 參考圖 36 和圖 1，斷電順序如下。

【0188】 首先，終止 CMU 100 與 IP 塊 200 至 220 之間的匯流排交互，並且停止通過 CMU 100 提供時鐘信號 CLK1 至 CLK3。隨後，通過將 PLL 的使用切換到振盪器來停止 PLL 的使用，並且 CMU 100 獲得對時鐘源的控制，通過硬體的時鐘閘控尚未在所述時鐘源上執行。在保持操作之後，停止振盪器。CMU 100 可以臨時地產生用於保持操作的時鐘信號。

【0189】 參考圖 37，通電順序如下。

【0190】 首先，操作振盪器以執行保持操作。對於保持操作，CMU 100 可以臨時地產生時鐘信號。接下來，除去對時鐘源的控制，通過硬體的時鐘閘控尚未在所述時鐘源上執行，並且操作 PLL。隨後，準備執行 CMU 100 與 IP 塊 200 至 220 之間的匯流排交互。因此，完成通電順序。

【0191】 參考圖 38，斷電順序如下。

【0192】 首先，終止 CMU 100 與 IP 塊 200 至 220 之間的匯流排交互，並且停止通過 CMU 100 提供時鐘信號。接下來，通過從 PLL 的使用切換到振盪器的使用來停止 PLL 的使用，並且 CMU 100 獲得對時鐘源的控制，通過硬體的時鐘閘控尚未在所述時鐘源上執行。隨後，停止振盪器。

【0193】 參考圖 39，通電順序如下。

【0194】 首先，操作振盪器，去除對時鐘源的控制，通過硬體的

時鐘閘控尚未在所述時鐘源上執行，並且操作 PLL。隨後，準備執行 CMU 100 與 IP 塊 200 至 220 之間的匯流排交互。因此，完成通電順序。圖 36 至圖 39 包含信號 RefClk 和 FORCE_AUTOMATIC_CLKGATING。

【0195】 圖 40 是根據本發明概念的示例性實施例的半導體裝置的框圖。

【0196】 參考圖 40，半導體裝置 700 包含中央處理單元（central processing unit, CPU）710、時鐘產生器 720、CMU 730、隨機存取記憶體（random access memory, RAM）740、唯讀記憶體（read only memory, ROM）750 和記憶體控制單元 760。振盪器 OSC 可以提供於半導體裝置 700 的外部以提供振盪信號。CMU 730 可以用圖 1 的 CMU 100 替換。然而，這僅僅是實施例，並且根據實施例的半導體裝置 700 可以包含各種不同的其它功能塊。另外，振盪器 OSC 還可以包含在半導體裝置 700 中。圖 40 的半導體裝置 700 可以包含在半導體系統中作為應用處理器。

【0197】 時鐘產生器 720 使用從振盪器 OSC 產生的信號來產生具有基準頻率的參考時鐘信號 CLK_IN。CMU 730 可以接收參考時鐘信號 CLK_IN、產生具有特定頻率的操作時鐘信號 CLK_OUT 並且將操作時鐘信號 CLK_OUT 提供到每個功能塊。CMU 730 可以包含一個或多個主時鐘控制器和一個或多個從時鐘控制器。時鐘控制器中的每一個可以使用參考時鐘信號 CLK_IN 產生操作時鐘信號 CLK_OUT。

【0198】 另外，由於包含在 CMU 730 中的時鐘控制器通過通道連接，因此可以在硬體方面執行時鐘信號的管理。此外，由於包含在 CMU 730 中的時鐘控制器通過通道連接到功能塊，因此可以在硬體方面執行時鐘請求和確認。

【0199】 CPU 710 可以處理或執行存儲於 RAM 740 中的代碼和/或資料。例如，CPU 710 可以回應於從 CMU 730 輸出的操作時鐘信號而處理或執行代碼和/或資料。CPU 710 可以實施為多核處理器。多核處理器是具有兩個或多於兩個獨立且大量處理器的一個計算元件，並且處理器中的每一個可以讀取和執行程式指令。由於多核處理器可以同時運行多個加速器，因此包含多核處理器的資料處理系統可以執行多加速。

【0200】 RAM 740 可以臨時地存儲程式碼、資料或指令。例如，存儲於內部或外部記憶體（未繪示）中的程式碼和/或資料可以在 CPU 710 的控制下或根據存儲於 ROM 750 中的啟動代碼臨時地存儲於 RAM 740 中。記憶體控制模組 760 是用於與內部或外部記憶體介接的塊。記憶體控制模組 760 控制記憶體的總體操作並且控制主機與記憶體之間的資料交換。

【0201】 儘管已參考本發明概念的示例性實施例具體示出和描述本發明概念，但是本領域普通技術人員將理解，在不脫離本發明概念的精神和範圍的情況下可以在其中作出形式和細節上的各種變化。

【符號說明】**【0202】**

CLK、CLK0、CLK1、CLK2、CLK3、CLK_IN、CLK_OUT、
CLK_RF：時鐘信號

REQ1、REQ2、REQ3、PARENT_CLK_REQ、CHILD_CLK_REQ
PARENT_CLK_REQ 0、PARENT_CLK_REQ 1、PARENT_CLK_REQ
2、PARENT_CLK_REQ 3、CLK_REQ：時鐘請求信號

ACK1、ACK2、ACK3、PARENT_CLK_ACK、
CHILD_CLK_ACK、CLK_ACK：時鐘確認信號

CH：通信通道

100、730：時鐘管理單元

101：輸入/輸出墊

110：CMU 控制器

120a、120b、120c、120d、120e、120f、120g：時鐘元件

122a、122b、122c、122d、122e、122f、122g：時鐘控制電
路

124a、124b、124c、124d、124e、124f、124g：時鐘源

124c：分頻電路

124d：時鐘閘控電路

130、132：通道管理電路

150、300：電源管理單元

151：CMU 介面電路

152：供電順序管理電路

153：掃描轉儲順序管理電路

200：第一智慧財產權塊

210：第二智慧財產權塊

220：第三智慧財產權塊

202：通道適配器

204：IP 核心

700：半導體裝置

710：中央處理單元

720：時鐘產生器

740：隨機存取記憶體

750：唯讀記憶體

760：記憶體控制單元

Adapter_CLKGATE：適配器

ADAPTER_HYSTERESISFILTER：適配器滯後濾波器

CLKGATE_CLK_REQ：時鐘請求

CLKDIV_DIVCHG_REQ：時鐘分頻比改變請求

DIVRATIO：時鐘分頻比

DIVCHG_REQ：改變分頻比的請求

DIVCHG_ACK：改變的確認

EN：啟用信號

EN_FB：回饋信號

OSC：振盪器

FSM_CLK_REQ：額外時鐘請求

H-CH：H 通道

I、II、III：部分

MUXSEL：多工器選擇信號

MUX：多工器

MERGE_MUXSEL：多工器

PLL：鎖相環

PREICG：第二邏輯電路

PARENT_CLK_REQ：時鐘停止請求信號

S0、S1、S2、S3、a1、a2、a3、a4、a5、a6、a7、b1、b2、
b3、b4、c1、c2、c3、c4、c5：狀態

SEC_AP_RTL_CLKGATE：時鐘閘控單元

SYNC_EN：同步啟用信號

SYNC：第一邏輯電路

S-CH：S 通道

SEL、SEL_OUT：選擇信號

SEC_AP_RTL_GFMUX：MUX 電路

STATUS：信號

SEC_AP_RTL_CLKDIV_SKEWLESS：時鐘分頻電路

STOPREQ：停止請求信號

synchronized_CLKDIV_DIVCHG_ACK：輸入

SFR：特殊功能寄存器

SYSCLK_OSC：系統時鐘振盪器

T1、T2、T3、T4：時間

Active_PARENT_CLK_REQ、Active_PARENT_CLK_ACK、
ADAPTER_CLKDIV、OSCCLK、PLL_FOUT、SEL_REQ0、
SEL_REQ1、SEL_ACK0、SEL_ACK1、MUXSEL_ACK[1]、
synchronized_MUXSEL_REQ[0]、
synchronized_MUXSEL_REQ[1]、MUX_SEL、MUX_STATUS、
MUX_SEL_sequential、MUXSEL_REQ0、MUXSEL_ACK0、
RefClk、Hch/Data、Hch/Request_lock、Hch/Acknowledge、
CHILD_CLK_ACK[c;0]、CHILD_CLK_REQ[c;0]、
FILTER_REQ/ACK、FILTERED_REQ、ENABLE_FILTER、
EXPIRE_VALU、increase_counter、clear_counter、RefClk、
FORCE_AUTOMATIC_CLKGATING：信號

SEC_AP_RTL_GFCLKMUX、ADAPTER_CLKMUX、
SEC_AP_、SFR I/F、ADAPTER_NULL：模組

【發明申請專利範圍】

【第1項】一種系統晶片，其包括：

多個智慧財產權塊；以及

時鐘管理單元，其被配置成對所述智慧財產權塊中的至少一個執行時鐘閘控，其中所述智慧財產權塊中的一個被配置成將請求信號提供到所述時鐘管理單元，所述請求信號指示所述智慧財產權塊中的所述一個需要進入休眠模式和活動模式中的選定的一個，

其中所述智慧財產權塊和所述時鐘管理單元使用完全握手方法彼此介接，

其中所述時鐘管理單元被配置成回應於所述請求信號指示所述智慧財產權塊中的所述一個需要進入所述活動模式而將時鐘信號及確認信號輸出到所述智慧財產權塊中的所述一個，並且在確定所輸出的所述時鐘信號穩定之後，啟動所述確認信號。

【第2項】如申請專利範圍第1項所述的系統晶片，其中回應於所述請求信號而將所述確認信號提供到所述智慧財產權塊的所述一個。

【第3項】如申請專利範圍第1項所述的系統晶片，其中回應於所述確認信號，所述智慧財產權塊中的所述一個進入所選定模式。

【第4項】如申請專利範圍第1項所述的系統晶片，其進一步包括電源管理單元，所述電源管理單元被配置成在給定週期期間當已

不通過所述智慧財產權塊發送請求信號時切斷到所述時鐘管理單元的供電。

【第5項】如申請專利範圍第1項所述的系統晶片，其中所述時鐘管理單元包括控制器，所述控制器被配置成從晶體振盪器接收第一信號以及從鎖相環接收第二信號，並且回應於所述請求信號而將所接收信號中的一個提供為所輸出的所述時鐘信號和所述確認信號。

【第6項】如申請專利範圍第1項所述的系統晶片，其中所述時鐘管理單元包括：

多工器，其被配置成接收內部時鐘信號和外部時鐘信號，並且將所接收時鐘信號中的一個提供為所輸出的所述時鐘信號；以及

控制器，其被配置成回應於所述請求信號而提供所述確認信號。

【第7項】如申請專利範圍第1項所述的系統晶片，其中所述時鐘管理單元包括：

分頻電路，其被配置成將輸入時鐘信號分頻以產生分頻後的時鐘信號，並且將所述分頻後的時鐘信號提供為所輸出的所述時鐘信號；以及

控制器，其被配置成回應於所述請求信號而提供所述確認信號。

【第8項】如申請專利範圍第1項所述的系統晶片，其中所述時鐘管理單元包括：

速止電路，其被配置成對輸入時鐘信號執行操作以產生所得時鐘信號，所述所得時鐘信號包括在第一週期期間的多個脈衝以及在第二週期期間的恒定電位，並且將所述所得時鐘信號提供為所輸出的所述時鐘信號；以及

控制器，其被配置成回應於所述請求信號而提供所述確認信號。

【第9項】如申請專利範圍第1項所述的系統晶片，其中所述時鐘管理單元包括：

控制電路，其被配置成回應於所述請求信號而輸出控制信號和所述確認信號；以及

時鐘源，其被配置成回應於所述控制信號而輸出所述時鐘信號。

【第10項】如申請專利範圍第1項所述的系統晶片，其中所述時鐘管理單元包括：

第一時鐘元件，其被配置成提供指示所述智慧財產權塊中的第一個需要進入睡眠模式和活動模式中的一個的第一請求信號；

第二時鐘元件，其被配置成提供指示所述智慧財產權塊中的第二個需要進入睡眠模式和活動模式中的一個的第二請求信號；以及

第三時鐘元件，其被配置成當所述請求信號中的一個指示需要進入所述活動模式時開始將時鐘信號提供到兩個元件，並且當所述請求信號兩者指示需要進入所述睡眠模式時停止提供所述時鐘信號。

【第11項】一種時鐘閘控元件，其包括：

時鐘控制電路，其被配置成產生操作時鐘信號；以及

通道管理電路，其被配置成從外部裝置接收跨越通信通道的請求信號，並且將所述請求信號轉發到所述時鐘控制電路，

其中所述時鐘控制電路基於所述請求信號而將時鐘請求傳輸到親代控制電路，從所述親代控制電路接收第一確認信號，根據從來自所述親代控制電路的所述第一確認信號選擇性地將所述操作時鐘信號提供到所述外部裝置，並且將指示所述時鐘控制電路已接收所述請求信號的第二確認信號提供到所述通道管理電路，

其中當所述第一確認信號指示所述操作時鐘信號穩定時，所述時鐘控制電路提供所述操作時鐘信號到所述外部裝置。

【第12項】如申請專利範圍第11項所述的時鐘閘控元件，

其中所述時鐘控制電路被配置成當所述請求信號指示所述外部裝置需要所述操作時鐘信號時，將所述操作時鐘信號提供到所述外部裝置，以及

其中所述時鐘控制電路被配置成當所述請求信號指示所述外部裝置不再需要所述操作時鐘信號時，停止將所述操作時鐘信號提供到所述外部裝置。

【第13項】一種時鐘多工器元件，其包括：

時鐘控制電路，其被配置成基於第一選擇信號而選擇第一時鐘信號和第二時鐘信號中的一個，基於所選定時鐘信號而產生操作時鐘信號；以及

通道管理電路，其被配置成從外部裝置接收跨越通信通道的請求信號，並且將所述請求信號轉發到所述時鐘控制電路，

其中所述時鐘控制電路被配置成基於所述請求信號而將時鐘請求傳輸到親代控制電路，從所述親代控制電路接收第一確認信號，回應於所述第一確認信號而選擇性地輸出所述操作時鐘信號，並且輸出指示所述時鐘控制電路已接收所述請求信號的第二確認信號到所述通道管理電路，

其中當所述第一確認信號指示所述操作時鐘信號穩定時，所述時鐘控制電路提供所述操作時鐘信號到所述外部裝置。

【第14項】如申請專利範圍第13項所述的時鐘多工器元件，其中所述時鐘電路包含有限狀態機，所述有限狀態機被配置成將所述請求信號輸出到提供所述第一時鐘信號的第一時鐘源以及提供所述第二時鐘信號的第二時鐘源。

【第15項】一種時鐘分頻元件，其包括：

時鐘控制電路，其被配置成對輸入時鐘信號執行分頻操作以產生分頻後的時鐘信號，基於所述分頻後的時鐘信號而產生操作時鐘信號；以及

通道管理電路，其被配置成從所述外部裝置接收跨越通信通道的所述請求信號，並且將所述請求信號轉發到所述時鐘控制電路，

其中所述時鐘控制電路基於所述請求信號而將時鐘請求傳輸到親代控制電路，從所述親代控制電路接收第一確認信號，回應於所述第一確認信號而選擇性地輸出所述操作時鐘信號，並且輸出指示所述時鐘控制電路已接收所述請求信號的第二確認信號到所述通道管理電路，

其中當所述第一確認信號指示所述操作時鐘信號穩定時，所述時鐘控制電路提供所述操作時鐘信號到所述外部裝置。

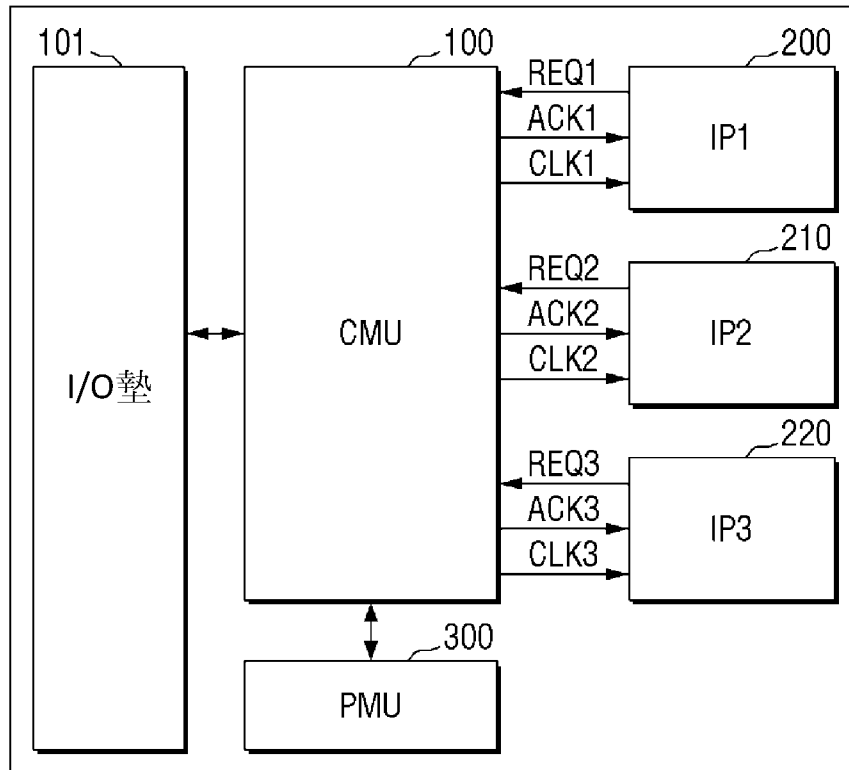
【第16項】如申請專利範圍第15項所述的時鐘分頻元件，其中所述時鐘控制電路包括：

時鐘分頻電路；以及

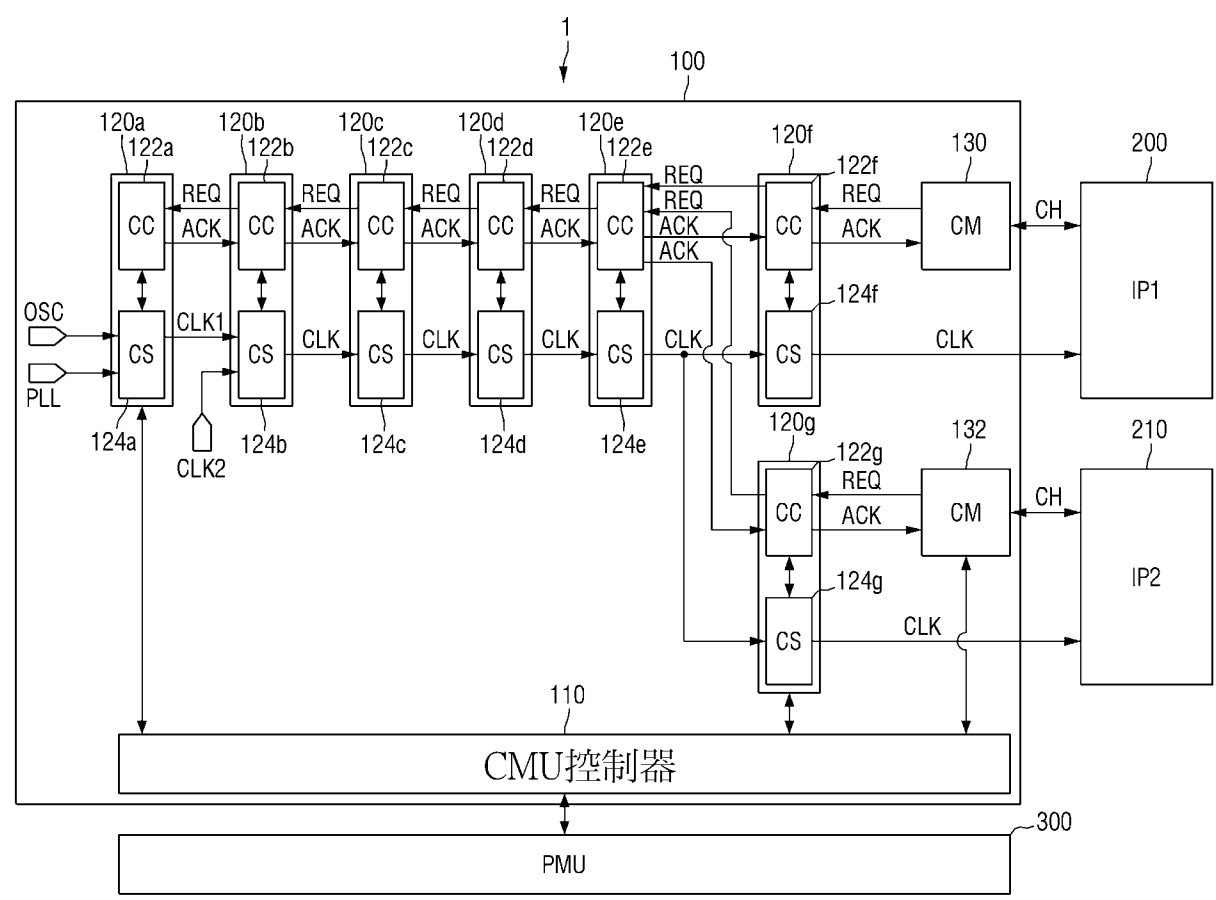
有限狀態機，其被配置成確定分頻比並且回應於所述請求信號而將所述分頻比輸出到所述時鐘分頻電路，

其中所述時鐘分頻電路響應於所述分頻比而使用所述分頻比將所述輸入時鐘信號分頻。

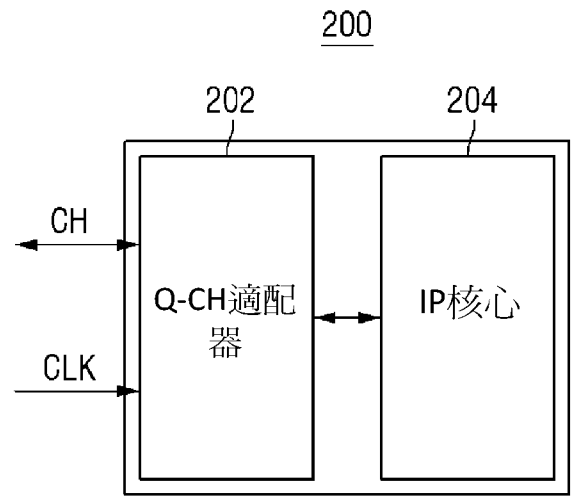
【發明圖式】



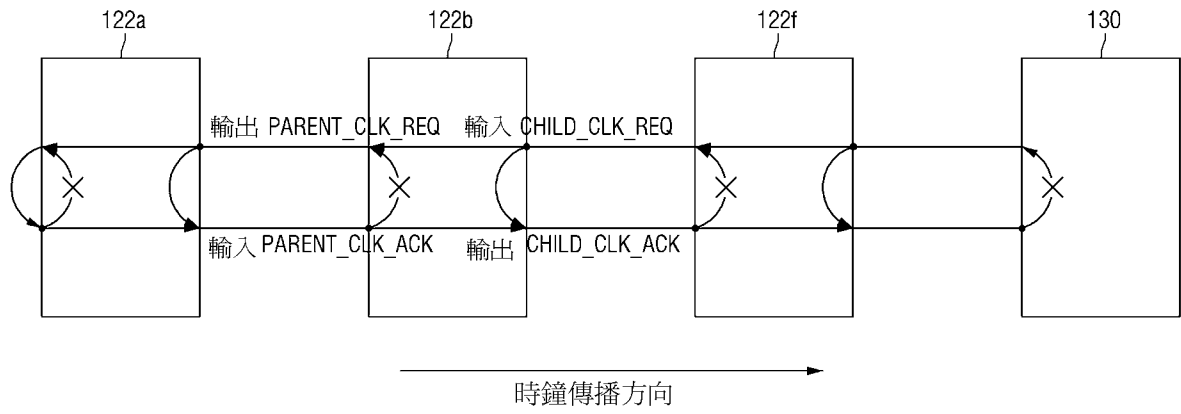
【圖1】



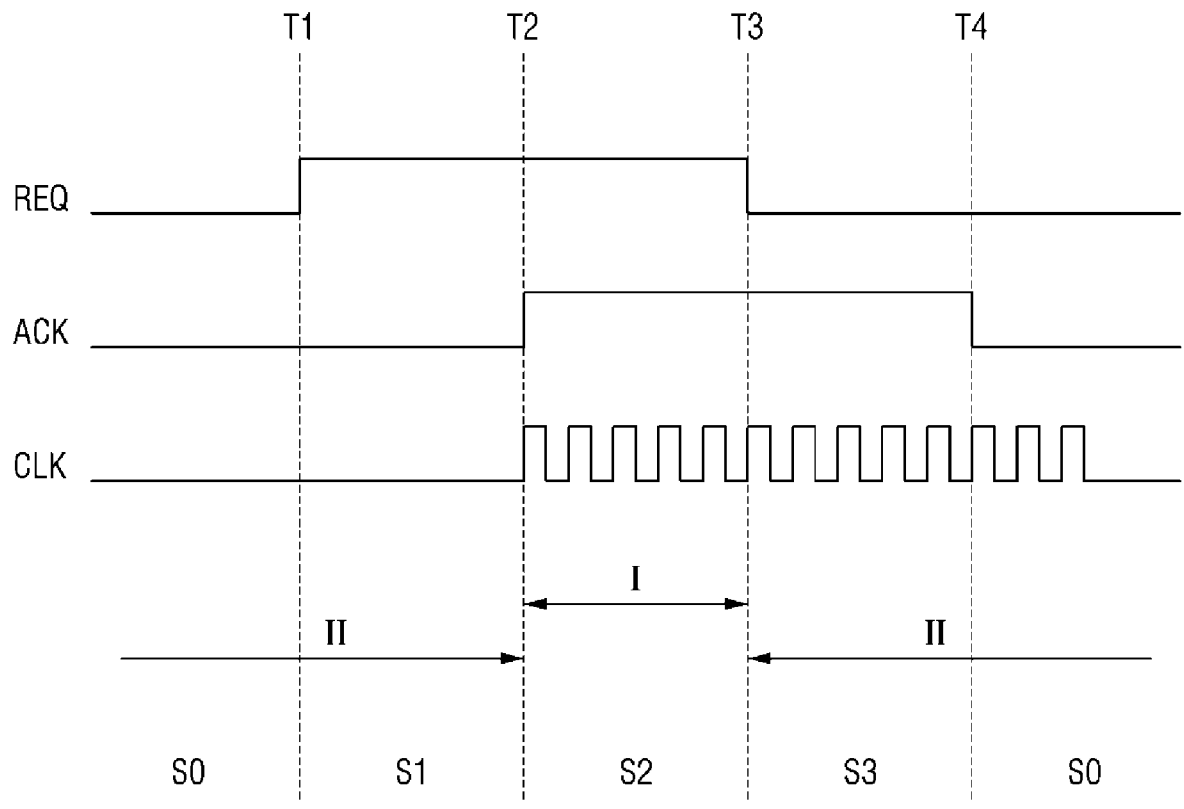
【圖2】



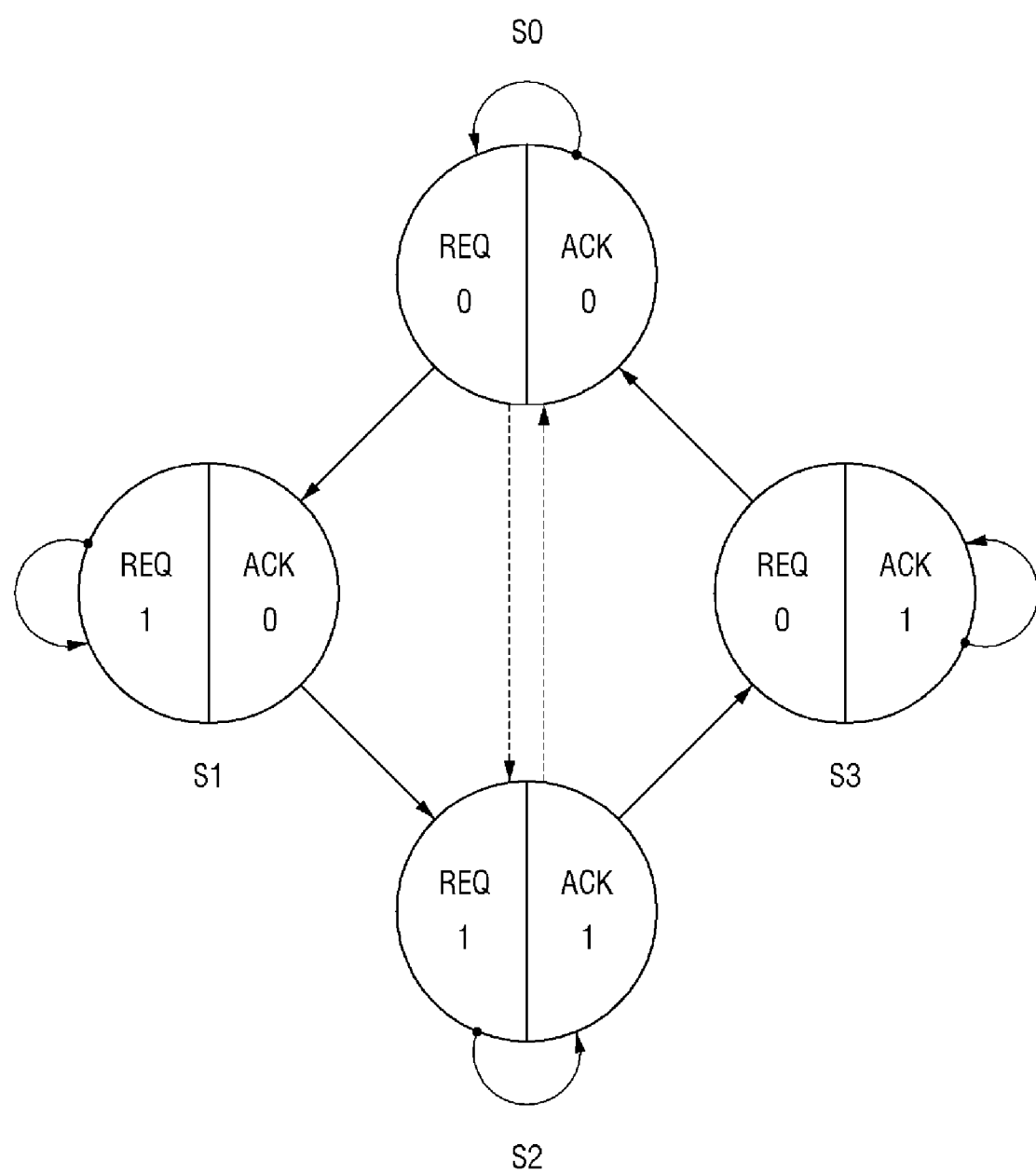
【圖3】



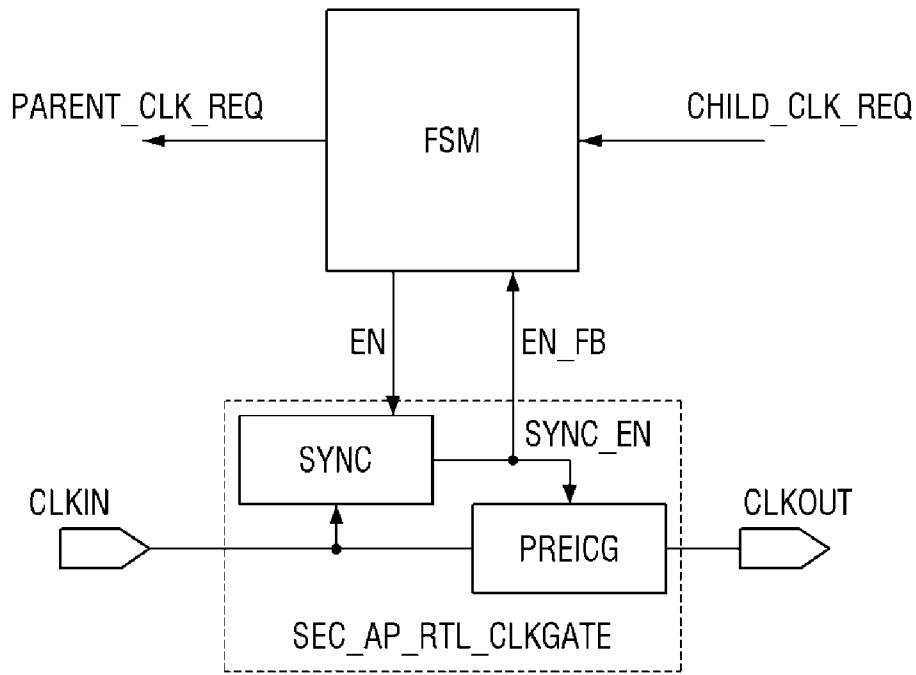
【圖4】



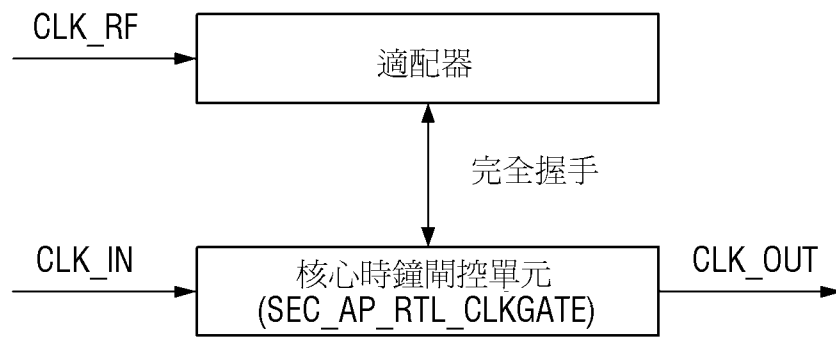
【圖5A】



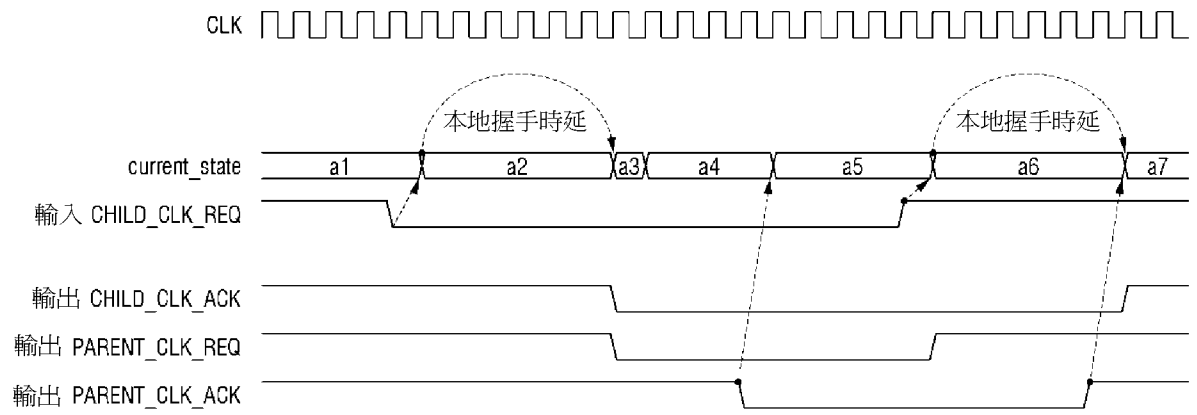
【圖5B】



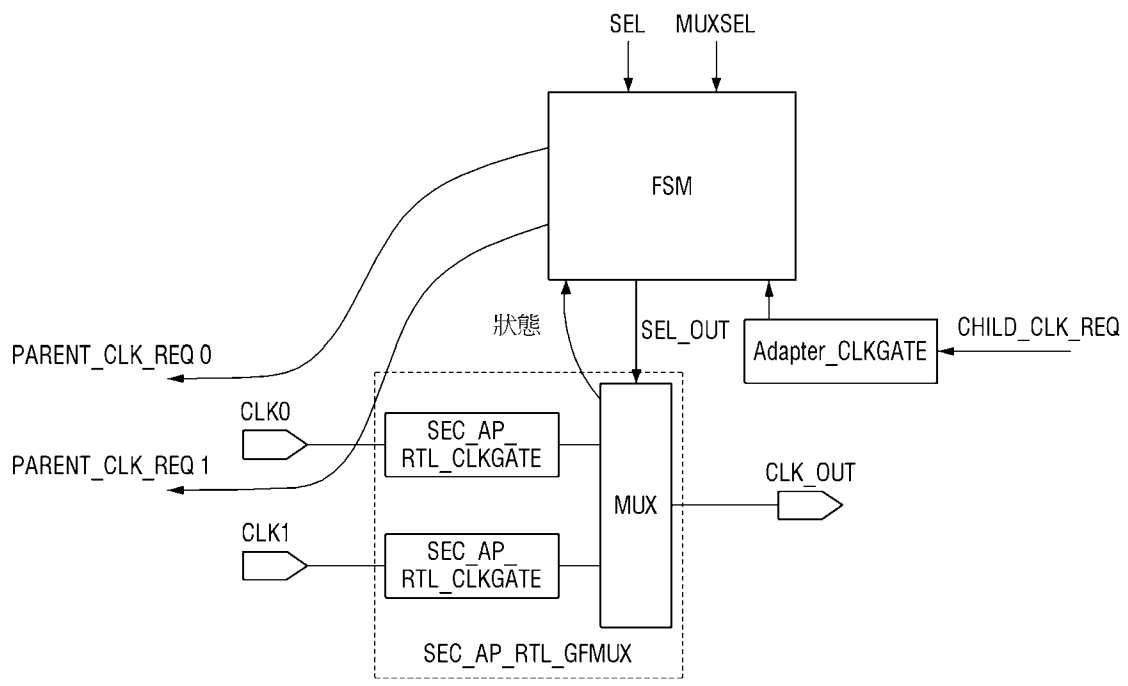
【圖6】



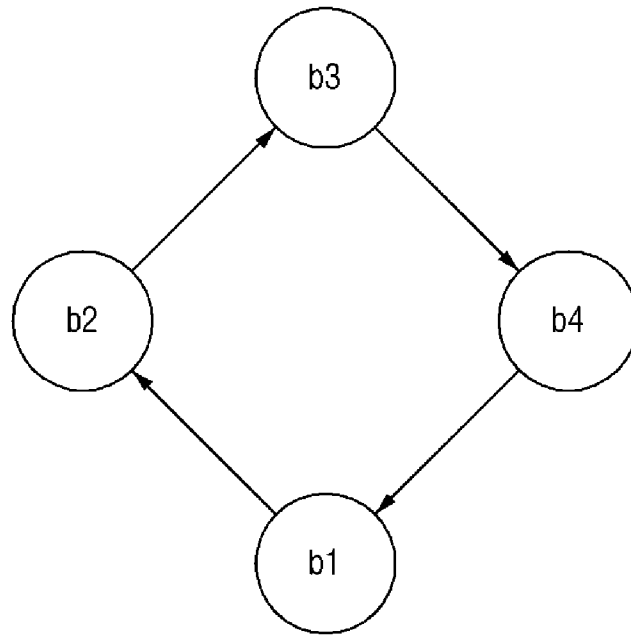
【圖7】



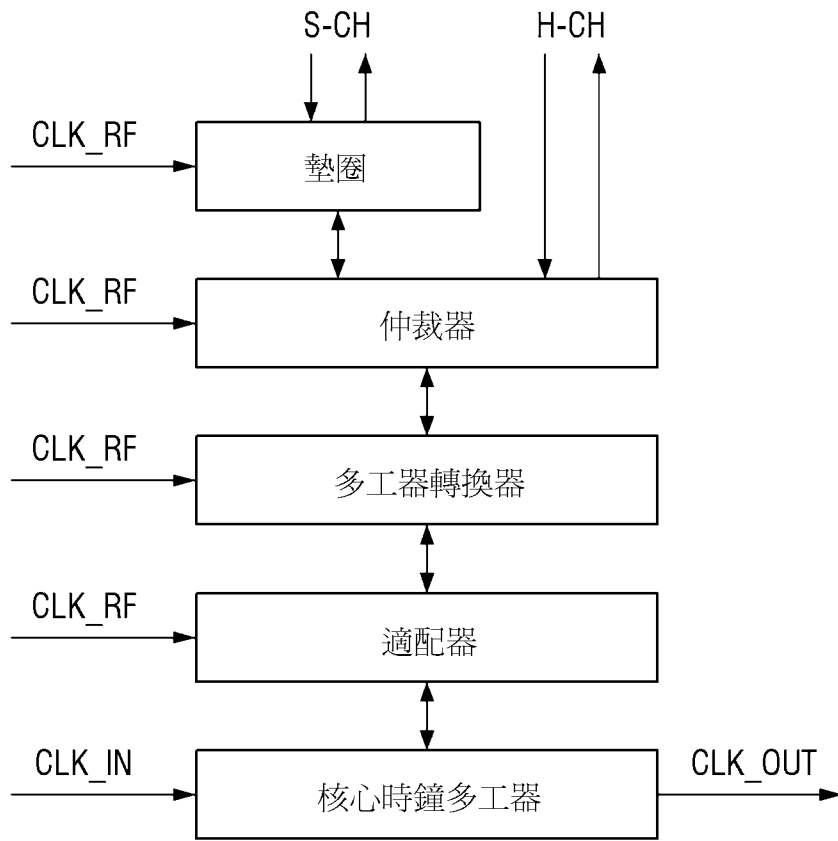
【圖8】



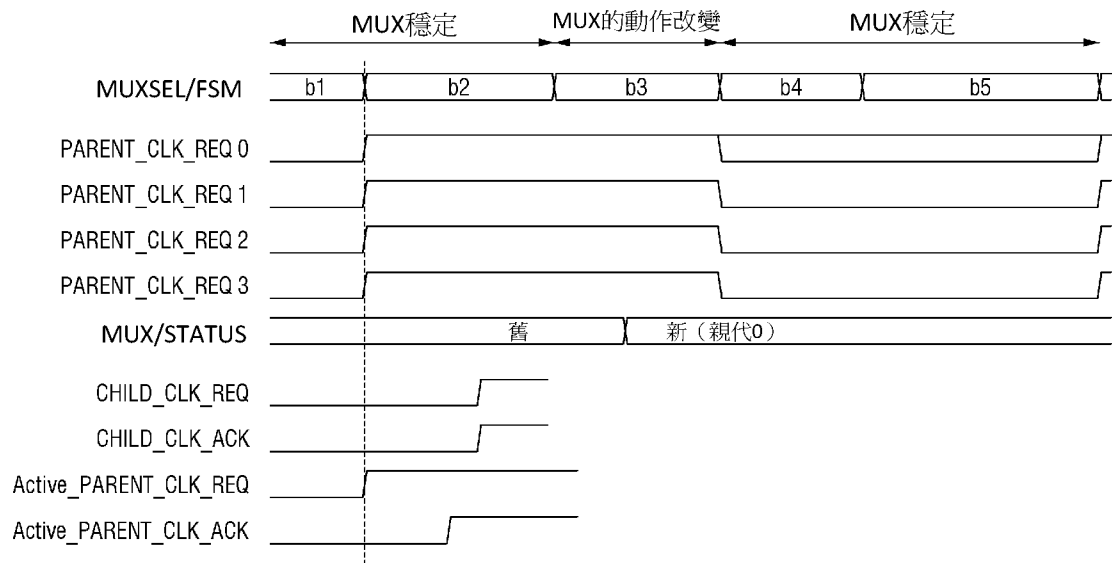
【圖9A】



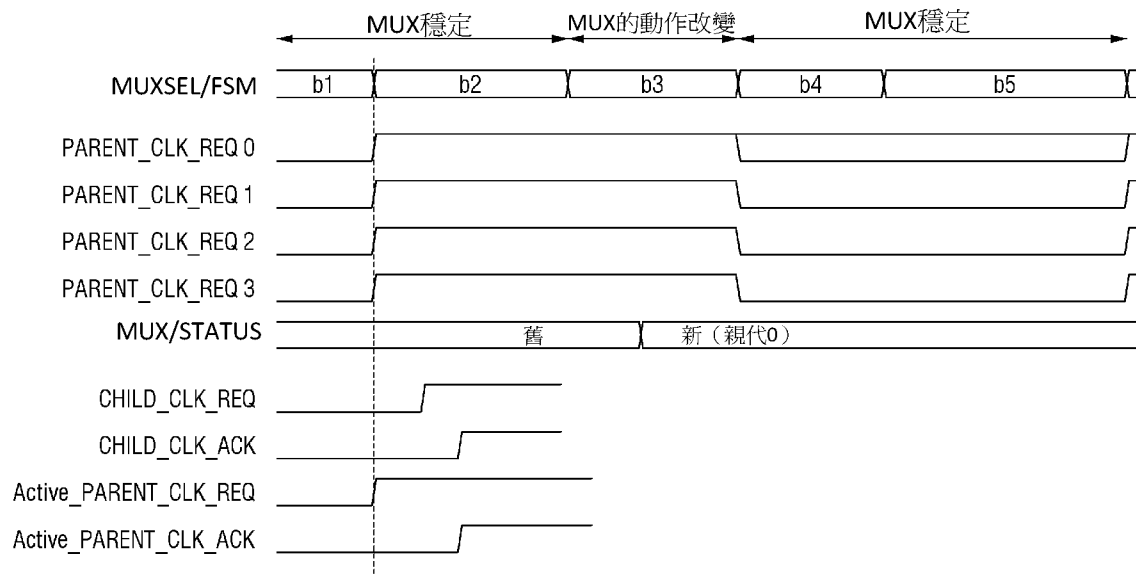
【圖9B】



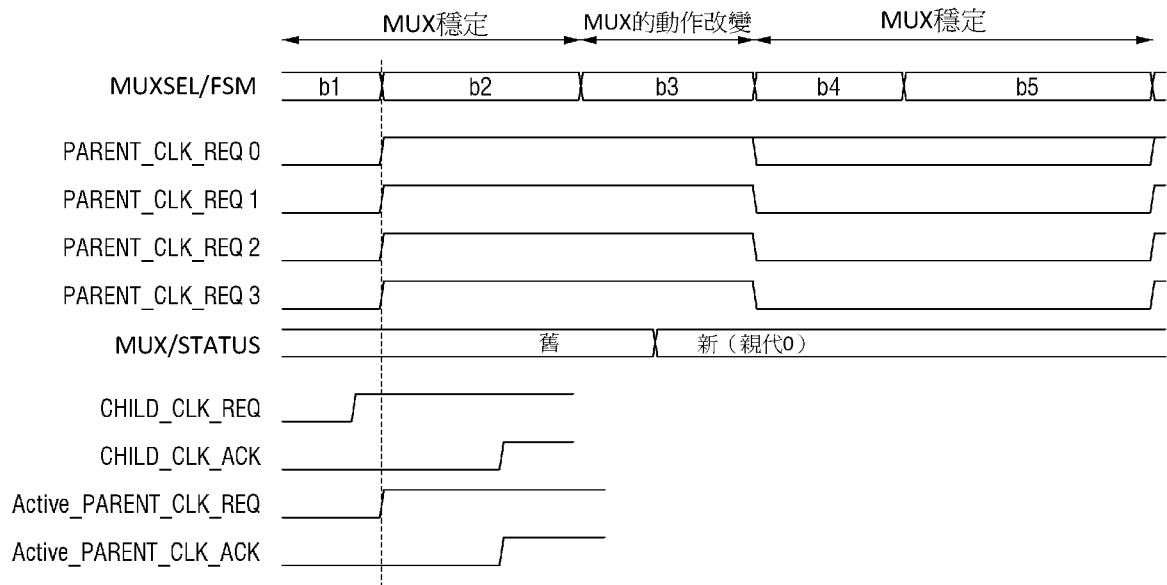
【圖10】



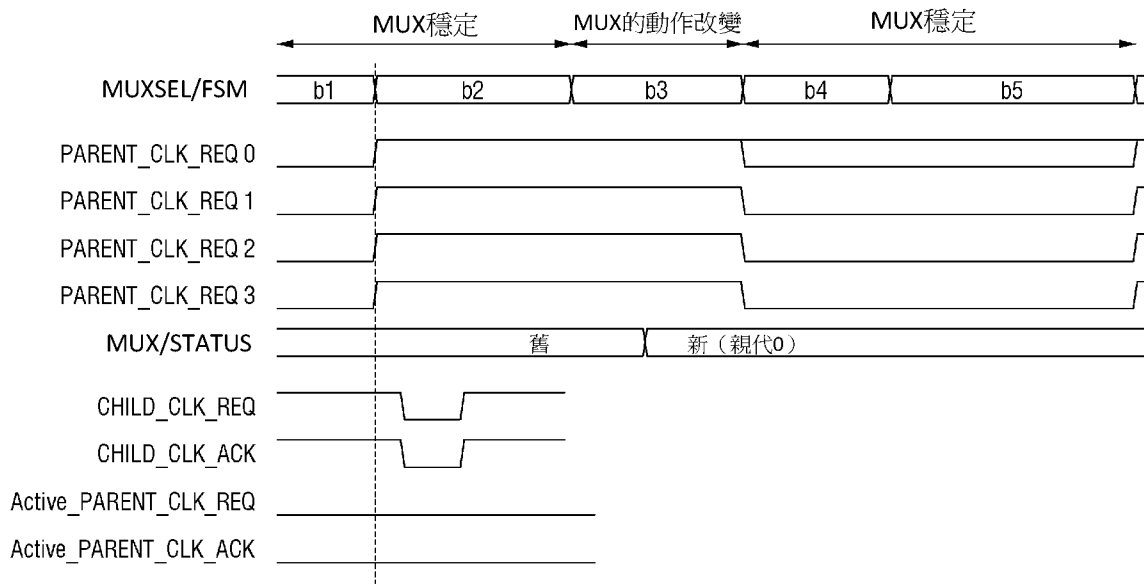
【圖11】



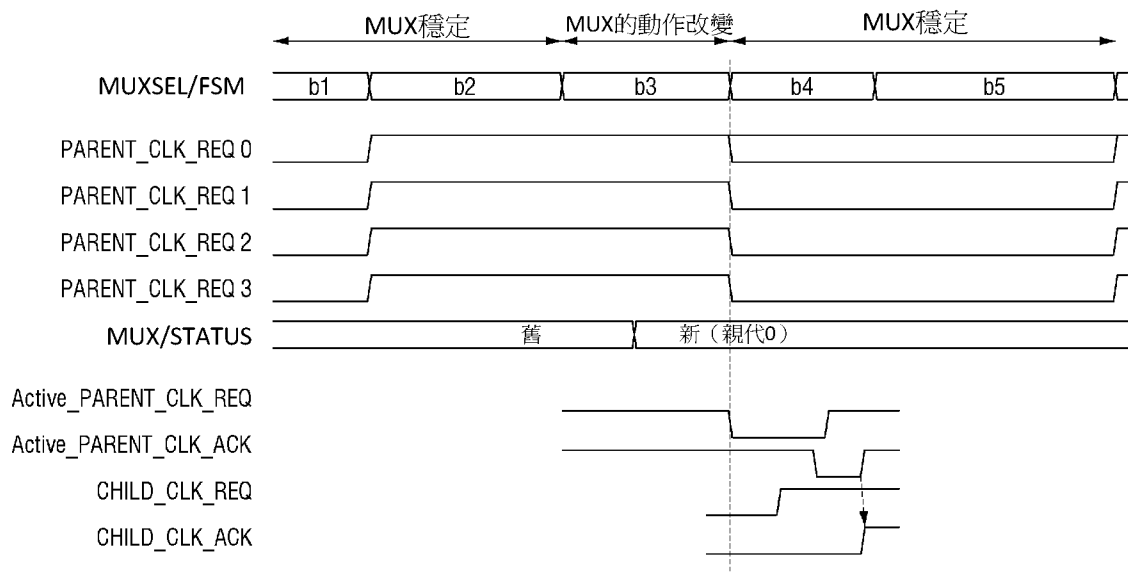
【圖12】



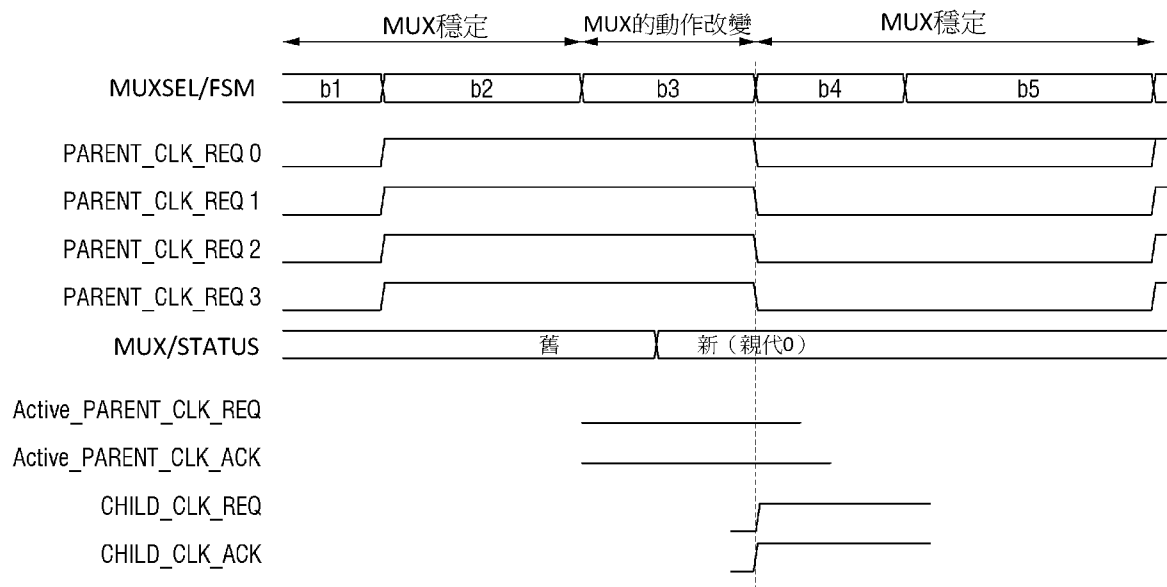
【圖13】



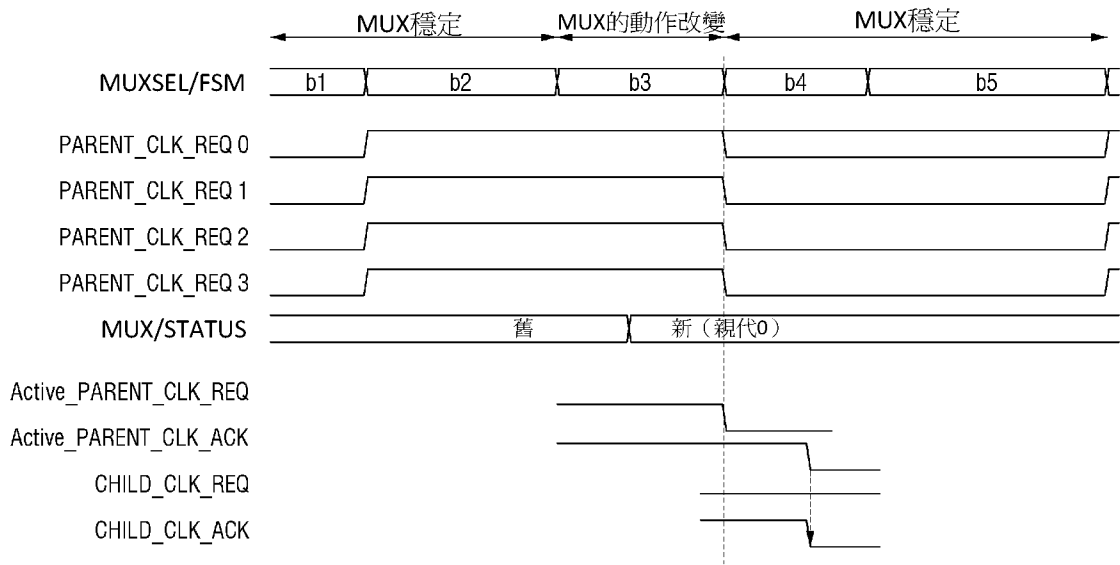
【圖14】



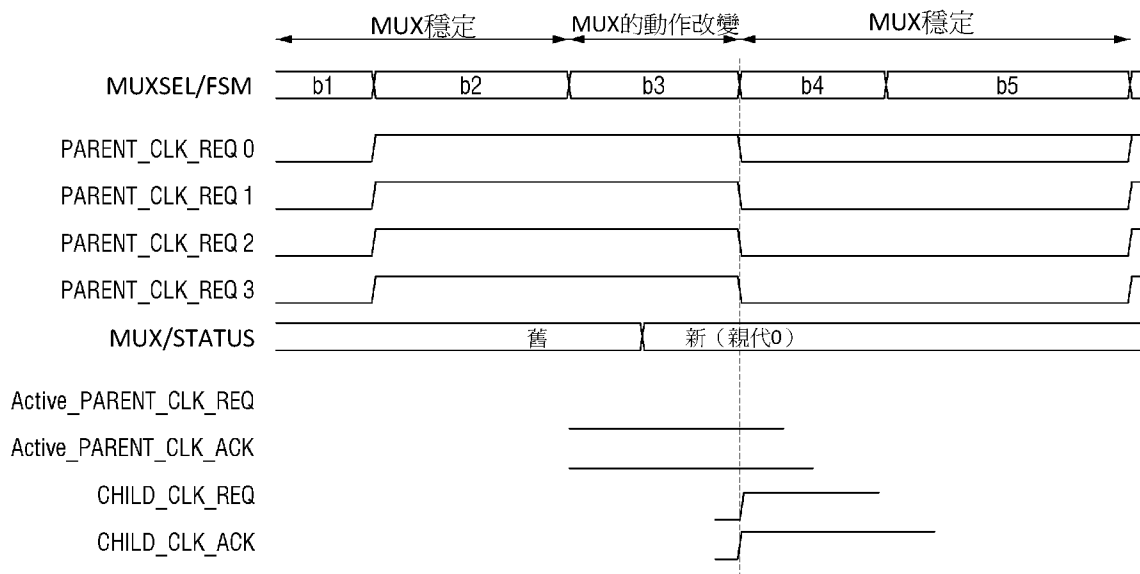
【圖15】



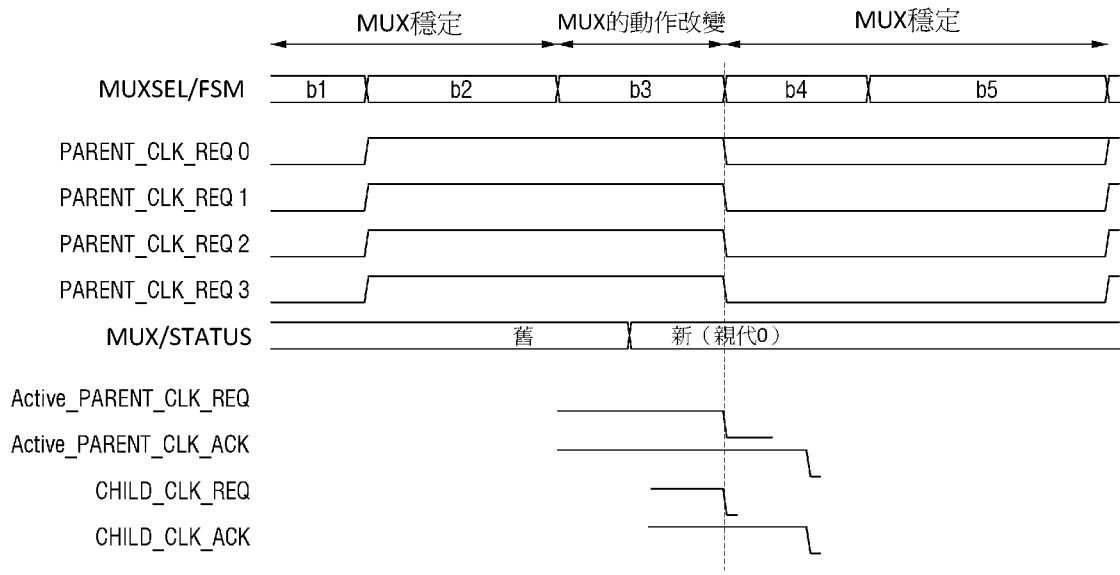
【圖16】



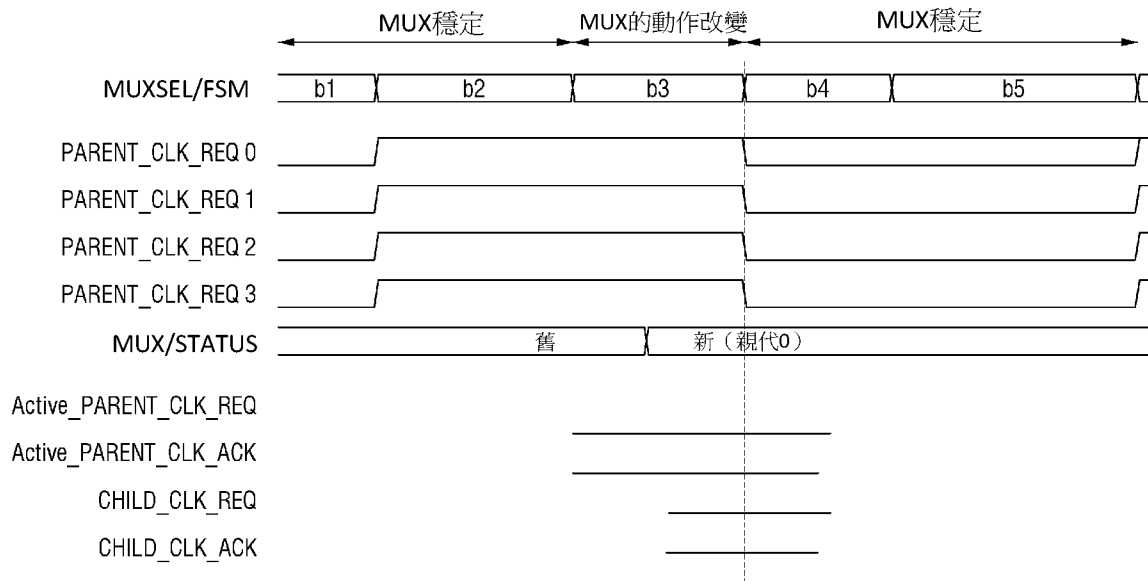
【圖17】



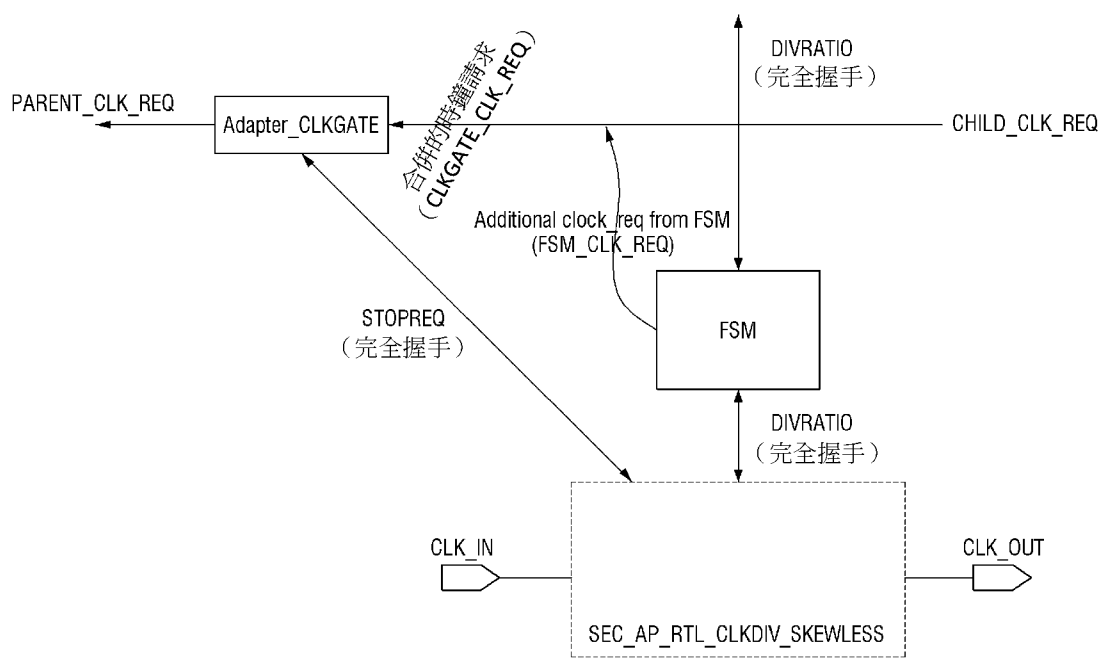
【圖18】



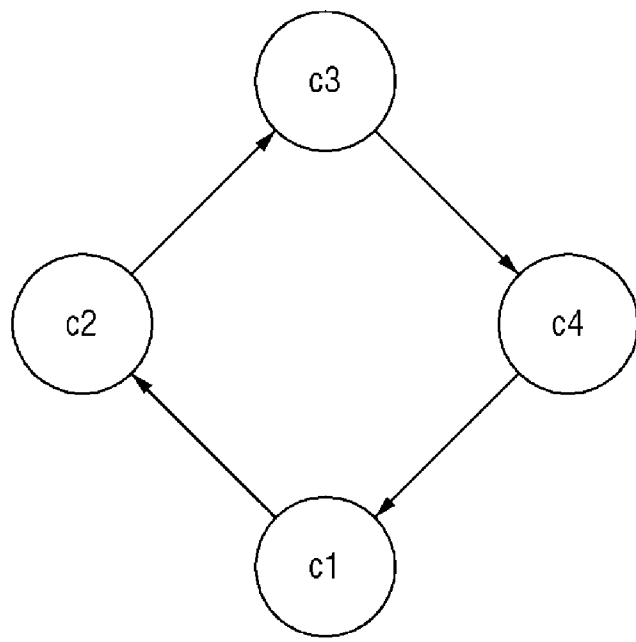
【圖19】



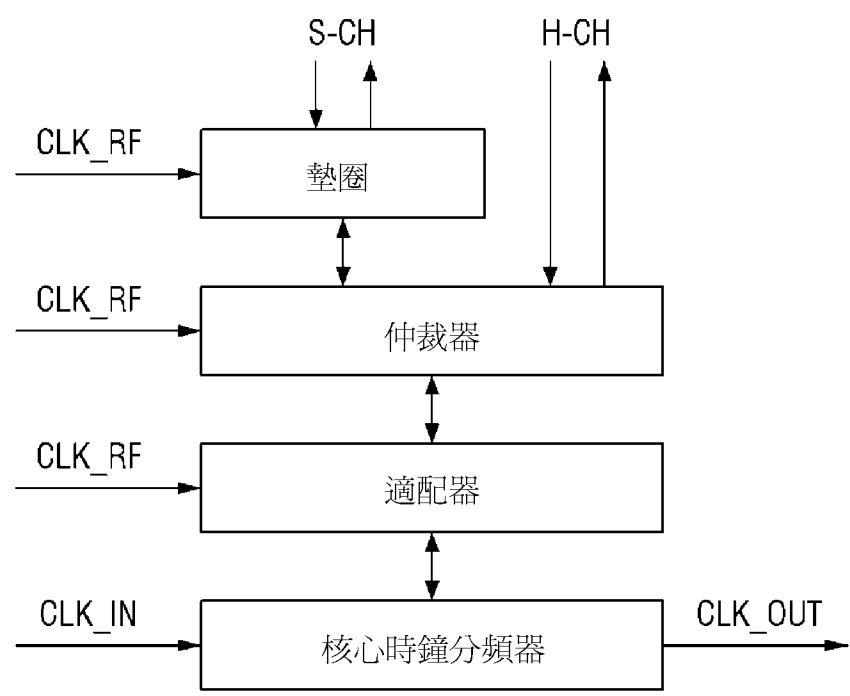
【圖20】



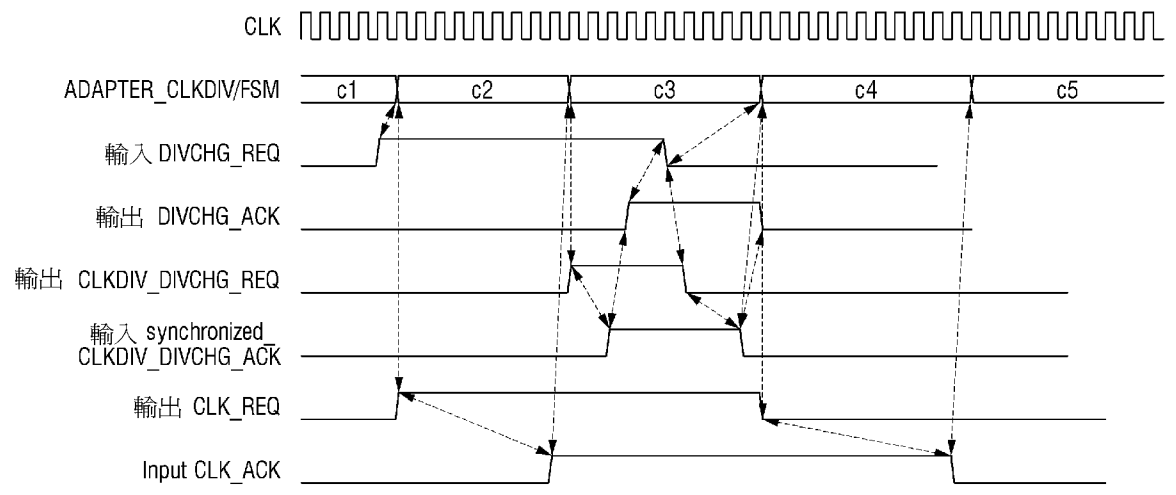
【圖21A】



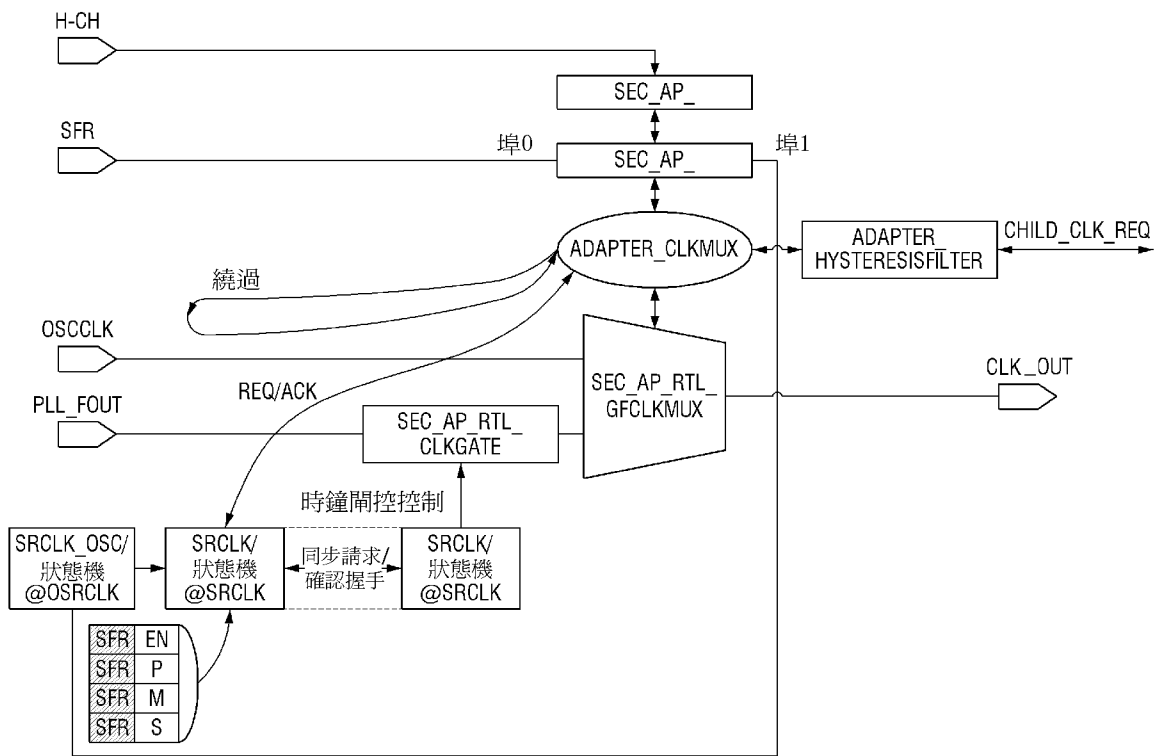
【圖21B】



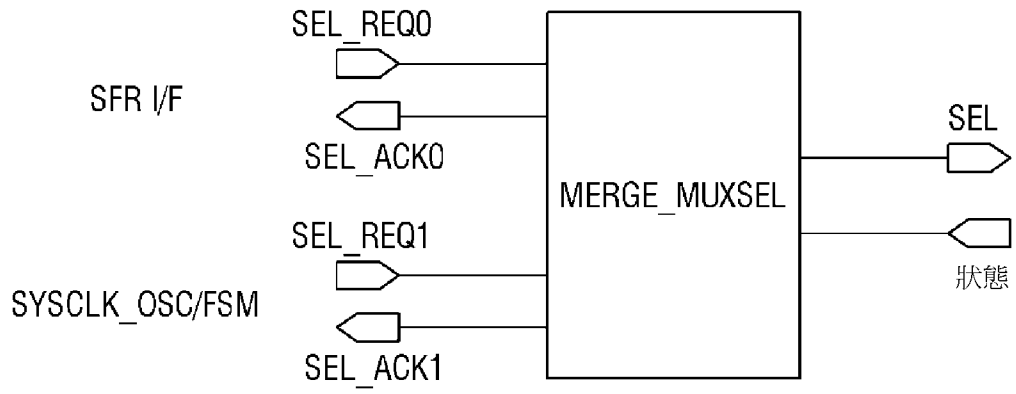
【圖22】



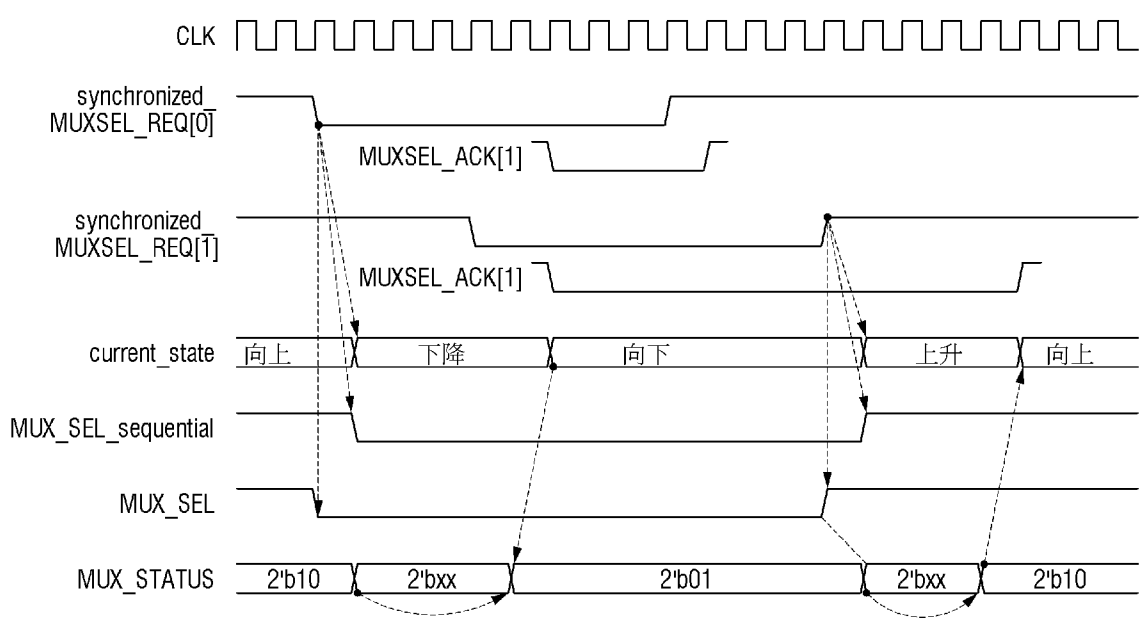
【圖23】



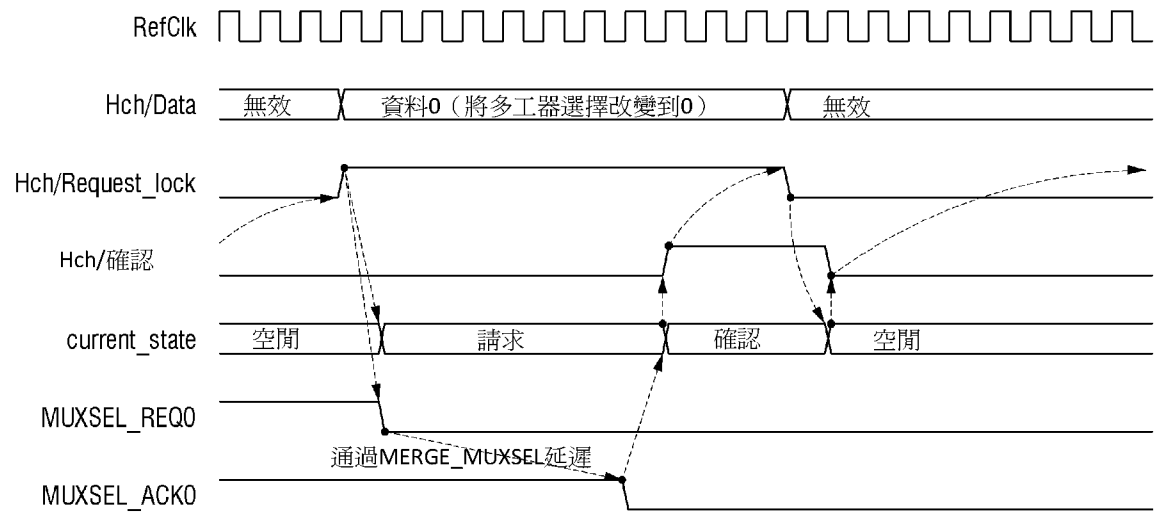
【圖24】



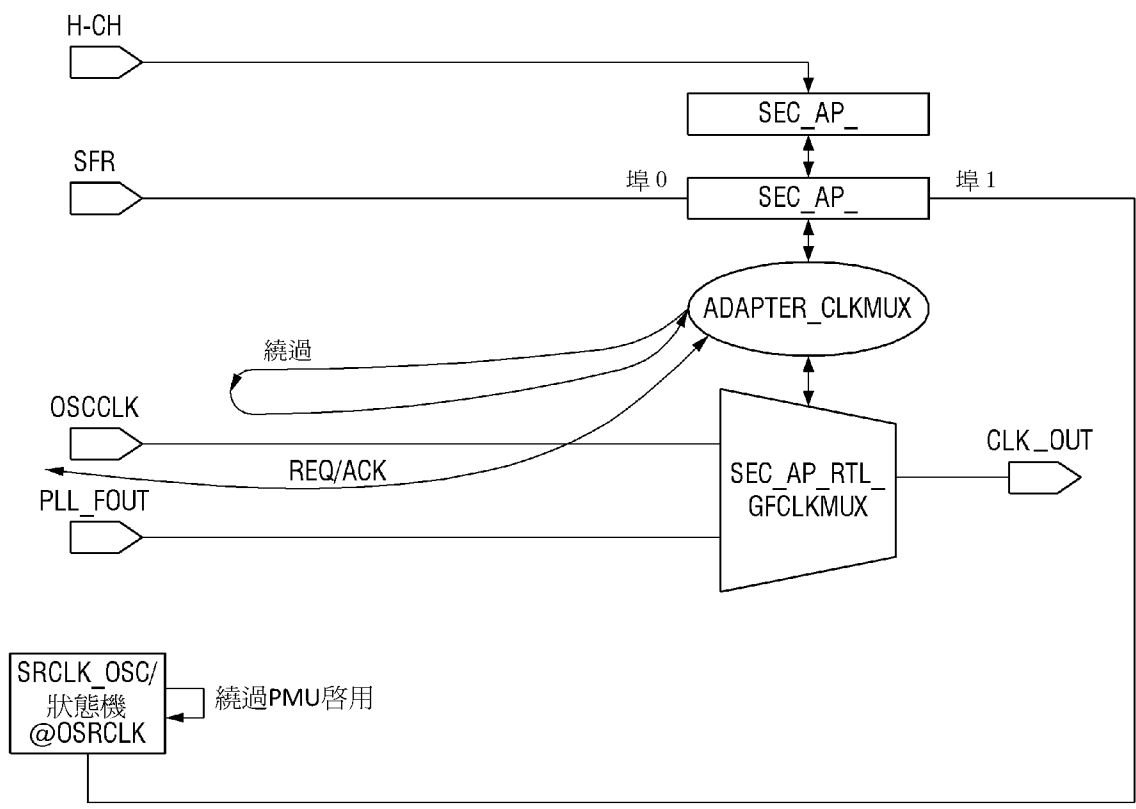
【圖25】



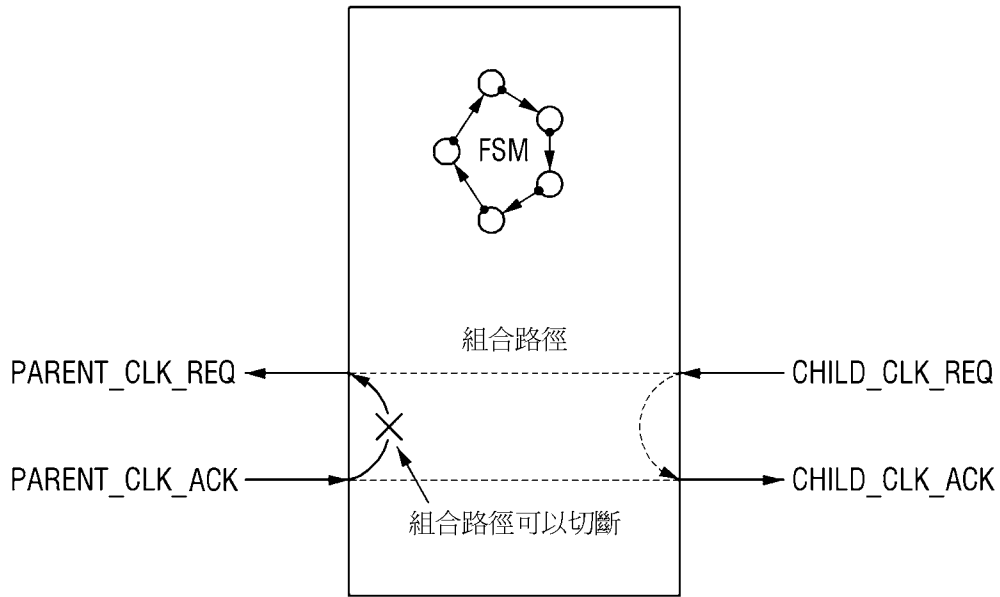
【圖26】



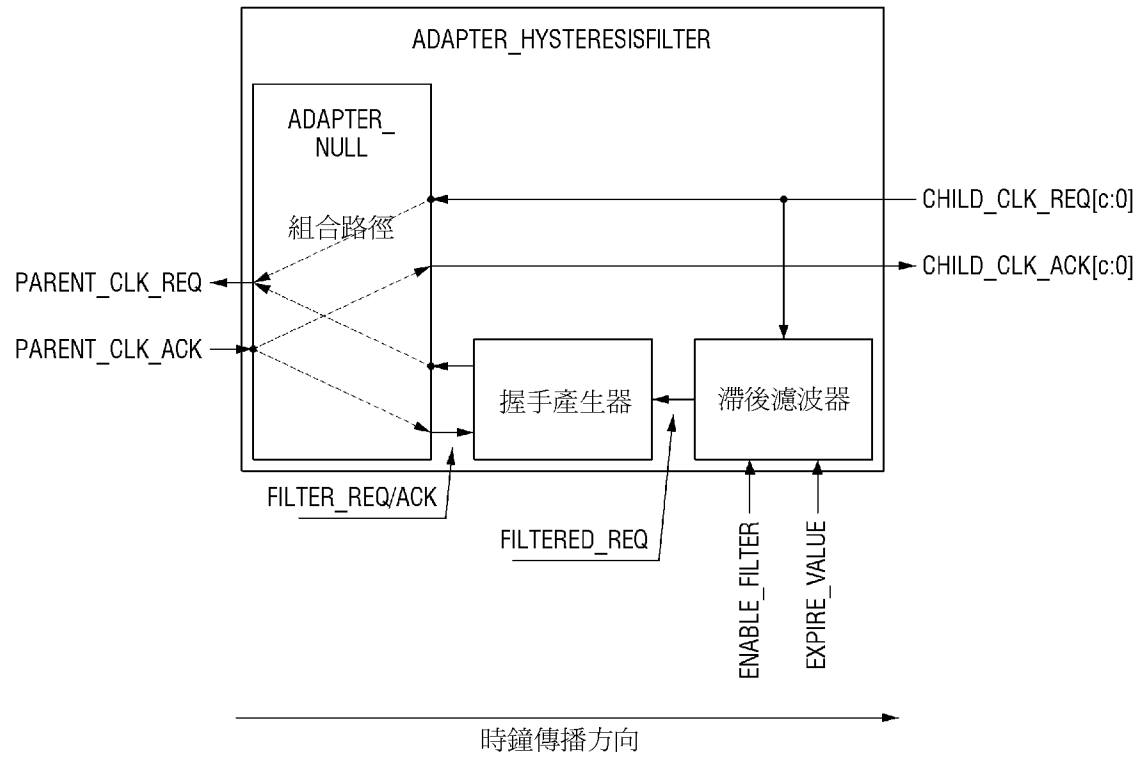
【圖27】



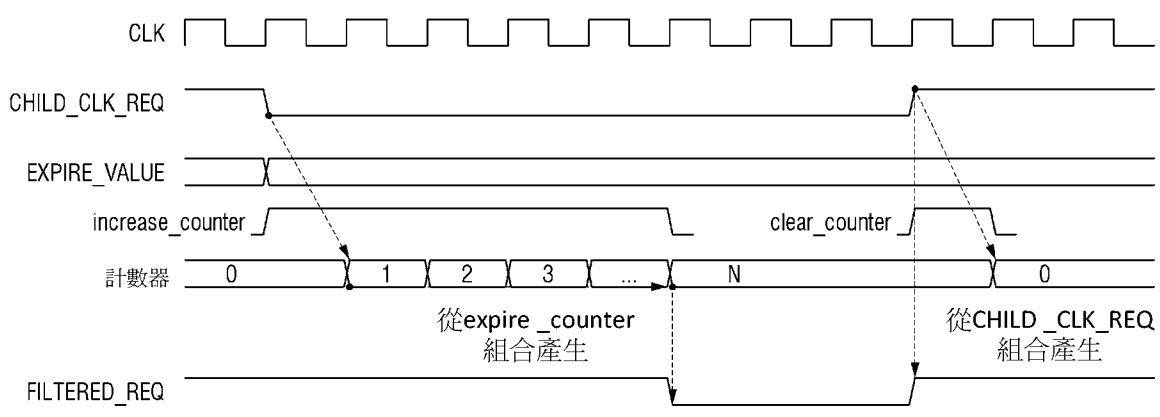
【圖28】



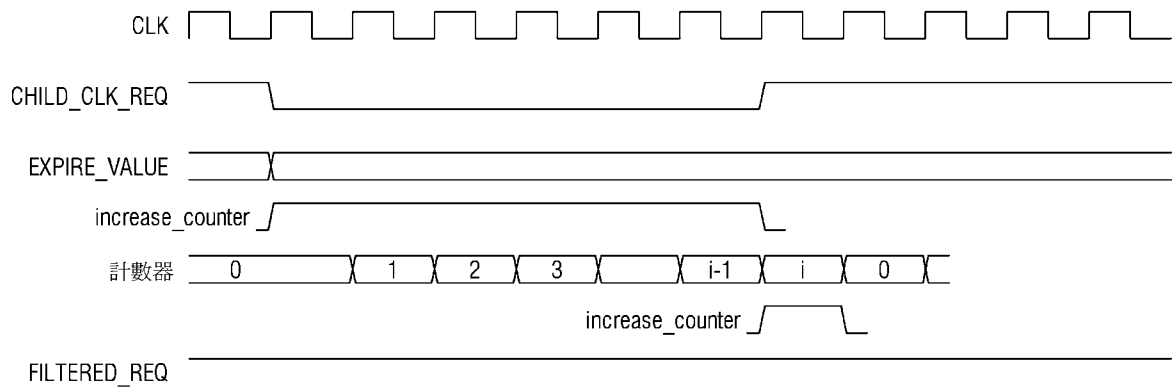
【圖29】



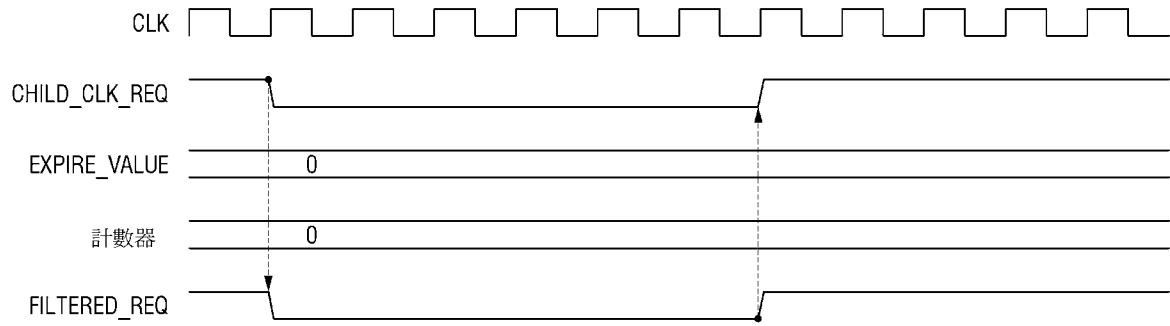
【圖30】



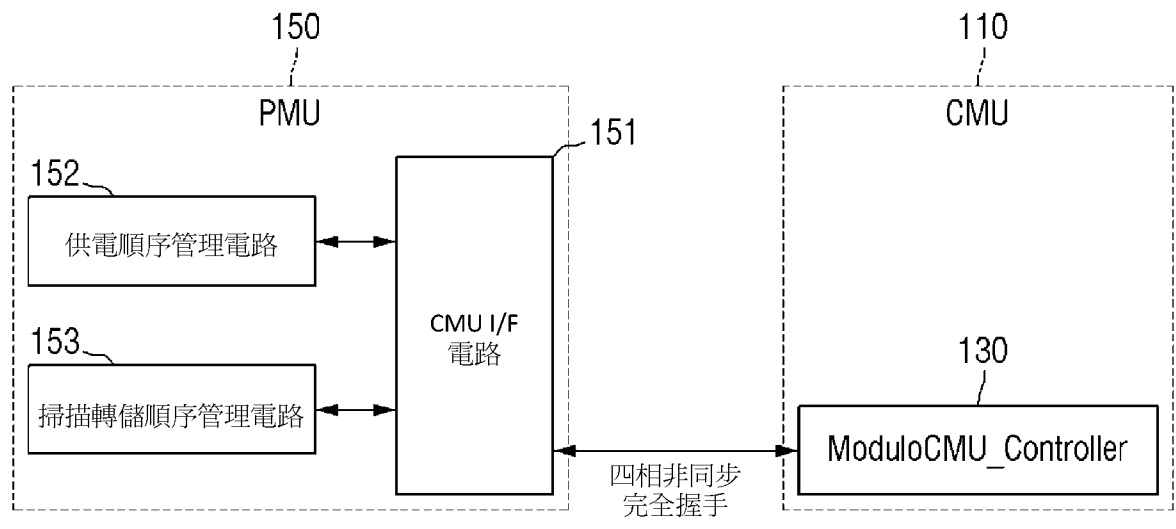
【圖31】



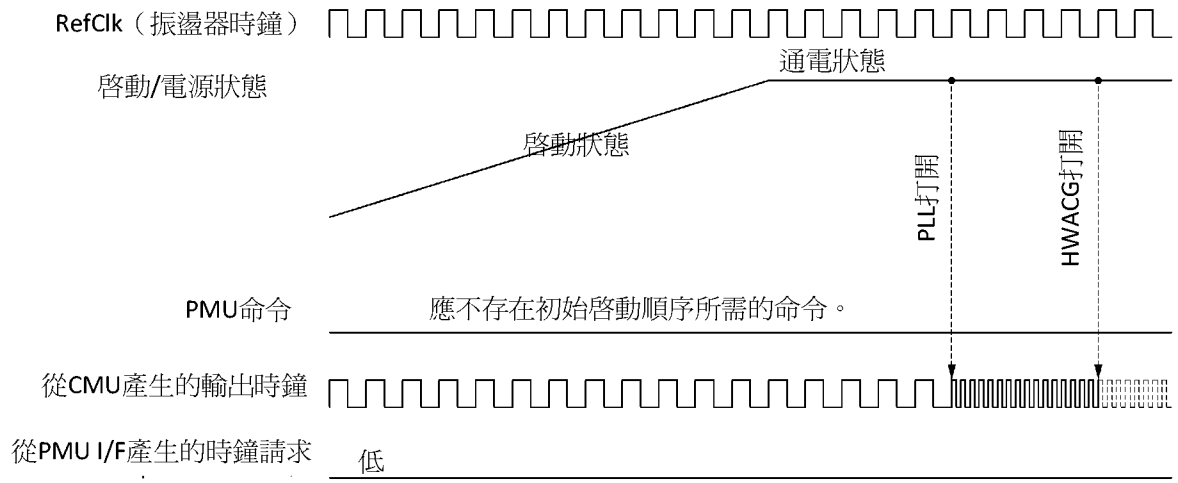
【圖32】



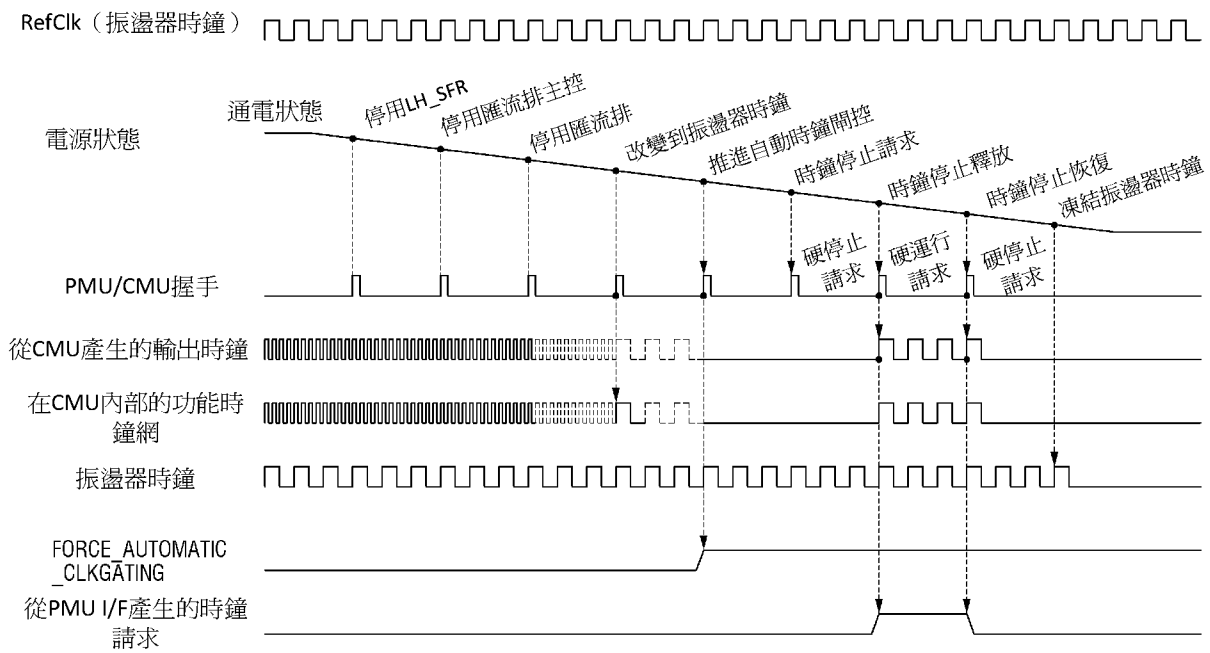
【圖33】



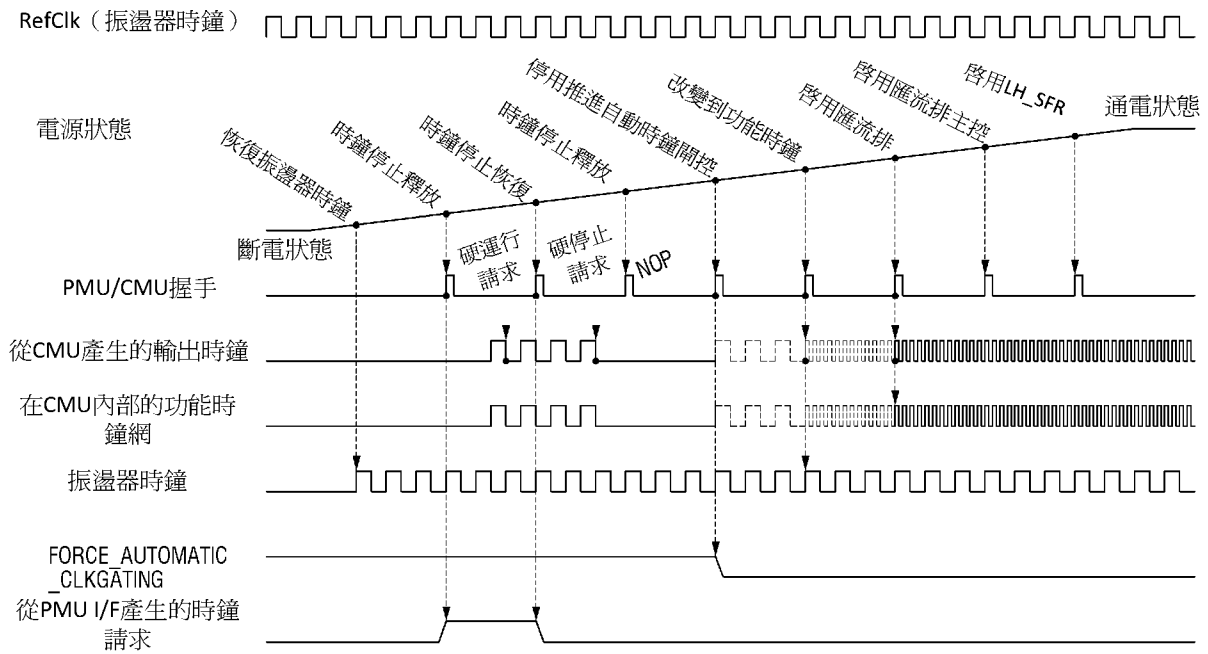
【圖34】



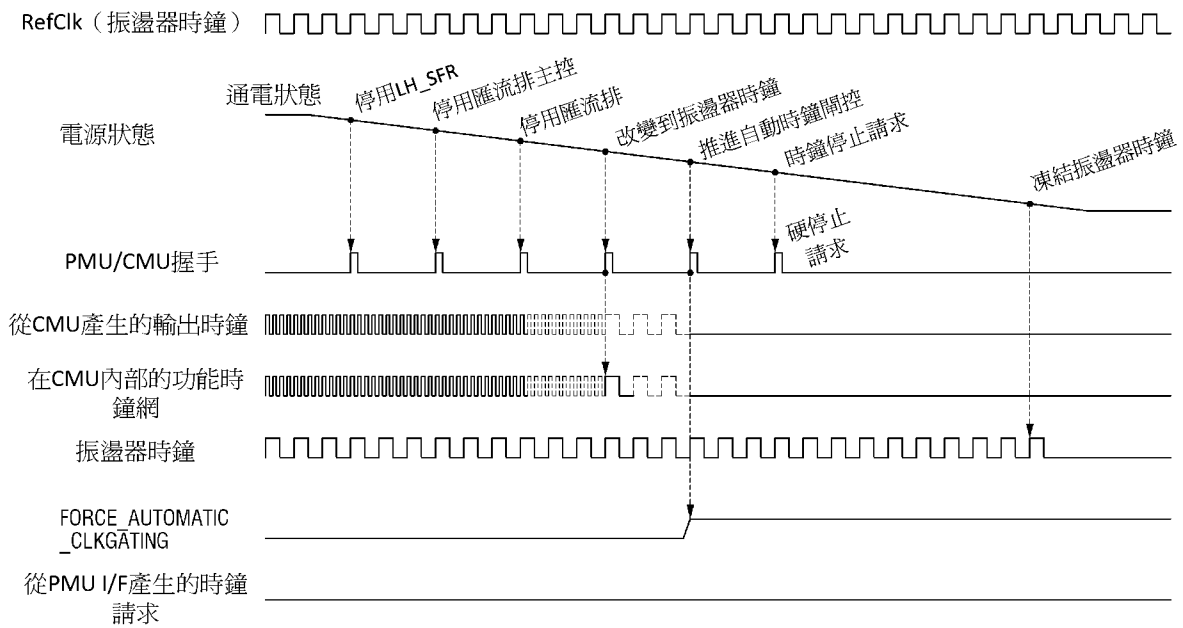
【圖35】



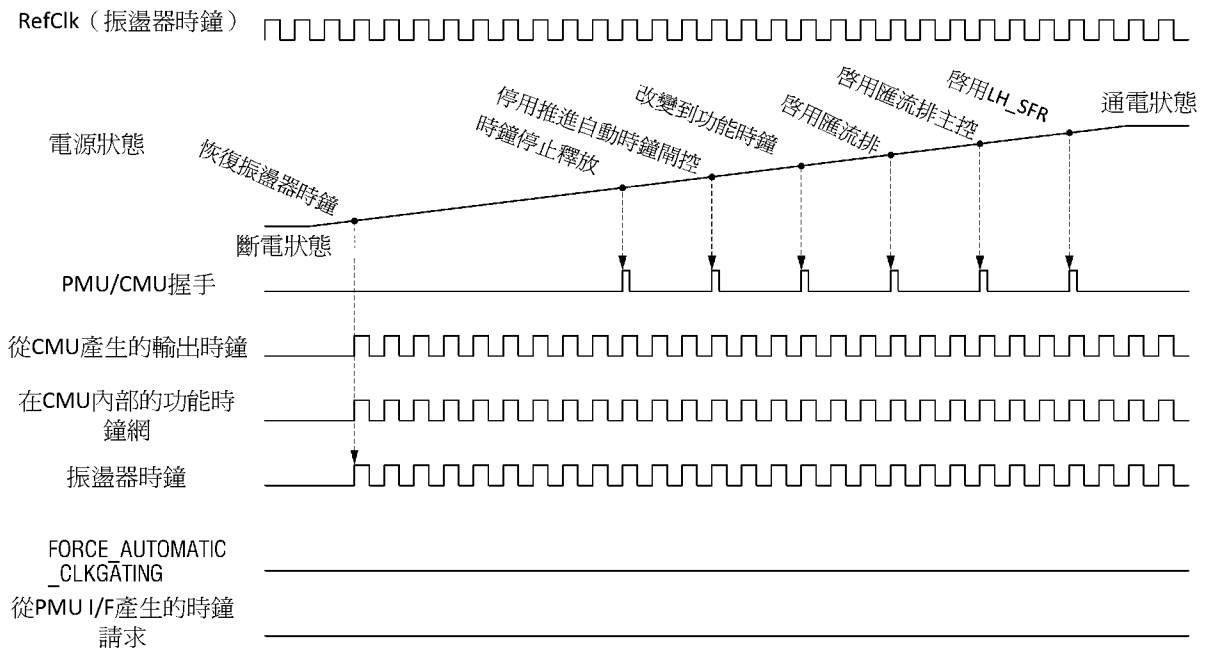
【圖36】



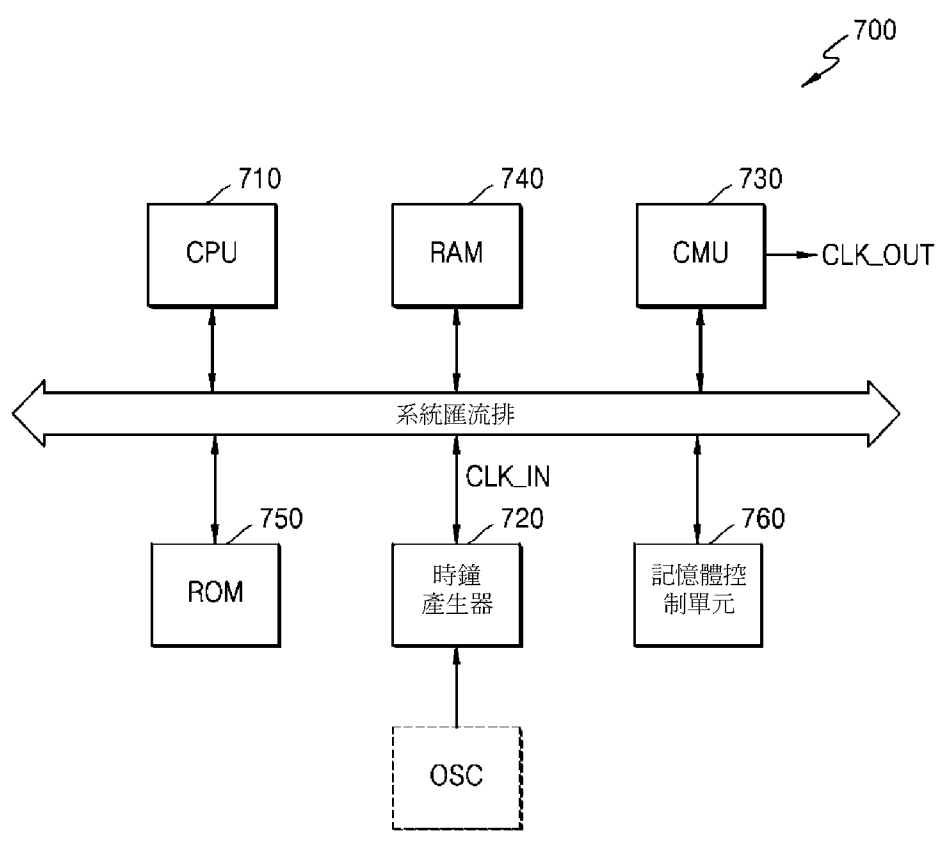
【圖37】



【圖38】



【圖39】



【圖40】