

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 04.10.91.

30 Priorité :

43 Date de la mise à disposition du public de la demande : 09.04.93 Bulletin 93/14.

56 Liste des documents cités dans le rapport de recherche : *Se reporter à la fin du présent fascicule.*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : ALCATEL CIT Société Anonyme — FR.

72 Inventeur(s) : Lafon Jean-Luc.

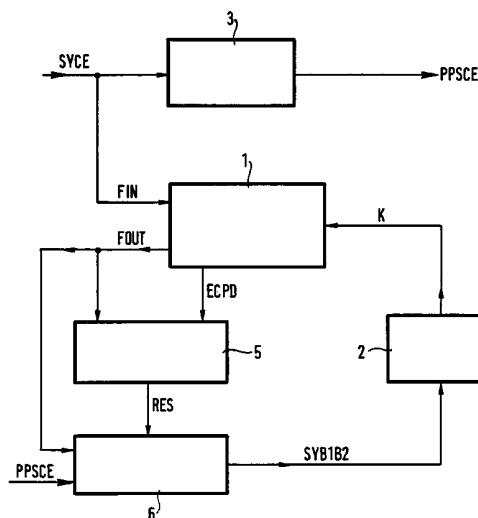
73 Titulaire(s) :

74 Mandataire : SOSPI El Manouni Josiane.

54 Procédé et dispositif de commande de mode de fonctionnement d'une boucle à verrouillage de phase numérique.

57 Ce procédé de commande de mode de fonctionnement d'une boucle à verrouillage de phase numérique comportant un compteur dit de commande d'incréméntation ou de décrémentation de la fréquence d'un signal d'horloge numérique interne à cette boucle, est tel que, le signal d'entrée de ladite boucle étant présent par intermittence, il comporte dans l'ordre, les étapes suivantes:

- détection d'un début de présence dudit signal d'entrée,
- sélection d'une plage de comptage dudit compteur ayant une valeur relativement faible en vue de permettre un accrochage relativement rapide de ladite boucle,
- détection d'accrochage de ladite boucle,
- sélection d'une plage de comptage dudit compteur ayant une valeur relativement forte, en vue de filtrer relativement fortement les éventuelles variations de phase dudit signal d'entrée se produisant au cours de ladite présence, ce dernier réglage étant conservé jusqu'à la prochaine détection d'un début de présence du signal d'entrée.



FR 2 682 236 - A1



Procédé et dispositif de commande de mode de fonctionnement d'une  
boucle à verrouillage de phase numérique

La présente invention est du domaine du traitement des signaux numériques. Elle concerne plus particulièrement les dispositifs  
5 appelés boucles à verrouillage de phase numériques.

De tels dispositifs sont bien connus ; on rappelle simplement qu'ils sont utilisés pour asservir la phase d'un signal numérique dit sortant, fourni par cette boucle, à celle d'un signal numérique dit entrant, reçu par cette boucle, et qu'ils procèdent essentiellement  
10 par incrémentation, ou décrémentation, de la fréquence d'un signal d'horloge fourni par un oscillateur interne à cette boucle, en fonction de l'écart de phase existant entre lesdits signaux entrant et sortant.

Le signal de commande d'incrémentacion ou de décrémentation de  
15 la fréquence du signal d'horloge fourni par ledit oscillateur est fourni par la sortie dite de débordement d'un compteur qui est déclenché par un signal représentatif dudit écart de phase, et qui compte au rythme d'un signal d'horloge également fourni par ledit oscillateur interne. L'asservissement de phase réalisé par un telle  
20 boucle s'accompagne donc d'un filtrage passe-bas, ou intégrateur, plus ou moins important suivant la plage de comptage de ce compteur, laquelle est en général réglable par action sur un, ou plusieurs, (suivant que ladite boucle est d'ordre égal à 1 ou supérieur à 1) coefficients de commande de ce compteur.

25 Suivant l'application prévue pour une telle boucle, on peut, ou non, vouloir tirer parti d'un tel filtrage, sachant bien entendu que plus ce filtrage sera élevé, et plus le temps d'accrochage d'une telle boucle sera important.

La présente invention vise plus particulièrement un type  
30 d'application où les deux objectifs de temps d'accrochage court et de filtrage important sont simultanément recherchés.

L'invention s'applique particulièrement à la synchronisation d'un terminal de télécommunications raccordé à un réseau de télécommunication à transfert en mode asynchrone, par l'intermédiaire  
35 d'un dispositif dit adaptateur permettant de restituer vis-à-vis de ce

terminal, une interface synchrone, un tel dispositif adaptateur utilisant en effet une boucle à verrouillage de phase numérique pour générer un signal d'horloge de fréquence moyenne égale à la fréquence de base de ladite interface synchrone, et dont la phase est asservie à  
5 celle d'un signal d'horloge entrant de rythme égal au rythme des données reçues de ce réseau par ce dispositif adaptateur.

Une telle application requiert en effet simultanément, à l'établissement d'une communication intéressant ce terminal, un temps d'accrochage relativement court de cette boucle et un filtrage  
10 relativement important afin de satisfaire aux conditions généralement sévères imposées par la norme régissant une telle interface, sur la gigue maximale admissible pour ledit signal d'horloge de fréquence moyenne égale à la fréquence de base de ladite interface synchrone.

La présente invention a pour objet un procédé de commande de  
15 mode de fonctionnement d'une boucle à verrouillage de phase numérique, ladite boucle comportant un compteur dit de commande d'incréméntation ou de décrémentation de la fréquence d'un signal d'horloge numérique fourni par un oscillateur interne à cette boucle, caractérisé en ce que, le signal d'entrée de ladite boucle étant présent par intermit-  
20 tence, avec un état de phase quelconque d'une présence à l'autre, ce procédé de commande comporte, dans l'ordre, les étapes suivantes :  
- détection d'un début de présence dudit signal d'entrée,  
- sélection d'une plage de comptage dudit compteur ayant une valeur relativement faible en vue de permettre un accrochage relativement  
25 rapide de ladite boucle,  
- détection d'accrochage de ladite boucle,  
- sélection d'une plage de comptage dudit compteur ayant une valeur relativement forte, en vue de filtrer relativement fortement les éventuelles variations de phase dudit signal d'entrée se produisant au  
30 cours de ladite présence, ce dernier réglage étant conservé jusqu'à la prochaine détection d'un début de présence du signal d'entrée.

La présente invention a également pour objet un dispositif pour la mise en oeuvre de ce procédé.

Suivant une autre caractéristique de l'invention, ladite boucle  
35 à verrouillage de phase comportant un détecteur d'écart de phase entre

ledit signal entrant et ledit signal sortant, le signal de sortie de ce détecteur de phase présentant des transitions d'un premier type en coïncidence avec les transitions d'un type donné du signal sortant, et des transitions d'un second type en coïncidence avec les transitions  
5 d'un type donné du signal entrant, le dispositif pour la mise en oeuvre de ce procédé comporte, pour réaliser ladite détection d'accrochage, des moyens de détection d'accrochage comportant eux-mêmes des moyens pour réaliser un échantillonnage du signal de sortie du détecteur de phase, par celles des transitions du signal sortant qui sont  
10 de type opposé audit type donné, des moyens pour mémoriser des groupes d'échantillons consécutifs ainsi obtenus, en nombre au moins égal à 3, et des moyens de détection de l'instant où, pour la première fois, deux au moins desdits échantillons n'ont pas le même niveau logique.

D'autres objets et caractéristiques de la présente invention  
15 apparaîtront à la lecture de la description suivante d'un exemple de réalisation, faite en relation avec les dessins ci-annexés dans lesquels :

- la figure 1 est un schéma synoptique d'un dispositif de commande suivant l'invention, représenté avec la boucle à verrouillage de phase  
20 numérique à laquelle il s'applique,
- la figure 2 est un schéma de réalisation possible des moyens de détection d'accrochage de la boucle à verrouillage de phase et de commande de sélection de plage de comptage, intervenant dans ce dispositif de commande,
- 25 - la figure 3 est un schéma de réalisation possible des moyens de détection d'un début de présence de signal entrant, intervenant dans ce dispositif de commande,
- la figure 4 est un chronogramme destiné à illustrer ladite commande de sélection de plage de comptage.

30 Sur la figure 1 est référencée 1 une boucle à verrouillage de phase numérique qui est par exemple d'ordre égal à 1. Cette boucle à verrouillage de phase, dont la constitution interne n'est pas rappelée sur cette figure, reçoit un signal dit entrant, noté FIN, et fournit un signal dit sortant, noté FOUT. Cette boucle reçoit en outre, via un  
35 moyen 2 de sélection de coefficient, un coefficient K de commande de la plage de comptage de son compteur de commande d'incrémentatation ou de décrémentatation, et fournit en outre un signal, noté ECPD, de sortie

de son détecteur de phase.

Ce détecteur de phase est en l'occurrence un détecteur dit à commande par les transitions des signaux qui lui sont appliqués, et on considérera, par exemple, dans ce qui suit, qu'une transition  
5 descendante du signal FOUT provoque un passage à un niveau haut de ce signal ECPD, et qu'une transition descendante consécutive du signal FIN provoque un passage à un niveau bas de ce signal ECPD.

Sur la figure 1 est en outre référencé 3 un moyen de détection d'un début de présence de signal entrant. Dans le cas de l'exemple  
10 d'application rappelé plus haut, à la synchronisation d'un terminal de télécommunications raccordé à un réseau de télécommunications à transfert en mode asynchrone, le signal entrant, lorsqu'il est présent, est formé d'une suite de cellules, ou paquets de longueur fixe, les cellules d'une même suite étant relatives à une même communication  
15 établie via un tel réseau. Les suites de cellules ainsi obtenues sont alors présentes de façon intermittente, au gré des apparitions et des disparitions de communications intéressant le terminal considéré.

Le moyen de détection 3 reçoit un signal numérique noté SYCE dont le rythme est constitué par le rythme d'arrivée de ces cellules,  
20 ce signal constituant, pour la boucle à verrouillage de phase, le signal d'entrée FIN de cette boucle.

Sur la figure 1 est en outre référencé 5 un moyen de détection d'accrochage de la boucle à verrouillage de phase 1, qui opère à partir des signaux ECDP et FOUT d'une façon qui sera décrite  
25 ultérieurement en relation avec la figure 2, et 6 un moyen de commande du moyen 2 de sélection de coefficient, qui opère à partir du signal RES fourni par le moyen 5 et à partir des signaux PPSCE et FOUT, d'une façon qui sera décrite ultérieurement en relation avec la figure 2, pour fournir un signal, noté SYB1B2, de commande de ce moyen 2 de  
30 sélection de coefficient.

Le moyen 5 de détection d'accrochage comporte des moyens 50 d'échantillonnage du signal ECPD par le signal FOUT et de mémorisation d'un certain nombre, égal ici à trois mais qui pourrait être supérieur à cette valeur, d'échantillons consécutifs ainsi obtenus.

35 Ces moyens 50 comportent en l'occurrence trois bascules du type

D, 51, 52, 53 dont l'entrée d'horloge, référencée C, reçoit le signal FOUT, l'entrée "D" de la bascule 51 recevant le signal ECPD, l'entrée "D" de la bascule 52 le signal D0 fourni par la sortie "Q" de la bascule 51, et l'entrée D de la bascule 53 le signal D1 fourni par la  
5 sortie Q de la bascule 52, le signal fourni par la sortie Q de la bascule 53 étant en outre référencé D2.

Le moyen 5 de détection d'accrochage comporte également un circuit 54 de détection de valeurs non identiques de deux des échantillons mémorisés dans les moyens 50.

10 Ce circuit 54 comporte en l'occurrence une porte "OU" 55 dont une première entrée reçoit le signal de sortie d'une porte ET 56 recevant les signaux D0, D1 et D2 inversés, notés  $\overline{D_0}$ ,  $\overline{D_1}$ ,  $\overline{D_2}$ , et dont une deuxième entrée reçoit le signal de sortie d'une porte ET 57 recevant les signaux D0, D1 et D2.

15 Le signal de sortie de la porte OU 55 constitue le signal RES de sortie des moyens de détection d'accrochage.

L'invention utilise en effet la propriété qu'a le signal ECPD de sortie d'un détecteur de phase dit à commande par les transitions des signaux qui lui sont appliqués de conduire à l'obtention de deux  
20 tels échantillons de niveaux opposés, entourant un instant d'accrochage dit idéal, non accessible en pratique du fait que la boucle procède par incréments ou décréments de fréquence, c'est-à-dire par variation, de façon discontinue, et non de façon continue, de cette fréquence.

25 L'instant d'accrochage ainsi détecté par les moyens 50 est alors obtenu lorsque, parmi les trois échantillons ainsi mémorisés, deux d'entre eux ont pour la première fois, des niveaux opposés.

En pratique, le signal ECPD vérifiant une telle propriété relativement fréquemment une fois l'accrochage réalisé, et  
30 relativement peu fréquemment avant que cet accrochage ne soit réalisé, le signal RES n'est pas exploité tel quel par les moyens 2 de sélection de coefficient de la figure 1, mais après traitement, de la façon maintenant décrite.

Un signal, référencé INHSY, est tout d'abord fabriqué au moyen  
35 d'une bascule "D" 61 qui reçoit sur son entrée D un niveau logique "1"

et sur son entrée d'horloge un signal, noté  $\overline{\text{RES}}$ , obtenu par inversion du signal RES au moyen d'un inverseur 58.

La bascule 61 reçoit en outre sur son entrée de remise à zéro, notée RD, un signal, noté CPSCE, élaboré de la façon suivante.

5 Ce signal CPSCE est obtenu en sortie d'une porte OU 62 munie de trois entrées connectées respectivement à la sortie Q de trois bascules 63, 64, 65 connectées en cascade, c'est-à-dire avec la sortie Q de la première d'entre elles, 63, connectée à l'entrée D de la deuxième d'entre elles, 64, et la sortie Q de cette deuxième bascule  
10 connectée à l'entrée D de la troisième bascule, 63.

L'entrée D de la première bascule 63 reçoit en outre le signal PPSCE inversé, noté  $\overline{\text{PPSCE}}$ , et l'entrée d'horloge de ces trois bascules reçoit un signal QFOUT de fréquence égale au quart de la fréquence du signal FOUT.

15 Le signal INHSY permet ainsi de ne prendre en compte, à titre de premier basculement du signal RES, correspondant à l'accrochage, que celui des basculements de ce signal qui intervient pour la première fois au bout d'une certaine durée après une détection de début de présence de signal d'entrée, cette durée correspondant en l'occurrence  
20 à quatre périodes du signal FOUT.

Le signal SYB1B2 de commande de sélection de coefficient est obtenu en sortie d'une porte OU 66 munie de deux entrées qui reçoivent respectivement le signal CPSCE, et le signal fourni par la sortie Q d'une bascule "D" 67 dont l'entrée "D" reçoit un niveau logique "1",  
25 dont l'entrée d'horloge reçoit le signal INHSY, et dont l'entrée de remise à zéro reçoit le signal CPSCE.

Ainsi lorsque l'on se situe entre une détection de début de présence de signal d'entrée et une détection d'accrochage, le signal SYB1B2 a un premier niveau logique conduisant à la sélection d'une  
30 première valeur de coefficient, correspondant à une plage de comptage relativement faible afin de réduire la durée d'accrochage, et lorsque l'on se situe après une détection d'accrochage, ou en l'absence de signal d'entrée FIN, le signal SYB1B2 a un second niveau logique conduisant à la sélection d'une deuxième valeur de coefficient,  
35 correspondant à une plage de comptage relativement forte afin de

- 7 -

filtrer efficacement les variations de phase du signal d'entrée FIN.

La figure 4 représente un chronogramme destiné à illustrer ce mode de sélection de coefficient. Sur la première ligne de ce chronogramme on a représenté le signal PPSCE dont le passage du niveau  
5 logique 0 au niveau logique 1 indique une détection de début de présence de signal d'entrée.

A la deuxième ligne de ce chronogramme est représenté le signal FOUT.

A la troisième ligne de ce chronogramme est représenté le signal  
10 CPSCE qui prend un niveau logique "1" à la première transition du signal FOUT intervenant après la transition du signal PPSCE, et qui conserve dans cet exemple ce niveau logique "1" pendant quatre périodes consécutives du signal FOUT.

A la quatrième ligne de ce chronogramme est représenté le signal  
15 RES qui présente une transition descendante correspondant à un accrochage de la boucle à verrouillage de phase. Cette transition descendante est en pratique suivie d'une transition montante, comme illustré sur ce chronogramme.

A la cinquième ligne de ce chronogramme est illustré le signal  
20 INHSY qui passe du niveau logique "0" au niveau logique "1" à cette transition descendante du signal RES et qui conserve ensuite ce niveau logique "1" tant que le signal CPSCE conserve le niveau logique "0".

A la dernière ligne de ce chronogramme est représenté le signal  
25 SYB1B2 de commande de sélection de coefficients, qui vérifie la table de vérité suivante :

CPSCE	INHSY	SYB1B2
1	0	1
0	0	0
0	1	1

35 Les moyens 3 de détection de début de présence de signal d'entrée procèdent essentiellement par division par "n" du rythme du

- 8 -

signal incident SYCE, de façon à compter "n" cellules incidentes successives, et par prise en compte du résultat de ce comptage à un rythme dérivé en l'occurrence du signal sortant FOUT, et obtenu par division par la même valeur "n" du rythme de ce signal FOUT.

5 Dans l'exemple illustré sur la figure 3, le nombre "n" a été choisi égal à 4. Ces moyens de détection comportent ainsi un compteur par "n", 30, formé de deux bascules 31 et 32 mises en cascade, c'est-à-dire avec la sortie Q de la première bascule 31 reliée à l'entrée d'horloge de la deuxième bascule 32. L'entrée d'horloge de la  
10 bascule 31 reçoit en outre le signal de rythme incident SYCE et le signal de sortie de la bascule 32 est noté QFEN. Ces deux bascules 31 et 32 sont remises à zéro respectivement par un signal RTDFN et par un signal RTQFN élaborés par un générateur 33 de signaux d'horloge dérivés du signal FOUT.

15 Le signal QFEN issu du compteur 30 est appliqué à l'entrée d'horloge d'une bascule du type "D" 34 dont l'entrée D est mise au niveau logique "1".

La sortie Q de la bascule 34 est reliée à l'entrée D d'une bascule 35 dont l'entrée d'horloge reçoit un signal RTQFN délivré par  
20 le générateur 33. La sortie Q de la bascule 35 fournit le signal PPSCE d'indication d'un début de présence du signal d'entrée.

La bascule 34 reçoit également sur son entrée de remise à zéro le signal RTQFN fourni par le générateur 33.

Le générateur 33 comporte dans cet exemple un diviseur de  
25 fréquence par quatre, comportant deux bascules 36 et 37 montées en cascade de façon analogue aux bascules 31 et 32. La bascule 36 reçoit en outre sur son entrée d'horloge le signal FOUT et fournit sur sa sortie Q un signal noté DFOUT, et la bascule 37 fournit sur sa sortie Q un signal noté QFOUT.

30 Le générateur 33 comporte en outre une porte ET 38 qui reçoit le signal DFOUT et le signal FOUT inversé, noté  $\overline{\text{FOUT}}$ , et qui fournit le signal RTDFN.

Le générateur 33 comporte également une porte ET 39 qui reçoit le signal QFOUT et le signal DFOUT inversé, noté  $\overline{\text{DFOUT}}$ , et qui fournit  
35 le signal RTQFN.

## REVENDEICATIONS

- 1/ Procédé de commande de mode de fonctionnement d'une boucle à verrouillage de phase numérique, ladite boucle comportant un compteur dit de commande d'incrémentation ou de décrémentation de la fréquence d'un signal d'horloge numérique interne à cette boucle, caractérisé en ce que, le signal d'entrée de ladite boucle étant présent par intermittence, avec un état de phase quelconque d'une présence à l'autre, ce procédé de commande comporte, dans l'ordre, les étapes suivantes :
- 10 - détection d'un début de présence dudit signal d'entrée,
    - sélection d'une plage de comptage dudit compteur ayant une valeur relativement faible en vue de permettre un accrochage relativement rapide de ladite boucle,
    - détection d'accrochage de ladite boucle,
  - 15 - sélection d'une plage de comptage dudit compteur ayant une valeur relativement forte, en vue de filtrer relativement fortement les éventuelles variations de phase dudit signal d'entrée se produisant au cours de ladite présence, ce dernier réglage étant conservé jusqu'à la prochaine détection d'un début de présence du signal d'entrée.
  - 20 2/ Dispositif pour la mise en oeuvre du procédé suivant la revendication 1, caractérisé en ce que, ladite boucle à verrouillage de phase (1) comportant un détecteur d'écart de phase entre ledit signal entrant et ledit signal sortant, et le signal de sortie de ce détecteur d'écart de phase présentant des transitions d'un premier
  - 25 type en coïncidence avec les transitions d'un type donné du signal sortant, et des transitions d'un second type en coïncidence avec les transitions d'un type donné du signal entrant, ce dispositif comporte, pour réaliser ladite détection d'accrochage, des moyens (5) de détection d'accrochage comportant eux-mêmes des moyens pour réaliser
  - 30 un échantillonnage du signal de sortie du détecteur de phase, par celles des transitions du signal sortant qui sont de type opposé audit type donné, des moyens (50) pour mémoriser des groupes d'échantillons consécutifs, en nombre au moins égal à 3, et des moyens (54) de détection de l'instant où, pour la première fois, deux au moins
  - 35 desdits échantillons n'ont pas le même niveau logique.

3/ Dispositif pour la mise en oeuvre du procédé suivant la revendication 1, caractérisé en ce qu'il comporte, pour réaliser ladite sélection de plage de comptage, un générateur de signal binaire (SYB1B2) comportant :

- 5 - une bascule (67) du type "D" dont l'entrée D est mise au niveau logique "1", dont l'entrée d'horloge reçoit un signal issu de moyens de détection d'accrochage (5), et dont l'entrée de remise à zéro reçoit un signal issu, à travers des moyens de temporisation (61), de moyens (3) de détection de début de présence du signal entrant,
- 10 - une porte logique (66) du type "OU" qui reçoit d'une part le signal fourni par la sortie Q de ladite bascule, d'autre part le signal appliqué à l'entrée de remise à zéro de ladite bascule, et qui fournit ledit signal binaire (SYB1B2).

15

20

25

30

35

1/4

FIG. 1

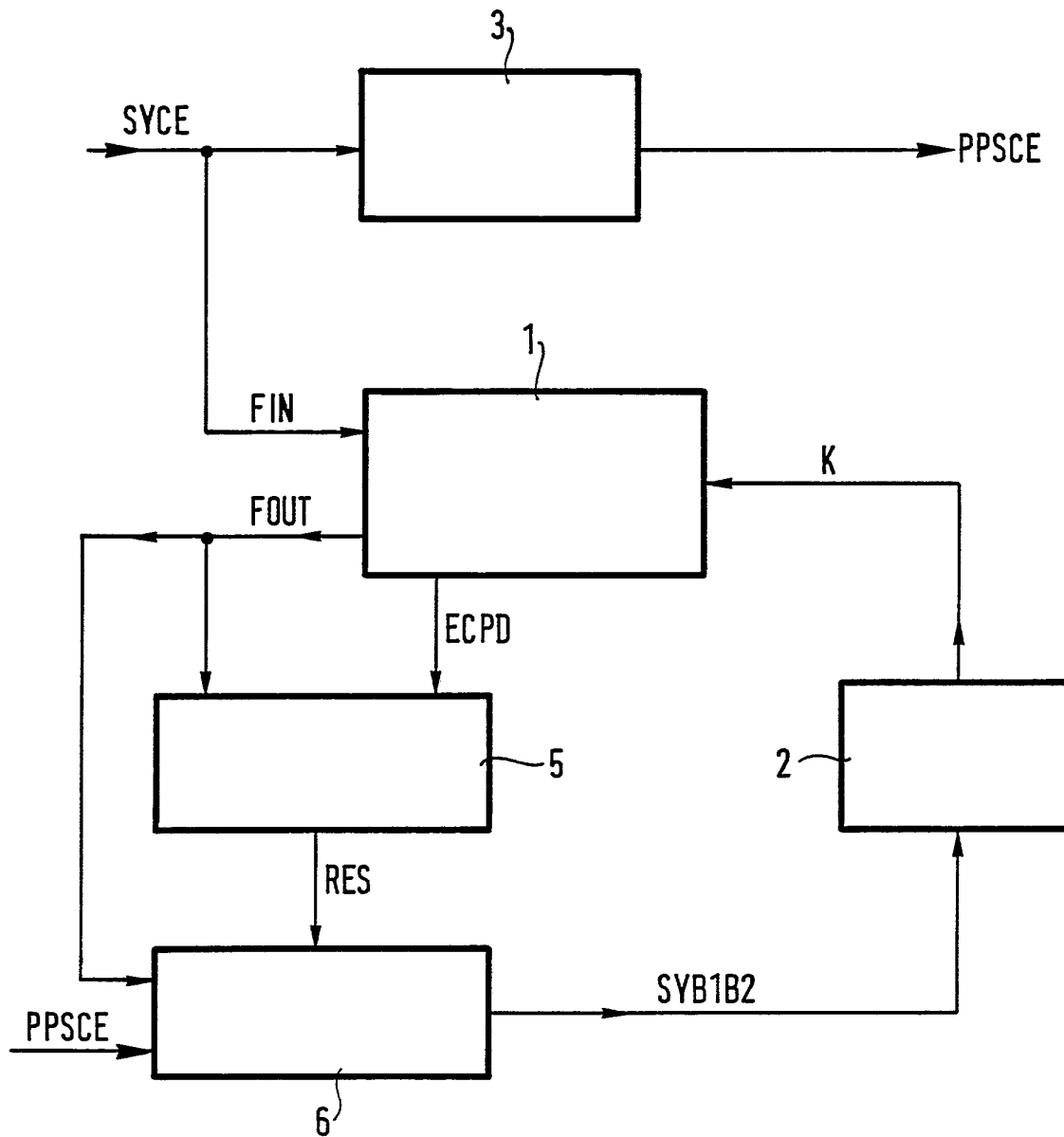


FIG. 2

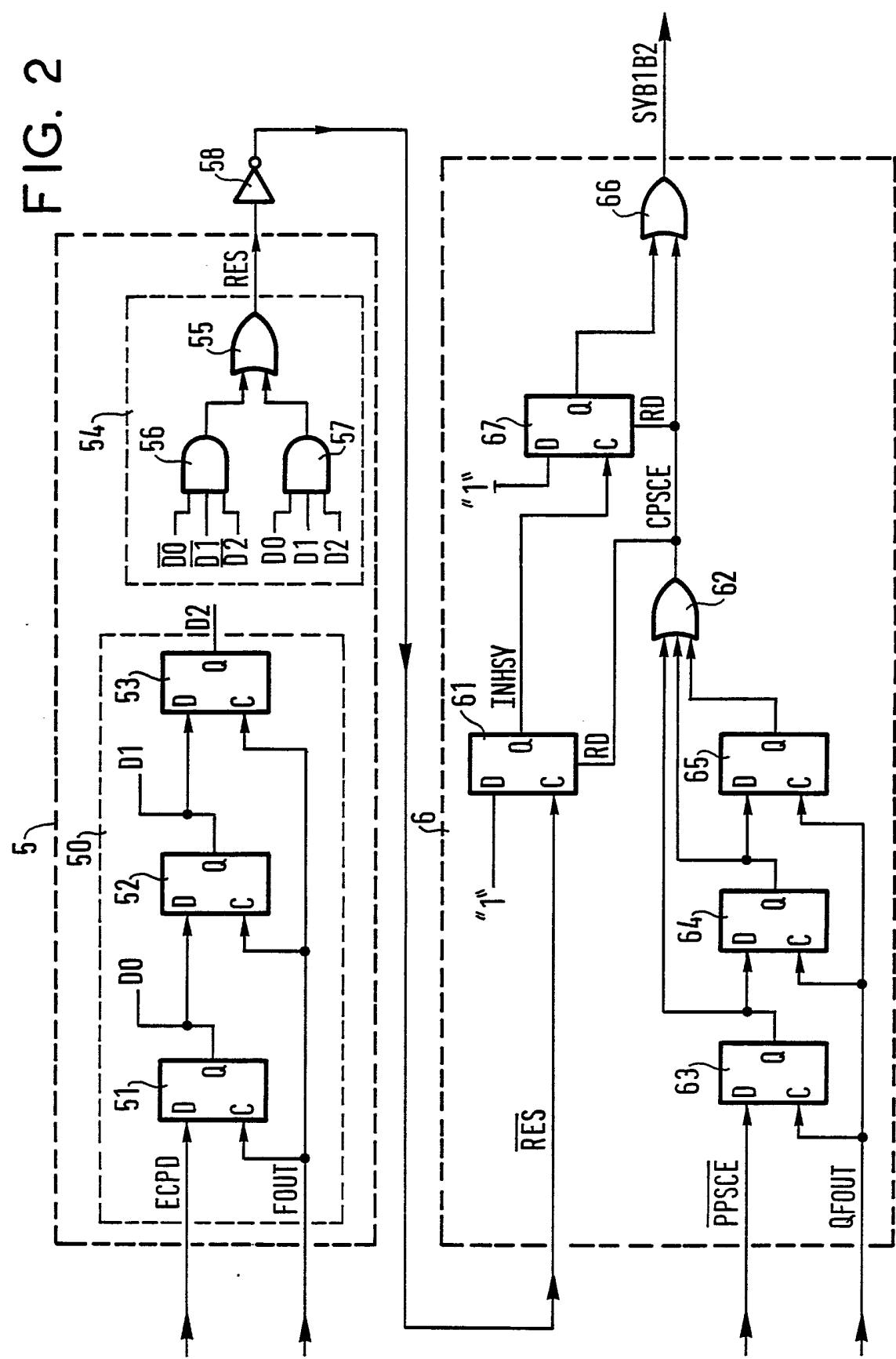


FIG. 3

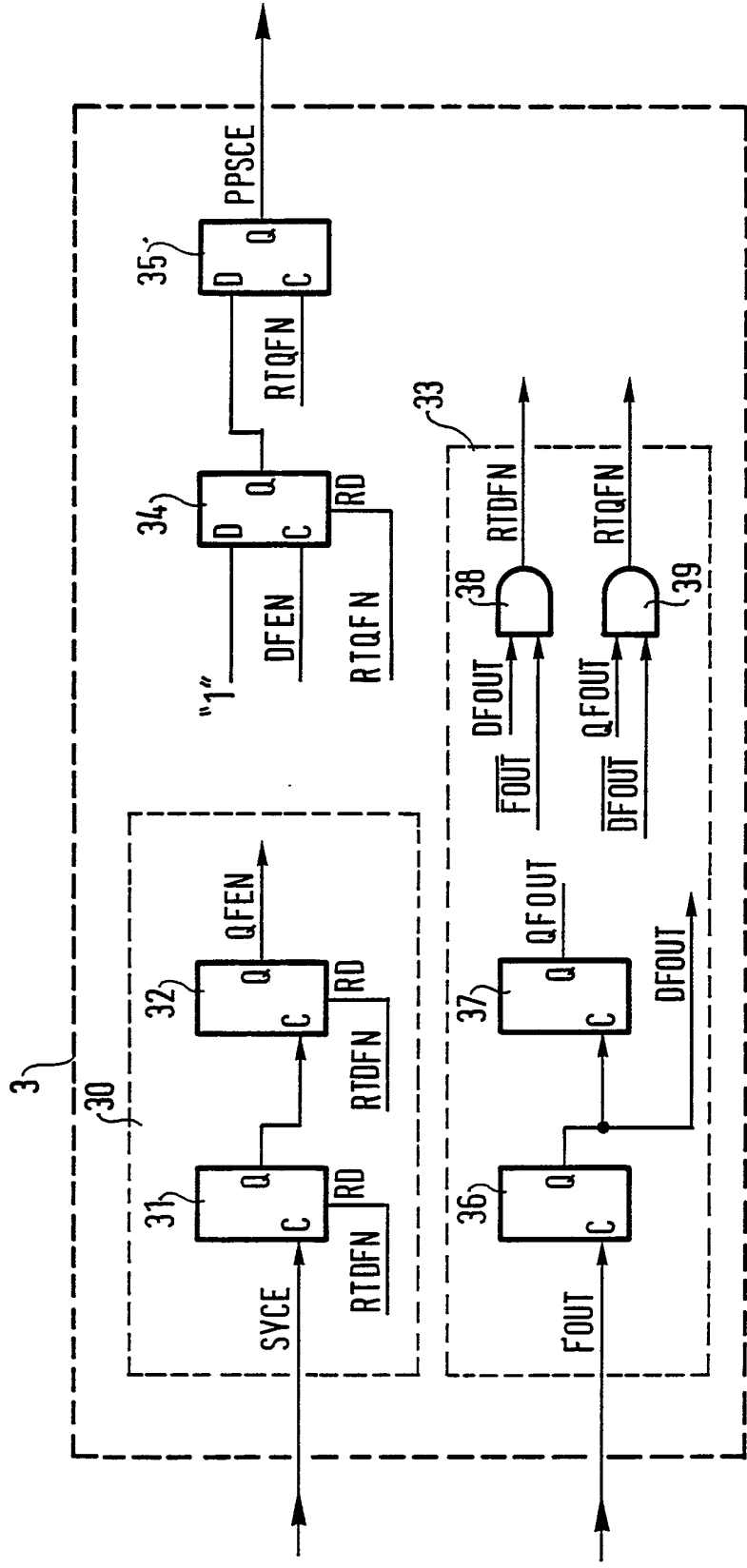
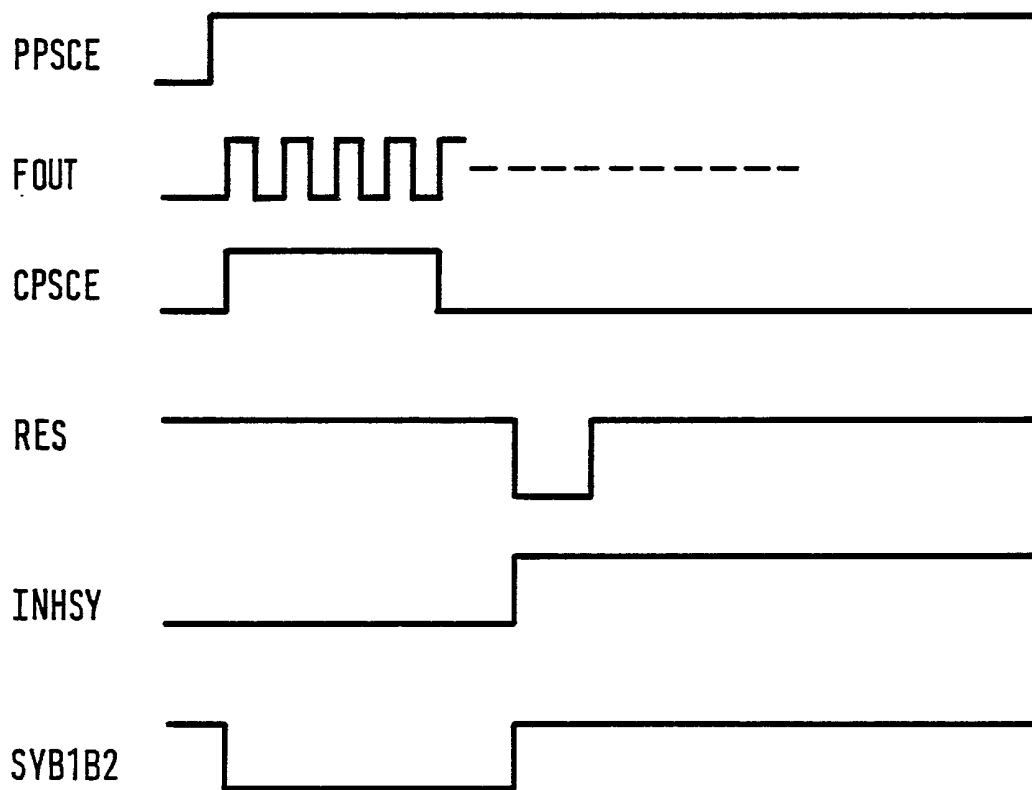


FIG. 4



INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FR 9112265  
FA 465614

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	ELECTRONIC COMPONENTS AND APPLICATIONS vol. 9, no. 2, 31 Décembre 1989, EINDHOVEN, NL pages 66 - 89; W. ROSINK: 'ALL-DIGITAL PHASE-LOCKED LOOPS USING THE 74HC/HCT297' * page 67, colonne 2, ligne 23 - ligne 34 * * page 70, colonne 1, ligne 1 - colonne 2, ligne 12 * * page 74, colonne 2, ligne 5 - ligne 9; figure 3 *	1
A	--- US-A-3 989 931 (D. E. PHILLIPS) * colonne 4, ligne 18 - ligne 44; revendication 11; figure 1 *	1,2
A	--- US-A-4 316 152 (G. L. MEYER) * colonne 2, ligne 37 - ligne 42 * * colonne 3, ligne 14 - ligne 36; figures 1,2 *	1,2
A	--- US-A-4 587 496 (D. H. WOLAVER) * colonne 4, ligne 8 - ligne 48; figure 5 *	1,2
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		H03L H04L
Date d'achèvement de la recherche		Examineur
04 JUIN 1992		BUTLER N. A.
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul                      Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie                      A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général                      O : divulgation non-écrite                      P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention                      E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.                      D : cité dans la demande                      L : cité pour d'autres raisons                      .....                      &amp; : membre de la même famille, document correspondant</p>		