



(12) 发明专利

(10) 授权公告号 CN 102185101 B

(45) 授权公告日 2014. 11. 26

(21) 申请号 201110005533. 5

(22) 申请日 2011. 01. 12

(30) 优先权数据

2010-009457 2010. 01. 19 JP

(73) 专利权人 索尼公司

地址 日本东京

(72) 发明人 保田周一郎 荒谷胜久 大场和博
清宏彰

(74) 专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290

代理人 陈桂香 武玉琴

(51) Int. Cl.

H01L 45/00 (2006. 01)

H01L 27/24 (2006. 01)

(56) 对比文件

CN 1989619 A, 2007. 06. 27,

CN 1989619 A, 2007. 06. 27,

TW 200915561 A, 2009. 04. 01,

CN 1697195 A, 2005. 11. 16,

US 2009/0231911 A1, 2009. 09. 17,

审查员 陈冠源

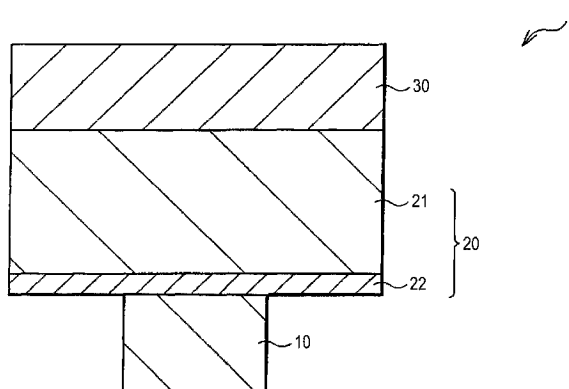
权利要求书2页 说明书15页 附图11页

(54) 发明名称

存储元件和存储装置

(57) 摘要

本发明公开了存储元件和存储装置。所述存储元件包括依次设置的第一电极、存储层和第二电极。其中,所述存储层包括:高电阻层,所述高电阻层的阴离子成分内含有碲(Te)作为主要成分,并且所述高电阻层形成在所述第一电极侧;以及离子源层,所述离子源层含有至少一种金属元素且含有由碲(Te)、硫(S)和硒(Se)组成的组中的至少一种硫族元素,并且所述离子源层形成在所述第二电极侧。所述存储装置包括多个上述存储元件且包括用于选择性地向所述多个存储元件施加电压脉冲或电流脉冲的脉冲施加部。本发明的存储元件及存储装置能够改善擦除特性和写入保持特性,并且对于多次写入/擦除操作能够减小擦除状态中的电阻值间的差异。



1. 一种存储元件,其包括第一电极、第二电极和所述第一电极与所述第二电极之间的存储层,

其中,所述存储层包括:

(a) 在所述存储层的第一电极侧上的电阻变化层,所述电阻变化层由多层构成,所述多层中的至少一层的阴离子成分内含有碲作为主要成分;以及(b) 在所述存储层的第二电极侧上的离子源层,所述离子源层含有至少一种金属元素且含有选自碲、硫和硒组成的组中的至少一种硫族元素,

所述存储元件构造为所述离子源层中被离子化的金属元素扩散进入所述电阻变化层内,从而将所述电阻变化层的电阻从高电阻状态变为低电阻状态,且

所述电阻变化层的所述多层中的第一层以 Al-Te 化合物、Mg-Te 化合物或 Zn-Te 化合物作为主要成分,所述电阻变化层的所述多层中的第二层以氧或氮作为主要成分。

2. 根据权利要求 1 所述的存储元件,其中,所述多层中的所述第一层形成在所述第一电极侧,并且所述多层中的所述第二层形成在所述离子源层侧。

3. 根据权利要求 1 所述的存储元件,其中所述多层中的所述第一层形成在所述离子源层侧,并且所述多层中的所述第二层形成在所述第一电极侧。

4. 根据权利要求 1 所述的存储元件,其中,当通过所述第一电极和所述第二电极向所述电阻变化层施加预定的电压脉冲或电流脉冲时,所述电阻变化层呈现出比所述离子源层的电阻值高的电阻值。

5. 根据权利要求 1 所述的存储元件,其中,所述离子源层中的所述至少一种金属元素包括铝。

6. 根据权利要求 1 所述的存储元件,其中,由于向所述第一电极和所述第二电极施加电压而使被离子化的金属元素从所述离子源层扩散到所述电阻变化层时,在所述电阻变化层内形成传导路径,从而将所述电阻变化层的电阻从所述高电阻状态变为所述低电阻状态。

7. 根据权利要求 1 所述的存储元件,其中,所述电阻变化层的所述多层为两层。

8. 根据权利要求 7 所述的存储元件,其中,所述两层中的第一层的阴离子成分内含有碲作为主要成分,并且与所述第一电极接触,且

所述两层中的第二层与所述离子源层接触。

9. 根据权利要求 1 所述的存储元件,其中,所述电阻变化层的所述多层为多于两层。

10. 根据权利要求 1 所述的存储元件,其中,所述电阻变化层的电阻值为所述多层中的各层的电阻值之和。

11. 根据权利要求 1 所述的存储元件,其中,所述多层中阴离子成分内含有碲作为主要成分的一层与所述第一电极接触。

12. 根据权利要求 1 所述的存储元件,其中,所述离子源层中的所述至少一种金属元素包括铜。

13. 根据权利要求 1 所述的存储元件,其中,所述离子源层中的所述至少一种金属元素包括铝和铜。

14. 一种存储装置,其包括多个存储元件且包括脉冲施加部,各所述存储元件具有第一电极、第二电极和所述第一电极与所述第二电极之间的存储层,所述脉冲施加部用于选择

性地向所述多个存储元件施加电压脉冲或电流脉冲,

其中, (i) 各所述存储元件中的所述存储层包括: (a) 在所述存储层的第一电极侧上的电阻变化层, 所述电阻变化层由多层构成, 所述多层中的至少一层的阴离子成分内含有碲作为主要成分; 以及 (b) 在所述存储层的第二电极侧上的离子源层, 所述离子源层含有至少一种金属元素且含有选自自由碲、硫和硒组成的组中的至少一种硫族元素,

(ii) 各所述存储元件构造为所述离子源层中被离子化的金属元素扩散进入所述电阻变化层内, 从而将所述电阻变化层的电阻从高电阻状态变为低电阻状态, 且

(iii) 在各所述存储元件中, 所述电阻变化层的所述多层中的第一层以 Al-Te 化合物、Mg-Te 化合物或 Zn-Te 化合物作为主要成分, 所述电阻变化层的所述多层中的第二层以氧或氮作为主要成分。

存储元件和存储装置

[0001] 相关申请的交叉参考

[0002] 本申请包含与 2010 年 1 月 19 日向日本专利局提交的日本优先权专利申请 JP 2010-009457 所公开的内容相关的主题,在此将该项日本优先权专利申请的全部内容以引用的方式并入本文中。

技术领域

[0003] 本发明涉及存储元件和存储装置,它们根据存储层的电特性的变化来存储信息,所述存储层包括离子源层和高电阻层。

背景技术

[0004] 目前普遍采用 NOR 型或 NAND 型闪存作为用于数据存储的半导体非易失性存储器。然而,根据这些半导体非易失性存储器,写入操作和擦除操作需要大的电压,并且被注入至浮置栅极的电子的数量有限,从而导致了存储器的小型化受到局限。

[0005] 近来,例如电阻式随机存取存储器 (Resistance Random Access Memory, ReRAM) 或可编程金属化单元 (Programmable Metallization Cell, PMC) 等电阻变化型存储器已经作为能够克服小型化局限的下一代非易失性存储器而被提了出来 (例如, Nature Material 1614, 第 312 页, 2006 年; US 5761115, 1998 年 6 月 2 日, Axon; 以及 Sawa Materials today 11, 28, 2008 年)。这些存储器具有这样的简单结构: 在两个电极之间设有电阻变化层。此外, 根据日本专利文件 JP-A-2006-196537 所公开的存储器, 在第一电极与第二电极之间设有离子源层和氧化物膜 (存储用薄膜) 以替代电阻变化层。在上述这些电阻变化型存储器中, 所考虑到的是: 原子或离子根据热或电场而发生移动, 由此形成了传导路径从而使电阻值发生变化。

[0006] 然而, 为了通过前期的半导体加工来实现电阻变化型非易失性存储器的大容量化, 需要低电压和低电流操作。这是因为随着驱动晶体管的小型化, 它们的驱动电流和电压变低了。也就是说, 为了实现小型化的电阻变化型非易失性存储器, 存储器必须具有能够被小型化的晶体管驱动的功能。另外, 为了实现低电流操作, 还必须保持在低电流和高速度 (纳秒级的短脉冲) 下被重新写入的电阻状态 (数据)。

[0007] 作为相关技术中的这种存储器, 例如已有具有“下部电极 / GdO_x / CuZrTeAlGe / 上部电极”结构的存储器。在具有这种结构的存储器中, 在重写电流值等于或大于 $100 \mu\text{A}$ 的情况下, 数据写入 / 擦除操作中的操作速度和数据保持特性是良好的。然而, 该存储器存在的问题是: 如果重写电流值被设为等于或小于 $100 \mu\text{A}$ 的低电流, 则数据保持特性劣化。此外, 由于擦除操作中的特性不足, 因而在擦除数据时就需要高电压。另外, 由于对于多次写入 / 擦除操作而言, 擦除状态中的电阻值趋于朝着较低值而变化, 因而使写入电阻与擦除电阻的电阻分离宽度变得不够。

发明内容

[0008] 基于以上原因,本发明的目的是期望提供能够提高在低电流下所写入的数据的保持特性并且能够降低在擦除操作时所需的电压的存储元件和存储装置。本发明的另一目的是期望提供对于多次写入/擦除操作而言能够减小擦除状态中的电阻值间差异的存储元件和存储装置。

[0009] 本发明一实施方式提供了一种存储元件,其包括依次设置的第一电极、存储层和第二电极。其中,所述存储层包括:高电阻层,所述高电阻层的阴离子成分内含有碲(Te)作为主要成分,并且所述高电阻层形成在所述第一电极侧;以及离子源层,所述离子源层含有至少一种金属元素且含有由碲(Te)、硫(S)和硒(Se)组成的组中的至少一种硫族元素,并且所述离子源层形成在所述第二电极侧。

[0010] 本发明另一实施方式提供了一种存储装置,其包括多个存储元件且包括脉冲施加部,各个所述存储元件具有依次设置的第一电极、存储层和第二电极,所述脉冲施加部用于选择性地向所述多个存储元件施加电压脉冲或电流脉冲。这里,上述本发明一实施方式的存储元件被用作本实施方式中的存储元件。

[0011] 本发明又一实施方式提供了一种存储元件,其包括依次设置的第一电极、存储层和第二电极。其中,所述存储层包括:高电阻层,所述高电阻层形成在所述第一电极侧并且包括多个层,所述多个层中的至少一层的阴离子成分内含有碲(Te)作为主要成分;以及离子源层,所述离子源层含有至少一种金属元素且含有由碲(Te)、硫(S)和硒(Se)组成的组中的至少一种硫族元素,并且所述离子源层形成在所述第二电极侧。

[0012] 本发明再一实施方式提供了一种存储装置,其包括多个存储元件且包括脉冲施加部,各个所述存储元件具有依次设置的第一电极、存储层和第二电极,所述脉冲施加部用于选择性地向所述多个存储元件施加电压脉冲或电流脉冲。这里上述本发明又一实施方式的存储元件被用作本实施方式中的存储元件。

[0013] 在本发明实施方式的存储元件(存储装置)中,如果在初始状态(高电阻状态)下向所述存储元件施加“正向”(例如,第一电极侧为负电位而第二电极侧为正电位)电压脉冲或电流脉冲,则离子源层中所包含的金属元素被离子化并扩散进入高电阻层内,并且所扩散过来的金属元素与第一电极上的电子结合而被析出或者存留在高电阻层内从而形成杂质能级。因此,在所述存储层内形成了含有该金属元素的传导路径,并且所述高电阻层的电阻降低(写入状态)。如果在这种低电阻状态下向所述存储元件施加“负向”(例如,所述第一电极侧为正电位而所述第二电极侧为负电位)电压脉冲,则析出在所述第一电极上的金属元素被离子化并且溶解至所述离子源层内。因此,含有金属元素的所述传导路径消失,并且所述高电阻层的电阻升高(初始状态或擦除状态)。

[0014] 这里,由于高电阻层所包括的某一层的阴离子成分中含有碲(Te)作为主要成分,因而已经扩散进入该高电阻层中的金属元素在该高电阻层的低电阻状态时被稳定化从而有利于在所述低电阻状态中进行保持。另一方面,由于相比于氧化物或硅化合物与金属元素的结合力而言碲(Te)与金属元素的结合力较弱,因而已经扩散至高电阻层内的金属元素易于移动至离子源层,因此改善了擦除特性。

[0015] 根据本发明实施方式的存储元件或存储装置,由于存储层中的高电阻层所含有的某一层的阴离子成分以碲(Te)作为主要成分,因此能够改善在低电阻状态下所写入的数据的保持特性,并且在数据擦除时能够实现低电压操作。另外,对于多次写入/擦除操作而

言能够减小擦除状态中的电阻值间的差异。

附图说明

- [0016] 图 1 是图示了本发明第一实施方式的存储元件的结构截面图。
- [0017] 图 2 是图示了使用图 1 所示存储元件的存储单元阵列的结构截面图。
- [0018] 图 3 是第一实施方式的存储单元阵列的平面图。
- [0019] 图 4 是图示了本发明第二实施方式的存储元件的结构截面图。
- [0020] 图 5A(1) ~ (2)、图 5B(1) ~ (2) 及图 5C 图示了实验 1 的存储元件的擦除特性和数据保持特性。
- [0021] 图 6A(1) ~ (2) 和图 6B(1) ~ (2) 图示了实验 1 中的擦除特性和数据保持特性。
- [0022] 图 7A(1) ~ (2)、图 7B(1) ~ (2) 及图 7C(1) ~ (2) 图示了实验 1 中的擦除特性和数据保持特性。
- [0023] 图 8A 至 8C 图示了实验 2 的存储元件的数据保持特性。
- [0024] 图 9A 至 9C 图示了实验 2 的存储元件的擦除特性。
- [0025] 图 10 是示出了实验 2 的存储元件的电阻率的特性图。
- [0026] 图 11A(1) ~ (2)、图 11B(1) ~ (2)、图 11C(1) ~ (2) 及图 11D(1) ~ (2) 图示了实验 3 的存储元件的擦除特性和数据保持特性。

具体实施方式

- [0027] 下文中,参照附图且按如下顺序对本发明的实施方式进行说明。
- [0028] 第一实施方式
- [0029] (1) 存储元件(具有单层高电阻层的存储元件)
- [0030] (2) 存储装置
- [0031] 第二实施方式
- [0032] (1) 存储元件(具有两层高电阻层的存储元件)
- [0033] 实施例
- [0034] 第一实施方式
- [0035] 存储元件
- [0036] 图 1 是图示了本发明第一实施方式的存储元件 1 的结构截面图。该存储元件 1 包括依次设置的下部电极(第一电极)10、存储层 20 和上部电极(第二电极)30。
- [0037] 例如如稍后所述(图 2),下部电极 10 被形成在已形成有互补型金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)电路的硅基板 41 上,并且作为与上述 CMOS 电路部的连接部。该下部电极 10 由例如 W(钨)、WN(氮化钨)、Cu(铜)、Al(铝)、Mo(钼)、Ta(钽)或硅化物等用于半导体加工的布线材料制成。在下部电极 10 是由例如铜(Cu)等在电场中可能会发生离子传导的材料制成的情况下,在由铜(Cu)等制成的下部电极 10 的表面上可以覆盖有例如 W(钨)、WN(氮化钨)、TiN(氮化钛)或 TaN(氮化钽)等难以实现离子传导或热扩散的材料。此外,在稍后说明的离子源层 21 中包含有 Al(铝)的情况下,优选使用比 Al(铝)更难被离子化的材料,例如:包括由 Cr(铬)、W(钨)、Co(钴)、Si(硅)、Au(金)、Pd(钯)、Mo(钼)、Ir(铱)和 Ti(钛)等组成的组中的至少一种的金属

膜;或者它们的氧化物膜或氮化物膜。

[0038] 存储层 20 由离子源层 21 和高电阻层 22 构成。离子源层 21 含有例如铜 (Cu)、银 (Ag)、锌 (Zn) 等金属元素中的一种或两种以上作为正离子化元素。离子源层 21 还含有碲 (Te)、硫 (S)、硒 (Se) 这些硫族元素中的一种或两种以上作为负离子化离子传导材料,并且该离子源层 21 形成在上部电极 30 侧,这里是指该离子源层 21 被形成得与上部电极 30 相接触。

[0039] 金属元素和硫族元素相互结合从而形成金属硫族化物层。该金属硫族化物层主要具有非晶结构,并且起到了离子供给源的作用。离子源层 21 的电阻低于初始状态或擦除状态下的高电阻层 22 的电阻。

[0040] 由于正离子化金属元素在写入操作时在阴极电极上被还原从而形成金属状态的传导路径(丝极),因而优选这种金属元素是能够在含有硫族元素的离子源层 21 内以金属状态存在的化学稳定性元素。例如,这种金属元素可以是例如 Ti(钛)、Zr(锆)、Hf(铪)、V(钒)、Nb(铌)、Ta(钽)、Cr(铬)、Mo(钼)和 W(钨)等位于周期表中的 4A 族、5A 族和 6A 族内的过渡金属。可以使用这些元素中的一种或两种以上。另外,Al(铝)、Cu(铜)、Ge(锗)或 Si(硅)等可作为离子源层 21 的添加元素。

[0041] 此外,如果离子源层 21 是具有被称为“Te/离子源层(含有金属元素 M)”的层叠结构,且该“Te/离子源层”使用了易于与稍后说明的高电阻层 22 中所包含的碲 (Te) 起反应的金属元素 (M),则在成膜之后通过热处理而易于与碲 (Te) 起反应从而被稳定化为所谓“MTe/离子源层 21”结构的元素可以是铝 (Al) 或镁 (Mg)。

[0042] 如上所述的离子源层 21 的具体材料可以是例如 ZrTeAl、TiTeAl、CrTeAl、WTeAl 或 TaTeAl。此外,例如,作为 ZrTeAl,也可以使用通过将 Cu 加入该 ZrTeAl 而得到的 CuZrTeAl、通过将 Ge 加入 CuZrTeAl 而得到的 CuZrTeAlGe 或者通过将添加元素加入 CuZrTeAlGe 而得到的 CuZrTeAlSiGe。另外,还可以使用通过用 Mg 代替 ZrTeAl 中的 Al 而得到的 ZrTeMg。作为用于离子化的金属元素,即使在选择了例如钛 (Ti) 或钽 (Ta) 等不同的过渡金属元素来代替锆 (Zr) 的情况下,仍可以使用相同的添加元素,例如, TaTeAlGe 等也是可以的。另外,作为离子传导材料,除了可以使用碲 (Te) 以外,还可以使用硫 (S)、硒 (Se) 或碘 (I),并且具体地,可以使用 ZrSAl、ZrSeAl 或 ZeIAl 等。

[0043] 在此情况下,出于为了抑制在高温热处理时存储层 20 中的膜发生脱落的目的,可以向离子源层 21 加入其他元素。例如,硅 (Si) 是一种添加元素,利用该添加元素还可以预期对保持特性有所改善,并且优选将硅 (Si) 与锆 (Zr) 一起加入离子源层 21 中。然而,如果硅 (Si) 的加入量太小,则不能期待防止膜发生脱落的效果,而如果加入量太大,则难以获得良好的存储器操作特性。离子源层 21 中硅 (Si) 的含量优选在大约 10 ~ 45 原子%的范围内。

[0044] 高电阻层 22 位于下部电极 10 侧,这里是指高电阻层 22 被形成得与下部电极 10 相接触。该高电阻层 22 具有用作电传导方面的势垒的功能,并且在向下部电极 10 与上部电极 30 间施加预定电压的情况下,高电阻层 22 呈现出比离子源层 21 的电阻值高的电阻值。在本实施方式中,高电阻层 22 由在阴离子成分中含有碲 (Te) 作为主要成分的化合物构成。这样的化合物可以是例如 AlTe、MgTe 或 ZnTe。作为含有碲 (Te) 的化合物的组分,例如,优选 AlTe 中铝 (Al) 的含量等于或大于 20 原子%且等于或小于 60 原子%,其原因稍后说明。

此外,高电阻层 22 的初始电阻值优选等于或大于 $1\text{M}\Omega$ 。因此,低电阻状态下的电阻值优选为等于或小于几百 $\text{k}\Omega$ (千欧)。为了高速地读取小型化的电阻变化型存储器的电阻状态,优选尽可能地降低低电阻状态下的电阻值。然而,由于在 $20 \sim 50\mu\text{A}$ 以及 2V 的条件下写入的电阻值为 $40\text{k}\Omega$ 至 $100\text{k}\Omega$,所以假定存储器的初始电阻值高于这个值。另外,考虑到一位 (one digit) 的电阻分离宽度,该电阻值被认为是恰当的。

[0045] 虽然上部电极 30 是使用已知的半导体布线材料按照与下部电极 10 相同的方式予以形成,但优选使用即使通过后退火处理也不会与离子源层 21 起反应的稳定材料。

[0046] 在本实施方式的存储元件 1 中,如果通过下部电极 10 和上部电极 30 从电源 (脉冲施加单元) (未图示) 施加电压脉冲或电流脉冲,则存储层 20 的电特性 (电阻值) 就发生变化,并且因此就进行信息的写入、擦除以及读取操作。下面将详细说明上述操作。

[0047] 首先,通过使上部电极 30 处于正电位而下部电极 10 处于负电位,向存储元件 1 施加正向电压。于是,离子源层 21 中所包含的金属元素被离子化并扩散至高电阻层 22 中,并且所扩散过来的金属元素在下部电极 10 侧与电子结合从而被析出。结果,在下部电极 10 与存储层 20 之间的界面上形成了被还原成金属状态的低电阻金属元素的传导路径 (丝极)。另一方面,被离子化的金属元素留在高电阻层 22 的内部从而形成杂质能级。于是,在高电阻层 22 内部形成了传导路径从而降低了存储层 20 的电阻值,因而高电阻层 22 从初始状态的高电阻状态变为低电阻状态。因此,该高电阻层也被称为可变电阻层。

[0048] 然后,即使通过去除上述正向电压而去除施加至存储元件 1 的电压,也能保持上述低电阻状态。因此,信息被写入。在使用仅可写入一次的存储装置 (所谓的可编程只读存储器 (Programmable Read Only Memory, PROM)) 的情况下,仅通过上述写入过程来完成写入。另一方面,虽然在可擦除存储装置,即随机存取存储器 (Random Access Memory, RAM) 或电可擦除可编程只读存储器 (Electrically Erasable and Programmable Read Only Memory, EEPROM) 的应用中擦除过程是必需的,但在该擦除过程中可向存储元件 1 施加负向电压以使得上部电极 30 处于负电位而下部电极 10 处于正电位。因此,已经形成于存储层 20 中的传导路径的金属元素被离子化,溶解至离子源层 21 中或者与碲 (Te) 等结合从而形成例如 Cu_2Te 或 CuTe 等化合物。于是,由金属元素而产生的传导路径消失或减少,因而使电阻值升高。此外,在施加高电压的情况下,离子源层 21 内所存在的例如铝 (Al) 或锗 (Ge) 等添加元素在第一电极上形成氧化物膜或氮化物膜,并且存储层 20 变为更高的电阻状态。

[0049] 随后,即使通过去除上述负向电压而去除施加至存储元件 1 的电压,也能保持该更高的电阻状态。于是,擦除所写入的信息就变成可能。通过重复上述步骤,能够重复进行存储元件 1 中的信息写入以及对所写入的信息的擦除。

[0050] 例如,通过分别使高电阻值状态与信息“0”相对应并且使低电阻值状态与信息“1”相对应,在通过施加正向电压而写入信息的过程中能够将信息从“0”变为“1”,并且在通过施加负向电压而擦除信息的过程中能够将信息从“1”变为“0”。这里,所列举的是使存储元件处于低电阻状态的操作和使存储元件处于高电阻状态的操作分别对应于写入操作和擦除操作。然而,可以将上述对应关系反过来定义。

[0051] 为了解调所写入的数据,优选的是,初始电阻值与写入后的电阻值之比变得比较大。然而,如果高电阻层的电阻值太大,就难以写入,也就是说,难以使存储元件处于低电阻状态,并且写入阈值电压变得过大。因此,将初始电阻值调整为等于或小于 $1\text{G}\Omega$ 。高电阻层

22 的电阻值例如能够通过高电阻层 22 的厚度或该高电阻层中所包含的阴离子的量来予以控制。

[0052] 在本实施方式中,由于高电阻层 22 是由含有碲 (Te) 作为主要成分的化合物形成的,因而从离子源层 21 扩散进来的金属元素在高电阻层 22 的低电阻状态时在高电阻层 22 内被稳定化,于是变得易于保持该低电阻状态。此外,由于碲 (Te) 与金属元素的结合力弱于具有高电负性的氧化物或具有共价键的硅化合物与金属元素的结合力,并且通过施加擦除电压易于使已经扩散进入高电阻层 22 内的金属元素向离子源层 21 移动,因而改善了擦除特性。另外,在硫族化物化合物中,电负性的绝对值按碲<硒<硫<氧的顺序而升高,当高电阻层 22 中的氧含量变小或当使用具有低电负性的硫族化物时,可提高上述改善效果。

[0053] 另外,在本实施方式中,如上所述,离子源层 21 优选含有锆 (Zr)、铝 (Al)、锗 (Ge) 等。下面将会说明原因。

[0054] 在离子源层 21 中含有锆 (Zr) 的情况下,锆 (Zr) 与例如铜 (Cu) 等金属元素一起起到离子化元素的作用,并且形成了其中混合有锆 (Zr) 和上述的例如铜 (Cu) 等金属元素的传导路径。可以认为:在写入操作时锆 (Zr) 在阴极电极上被还原,并且在写入操作以后在低电阻状态下以金属状态形成丝极 (filament)。该金属丝极 (其中锆 (Zr) 被还原) 相对较难溶解到含有例如硫 (S)、硒 (Se) 和碲 (Te) 等硫族元素的离子源层 21 中,并且在一次写入状态 (即,在低电阻状态) 下,相比于上述由例如铜 (Cu) 等单一金属元素构成的传导路径而言易于保持该低电阻状态。例如,通过写入操作使铜 (Cu) 形成为金属丝极。然而,处于金属状态的铜 (Cu) 易于溶解在含有硫族元素的离子源层 21 中,使得在没有施加写入电压脉冲的状态 (数据保持状态) 下该铜 (Cu) 再次被离子化并被转变为高电阻状态。因此,无法获得足够的数据保持性能。另一方面,由于锆 (Zr) 与适量铜 (Cu) 的混合促进了非晶化并且均匀地保持了离子源层 21 的微细结构,从而有助于电阻值保持性能的提高。

[0055] 此外,在擦除操作时对高电阻状态进行保持的方面,在离子源层 21 中含有锆 (Zr) 的情况下,例如,形成了由锆 (Zr) 构成的传导路径,并且在锆 (Zr) 被再次溶解为离子源层 21 中的离子的情况下,由于锆 (Zr) 的离子迁移率比铜 (Cu) 的离子迁移率低,这样即便温度升高或长时间按原样放置着,锆 (Zr) 也难以移动。因此,在阴极电极上很难出现呈金属状态的析出,并且即使在维持高温状态 (即,高于室温的状态) 或长时间维持该状态的情况下,也能保持高电阻状态。

[0056] 另外,在离子源层 21 中含有铝 (Al) 的情况下,如果通过擦除操作将上部电极偏置成负电位,则在表现得类似于固体电解质的离子源层 21 与阳极电极之间的界面上形成稳定的氧化物膜,以使高电阻状态 (擦除状态) 稳定化。另外,从高电阻层的自身再生的角度看,还有助于增加重复次数。在此种情况下,除了可以包含铝 (Al) 之外,也可以包含发挥相同作用的锗 (Ge) 等。

[0057] 如上所述,在离子源层 21 含有锆 (Zr)、铝 (Al) 和锗 (Ge) 等的情况下,宽范围电阻值保持性能以及高速写入 / 擦除操作性能相比于相关技术中的存储元件而言都有所改善,并且还增加了重复的次数。另外,例如,如果当电阻状态从低电阻状态变为高电阻状态时,通过调节擦除电压来形成位于高电阻状态与低电阻状态之间的中间状态,该状态能够被稳定地保持。于是,除了二值存储之外还能够实现多值存储。在此情况下,当电阻状态从高电阻状态变为低电阻状态时通过写入电流的变化来调节被析出的原子的数量,由此也能产生

中间状态。

[0058] 然而,随着锆 (Zr)、铜 (Cu)、铝 (Al) 和锗 (Ge) 的添加量的不同,存储操作的重要特性 (例如施加这种电压的写入 / 擦除操作特性、电阻值保持特性以及重复操作次数等) 可能会有所不同。

[0059] 例如,如果锆 (Zr) 的含量太高,离子源层 21 的电阻值就会过度下降,从而可能无法向离子源层 21 施加有效电压或难以将锆 (Zr) 溶解至硫族化物层中。因此,尤其是擦除会变得很困难,并且擦除阈值电压会随着锆 (Zr) 的添加量而升高。如果擦除阈值电压太高,就变得难以写入,也就是说难以进入低电阻状态。另一方面,如果锆 (Zr) 的添加量太小,会减弱上述的宽范围电阻值保持特性的改善效果。因此,离子源层 21 中的锆 (Zr) 含量优选为 7.5 原子%以上,且更加优选为 26 原子%以下。

[0060] 另外,在向离子源层 21 中添加适量的铜 (Cu) 的情况下,促进了非晶化,然而在铜 (Cu) 量过多的情况下,金属状态的铜 (Cu) 在含有硫族元素的离子源层 21 中的稳定性不足,因此写入保持特性变劣或者会对高速写入操作产生不利影响。另一方面,锆 (Zr) 与铜 (Cu) 的混合使非晶形成过程更加容易,因此均匀地保持了离子源层 21 的微细结构。于是,因为防止了由于重复操作而导致离子源层 21 中的材料成分的不均匀性,所以增加了重复次数并且改善了保持特性。在上述范围内含有足量的锆 (Zr) 的情况下,即使由铜 (Cu) 形成的传导路径再次溶解于离子源层 21 中,也可认为由金属锆 (Zr) 形成的传导路径依然留存,因此不会对写入保持特性产生影响。另外,维持着分解且离子化状态下的阳离子电荷量与阴离子电荷量的当量关系就足够了,并且根据所需要的铜 (Cu) 添加量,让各离子的电荷的当量比处于下面的范围内。

[0061] $\{(\text{Zr 的最大离子化合价} \times \text{摩尔数或原子\%}) + (\text{Cu 的离子化合价} \times \text{摩尔数或原子\%})\} / (\text{硫族元素的离子化合价} \times \text{摩尔数或原子\%}) = 0.5 \sim 1.5$

[0062] 然而,存储元件 1 的特性取决于锆 (Zr) 与碲 (Te) 的组分比。因此,锆 (Zr) 与碲 (Te) 的组成比优选在下面的范围内。

[0063] $\text{Zr 的组分比 (原子\%)} / \text{Te 的组分比 (原子\%)} = 0.2 \sim 0.74$

[0064] 对此,虽然不一定准确,但这是由以下事实导致的:仅当组分比在上述范围内的情况下,由于铜 (Cu) 的离解度低于锆 (Zr) 的离解度并且离子源层 21 的电阻值由锆 (Zr) 与碲 (Te) 的组分比确定,所以能得到所需的电阻值,并且施加于存储元件 1 的偏置电压被有效地施加至高电阻层 22 这个部分。

[0065] 如果组分比超出了上述范围,例如,在当量比太高的情况下,就无法获得阳离子与阴离子的平衡,并且现存的金属元素中的未离子化元素的量增加。因此,认为在擦除操作中难以有效地除去写入操作中所产生的传导路径。同样地,在当量比太低并且阴离子元素过多地存在的情况下,写入操作中所产生的呈金属状态的传导路径变得难以以金属状态存在,从而使得写入状态的保持性能劣化。

[0066] 此外,如果铝 (Al) 含量太高,则铝 (Al) 离子容易移动,并且写入状态是通过铝 (Al) 离子的还原而产生的。由于在硫族化物的固体电解质中铝 (Al) 处于金属状态的稳定性低,因而低电阻写入状态的保持性能会劣化。另一方面,如果铝 (Al) 含量过小,则擦除操作自身或对高电阻区域的保持特性的改善效果变差,并且重复的次数减少。因此,离子源层 21 中的铝 (Al) 含量优选为 30 原子%以上,并且更加优选为 50 原子%以下。

[0067] 锗 (Ge) 不是必须含有的,而且如果锗 (Ge) 含量太高,则写入保持特性会劣化,因此,在加入锗 (Ge) 的情况下锗 (Ge) 含量优选为 15 原子%以下。

[0068] 下面,说明本实施方式的存储元件 1 的制造方法。

[0069] 首先,在形成有例如选择晶体管等 CMOS 电路的基板上形成例如由钨 (W) 制成的下部电极 10。然后,如果需要的话,通过逆溅射法 (reversesputtering) 等方法从下部电极 10 的表面除去氧化物等。接着,在使用靶材的溅射装置中通过更换对应的靶材,来连续地形成高电阻层 22、离子源层 21 和上部电极 30,上述对应的靶材分别是由适用于高电阻层 22、离子源层 21 和上部电极 30 的材料的组分予以制成的。电极的直径为 $50 \sim 300\text{nm}\phi$ 。利用由各构成元素制备的靶材来同时形成合金膜。

[0070] 在直至上部电极 30 的成膜过程以后,形成连接至上部电极 30 的布线层 (未图示),并且将用于获得所有存储元件 1 的共用电位的接触部连接至该布线层。随后,对上述层叠起来的膜进行后退火处理。通过上述工序,完成了图 1 中所示的存储元件 1。

[0071] 如上所述,根据本实施方式的存储元件 1,由于形成了含有碲 (Te) 作为其主要成分的高电阻层 22,因而已从离子源层 21 扩散过来的金属元素在高电阻层 22 的低电阻状态下在高电阻层 22 内被稳定化,于是能够改善低电阻状态,即,改善写入保持特性。另一方面,由于碲 (Te) 与金属元素的结合力弱于具有高电负性 (electronegativity) 的氧化物或具有共价键的硅化合物与金属元素的结合力,因而已经扩散至高电阻层 22 内的金属元素易于向离子源层 21 移动,从而能够降低擦除操作中 (即,高电阻状态下) 必需的电压。另外,能够减小多次写入 / 擦除操作时在擦除状态中的电阻值间的差异。特别地,在本实施方式中,由于使用了硫族元素中具有最低电负性的碲 (Te),因此提高了写入保持特性的改善效果。

[0072] 此外,由于离子源层 21 中含有锆 (Zr)、铝 (Al) 和锗 (Ge) 等,因而数据保持特性很好。另外,在小型化的情况下,即使在晶体管的电流驱动力下降的情况下,信息也能够得以保持。因此,通过使用该存储元件 1 来制造出存储装置,能够实现高密度化和小型化。

[0073] 存储装置

[0074] 可以通过例如以列的形式或以矩阵的形式布置多个存储元件 1 来构造出存储装置 (存储器)。在此情况下,视需要,通过将用于选择元件的 MOS 晶体管或将二极管连接至各存储元件 1 来构造出存储单元,并且可通过布线将读出放大器 (sense amplifier)、地址解码器、写入 / 擦除 / 读取电路等连接至存储单元。

[0075] 图 2 和图 3 图示了其中以矩阵形式布置有多个存储元件 1 的存储装置 (存储单元阵列 2) 的示例。图 2 和图 3 分别是图示了存储单元阵列 2 的结构的截面图和平面图。在存储单元阵列 2 中,对于各存储元件 1,与其下部电极 10 侧相连接的布线以及与其上部电极 30 侧相连接的布线形成得相互交叉,并且例如各个存储元件 1 被布置在这些布线的交叉点附近。

[0076] 所有存储元件 1 都共用高电阻层 22、离子源层 21 和上部电极 30 这三层中的每一层。也就是说,高电阻层 22、离子源层 21 和上部电极 30 分别都是由全部存储元件 1 的对应共用层 (同一层) 配置而成。上部电极 30 是相邻单元的共用平板电极 PL。

[0077] 另一方面,为各存储单元而单独形成的下部电极 10 在相邻单元间是电绝缘的,并且各存储单元的存储元件 1 被规定为处于与下部电极 10 对应的位置处。下部电极 10 连接

至用于对单元进行选择的相关 MOS 晶体管 Tr, 并且各个存储元件 1 形成在 MOS 晶体管 Tr 的上方。

[0078] MOS 晶体管 Tr 由源极区域 / 漏极区域 43 和栅极电极 44 组成, 该源极区域 / 漏极区域 43 形成在半导体基板 41 中的被元件隔离层 42 隔开的区域中。在栅极电极 44 的壁面上形成有侧壁绝缘层。栅极电极 44 也用作字线 (word line) WL, 该字线 WL 是存储元件 1 的一种地址线。MOS 晶体管 Tr 的源极区域 / 漏极区域 43 中的一者与存储元件 1 的下部电极 10 通过柱塞层 45、金属布线层 46 和柱塞层 47 而彼此电连接。MOS 晶体管 Tr 的源极区域 / 漏极区域 43 中的另一者通过柱塞层 45 而连接至金属布线层 46。金属布线层 46 连接至位线 (bit line) BL (参见图 3), 该位线 BL 是存储元件 1 的另一种地址线。在此情况下, 如图 3 所示, MOS 晶体管 Tr 的有源区域 48 由点划线表示, 并且接触部 51 与存储元件 1 的下部电极 10 相连接, 而接触部 52 与位线 BL 相连接。

[0079] 在上述存储单元阵列 2 中, 通过字线 WL 使 MOS 晶体管 Tr 的栅极处于接通状态, 并且当向位线 BL 施加电压时, 该电压通过 MOS 晶体管 Tr 的源极 / 漏极而被施加到所选的存储单元的下部电极 10 上。这里, 如果施加到下部电极 10 上的电压的极性相对于上部电极 30 (平板电极 PL) 的电位而言为负电位, 则如上所述存储元件 1 的电阻值转变为低电阻状态。因此, 信息被写入所选的存储单元中。另外, 将相对于上部电极 30 (平板电极 PL) 的电位而言为正电位的电压施加至下部电极 10, 存储元件 1 的电阻值再次转变为高电阻状态。于是, 写入到所选的存储单元中的信息被擦除。为了读取所写入的信息, 例如, 通过 MOS 晶体管 Tr 来选择存储单元, 并且向该单元施加预定的电压或电流。通过连接至位线 BL 或平板电极 PL 的读出放大器 (sense amplifier) 来检测随着存储元件 1 的电阻状态而不同的上述电流或电压。此时, 将施加至所选的存储单元的上述电压或电流设为小于使存储元件 1 的电阻值状态改变的诸如电压等阈值。

[0080] 本实施方式的存储装置可适用于各种各样的如上所述的存储装置。例如, 本实施方式的存储装置能够适用于任何类型的存储器, 例如仅可写入一次的 PROM、电可擦除的 EEPROM、能够进行高速写入 / 擦除 / 读取操作的 RAM 等。

[0081] 第二实施方式

[0082] 图 4 是图示了本发明第二实施方式的存储元件 3 的结构的截面图。下文中, 尽管会对其他的实施方式进行说明, 但对于与第一实施方式中的结构部分相同的结构部分用相同的附图标记表示, 并且略去对它们的说明。存储元件 3 包括依次设置的下部电极 (第一电极) 10、存储层 60 和上部电极 (第二电极) 30。

[0083] 存储层 60 包括具有与离子源层 21 相同组分的离子源层 61 且包括高电阻层 62。在本实施方式中, 高电阻层 62 具有由多个层 (例如第一高电阻层 62A 和第二高电阻层 62B) 构成的两层结构。第一高电阻层 62A 和第二高电阻层 62B 具有用作电传导方面的势垒的功能, 它们具有的电阻值高于离子源层 61 的电阻值, 并且它们具有互不相同的组分。

[0084] 第一高电阻层 62A 例如由在阴离子成分中含有碲 (Te) 作为主要成分的化合物构成, 并且位于下部电极 10 侧, 这里是指该第一高电阻层 62A 与下部电极 10 相接触。含有碲 (Te) 作为主要成分的化合物可以是例如 Al-Te 化合物、Mg-Te 化合物或者 Zn-Te 化合物。由于高电阻层 62 的电阻值为第一高电阻层 62A 的电阻值与第二高电阻层 62B 的电阻值之和, 因此基于上述原因, 第一高电阻层 62A 的电阻值可以是大约 40k Ω 以上。因此, 对于该

含有碲 (Te) 的化合物的组分,例如,在 Al-Te 化合物中的铝 (Al) 含量可以等于或大于 0 原子%并且等于或小于 70 原子%。更为优选地,铝 (Al) 含量为等于或大于 20 原子%并且等于或小于 60 原子%。

[0085] 第二高电阻层 62B 例如由在阴离子成分中含有除了碲 (Te) 以外的例如氧 (O)、氮 (N) 或碳 (C) 等元素的化合物构成,并且位于离子源层 61 侧,这里是指该第二高电阻层 62B 与离子源层 61 相接触。这样的化合物可以是例如氧化钆 (GdO_x)。

[0086] 高电阻层 62 优选具有等于或大于 $1M\Omega$ 的电阻值作为第一高电阻层 62A 和第二高电阻层 62B 的电阻值之和。在此情况下,只要高电阻层 62 具有至少一层含有碲 (Te) 作为其主要成分的高电阻层就足够了,并且不用特别考虑该含有碲 (Te) 作为其主要成分的高电阻层的位置。也就是说,在本实施方式中,含有碲 (Te) 作为主要成分的第一高电阻层 62A 是与下部电极 10 相接触,并且由含有除了碲 (Te) 以外的阴离子成分的化合物构成的第二高电阻层 62B 是与离子源层 61 相接触,但反之亦可。

[0087] 本实施方式的存储元件 3 的操作和效果与第一实施方式的存储元件 1 的操作与效果相同,但由于高电阻层 62 具有两层结构,因而在本实施方式中能够获得下面的效果。由于在擦除操作时能够形成氧化物膜或氮化物膜,因此能够抑制在擦除操作时由于施加过量电压而造成的绝缘劣化,从而可以预期能够对重复特性有所改善。另外,由于可用的碲化合物膜的电阻范围能够扩大,所以能够扩大材料选择范围。因此,在具有上述存储元件 3 的存储装置中能够获得同样的效果。

[0088] 实施例

[0089] 下面,将对本发明的具体实施例进行说明。

[0090] 实施例 1 至实施例 5

[0091] 以与上述实施方式相同的方式制造出图 1 所示的存储元件 1。首先,利用溅射装置在由钨 (W) 制成的下部电极 10 上形成存储层 20 和上部电极 30。电极的直径为 $50 \sim 300nm\phi$ 。另外,使用由构成元素制备的靶材同时形成由合金制成的层。然后,通过蚀刻上部电极 30 的表面,形成厚度为 200nm 的布线层 (Al 层) 且使该布线层与用于连接外部电路 (其用于提供中间电位 ($V_{dd}/2$)) 的接触部相接触。然后,在真空热处理炉中以 $200^\circ C$ 温度进行两个小时的加热处理作为后退火处理。通过这样做,可以按照如下面的实施例 1 至实施例 5 中给出的不同组分和不同层厚度来制造出图 2 和图 3 所示的存储单元阵列 2。

[0092] 比较例 1 至比较例 3

[0093] 除了高电阻层不同以外,以与上述实施方式相同的方式来制造出存储元件。此时,在由氮化钨 (WN) 制成的下部电极上,形成厚度为 1.4nm 或 20nm 的由氧化铝 (Al-O)、氧化钆 (Gd-O) 或硅 (Si) 制成的高电阻层。该高电阻层为氧化物膜的情况下,是以这样的方式予以形成:例如,通过 DC (直流) 磁控溅射法而形成厚度为 1nm 的金属钆 (Gd) 层,然后在腔室气压为 $0.25 \pm 0.05Pa$ 、 ArO_2 氛围、且输入功率为 50W 的条件下通过 RF (射频) 等离子体对上述金属钆 (Gd) 层进行 60 秒的氧化。然后,形成厚度为 45nm 的由 $Cu_{11}Te_{29}Zr_{11}Al_{42}Ge_7$ 制成的离子源层。接着,形成由锆 (Zr) 制成的上部电极。随后,通过蚀刻上部电极的表面,以与实施例 1 至实施例 5 相同的方式形成厚度为 200nm 的布线层 (Al 层)。然后,在真空热处理炉中以 $200^\circ C$ 温度进行一小时的热处理。通过这样做,制造出存储单元阵列并作为比较例 1 至比较例 3。

[0094] 实施例 1 至实施例 5 以及比较例 1 至比较例 3 中的“下部电极 / 高电阻层 / 离子源层 / 上部电极”的组分和膜厚度如下：

[0095] (实施例 1)：

[0096] W/Al₁Te₁ (8nm) / Cu₁₁Te₂₉Zr₁₁Al₄₂Ge₇ 原子% (45nm) / Zr (20nm)

[0097] (实施例 2)：

[0098] TiN/Mg₁Te₁ (4nm) / Cu₁₀Te₃₀Ge₇Zr₁₁Al₄₂ 原子% (45nm) / W (20nm)

[0099] (实施例 3)：

[0100] W/Zn₁Te₁ (6nm) / Te₄₀Zr₁₈Al₄₂ 原子% (45nm) / Zr (20nm)

[0101] (实施例 4)：

[0102] TiN/Mg₁Te₁ (7nm) / Cu₁₃Te₂₅Ge₆Zr₁₄Mg₄₂ 原子% (45nm) / W (20nm)

[0103] (实施例 5)：

[0104] TiN/Al₄Te₆+Cu₁₅ 原子% (7nm) / Cu₁₀Te₃₀Ge₇Zr₁₁Al₄₂ 原子% (45nm) / W (20nm)

[0105] (比较例 1)：

[0106] WN/AlO_x (1.4nm) / Cu₁₁Te₂₉Zr₁₁Al₄₂Ge₇ 原子% (45nm) / Zr (20nm)

[0107] (比较例 2)：

[0108] WN/GdO_x (1.4nm) / Cu₁₁Te₂₉Zr₁₁Al₄₂Ge₇ 原子% (45nm) / Zr (20nm)

[0109] (比较例 3)：

[0110] WN/Si (20nm) / Cu₁₁Te₂₉Zr₁₁Al₄₂Ge₇ 原子% (45nm) / Zr (20nm)

[0111] 实验 1

[0112] 对于实施例 1 至实施例 5 以及比较例 1 至比较例 3 中的存储元件单元阵列，与上部电极 30 连接的上部布线被设定为中间电位 V_{dd}/2，并且通过施加电压使所选的存储单元的栅极电极（即，字线 WL）处于接通状态。另外，对存储单元阵列中的 20 个元件（10 个元件 × 2 列）进行这样的“写入操作”：向与晶体管 Tr 的源极区域 / 漏极区域 43 中的未连接至下部电极 10 的那一者相连接的电极（即，位线 BL）施加脉冲宽度为 100ns、电流为 130 μA 并且电压值为 3.0V 的电压。然后，通过以 0.05V 的间隔（pitch）将电压从 0V 增大至 3.0V 的方式向栅极电极施加与“写入操作”时的电压相反的电压来进行“擦除操作”，并且测量各电压下的电阻值。这些结果被加入到稍后说明的数据保持特性的结果中，如图 5A(1) ~ (2) 至图 7C(1) ~ (2) 所示。此时，特性图中的各个值是 60 位 (bit) 测量结果的平均值。

[0113] 随着擦除电压从 0V 上升而在 1V 附近处开始擦除操作，并且电阻值也上升。电阻值的这种上升在某电压处停止，并且在那一时刻，已经进行了擦除从而处于成膜初始状态。在低电压下恢复该初始状态的情况下，认为擦除特性是良好的，并且能够根据在电阻值变为恒定处的电压来评价各元件的擦除特性。

[0114] 另外，在实施例 1 至实施例 5 以及比较例 1 至比较例 3 的存储元件单元阵列中，在脉冲施加时间为 250ps ~ 100ms、电流为 15 μA ~ 200 μA、且电压为 3.0V 的条件下，在总共写入 180 位的状态下停止写入操作以后，以 130℃ 温度在烤炉中维持一小时来进行高温加速保持试验。通过比较高温加速保持试验之前与之后的电阻值来评价数据保持特性。随着电阻值的变化越来越小，可以认为写入保持特性越来越高。

[0115] 在高电阻层 22 中含有碲 (Te) 的实施例 1 至实施例 5 的任一种情况下，相比于比较例 1 至比较例 3 而言都呈现出良好的擦除特性和写入保持特性。根据在高电阻层 22 使

用了氧化物膜的比较例 1 和比较例 2 中的擦除特性,当施加 1.5V 的擦除电压时电阻值仅返回到初始电阻的大约几十分之一至百分之一这个范围内的电阻值。另外,从写入保持特性的结果来看,在等于或大于 30k Ω 的低电阻状态下,高温加速保持试验之后的电阻状态没有被保持住。在高电阻层 22 使用了硅 (Si) 的比较例 3 中,当施加大约 1.6V 的电压时,电阻值急剧下降。这被认为是由绝缘损坏所导致的。另外,对于写入保持特性的结果,跟比较例 1 和比较例 2 中一样,在等于或大于 30k Ω 的低电阻状态下,高温加速保持试验之后的电阻状态没有被保持住。

[0116] 与之相反,根据高电阻层 22 含有的碲 (Te) 的实施例 1 至实施例 5 中的擦除特性,电阻值在 1.2V 附近返回到初始电阻值。另外,对于写入保持特性,可以看出甚至在大约 100k Ω 的写入电阻下仍能够保持数据。

[0117] 此外,由于在各种碲化合物中都呈现出上述的对擦除特性和写入保持特性的改善,因此可以认为不是在特定的碲化合物中而是在含有碲作为其主要成分的全部化合物中都呈现出这种特性。如实施例 5 中那样,即使化合物中含有例如铜 (Cu) 等其他金属元素也没有问题,并且通过适量地添加铜 (Cu) (在实施例 5 中,添加了 15 原子%的铜 (Cu)),还可以说在某种程度上改善了写入保持特性。另外,在离子源层 21 中所使用的元素的组分不受具体限制。

[0118] 写入保持状态得以改善的原因是:低电阻状态时扩散进入高电阻层 22 中的诸如铝 (Al) 或铜 (Cu) 等金属元素在碲化合物膜中比在氧化物膜中更显稳定。写入操作时离子源层 21 内的金属元素在阴极电极上被还原,并且在写入之后的低电阻状态中以丝极形式的金属状态而被析出。因此,可以认为实现了写入状态。丝极形式的金属元素的稳定性很大程度上受到附近与高电阻层 22 内的元素起反应的影响。如比较例 1 和比较例 2 所述,如果氧化物存在于呈丝极形式的金属元素的附近,则金属元素容易被氧化而处于高电阻状态。与之相反,如实施例 1 至实施例 5 所述,在由含有碲 (Te) 作为主要成分的化合物形成高电阻层 22 的情况下,碲这种金属元素的氧化速度较低,并且呈丝极形式的该金属元素稳定地存在。另外,可以认为难以实现高电阻层 22 与该丝极的相分离。氧化速度的差异与化合物的电负性的差异有关。如上所述,硫族化物化合物中的电负性的绝对值按照碲<硒<硫<氧的顺序而升高。因此,如实施例 1 至实施例 5 所述,呈丝极形式的金属元素在由不是含有氧而是含有具有低电负性的碲 (Te) 作为主要成分的化合物形成的高电阻层 22 中得以稳定化,并因此改善了写入保持特性。另外,基于此,在高电阻层 22 中不含有氧的情况下,认为写入保持特性最佳。

[0119] 擦除特性得到改善的原因是:碲化合物膜与金属元素的结合力弱于氧化物膜或由硅化合物制成的膜与金属元素的结合力,因此在擦除操作中促使被重新离子化的金属元素移动到离子源层 21 中。另外,在含有碲 (Te) 的硫族化物化合物中,存在由于被称为“双向阈值开关 (Ovonic Threshold Switching, OTS)”的电压而引起的开关现象。因此,在 1.2V 附近处实现了 OTS,电流急剧流动从而促进了擦除的反应。

[0120] 实施例 6 至实施例 8

[0121] 以与实施例 1 至实施例 5 相同的方式,制造出如图 1 所示的存储元件 1,然后制造出如图 2 和图 3 所示的存储单元阵列 2,并将所制造出的存储单元阵列 2 作为实施例 6 至实施例 8。在此情况下,作为高电阻层 22 的 AlTe 是非晶膜并且可含有多种组分。因此,抑制

了铝 (Al) 扩散进入 AlTe 内,并且在实施例 7 和实施例 8 中没有进行后退火处理因而组分没有变化,而仅在布线加工中以 110°C 温度进行了两分钟的最低限度加热。这是因为:尽管退火前的 AlTe 组分依赖性的影响甚至在 200°C 以上的高温下仍然存在,但可以更加准确地检验组分的依赖性。

[0122] 实施例 6 至实施例 8 中的“下部电极 / 高电阻层 / 离子源层 / 上部电极”的组分和膜厚度如下:

[0123] (实施例 6):

[0124] W/AlTe (8nm)/Cu₁₁Te₂₉Zr₁₁Al₄₂Ge₇ 原子% (45nm)/Zr (20nm) (未后退火)

[0125] (实施例 7):

[0126] W/Al₄Te₆ 原子% (8nm)/Cu₁₁Te₂₉Zr₁₁Al₄₂Ge₇ 原子% (45nm)/Zr (20nm)

[0127] (实施例 8):

[0128] W/Al₃Te₇ 原子% (8nm)/Cu₁₁Te₂₉Zr₁₁Al₄₂Ge₇ 原子% (45nm)/Zr (20nm)

[0129] 实验 2

[0130] 以与实验 1 相同的工序对改变了高电阻层 22 的 AlTe 组分的实施例 6 至实施例 8 进行高温加速保持试验和擦除电压测量,以此评价写入保持特性和擦除特性。图 8A 至图 9C 示出了实施例 6 至实施例 8 中的擦除特性和数据保持特性。在此情况下,示出了 60 位测量结果作为擦除特性。

[0131] 如图 8A 至图 9C 所示,即使改变了高电阻层 22 的 AlTe 的组分,写入保持特性和擦除特性的改善也得以保持。特别地,可以看出随着碲 (Te) 的比率上升,擦除特性间的差异被抑制。虽然即便退火前高电阻层 22 仅由碲 (Te) 组成也没有问题,但并不知道铝 (Al) 渗入的程度,因此省略对此种情况的说明。

[0132] 图 10 是图示了 AlTe 膜的电阻率与 AlTe 膜中所含的铝 (Al) 的比率之间关系的特性图。这里,将会考虑 AlTe 的合乎需要的组分。在假设 5nm_t × 10nm_φ 的小型化元件的情况下,如果将初始电阻设为 10MΩ,则电阻率可以是 10Ω cm 以上。因此,在由 AlTe 制成的高电阻层作为单层而被使用的情况下,AlTe 内所含有的铝 (Al) 的比率优选为 20 原子%以上且 60 原子%以下。

[0133] 实施例 9 至实施例 12

[0134] 在实施例 9 至实施例 12 中,以与实施例 1 至实施例 5 相同的方式制造出如图 4 所示的存储元件 3。第一高电阻层 62A 和第二高电阻层 62B 中所使用的 GeTeAl 膜由 Ge₁Te₄ 和通过热扩散而渗入的铝制成。通过反应式溅射法形成第一高电阻层 62A 或第二高电阻层 62B 的氧化物膜 (或氮化物膜)。另外,利用反应式溅射法时的氧 (或氮) 含量不必很明确,而是在充分进行了氧化 (或氮化) 的区域里引入氧 (或氮)。于是,制备出图 2 和图 3 所示的存储单元阵列 2 并将其称为实施例 9 至实施例 12。

[0135] 实施例 9 至实施例 12 中的“下部电极 / 第一高电阻层 (第二高电阻层) 或第二高电阻层 (第一高电阻层) / 离子源层 / 上部电极”的组分和膜厚度如下所述。

[0136] (实施例 9):

[0137] W/GeTeAl (4nm)/GeAlTeO_x (4nm)/Cu₁₁Te₂₉Zr₁₁Al₄₂Ge₇ 原子% (45nm)/Zr (20nm)

[0138] (实施例 10):

[0139] W/GeAlTeO_x (4nm)/GeTeAl (4nm)/

[0140] $\text{Cu}_{11}\text{Te}_{29}\text{Zr}_{11}\text{Al}_{42}\text{Ge}_7$ 原子% (45nm)/Zr (20nm)

[0141] (实施例 11) :

[0142] W/GeAlTeN_x(4nm)/GeTeAl (4nm)/

[0143] $\text{Cu}_{11}\text{Te}_{29}\text{Zr}_{11}\text{Al}_{42}\text{Ge}_7$ 原子% (45nm)/Zr (20nm)

[0144] (实施例 12) :

[0145] WN/Al₃Te₇ 原子% (6nm)/GdO_x(1nm)/

[0146] $\text{Cu}_{10}\text{Te}_{30}\text{Ge}_7\text{Zr}_{11}\text{Al}_{42}$ 原子% (45nm)/W (20nm)

[0147] 实验 3

[0148] 利用与实验 1 相同的条件对实施例 9 至实施例 12 中的擦除特性和写入保持特性进行测量,以此评价高电阻层 42 的 AlTe 的组分的擦除特性和写入保持特性。图 11A(1) ~ (2) 至图 11D(1) ~ (2) 中示出了各元件中的擦除特性和写入保持特性。

[0149] 如图 11A(1) ~ (2) 至图 11D(1) ~ (2) 所示,可以看出在所有实施例中擦除特性和写入保持特性都得到了改善。因此,即使将相关技术中的氧化物膜(或氮化物膜)用作高电阻层 62,通过将含有碲(Te)作为主要成分的高电阻层加入至高电阻层 62 中,也能够改善存储元件 3 的擦除特性和写入保持特性。另外,通过使高电阻层 62 具有两层结构,即使该高电阻层的其中一层的电阻值未达到 $1\text{M}\Omega$,只要两层的电阻值之和等于或大于 $1\text{M}\Omega$ 就足够了。因此,在第二层中,例如,可以使用诸如碳化物膜、金刚石和氟化物膜等比碲化合物更加稳定的其他高电阻材料。另外,只要一层所需的电阻值高于低电阻状态下的电阻值,施加电压就没有问题,因此电阻值可以在 $40\text{K}\Omega$ 至 $100\text{k}\Omega$ 的范围内。

[0150] 考虑到含有碲(Te)作为主要成分的第一高电阻层 62A 的位置,从图 11A(1) ~ (2) 至图 11D(1) ~ (2) 可以得知下列内容。对实施例 9 至实施例 12 的结果进行比较时,其中含有碲(Te)作为主要成分的第一高电阻层 62A 与下部电极 10 相接触的实施例 9 和实施例 12 相比于其中第一高电阻层 62A 与离子源层 61 相接触的实施例 10 和实施例 11 而言具有更优异的擦除特性和写入保持特性。然而,即使在实施例 10 和实施例 11 的情况下,擦除特性和写入保持特性相比于作为相关技术的示例而制造的比较例 1 至比较例 3 而言也得到了充分的改善。另外,通过将含有诸如氧等具有高反应性能的元素膜作为最下层,能够抑制由于后退火时氧的扩散而引起的特性劣化。另外,除了可以通过反应式溅射法之外,例如,也可以通过使用等离子体氧化法或等离子体氮化法来制造高电阻层,并因此能够制备出具有良好膜质量的高电阻层 62。因此,从制造的角度来说,优选在离子源层 61 侧形成含有碲(Te)作为主要成分的第一高电阻层 62A。

[0151] 尽管已经说明了本发明的各实施方式和各实施例,但本发明不限于这些实施方式和实施例,并且能够进行各种变形。

[0152] 例如,在第二实施方式及实施例中,虽然高电阻层 62 具有由第一高电阻层 62A 和第二高电阻层 62B 构成的两层结构,但可以使用由含有不同组分的各高电阻层构成的三层以上层叠结构来替代。因此,能够弥补各层的缺陷从而使该层具有更好的精度。然而,由于元件电阻随着高电阻层的层数的增加而增大,因此写入用电压也可能增大。事实上,优选用最少数量的高电阻层来降低初始状态间或擦除状态间的电阻差异。作为第三层以后的高电阻层的材料,与第一高电阻层 62A 和第二高电阻层 62B 相同的方式,上述材料优选由含有选自钇(Y)、镧(La)、钕(Nd)、钐(Sm)、钆(Gd)、铽(Tb)和镝(Dy)所构成的稀土元素组中的

至少一种元素的氧化物或氮化物形成,或者由含有选自硅 (Si)、铝 (Al)、钛 (Ti) 和铪 (Hf) 所构成的组中的至少一种元素的氧化物或氮化物形成。此外,在这种情况下,优选的是:在层叠方向上相邻的高电阻层由含有例如原子量和原子半径等物理性质不同的元素的氧化物或氮化物来形成,或者由具有不同性质(例如,与离子源层 21 的润湿性不同等)的氧化物或氮化物等来形成。这是因为能够获得更大的互补效果。

[0153] 此外,例如,在第一和第二实施方式中,举例说明了存储元件 1 和存储元件 3 以及存储单元阵列 2 的具体结构。然而,并不一定需要设置上述所有层,或者还可以设有其它层。

[0154] 另外,例如,在上述各实施方式和各实施例,各层的材料、成膜方法、成膜条件等不受限制,也可以采用其他材料或其他成膜方法。例如,对于离子源层 21,在不破坏上述组分比的范围内,可以添加例如钛 (Ti)、铪 (Hf)、钒 (V)、铌 (Nb)、钽 (Ta)、铬 (Cr)、钼 (Mo) 或钨 (W) 等其他过渡金属元素。此外,除了铜 (Cu)、银 (Ag) 或锌 (Zn) 以外,可以添加镍 (Ni) 来代替。

[0155] 本领域的技术人员应当理解,依据设计要求和因素,可以在本发明所附的权利要求或其等同物的范围内进行各种修改、组合、次组合及改变。

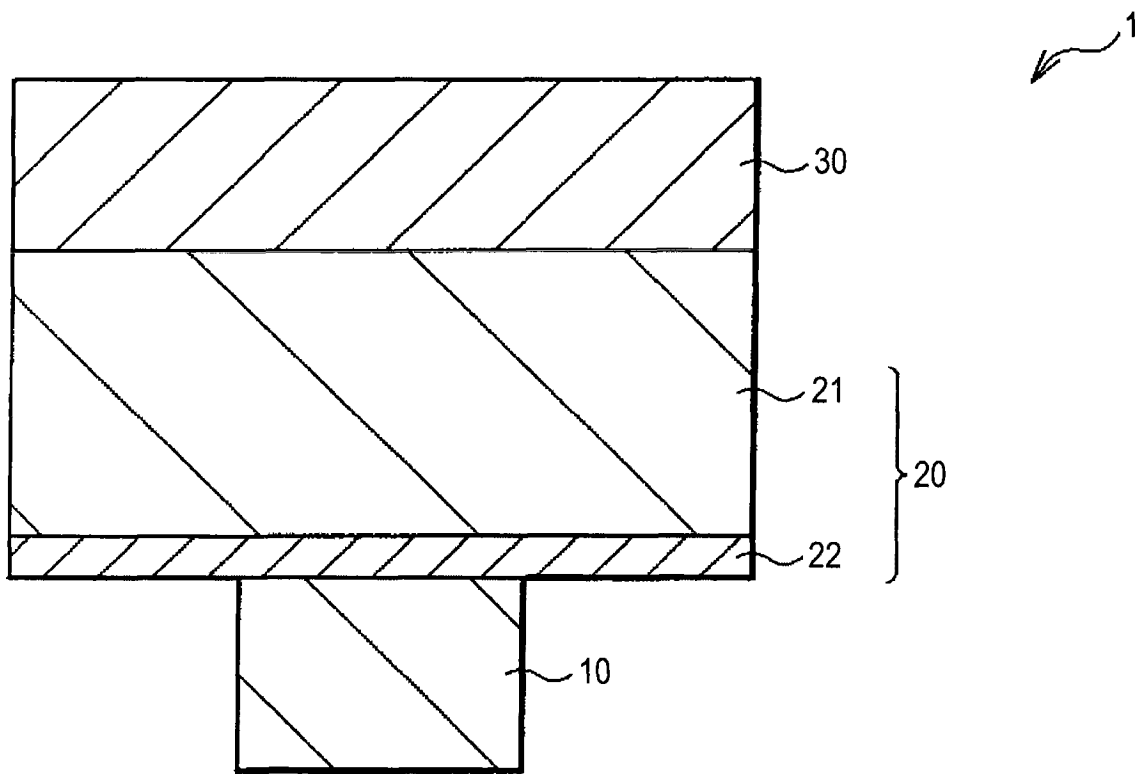


图 1

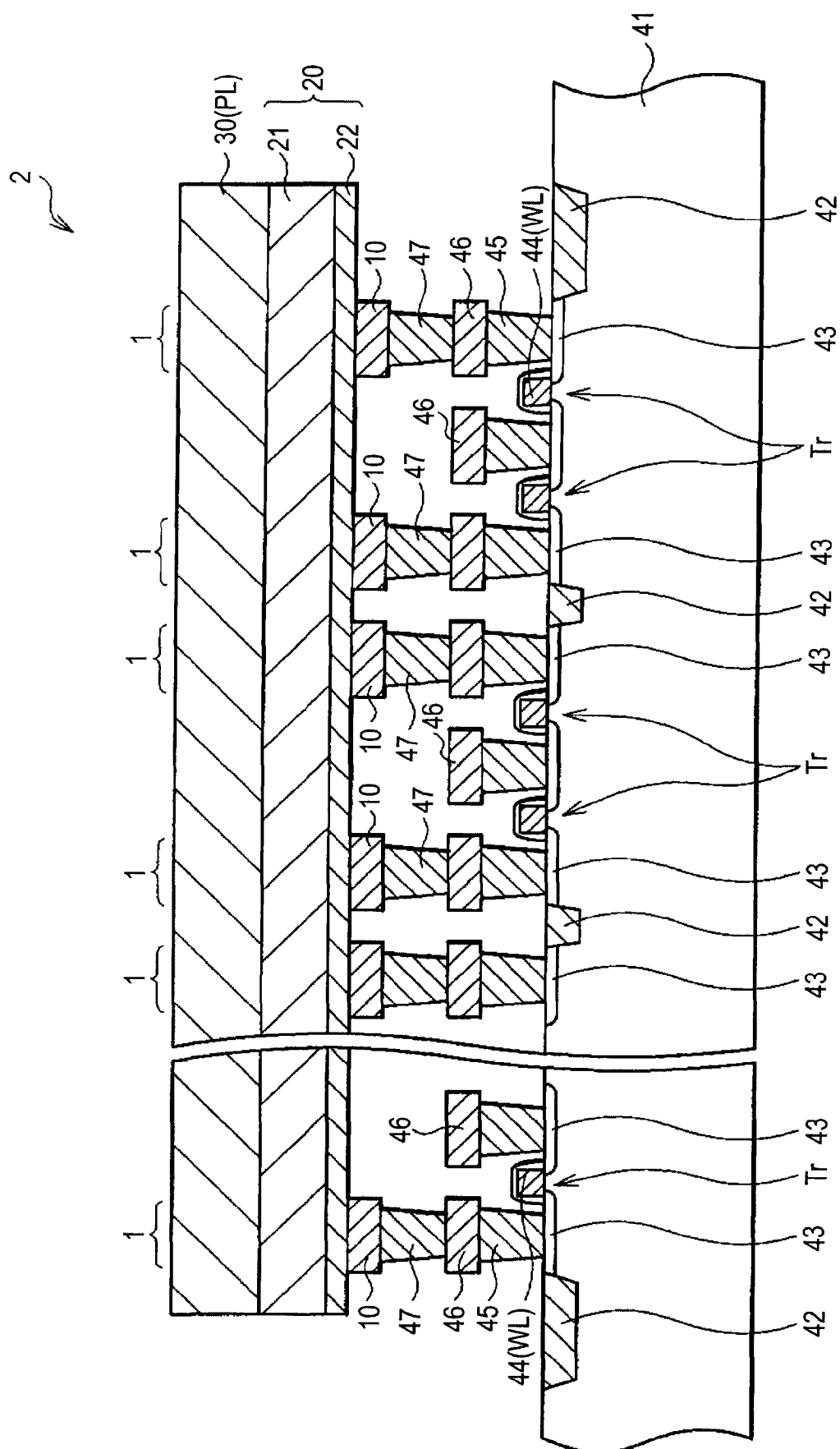


图 2

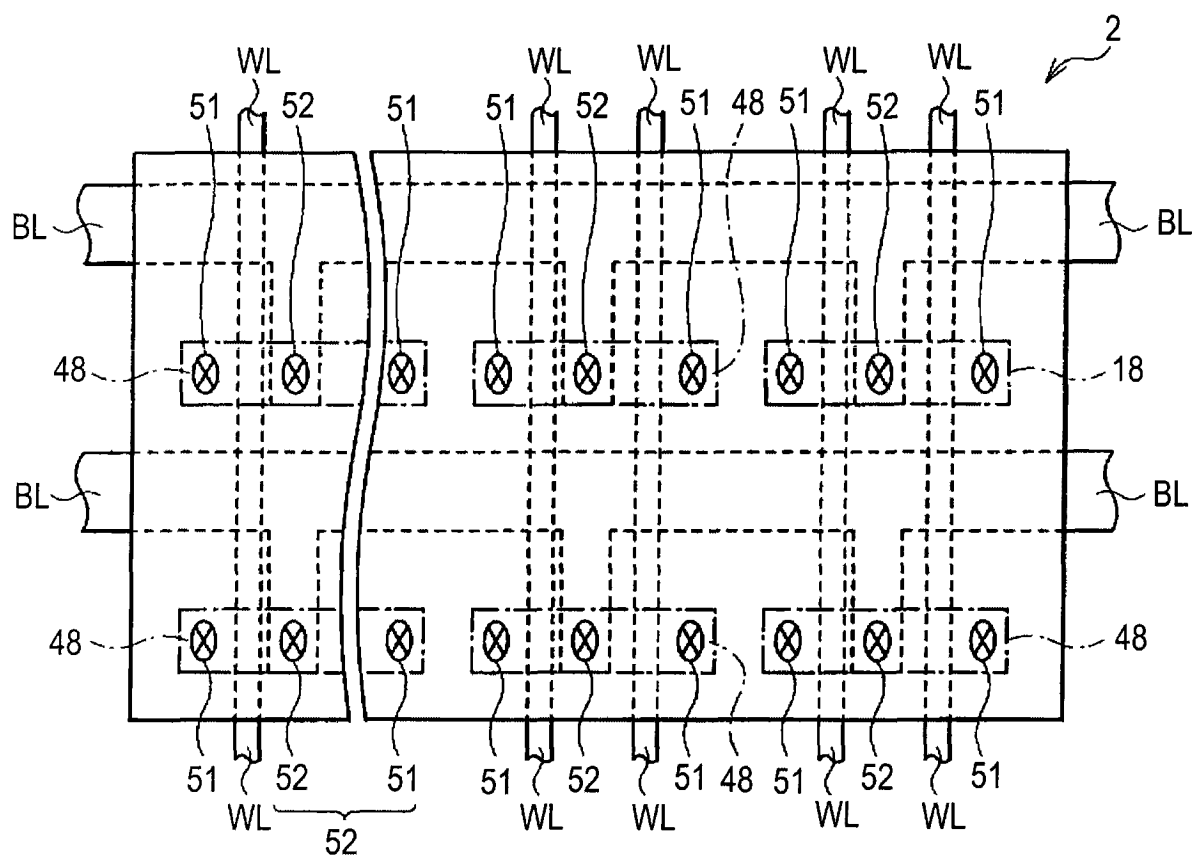


图 3

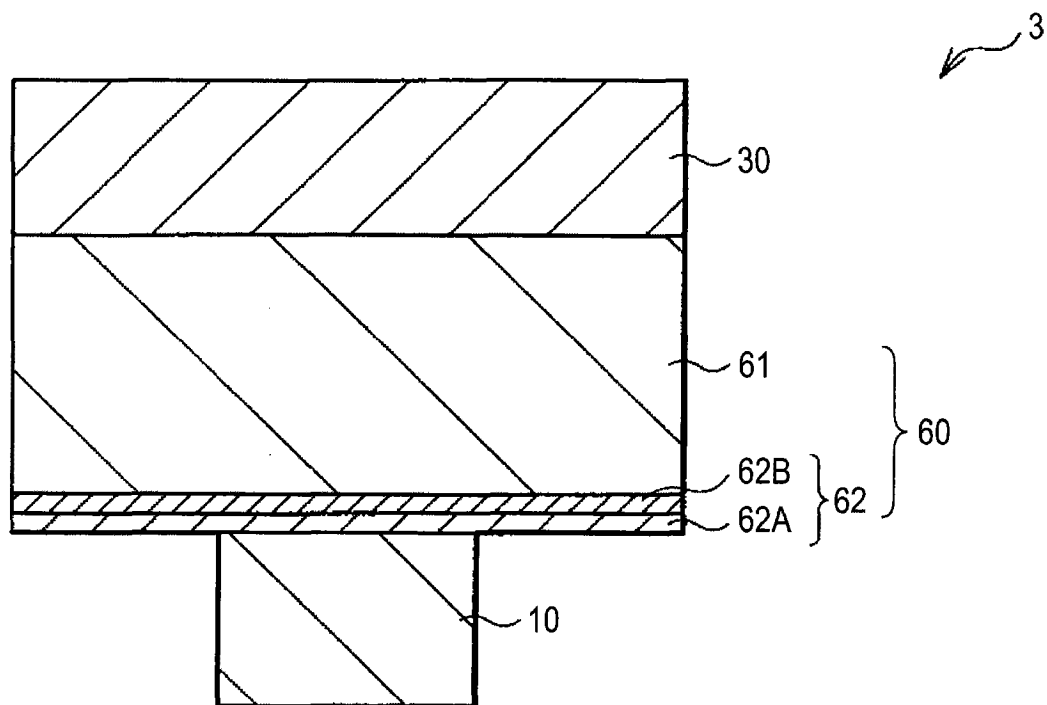


图 4

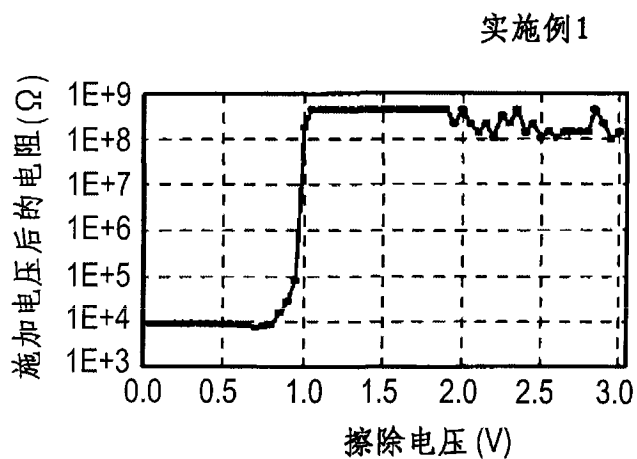


图 5A(1)

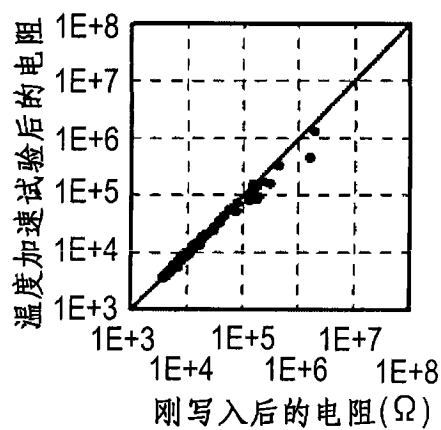


图 5A(2)

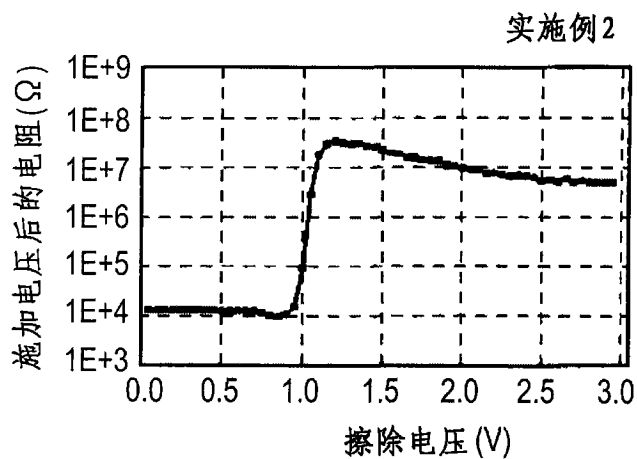


图 5B(1)

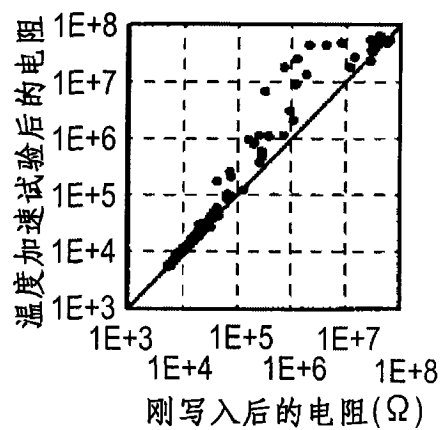


图 5B(2)

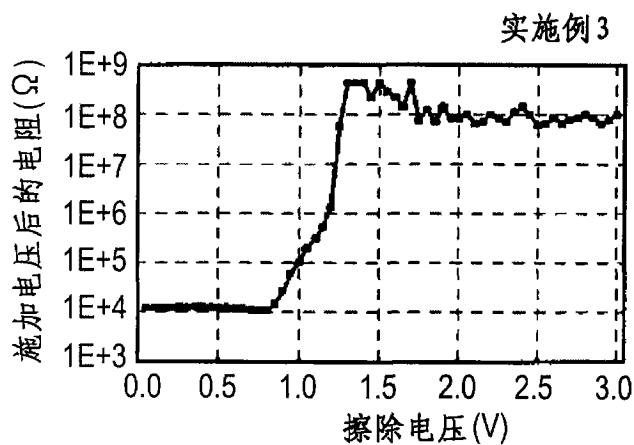


图 5C

实施例4

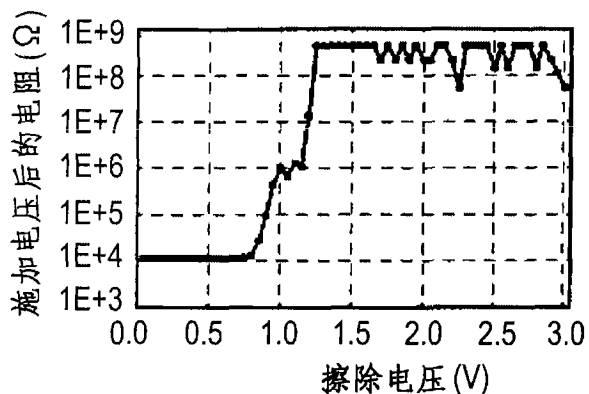


图 6A(1)

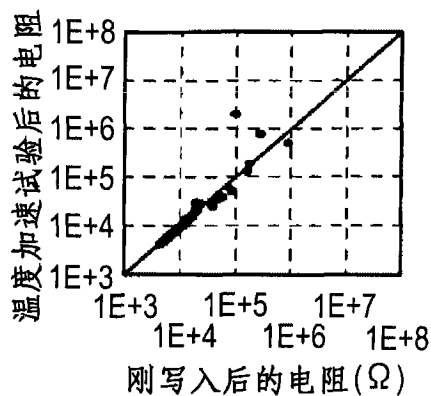


图 6A(2)

实施例5

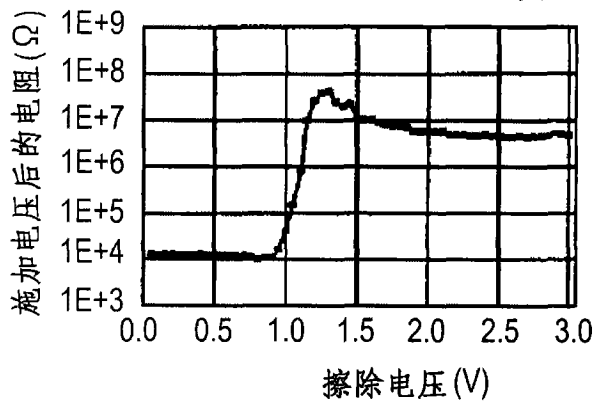


图 6B(1)

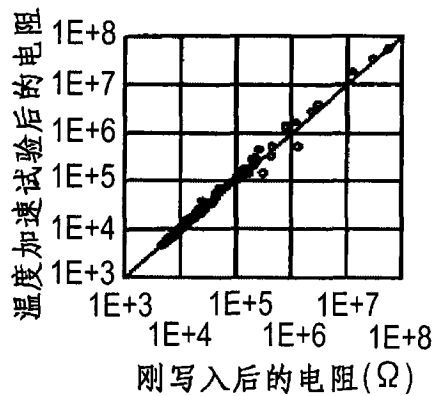


图 6B(2)

比较例1

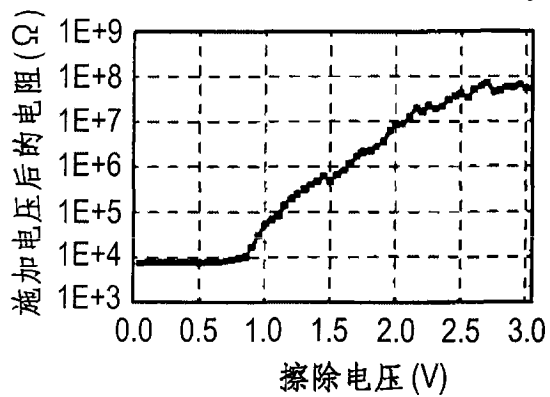


图 7A(1)

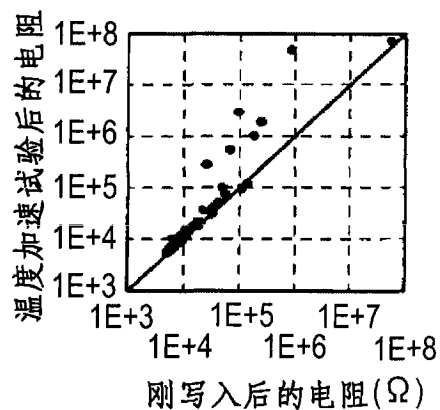


图 7A(2)

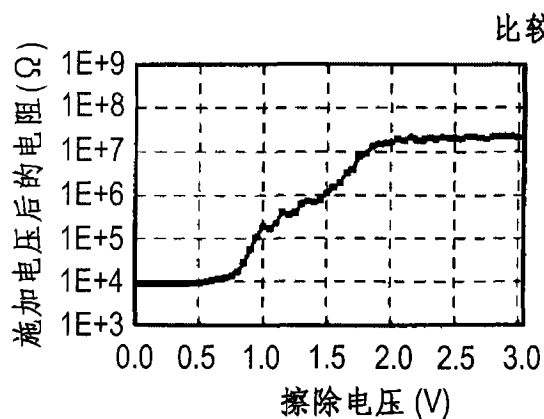


图 7B(1)

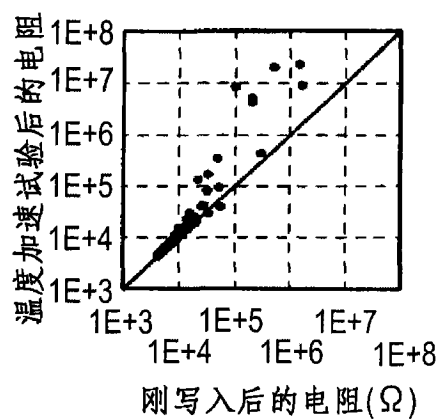


图 7B(2)

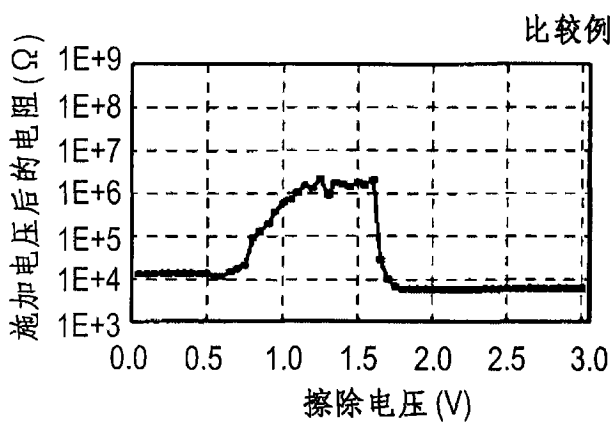


图 7C(1)

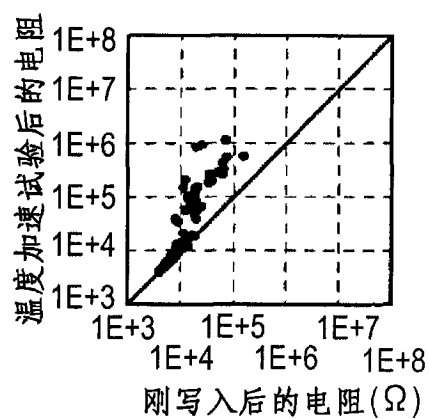


图 7C(2)

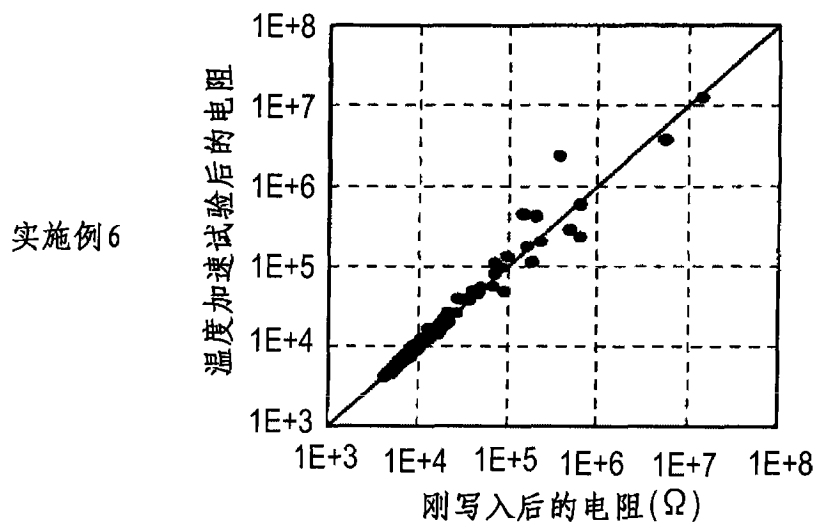


图 8A

实施例7

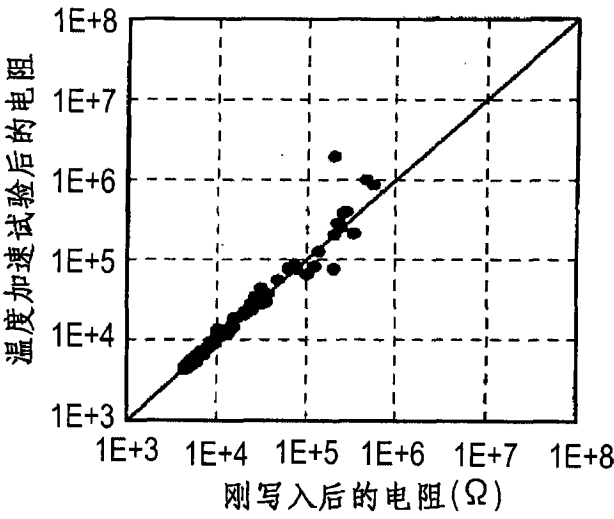


图 8B

实施例8

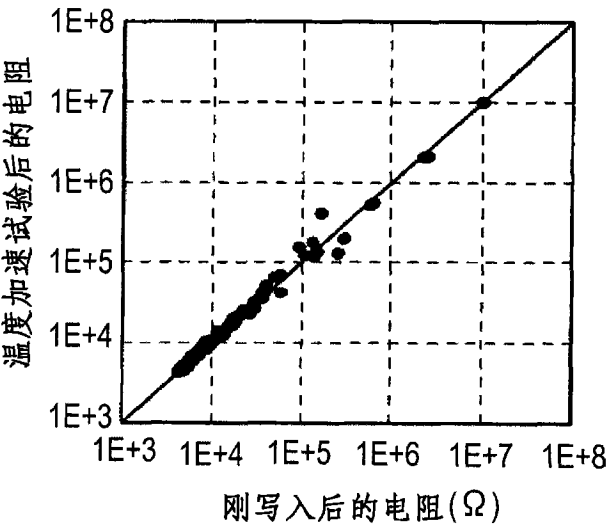


图 8C

实施例6

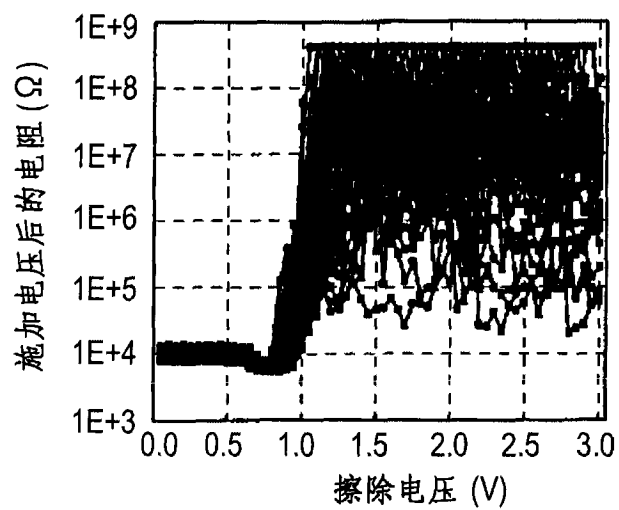


图 9A

实施例7

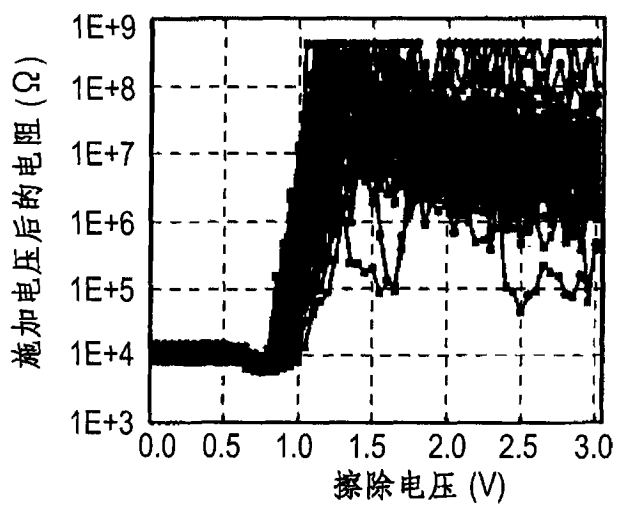


图 9B

实施例8

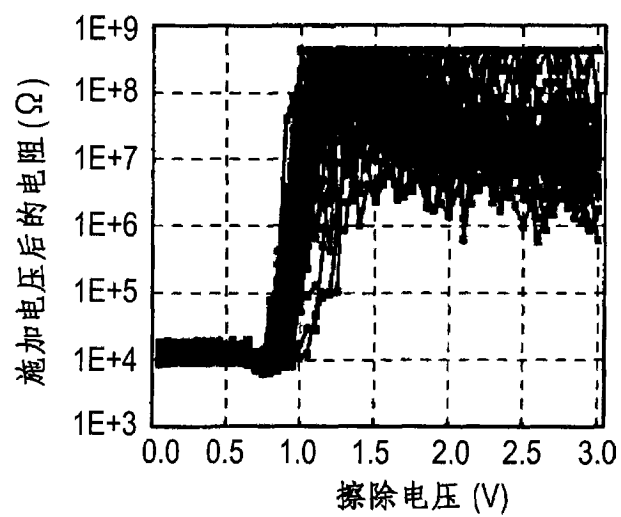


图 9C

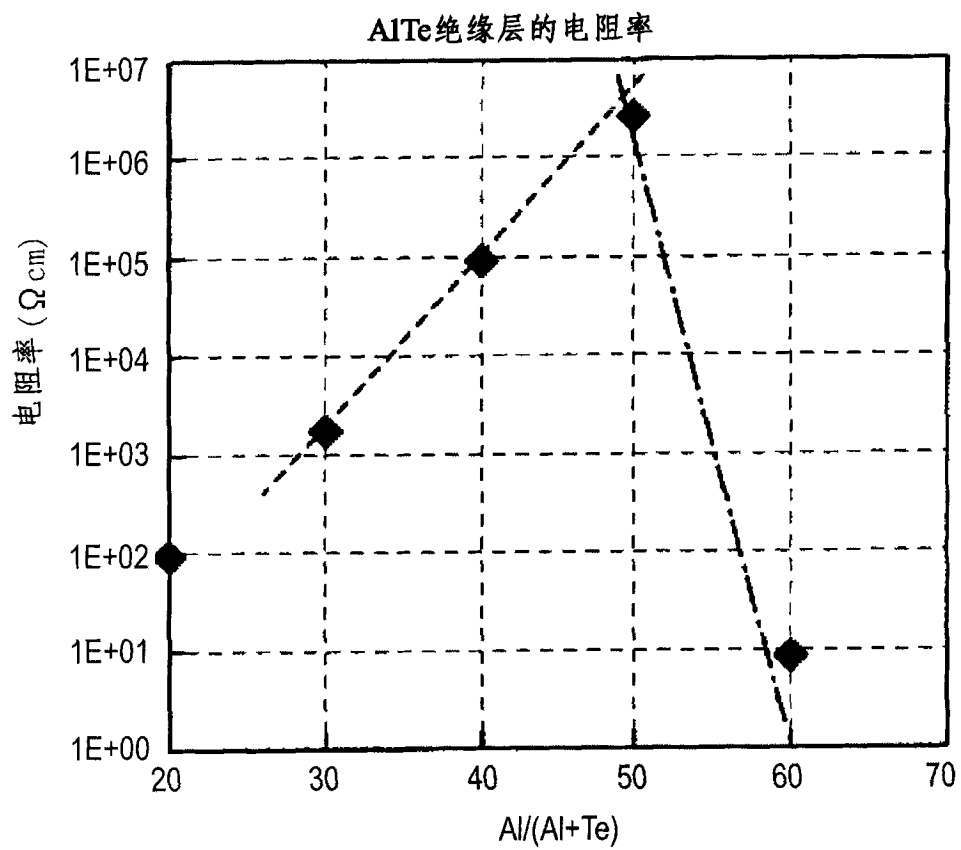


图 10

实施例9

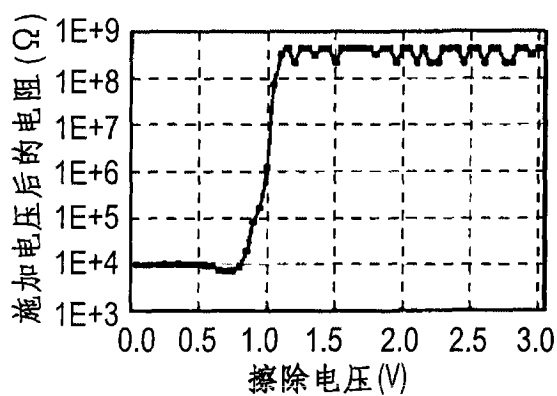


图 11A(1)

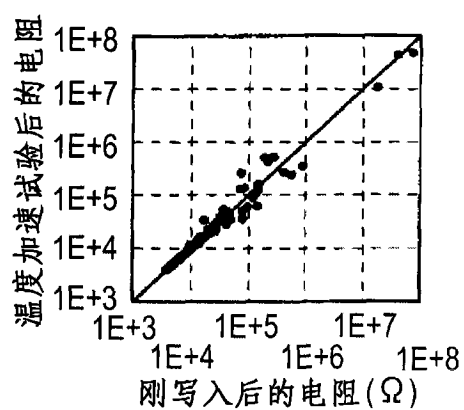


图 11A(2)

实施例10

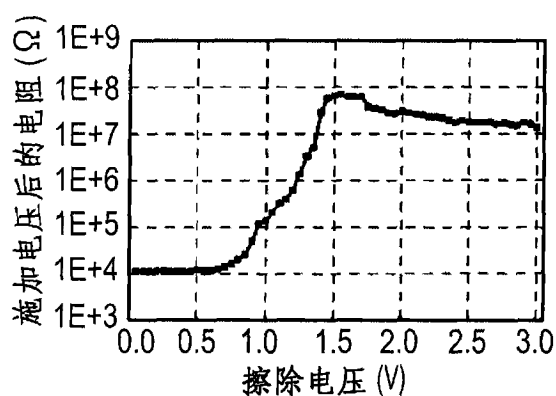


图 11B(1)

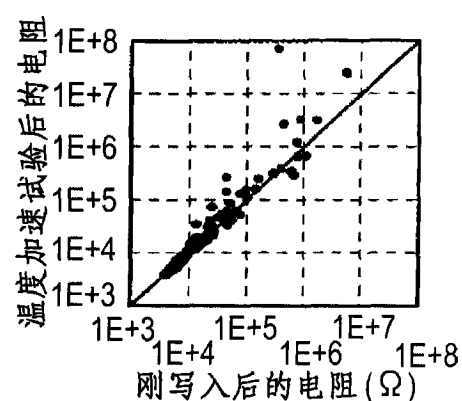


图 11B(2)

实施例11

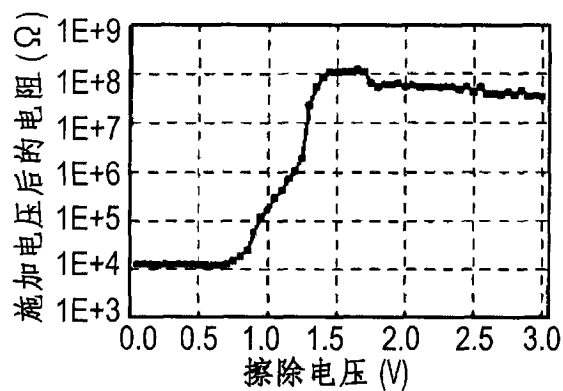


图 11C(1)

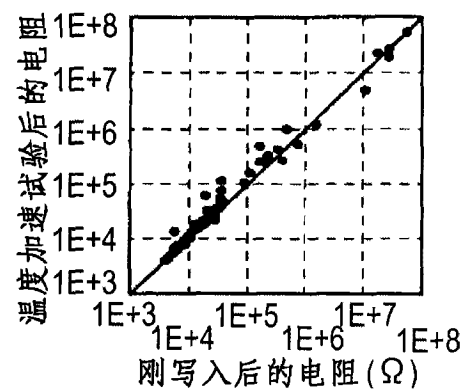


图 11C(2)

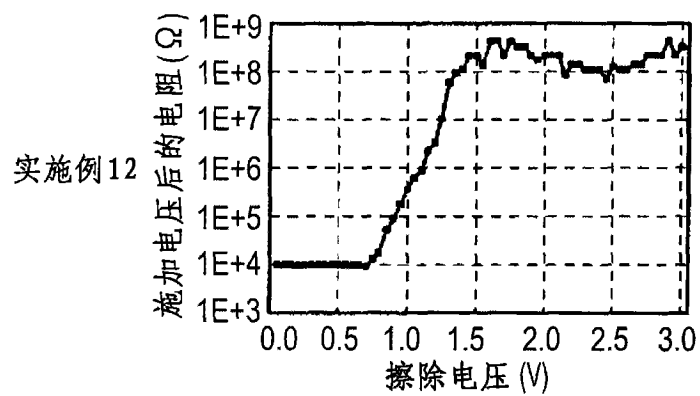


图 11D(1)

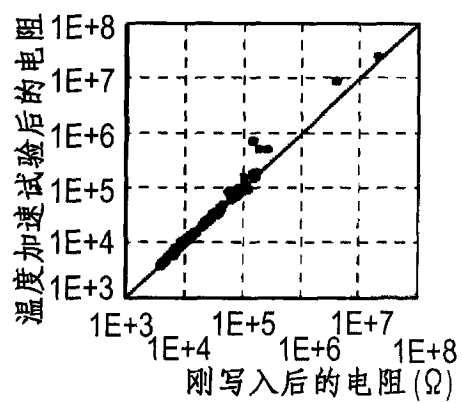


图 11D(2)