

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月21日(21.03.2024)



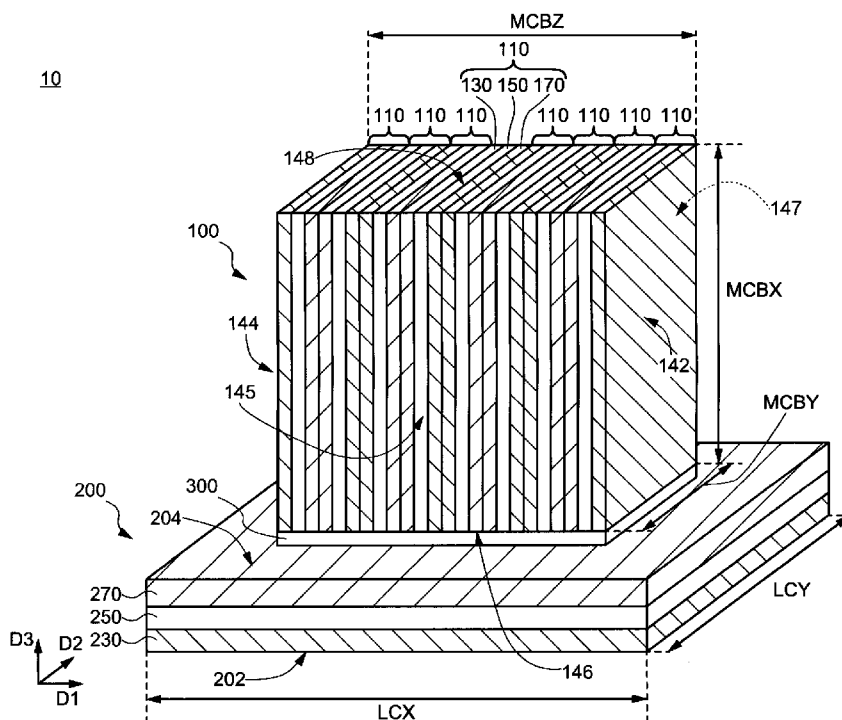
(10) 国際公開番号

WO 2024/057707 A1

- (51) 国際特許分類:
H01L 25/065 (2023.01) H01L 25/18 (2023.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2023/026387
- (22) 国際出願日: 2023年7月19日(19.07.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-144892 2022年9月12日(12.09.2022) JP
- (71) 出願人: 先端システム技術研究組合
(RESEARCH ASSOCIATION FOR ADVANCED SYSTEMS) [JP/JP]; 〒1120015 東京都文京区目白台三丁目2番6号 Tokyo (JP).
- (72) 発明者: 黒田 忠広 (KURODA Tadahiro); 〒1120015 東京都文京区目白台三丁目2番6号 先端システム技術研究組合内 Tokyo (JP).
川野 連也 (KAWANO Masaya); 〒1120015 東京都文京区目白台三丁目2番6号 先端システム技術研究組合内 Tokyo (JP).
- (74) 代理人: 弁理士法人高橋・林アンドパートナーズ (TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン蒲田ビル9階 Tokyo (JP).

(54) Title: SEMICONDUCTOR MODULE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体モジュール及びその製造方法



(57) Abstract: This semiconductor module has: a semiconductor chip comprising a first surface, which is parallel to a first direction and a second direction that intersects the first direction, and a second surface that is parallel to the first surface; and a memory cube disposed on the second surface and comprising a plurality of memory chips stacked in the first direction. Each of the plurality of memory chips contains a first inductor that is disposed in a third direction that is orthogonal to the first direction and second direction. The semiconductor chip contains a second inductor that is disposed



WO 2024/057707 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

in parallel to the second surface. In front view the first inductor contains a first side and second side that extend in the third direction, and the distance between the first side and second side sectioned in parallel to the second surface is shorter as the distance from the second surface in parallel to the third direction increases. The first inductor and the second inductor can communicate contactlessly.

(57) 要約: 半導体モジュールは、第1方向及び第1方向に交差する第2方向に平行な第1面と、第1面に平行な第2面とを含む半導体チップと、第1方向に積層された複数のメモリチップを含み、第2面上に配置されたメモリキューブと、を有し、複数のメモリチップのそれぞれは、第1方向及び第2方向に直交する第3方向に配置された第1インダクタを含み、半導体チップは、第2面に平行に配置された第2インダクタを含み、正面視において、第1インダクタは第3方向に延在する第1の辺及び第2の辺を含み、第2面に平行に切断された第1の辺と第2の辺の間の距離は、第3方向に平行に第2面から離れるにつれて短くなり、第1インダクタと第2インダクタとは、非接触で通信が可能である。

明 細 書

発明の名称：半導体モジュール及びその製造方法

技術分野

[0001] 本発明の一実施形態は、半導体モジュール及びその製造方法に関する。

背景技術

[0002] 近年、データセンタなどの電子計算機の消費電力が急増している。例えば、電子計算機は、複数のロジックチップ、及び、複数のロジックチップに電氣的に接続された複数のメモリチップを含む。ロジックチップは例えば論理回路が実装されたIC (Integrated Circuit、集積回路) チップであり、メモリチップはメモリ回路が実装された半導体チップである。電子計算機におけるデータ通信は、例えば、ロジックチップとメモリチップとの間で実行される。例えば、電子計算機の消費電力を削減するために、ロジックチップ及びメモリチップを積層して3次元実装することによって、ロジックチップとメモリチップと間の距離を短くすることは、有効な解決手段の一つである。

[0003] 特許文献1～3は、高密度な3次元実装方法の一例として、複数のメモリチップが基板やロジックチップに垂直になるように、複数のメモリチップを積層した構造体(横積層型メモリキューブ)を基板やロジックチップに垂設した(垂直に立てた)半導体モジュールが開示されている。特許文献1～3の半導体モジュールでは、横積層型メモリキューブと、基板又はロジックチップとは、例えば、TSVやマイクロバンプを用いて電氣的に接続される。また、電子計算機の消費電力を削減するという目的のために、例えば、特許文献4には、メモリチップをTSV (Through-Silicon Via、シリコン貫通電極) やマイクロバンプを用いて垂直方向に積み重ねていく縦積層型メモリキューブが開示されている。また、特許文献2、3及び5、並びに、非特許文献1及び2には、2つのチップ間の通信を非接触で行う技術が開示されている。

先行技術文献

特許文献

- [0004] 特許文献1：特表平3-501428号公報
特許文献2：国際公開第2021/095083号
特許文献3：国際公開第2021/199447号
特許文献4：特開2012-156478号公報
特許文献5：特開2017-069456号公報
特許文献6：特開2017-120913号公報

非特許文献

- [0005] 非特許文献1：Kadomoto et al., "WiXI: An Inter-Chip Wireless Bus Interface for Shape-Changeable Chiplet-Based Computers," ICCD 2019.
非特許文献2：Hasegawa et al., "A 1 Tb/s/m² Inductive-Coupling Side-by-Side Chip Link," ESSCIRC 2016.
非特許文献3：A. Agnesina et al., "A Novel 3D DRAM Memory Cube Architecture for Space Applications," 2018 55th ACM/ESDA/IEEE Design Automation Conference (DAC), 2018, pp. 1-6, doi: 10.1109/DAC.2018.8465911.
非特許文献4：R. W. Johnson, "3-D Packaging: A Technology Review," pp. 1-70, 23 Jun 2005. <https://nepp.nasa.gov/docuploads/EA7E7EA1-BD30-4DA4-BD615FEA1A7F5AE9/3D%20Packaging%20Report%20071805.pdf>

非特許文献5：R. M. Lea et al., “3-D Stacked Chip Packaging Solution for Miniaturized Massively Parallel Processing,” IEEE Trans. Adv Packag., 22 (3), Aug 1999.

発明の概要

発明が解決しようとする課題

- [0006] しかしながら、特許文献1～4に記載の積層型メモリキューブでは、メモリチップと、基板やロジックチップとがTSV又はマイクロバンプを用いて接続される。例えば、メモリチップとロジックチップとがマイクロバンプを用いて接続されると、マイクロバンプの長さ（大きさ）の分、メモリチップとロジックチップとの隙間が生じる。メモリチップとロジックチップとの隙間が生じると、その分、熱抵抗が高くなるため、熱伝導率が低下し、抜熱が難しくなる。
- [0007] また、特許文献2、3及び5に記載の技術では、2つのチップ内のそれぞれのインダクタは、互いに同じ平面上に配置されている。すなわち、2つのチップ内のそれぞれのインダクタが設けられた面同士がなす角度は0度になっており、2つのチップにおいて、互いに向かい合う辺にインダクタが配置されるため、インダクタの個数は、チップの辺の長さによって決まる。例えば、特許文献2、3及び5に記載の技術を用いて、メモリの容量を増加するためには、チップサイズを大きくする必要がある。しかし、チップサイズが大きくなると、配線の長さ及び配線負荷（容量）が増加し、チップの消費電力が増加する。すなわち、特許文献2、3及び5に記載の技術では、メモリ容量の大容量化及び低消費電力化は困難である。
- [0008] さらに、非特許文献1及び2に記載の技術では、2つのチップ内のそれぞれのコイルが設けられた面同士がなす角度は任意の角度であるが、2つのチップにおいて、互いに向かい合う辺にコイルが配置されるため、特許文献2、3及び5に記載の技術と同様に、コイルの個数は、チップの辺の長さによ

って決まる。よって、非特許文献1及び2の技術を用いて、メモリの容量を増加すると配線の長さ及び配線負荷（容量）が増加し、チップの消費電力が増加する。すなわち、非特許文献1及び2に記載の技術では、メモリ容量の大容量化及び低消費電力化は困難である。

[0009] このような問題に鑑み、本発明の一実施形態は、熱伝導が良く抜熱特性が優れると共に、メモリ容量の大容量化及び低消費電力化が可能なインダクタ通信を用いた半導体モジュール及びその製造方法を提供することを目的の一つとする。

課題を解決するための手段

[0010] 本発明の一実施形態に係る半導体モジュールは、第1方向及び第1方向に交差する第2方向に平行な第1面と、前記第1面に平行な第2面とを含む半導体チップと、第1方向に積層された複数のメモリチップを含み、前記第2面上に配置されたメモリキューブと、を有し、前記複数のメモリチップのそれぞれは、前記第1方向及び前記第2方向に直交する第3方向に配置された第1インダクタを含み、前記半導体チップは、前記第2面に平行に配置された第2インダクタを含み、正面視において、前記第1インダクタは前記第3方向に延在する第1の辺及び第2の辺を含み、前記第2面に平行に切断された前記第1の辺と前記第2の辺の間の距離は、前記第3方向に平行に前記第2面から離れるにつれて短くなり、前記第1インダクタと前記第2インダクタとは、非接触で通信が可能である。

[0011] 正面視において、前記第1インダクタは、前記第1の辺を含み前記第3方向に延在すると共に前記第2方向に有限の第1幅を有する第1部分と、前記第2の辺を含み前記第3方向に延在すると共に前記第2方向に有限の第2幅を有する第2部分と、前記第2面に近接すると共に前記第2面に平行な直線状の一つの辺を含み前記第2方向に延在する共に前記第2方向に平行な長さと同様に前記第3方向に有限の第3幅を有する第3部分を有し、前記第3幅は、前記第1幅及び前記第2幅より広くてもよい。

[0012] 正面視において、前記第1の辺及び第2の辺のそれぞれを、前記第3方向

及び前記第2方向に延長する線と、前記直線状の一つの辺を前記第2方向に延長する辺によって形成される領域の形状は、三角形状であってよい。

[0013] 前記第3幅は、前記複数のメモリチップごとに異なり、前記直線状の一つの辺と前記第2面との間の距離が略同一であってよい。

[0014] 前記メモリチップは複数の前記第1インダクタを含み、前記第2インダクタは、直線状の一つの辺を含み、前記第1インダクタの直線状の一つの辺と、前記第2インダクタの直線状の一つの辺とは、互いに近接し、前記第2方向に平行な長さは、前記第1インダクタの直線状の一つの辺と前記第2インダクタの直線状の一つの辺との間の距離の4倍以上であってよい。

[0015] 前記メモリチップは複数の前記第1インダクタを含み、前記第2インダクタは、直線状の一つの辺を含み、前記第1インダクタの直線状の一つの辺と、前記第2インダクタの直線状の一つの辺とは、互いに近接し、前記第1インダクタと前記第1インダクタに隣接する第1インダクタとの間の距離は、第2方向に平行な長さの $1/4$ 以上であってよい。

[0016] 前記第1インダクタの少なくとも一部は、前記メモリチップの外周部に配置されたシールリングの外側に配置され、前記第2インダクタが前記半導体チップの外周部に配置されたシールリングの内側に配置されてよい。

[0017] 前記第1インダクタは、前記メモリチップに含まれる配線、及び前記メモリキューブの側面に配置された側面配線で構成され、前記配線は前記側面配線と異なってよい。

[0018] メモリキューブを含む半導体モジュールの製造方法であって、複数のメモリチップを積層し、前記複数のメモリチップを含むと共に、第1側面、第2側面、第3側面及び第4側面を含むメモリキューブを形成し、前記第1側面、前記第2側面、前記第3側面及び前記第4側面を平坦化し、前記第1側面、前記第2側面、前記第3側面及び前記第4側面の何れか一つの側面に、通信のためのインダクタに含まれる配線を露出させることを含み、前記何れか一つの側面以外の側面のうち、少なくとも一つの側面に、電源配線及び接地配線が露出し、前記インダクタに含まれる前記配線、前記電源配線、及び前

記接地配線は、前記メモリチップに含まれる配線に含まれる。

- [0019] 前記半導体モジュールは、第1面と、前記第1面と反対側の第2面とを含む半導体チップと、放熱板とをさらに含み、前記第1側面、前記第2側面、前記第3側面及び前記第4側面のうち、前記何れか一つの側面は前記第2面に対向するように配置され、前記何れか一つの側面と反対側の側面には放熱板が配置され、前記何れか一つの側面及び前記反対側の側面以外の二つの側面のうち、少なくとも一つの側面は、前記電源配線に電氣的に接続された側面電源配線、及び、前記接地配線に電氣的に接続された側面接地配線が形成されてよい。
- [0020] 前記側面電源配線及び側面接地配線は、前記半導体チップの前記第2面に延伸し、配置される共に、前記半導体チップに含まれる電極パッドに接続されてよい。
- [0021] 前記複数のメモリチップのそれぞれは、基板及びトランジスタを含むトランジスタ層と前記インダクタを含むインダクタ層とが積層された構成を含み、前記メモリチップの前記インダクタ層同士を接合し、前記メモリチップの前記トランジスタ層同士を接合し、前記複数のメモリチップを積層された前記メモリキューブを形成することを含んでよい。
- [0022] 前記メモリキューブは、第1メモリチップと、前記第1メモリチップに積層された第2メモリチップと、前記第2メモリチップに積層された第3メモリチップと、前記第3メモリチップに積層された第4メモリチップと、前記第4メモリチップに積層された第5メモリチップと、前記第5メモリチップに積層された第6メモリチップとを含み、前記少なくとも一つの側面に露出した、前記第3メモリチップ乃至前記第6メモリチップのそれぞれの前記電源配線を第1の並びの一組とし、前記第1の並びの一組を、前記少なくとも一つの側面に形成された側面電源配線で電氣的に接続し、前記少なくとも一つの側面に露出した、前記第1メモリチップ乃至前記第4メモリチップのそれぞれの前記接地配線を第2の並びの一組とし、前記第2の並びの一組を、前記少なくとも一つの側面に形成された側面接地配線で電氣的に接続するこ

とを含み、前記第1の並びは前記第2の並びと平行であってよい。

[0023] 前記側面電源配線及び前記側面接地配線は、前記基板の側面から前記第2面まで延伸して配置されることを含み、前記側面電源配線及び前記側面接地配線は、前記メモリキューブ及び前記半導体チップを接続するL字状配線を含んでよい。

[0024] 前記インダクタに含まれる配線と電氣的に接続される側面配線をさらに含み、前記インダクタは、前記側面配線及び前記インダクタに含まれる配線を含んでよい。

[0025] 前記何れか一つの側面に露出した全てのインダクタの一つの辺の位置情報をマッピングし、前記全てのインダクタの一つの辺と、前記何れか一つの側面上の所定の場所との相対位置を算出して記録し、前記全てのインダクタの一つの辺と、前記全てのインダクタの一つの辺のそれぞれに対応する前記半導体チップに含まれるインダクタの一つの辺とのズレが最小となる重心点を算出し、前記メモリキューブを前記半導体チップの前記第2面上に配置するための設定位置を、前記重心点に対応する位置にオフセットして、前記メモリキューブを前記第2面上に配置することを含んでよい。

[0026] 前記メモリキューブを前記第2面上に配置するとき、前記メモリチップに含まれる前記インダクタと前記半導体チップに含まれる前記インダクタとをインダクタ通信させて、誘導電流を測定し、前記メモリキューブと前記半導体チップとの位置決めを行うことを含んでよい。

[0027] 前記メモリキューブは、第1メモリチップと、前記第1メモリチップに積層された第2メモリチップと、前記第2メモリチップに積層された第3メモリチップと、前記第3メモリチップに積層された第4メモリチップとを含み、前記第3メモリチップは前記第1メモリチップより薄く、前記第2メモリチップは前記第3メモリチップより薄く、前記第4メモリチップは前記第1メモリチップより厚くてよい。

図面の簡単な説明

[0028] [図1]本発明の第1実施形態に係る半導体モジュールの構成を示す斜視図であ

る。

[図2]本発明の第1実施形態に係るロジックチップに含まれる複数のインダクタ及び複数のメモリチップに含まれるインダクタ群を示す斜視図である。

[図3]図3(A)は図2に示されるロジックチップ上のインダクタ及びメモリチップ上のインダクタの構成を示す斜視図であり、図3(B)は図2に示されるロジックチップとメモリチップ上のインダクタとの位置関係を示す図である。

[図4]本発明の第1実施形態に係る半導体モジュールの構成を示すブロック図である。

[図5]本発明の第1実施形態に係るメモリチップの構成を示す斜視図である。

[図6]図5に示されるA1-A2線に沿ったメモリチップの断面構造を示す断面図である。

[図7]本発明の第1実施形態に係るメモリチップの構成を示すブロック図である。

[図8]本発明の第1実施形態に係るメモリチップに含まれるインダクタ群の構成を示す平面図である。

[図9]本発明の第1実施形態に係るロジックチップの構成を示す斜視図である。

[図10]図9に示されるB1-B2線に沿ったロジックチップの断面構造を示す断面図である。

[図11]本発明の第1実施形態に係るロジックチップの構成を示すブロック図である。

[図12]本発明の第1実施形態に係るロジックチップに含まれるインダクタ群の構成を示す平面図である。

[図13]本発明の第1実施形態に係るロジックチップに含まれるインダクタ及びメモリチップに含まれるインダクタの構成を示す斜視図及び概略図である。

[図14]本発明の第1実施形態に係る複数のメモリチップのそれぞれに含まれ

るインダクタ群の位置関係を示す概略図である。

[図15]本発明の第1実施形態に係るロジックチップに含まれるインダクタ群の位置関係を示す概略図である。

[図16]本発明の第1実施形態に係るインダクタ通信時のロジックチップに含まれるインダクタ群とメモリチップ（メモリチップに含まれるインダクタ群）との関係を示す概略図である。

[図17]図17（A）～図17（C）は本発明の第1実施形態に係る半導体モジュールの製造方法を示す概略図である。

[図18]図18（A）～図18（C）は本発明の第1実施形態に係る半導体モジュールの製造方法を示す概略図である。

[図19]比較例に係る半導体モジュールの構成を示す概略図である。

[図20]本発明の第1実施形態に係る半導体モジュールと比較例に係る半導体モジュールとのメモリチップの積層数に対するデータ通信時の電力及び遅延時間を示すグラフである。

[図21]本発明の第2実施形態に係るロジックチップに含まれるインダクタ群の位置関係を示す概略図である。

[図22]本発明の第2実施形態に係るインダクタ通信時のロジックチップに含まれるインダクタ群とメモリチップ（メモリチップに含まれるインダクタ群）との関係を示す概略図である。

[図23]本発明の第2実施形態に係る複数のメモリチップのそれぞれに含まれるインダクタ群の位置関係を示す概略図である。

[図24]図24（A）及び図24（B）は本発明の第2実施形態に係る半導体モジュールの製造方法を示す概略図である。

[図25]本発明の第3実施形態に係る複数のメモリチップのそれぞれに含まれるインダクタ群の位置関係を示す概略図である。

[図26]本発明の第3実施形態に係るロジックチップに含まれるインダクタ群の位置関係を示す概略図である。

[図27]本発明の第3実施形態に係るインダクタ通信時のロジックチップに含

まれるインダクタ群とメモリチップ（メモリチップに含まれるインダクタ群）との関係を示す概略図である。

[図28]図28（A）～図28（D）は本発明の第3実施形態に係る半導体モジュールの製造方法を示す概略図である。

[図29]図29（A）及び図29（B）は本発明の第3実施形態に係る半導体モジュールの製造方法を示す概略図である。

[図30]図30（A）、図30（B）及び図30（C）は本発明の第4実施形態に係る半導体モジュールの製造方法を示す概略図である。

[図31]図31（A）及び図31（B）は本発明の第4実施形態に係る半導体モジュールの製造方法を示す概略図である。

[図32]図32（A）は本発明の第5実施形態に係るシールリング及びメモリチップに含まれるインダクタの構成を示す平面図であり、図32（B）は図32（A）のC1－C2線に沿ったシールリング及びメモリチップに含まれるインダクタの断面を示す断面図である。

[図33]図33（A）は本発明の第5実施形態に係るシールリング及びロジックチップに含まれるインダクタの構成を示す平面図であり、図33（B）は図33（A）のJ1－J2線に沿ったシールリング断面を示す断面図である。

[図34]図34（A）は本発明の第5実施形態に係るシールリング及びメモリチップに含まれるインダクタの構成を示す平面図であり、図34（B）は図34（A）のE1－E2線に沿ったシールリング及びメモリチップに含まれるインダクタの断面を示す断面図である。

[図35]図35（A）は本発明の第6実施形態に係るメモリキューブに含まれるインダクタの製造方法を示す平面図であり、図35（B）はメモリキューブ及びメモリキューブに含まれるインダクタを示す側面図である。

[図36]図36（A）は本発明の第6実施形態に係るメモリキューブに含まれるインダクタの製造方法を示す平面図であり、図36（B）は図35（A）のF1－F2線に沿ったメモリキューブの断面を示す断面図である。

[図37]図37(A)は本発明の第6実施形態に係るメモリキューブに含まれるインダクタの製造方法を示す平面図であり、図37(B)はメモリキューブ及びメモリキューブに含まれるインダクタを示す側面図である。

[図38]図38(A)は本発明の第6実施形態に係るメモリキューブに含まれるインダクタの製造方法を示す平面図であり、図38(B)は図37(A)のG1-G2線に沿ったメモリキューブの断面を示す断面図である。

[図39]本発明の第7実施形態に係る半導体モジュールの電源線の構成を示す斜視図である。

[図40]図39のH1-H2線に沿った半導体モジュールの断面を示す断面図である。

[図41]図41(A)及び図41(B)は本発明の第7実施形態に係る半導体モジュールの電源線の製造方法を示す側面図である。

[図42]本発明の第8実施形態に係る半導体モジュールを実装した集積回路を示す斜視図である。

[図43]図42の集積回路の断面を示す断面図である。

[図44]図44(A)～図44(C)は本発明の第8実施形態に係る半導体モジュールを実装した集積回路の断面を示す断面図である。

[図45]本発明の第9実施形態に係る半導体モジュールの実装方法を示すフローチャートである。

発明を実施するための形態

[0029] 以下、本発明の実施形態を、図面などを参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、以下に例示する実施形態の記載内容に限定して解釈されるものではない。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状などについて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号（又は数字の後に a、b などを付した符号）を付して、詳細な説明を適宜省略することがある。さらに各要素に対す

る「第1」、「第2」と付記された文字は、各要素を区別するために用いられる便宜的な標識であり、特段の説明がない限りそれ以上の意味を有しない。

[0030] 本発明の一実施形態において、ある部材又は領域が他の部材又は領域の「上に（又は下に）」あるとする場合、特段の限定がない限りこれは他の部材又は領域の直上（又は直下）にある場合のみでなく他の部材又は領域の上方（又は下方）にある場合を含み、すなわち、他の部材又は領域の上方（又は下方）において間に別の構成要素が含まれている場合も含む。

[0031] 本発明の一実施形態において、D1方向はD2方向に交差し、D3方向はD1方向及びD2方向（D1D2平面）に交差する。D1方向は第1方向と呼ばれ、D2方向は第2方向と呼ばれ、D3方向は第3方向と呼ばれる。

[0032] 本発明の一実施形態において、同一及び一致という表記を用いている場合、同一及び一致には、設計の範囲での誤差が含まれてよい。また、本発明の一実施形態において、設計の範囲での誤差が含まれる場合、略同一及び略一致という表現を用いる場合がある。

[0033] <第1実施形態>

第1実施形態に係る半導体モジュール10を、図1～図20を参照して、説明する。

[0034] <1-1. 半導体モジュール10の概要>

半導体モジュール10の概要を図1～図4を参照して説明する。図1は半導体モジュール10の構成を示す斜視図である。図2はロジックチップ200に含まれる複数のインダクタ272及び複数のメモリチップ110に含まれるインダクタ群171を示す斜視図である。図3（A）は図2に示されるロジックチップ200上のインダクタ272及びメモリチップ110上のインダクタ172の構成を示す斜視図であり、図3（B）は図2に示されるロジックチップ200とメモリチップ110上のインダクタ172との位置関係を示す図である。図4は半導体モジュール10の構成を示すブロック図である。

- [0035] はじめに、半導体モジュール10の構成を図1～図3を参照して説明する。図1に示されるように、半導体モジュール10は、メモリキューブ100と、ロジックチップ200と、接着層300とを含む。ロジックチップ200は半導体チップと呼ばれる場合がある。
- [0036] メモリキューブ100は、複数のメモリチップ110が積層された構成を含むと共に、ロジックチップ200の第2面204上に配置される。複数のメモリチップ110のそれぞれは、同様の構成を含む。複数のメモリチップ110のそれぞれは、例えば、トランジスタ層130、配線層150及びインダクタ層170を含む。ロジックチップ200は、例えば、トランジスタ層230、配線層250及びインダクタ層270を含み、D1方向（第1方向）及び第1方向に交差するD2方向（第2方向）に平行な第1面202と、第1面202と反対側の第2面204とを含む。第1面202はトランジスタ層230に対して配線層250が配置される面と反対側の面であり、第2面204はインダクタ層270に対して配線層250が配置される面と反対側の面である。接着層300は、メモリキューブ100の第2側面146と、ロジックチップ200の第2面204との間に配置され、メモリキューブ100とロジックチップ200とを接続する。
- [0037] 図2に示されるように、複数のメモリチップ110のそれぞれのインダクタ層170は、第1方向及び第2方向（すなわち、第1面202及び前記第2面204）に直交するD3方向（第3方向）に平行に配置された複数のインダクタ172（第1インダクタ）を含む。ロジックチップ200は、複数のインダクタ172が配置された位置に平行であると共に、第2面204に平行に近接して配置された複数のインダクタ272（第2インダクタ）を含む。なお、インダクタ層270は複数のインダクタ272を含む。
- [0038] 複数のメモリチップ110は、例えば、メモリチップ110_n、及び、メモリチップ110_nに隣接して配置されたメモリチップ110_{n+1}を含む。メモリチップ110_nはインダクタ層170_nを含む。インダクタ層170_nは、複数のインダクタ172を含み、複数のインダクタ172は、直線

状の一つの辺172bbを含むインダクタ172bを含む。

[0039] メモリチップ110nと同様に、メモリチップ110n+1はインダクタ層170n+1を含む。インダクタ層170n+1は複数のインダクタ172を含み、複数のインダクタ172は、直線状の一つの辺172abを含むインダクタ172aを含む。なお、インダクタ172b及びインダクタ172aと同様に、直線状の一つの辺172bb及び直線状の一つの辺172abは、第2面204に近接すると共に平行である。

[0040] 複数のインダクタ172は第2方向に平行に並んで配置される。インダクタ172は端子A及び端子Bを含む。詳細は後述されるが、インダクタ172は、端子A及び端子Bを用いて、送受信回路114に電氣的に接続される。

[0041] 複数のインダクタ272は、第1方向及び第2方向にマトリクス状に配置される。複数のインダクタ272は、直線状の一つの辺272abを含むインダクタ272a、及び、直線状の一つの辺272bbを含むインダクタ272bを含む。インダクタ272は端子C及び端子Dを含む。詳細は後述されるが、インダクタ272は、端子C及び端子Dを用いて、送受信回路214に電氣的に接続される。

[0042] 図2及び図3(A)に示されるように、インダクタ172の形状及びインダクタ272の形状は、例えば、三角形状である。メモリチップ110はロジックチップ200に垂直に立った状態であるため、インダクタ172はインダクタ272に対して、90度で対向する。複数のインダクタ172と複数のインダクタ272のうち、互いに対向する一つのインダクタ172と一つのインダクタ272とが、磁界結合することによって、互いのインダクタが1対1で通信可能である。磁界結合することに伴う互いのインダクタ同士の通信は、例えば、インダクタ通信、信号通信、データ通信などと呼ばれる。なお、インダクタ172の形状及びインダクタ272の形状は、三角形状に限定されない。例えば、インダクタ172の形状及びインダクタ272の形状は台形状であってよく、五角形状であってもよい。インダクタ172の

形状及びインダクタ272の形状は、インダクタ通信可能な形状であればよい。

[0043] 図2又は図3(A)に示されるように、例えば、インダクタ172aとインダクタ272aとは互いに90度で対向し、磁界結合することによって、1対1で通信可能である。より具体的には、実効的なインダクタ通信は、インダクタ172aの三角形の底辺（直線状の一つの辺172ab）と、直線状の一つの辺172abに重畳するインダクタ272aの三角形の底辺（直線状の一つの辺272ab）とによって行われる。直線状の一つの辺172abは、主に、直線状の一つの辺272abと、インダクタ通信を行う機能を有する。インダクタ172aでは、直線状の一つの辺172abを除く二つの辺は、主に、直線状の一つの辺172abに電流を供給する機能を有する。インダクタ172aと同様に、インダクタ272aでは、直線状の一つの辺272abを除く二つの辺は、主に、直線状の一つの辺272abに電流を供給する機能を有する。インダクタ172b及びインダクタ272bは、インダクタ172a及びインダクタ272aと同様の構成及び機能を有する。

[0044] 図3(B)に示されるように、正面視において、複数のインダクタ172のそれぞれは、第1の辺193aを含みD3方向に延在すると共にD2方向に有限の第1幅DSを有する第1部分193と、第2の辺194aを含みD3方向に延在すると共にD2方向に有限の第2幅DSを有する第2部分194と、第2面204に近接すると共に第2面204に平行な直線状の一つの辺（例えば、辺172ab）を含みD2方向に延在する共にD22方向に平行な長さDhとD3方向に有限の第3幅Widを有する第3部分196を含む。また、インダクタ172aにおいて、第2面204に平行に切断された第1の辺193aと第2の辺194aとの間の距離（距離W1、距離W2及び距離W3）は、D3方向に平行に第2面204から離れるにつれて短くなる。すなわち、距離W1、距離W2及び距離W3は、この順に短くなる。なお、インダクタ172aは、メモリキューブ100の第2側面146に垂直

に配置される。また、正面視において、第1の辺193a及び第2の辺194aを、D3方向及びD2方向に延在する線と、直線状の一つの辺（例えば、172ab）をD2方向に延在する辺によって形成される領域195の形状は、三角形形状である。なお、領域195の形状は、三角形形状に限定されない。例えば、インダクタ172aは、第1の辺193aと直線状の一つの辺の間に第3の辺（図示は省略）を含む第4部分（図示は省略）、並びに、第2の辺194aと直線状の一つの辺の間に第4の辺（図示は省略）を含む第5部分（図示は省略）を含む台形状であってよく、五角形状であってよく、領域195の形状は台形状であってよく、五角形状であってよい。インダクタ172aの形状及び領域195の形状は、インダクタ通信可能な形状であればよい。インダクタ272aはインダクタ172aと同様の構成及び機能を有してよい。なお、本明細書及び図面では、D1方向から、D2方向及びD3方向に平行な面を見ることを正面視と呼ぶ。

[0045] 次に、半導体モジュール10の電気的な回路構成の概略を、図4を参照して説明する。図4に示されるように、メモリキューブ100は、複数の磁界結合チップ間インターフェース（Through Chip Interface-IO（TCI-IO））112、及び、複数のメモリモジュール111を含む。複数のTCI-IO112はメモリモジュール111に電氣的に接続される。

[0046] TCI-IO112は、インダクタ172、送受信回路114、及び並列直列変換回路113を含む。インダクタ172は端子A及び端子Bを用いて送受信回路114に電氣的に接続される。送受信回路114は並列直列変換回路113に電氣的に接続される。並列直列変換回路113はメモリモジュール111に電氣的に接続される。

[0047] インダクタ172は、ロジックチップ200のインダクタ272との間で、非接触でインダクタ通信する機能を有する。

[0048] 送受信回路114は、例えば、インダクタ172によって受信された信号（データ）を増幅する機能、及び、受信された信号（データ）からノイズを

除去する機能を有する。また、送受信回路114は、例えば、並列直列変換回路113を用いて変換された所望の信号（データ）を電波に載せる機能を有する。インダクタ172によって受信された信号は、ロジックチップ200からの多数の並列信号（パラレル信号）を含む。前記所望の信号は、メモリモジュール111からの多数の並列信号（パラレル信号）を含む。

[0049] 並列直列変換回路113は、例えば、ステップ1にて、ロジックチップ200からの多数の並列信号を並列直列変換して、直列信号（シリアル信号）に変換する。直列信号は、一つの信号経路（配線）を使用して高速転送される。並列直列変換回路113は、ステップ2にて、メモリモジュール111の直前で、前記直列信号を直列並列変換して、多数の並列信号に戻したのち、前記多数の並列信号をメモリモジュール111に送信する。メモリモジュール111からロジックチップ200に信号（データ）を送信する場合には、並列直列変換回路113は、例えば、ステップ2に続けてステップ1を実行する。並列直列変換回路113は、例えば、SerDes回路（Serialize and Deserialise Circuit）と呼ばれる。

[0050] メモリモジュール111は、例えば、送信する多数の並列信号を生成する機能、受信した多数の並列信号を制御し、メモリセルアレイ115（図7を参照）に格納する機能を含む。

[0051] ロジックチップ200は、複数の磁界結合チップ間インターフェース（Through Chip Interface-I/O（TCI-I/O））212、及び、複数の論理モジュール211を含む。複数のTCI-I/O212は論理モジュール211に電氣的に接続される。

[0052] TCI-I/O212は、インダクタ272、送受信回路214、及び並列直列変換回路213を含む。インダクタ272は端子C及び端子Dを用いて送受信回路214に電氣的に接続される。送受信回路214は並列直列変換回路213に電氣的に接続される。並列直列変換回路213は論理モジュール211に電氣的に接続される。

[0053] インダクタ 272、送受信回路 214、並列直列変換回路 213 及び論理モジュール 211 の構成及び機能などは、インダクタ 172、送受信回路 114、並列直列変換回路 113 及びメモリモジュール 111 の構成及び機能などと同様である。よって、インダクタ 272、送受信回路 214、並列直列変換回路 213 及び論理モジュール 211 の構成及び機能などの説明はここでは省略される。

[0054] 第 1 実施形態に係る半導体モジュール 10 は、上述したような機能及び構成を含む。メモリチップ 110 に含まれるインダクタ 172 と、ロジックチップ 200 に含まれるインダクタ 272 との間で非接触のインダクタ通信を用いて、信号が送受信される。半導体モジュール 10 におけるメモリチップ 110（インダクタ 172）と、ロジックチップ 200（インダクタ 272）との間の距離は、実質的に接着層 300 の厚さである。半導体モジュール 10 におけるメモリチップ 110（インダクタ 172）と、ロジックチップ 200（インダクタ 272）との間の距離は、配線、貫通電極及びバンプなどを用いて接続されたメモリチップ 110 とロジックチップ 200 との間の距離より、短くすることができる。その結果、半導体モジュール 10 では、バンプによる隙間ができず、薄い接着層 300 を用いてメモリチップ 110 とロジックチップ 200 とが接合可能であるため、熱抵抗が低く、抜熱特性に優れる。また、半導体モジュール 10 の配線抵抗及び寄生容量が抑制されるため、半導体モジュール 10 を用いた通信は、消費電力を抑制することができる。

[0055] また、半導体モジュール 10 は、複数のインダクタ 172 を含む複数のメモリチップ 110 が積層されたメモリキューブ 100 を含み、メモリチップのサイズを大きくすることなく、大容量のメモリを実現することができる。すなわち、半導体モジュール 10 は、チップサイズが大きなモジュールと比較して、半導体モジュール 10 の配線抵抗及び寄生容量が抑制された大容量メモリを含む。よって、低消費電力かつ大容量のメモリが、半導体モジュール 10 を用いることによって、実現可能である。

[0056] さらに、半導体モジュール10は、互いに90度で対向して配置されたインダクタ172とインダクタ272との間で、1対1でのインダクタ通信可能な構成を含む。また、複数のインダクタ172がメモリキューブ100の第2側面146に平行に配置され、複数のインダクタ272がロジックチップ200の第2面204に平行に配置され、互いのインダクタは1対1で通信することができる。その結果、大容量の信号（データ）を並列に通信し易い。

[0057] また、例えば、インダクタの形状が長方形又は正方形の場合には、隣接する二つのインダクタ間の距離が、第2面204の距離に依存せずに、一定の距離である。隣接する二つのインダクタ間の距離が一定の場合には、隣接する二つのインダクタ同士は互いに干渉するため、クロストークが生じる。一方、上述のとおり、半導体モジュール10は例えば三角形の複数のインダクタ172を含み、インダクタ172の二つの辺の間の距離が第2面204から離れるにつれて短くなる。すなわち、隣接する二つのインダクタ172の間の距離は、第2面204から離れるにつれて長くなる。よって、隣接する二つのインダクタ172同士は互いに干渉し難いため、半導体モジュール10は、クロストークを抑制可能である。

[0058] <1-2. メモリキューブ100の概要>

次に、メモリキューブ100の概要を図1、図5～図8を参照して説明する。図5はメモリチップ110の構成を示す斜視図である。図6は、図5に示されるA1-A2線に沿ったメモリチップ110の断面構造を示す断面図である。図7は、メモリチップ110の構成を示すブロック図である。図8はインダクタ群171の構成を示す平面図である。図1～図4と同一又は類似する構成については、ここでの説明を省略する。

[0059] 図1を参照し、「1-1. 半導体モジュール10の概要」で説明したとおり、メモリキューブ100は、複数のメモリチップ110がD1方向に積層された構成を含む。メモリキューブ100は、D2方向及びD3方向に平行な第1面142、及び、D1方向に対して第1面142と反対側であると共

に第1面142に平行な第2面144を含む。また、メモリキューブ100は、第1面142及び第2面144に垂直な第1側面145、第1側面145に隣接する第2側面146、第2側面146に隣接する第3側面147、及び、第3側面147及び第1側面145に隣接する第4側面148を含む。なお、第2側面146が接着層300に接し、メモリキューブ100はロジックチップ200の第2面204上に配置される。

[0060] 図1及び図5に示されるように、複数のメモリチップ110のそれぞれは、例えば、トランジスタ層130、配線層150及びインダクタ層170を含む。

[0061] 複数のメモリチップ110のそれぞれは、例えば、メモリチップ110_n、メモリチップ110_nに隣接するメモリチップ110_{n+1}、メモリチップ110_{n+1}に隣接するメモリチップ110_{n+2}、メモリチップ110_{n+2}に隣接するメモリチップ110_{n+3}、メモリチップ110_{n+3}に隣接するメモリチップ110_{n+4}を含む。

[0062] 複数のメモリチップ110のそれぞれが区別されない場合、メモリチップは、メモリチップ110と表現される。複数のメモリチップ110のそれぞれが区別される場合、メモリチップは、メモリチップ110_n、メモリチップ110_{n+1}、メモリチップ110_{n+2}などと表現される。

[0063] 複数のメモリチップ110と同様に、複数のインダクタ群171及び複数のインダクタ172のそれぞれが区別されない場合、インダクタ群はインダクタ群171と表現され、インダクタはインダクタ172と表現される。複数のインダクタ群171及び複数のインダクタ172のそれぞれが区別される場合、インダクタ群はインダクタ群171a、171bなどと表現され、インダクタはインダクタ172a、172bなどと表現される。

[0064] 図5に示されるように、メモリチップ110は、D2方向及びD3方向に平行な第1面102と、D1方向に対して第1面102と反対側の第2面104とを含む。第1面102はトランジスタ層130に対して配線層150が配置される面と反対側の面であり、第2面104はインダクタ層170に

対して配線層250が配置される面と反対側の面である。第1面102及び第2面104は、第1面142及び第2面144に平行である。

[0065] また、メモリチップ110は、第1面102及び第2面104に垂直な第1側面105、第1側面105に隣接する第2側面106、第2側面106に隣接する第3側面107、及び、第3側面107及び第1側面105に隣接する第4側面108を含む。第1側面105は第1側面145の一部であり、第2側面106は第2側面146の一部であり、第3側面107は第3側面147の一部であり、第4側面108は第4側面148の一部である。

[0066] インダクタ層170は、複数のインダクタ群171を含む。複数のインダクタ群171のそれぞれは複数のインダクタ172を含む。例えば、インダクタ群171は、5つのインダクタ172を含む。複数のインダクタ群171は、D2方向及びD3方向（すなわち、第1面102及び第2面104）に垂直に、D3方向に平行に配置された複数のインダクタ172を含む。複数のインダクタ群171のそれぞれは、第4側面108から離れて、第2側面146に近接して配置されると共に、D2方向に延伸して配置される。なお、インダクタ群171に含まれる複数のインダクタ172の個数は、5つに限定されない。インダクタ172の個数は、半導体モジュール10の仕様、用途などに応じて、適宜変更可能である。

[0067] 図6に示されるように、トランジスタ層130は、例えば、基板173、素子分離領域174、活性化領域175、トランジスタ176、絶縁層177、及び配線178の一部を含む。基板173は、例えば、Si基板、Si-waferである。

[0068] 配線層150は、配線と絶縁層とが交互に積層された多層配線構造を含む。配線層150は、例えば、配線178の一部、絶縁層179、配線180、及び絶縁層181を含む。配線層150における多層配線の層数は、図6に示される2層に限定されない。配線層150における多層配線の層数は、3層以上であってよい。配線層150における多層配線の層数は、半導体モジュール10の仕様、用途などに応じて、適宜変更可能である。

- [0069] インダクタ層170は、例えば、絶縁層182、及び複数のインダクタ172を含む。また、インダクタ層170は、複数のインダクタ群171を含む。
- [0070] 図7に示されるように、メモリチップ110は、複数のメモリモジュール111、複数のTCI-IO112、電源配線164及び接地配線165を含む。複数のメモリモジュール111のそれぞれはメモリセルアレイ115を含む。複数のTCI-IO112のそれぞれは複数のインダクタ群171を含み、インダクタ群171は複数のインダクタ172を含む。
- [0071] メモリモジュール111は、メモリセルアレイ115への信号（データ）の格納、メモリセルアレイ115からの信号（データ）の読み出し、TCI-IO112への信号（データ）の送信、又は、TCI-IO112からの信号（データ）の受信などを制御するための機能を有する。
- [0072] メモリセルアレイ115は複数のメモリセル（図示は省略）を含む。複数のメモリセルアレイ115のそれぞれは、例えば、SRAM (Static Random Access Memory) であり、複数のメモリセルのそれぞれは、SRAMセルである。セルである。SRAM、SRAMセル、SRAM用のメモリモジュール111は、SRAMの技術分野において使用される技術を採用することができる。よって、詳細な説明は、ここでは省略する。なお、複数のメモリセルアレイ115及び複数のメモリセルは、SRAM以外のメモリセルアレイ及びメモリセルであってよく、例えば、DRAM (Dynamic Random Access Memory) 及びDRAMセル、MRAM (Magnetoresistive Random Access Memory) 及びMRAMセルなどであってよい。
- [0073] 複数のメモリモジュール111及び複数のTCI-IO112は、電源配線164及び接地配線165に電氣的に接続される。電源配線164及び接地配線165には、例えば、外部回路（図示は省略）に電氣的に接続され、電源（VDD）及びVSSなどが供給される。VDDは、例えば、1V、3Vなどである。VSSは、例えば、接地電圧、0Vなどである。

[0074] 図8に示されるように、複数のインダクタ群171は、メモリチップ110の第2側面106に近接し、D2方向に平行に並ぶ。複数のインダクタ群171のそれぞれは、複数のインダクタ172を含む。例えば、インダクタ群171は、5つのインダクタ172c、172d、172e、172f及び172gを含む。複数のインダクタ172は、例えば、データ通信（データ伝送）の機能を有するインダクタ、及び、クロック通信（クロック伝送）の機能を有するインダクタを含む。インダクタ群171はチャンネル（Channel）と呼ばれる場合がある。例えば、インダクタ172cは、1対1で対応するインダクタ272とのデータ通信の機能を有し、第1データチャンネル（Data Channel 1）とよばれる。インダクタ172d、172f及び172gは、インダクタ172cと同様の機能及び構成を有し、それぞれ、第2データチャンネル（Data Channel 2）、第3データチャンネル（Data Channel 3）、及び第4データチャンネル（Data Channel 4）とよばれる。例えば、インダクタ172eは、1対1で対応するインダクタ272とのクロック通信（クロック伝送）の機能を有し、クロックチャンネル（Clock Channel）とよばれる。各インダクタ172は、クロック通信によって受信したクロックに応じて（同期して）、1対1で対応するインダクタ272とインダクタ通信を行ってよく、各インダクタ172は、クロック通信によって受信したクロックに同期せず（非同期で）、1対1で対応するインダクタ272とインダクタ通信を行ってもよい。また、例えば、インダクタ172eはクロック通信の機能を有さず、インダクタ172cと同様の機能及び構成を有し、各インダクタ172は、非同期で、1対1で対応するインダクタ272とインダクタ通信を行ってもよい。半導体モジュール10のインダクタ通信は、半導体モジュール10の仕様、用途などにに基づき、本発明を逸脱しない範囲において、適宜選択することができる。

[0075] 例えば、メモリキューブ100のD1方向の長さMCBZ（図1を参照）は5.12mm、メモリキューブ100のD2方向の長さMCBY（図1を

参照)は5.00mm、メモリキューブ100のD3方向の長さMCBX(図1を参照)は5.00mmである。例えば、メモリチップ110の厚さTHI(図6を参照)は80 μ mである。例えば、D2方向に平行なインダクタ群171の長さMIX(図8を参照)は600 μ mであり、D3方向に平行なインダクタ群171の長さMIY(図8を参照)は160 μ mである。例えば、メモリチップ110が2nmのCMOSプロセスで作製され、メモリキューブ100が、64枚のメモリチップ110が積層された上記のサイズで構成され、インダクタ群171が4つのデータチャネルを含む上記のサイズで構成され、データ転送レートが200Gbpsである場合を考える。なお、例えば、インダクタ172とインダクタ272との一つのデータチャネルのデータレートは50Gbpsであり、クロックチャネルのシステムクロックの周波数は0.5GHzであり、送受信回路114及び214のクロック周波数は250GHzである。

[0076] メモリチップ110当たりのメモリ容量は0.25GBであり、メモリキューブ100のメモリ容量は16GBである。また、一つのインダクタ群171は4つのデータチャネルを含み、すなわち、メモリチップ110当たり4つのデータチャネルを含み、データ転送レートはメモリチップ110当たり800Gbps=100GBpsである。よって、メモリキューブ100の総データ転送レートは、100GBps \times 64=6.4TBpsである。

[0077] <1-3. ロジックチップ200の概要>

次に、ロジックチップ200の概要を図1、図9~図12を参照して説明する。図9はロジックチップ200の構成を示す斜視図である。図10は、図9に示されるB1-B2線に沿ったロジックチップ200の断面構造を示す断面図である。図11は、ロジックチップ200の構成を示すブロック図である。図12はインダクタ群271の構成を示す平面図である。図1~図8と同一又は類似する構成については、ここでの説明を省略する。

[0078] 図1を参照し、「1-1. 半導体モジュール10の概要」で説明したとおり、ロジックチップ200は、トランジスタ層230、配線層250及びイ

ンダクタ層 270 がこの順序で D3 方向に積層された構成を含み、D1 方向及び D2 方向に平行な第 1 面 202 と、第 1 面 202 と反対側の第 2 面 204 とを含む。第 1 面 202 はトランジスタ層 230 に対して配線層 250 が配置される面と反対側の面であり、第 2 面 204 はインダクタ層 270 に対して配線層 250 が配置される面と反対側の面である。

[0079] 図 1 及び図 9 に示されるように、ロジックチップ 200 は、例えば、トランジスタ層 230、配線層 250 及びインダクタ層 270 を含む。

[0080] インダクタ層 170 は、複数のインダクタ群 271 を含む。複数のインダクタ群 271 のそれぞれは複数のインダクタ 272 を含む。例えば、インダクタ群 271 は、5 つのインダクタ 272 を含む。複数のインダクタ群 271 は、D1 方向及び D2 方向（すなわち、第 1 面 202 及び第 2 面 204）に平行にマトリクス状に配置される。また、複数のインダクタ 172 は、D1 方向及び D2 方向（すなわち、第 1 面 202 及び第 2 面 204）に平行にマトリクス状に配置される。なお、インダクタ群 271 に含まれる複数のインダクタ 272 の個数は、5 つに限定されない。インダクタ 272 の個数は、半導体モジュール 10 の仕様、用途などに応じて、適宜変更可能である。

[0081] また、ロジックチップ 200 は、略中央部に、メモリキューブ配置領域 210 を含む。メモリキューブ配置領域 210 は、接着層 300 と接し、接着層 300 が配置される。メモリキューブ配置領域 210 上に、メモリキューブ 100 が配置される。また、メモリキューブ配置領域 210 は、複数のインダクタ群 271 に重畳する。例えば、複数のインダクタ群 271 は、正面視において、メモリキューブ配置領域 210 の内側に配置される。

[0082] 複数のインダクタ群 271 及び複数のインダクタ 272 のそれぞれが区別されない場合、インダクタ群はインダクタ群 271 と表現され、インダクタはインダクタ 272 と表現される。複数のインダクタ群 271 及び複数のインダクタ 272 のそれぞれが区別される場合、インダクタ群はインダクタ群 271 a、271 b などと表現され、インダクタはインダクタ 272 a、272 b などと表現される。

- [0083] 図10に示されるように、トランジスタ層230は、例えば、素子分離領域274及び活性化領域275を含む基板273、トランジスタ276a、トランジスタ276b、絶縁層277、配線278aの一部、及び配線278bの一部を含む。基板273は、例えば、Si基板、Si-waferである。
- [0084] 配線層250は、配線と絶縁層とが交互に積層された多層配線構造を含む。配線層250は、例えば、配線278aの一部、配線278bの一部、絶縁層279、配線280a、配線280b、及び絶縁層281を含む。配線層250における多層配線の層数は、図10に示される2層に限定されない。配線層250における多層配線の層数は、3層以上であってよい。配線層250における多層配線の層数は、半導体モジュール10の仕様、用途などに応じて、適宜変更可能である。
- [0085] インダクタ層270は、例えば、絶縁層282、及び複数のインダクタ272（インダクタ272a、インダクタ272b）を含む。また、インダクタ層270は、複数のインダクタ群271を含む。
- [0086] 図11に示されるように、ロジックチップ200は、例えば、複数の論理モジュール211、複数のTCI-IO212、複数のDRAMインターフェース（Dynamic Random Access Memory（DRAM）IO）215、及び複数の外部IO216を含む。複数のTCI-IO212のそれぞれは複数のインダクタ群271を含み、インダクタ群271は複数のインダクタ272を含む。なお、図11に示されるロジックチップ200の構成は一例であって、ロジックチップ200の構成は図11に示される例に限定されない。例えば、ロジックチップ200は、DRAM IO215を含まなくてもよい。
- [0087] 論理モジュール211は、TCI-IO212への信号（データ）の送信、又は、TCI-IO212からの信号（データ）の受信などを制御するための機能を有する。また、論理モジュール211は、メモリチップ110内のメモリモジュール111を駆動する機能を有する。例えば、論理モジュール

ル211は、メモリモジュール111を駆動するための信号をTCI-IO212を介して送信する。論理モジュール211は、例えば、CPU (Central Processing Unit) などの演算回路を含んでよい。

[0088] DRAMIO215は、例えば、DRAMモジュール400 (図42を参照) に電氣的に接続され、DRAMモジュール400とロジックチップ200との信号の送受信を行う機能を有する。外部IO216は、例えば、ロジックチップ200と外部回路 (図示は省略、例えば、電源回路など) と電氣的に接続され、外部回路とロジックチップ200との信号の送受信を行う機能を有する。

[0089] 複数の論理モジュール211のそれぞれは、複数のTCI-IO212の一部、複数のDRAMIO215の一部、及び複数の外部IOの一部に電氣的に接続される。複数の論理モジュール211のそれぞれは、例えば、外部回路から電源 (VDD) 及びVSSなどが供給され、DRAMモジュール400に格納されている制御プログラムをDRAMモジュール400から受信し、制御プログラムの処理を実行する。

[0090] 図12に示されるように、複数のインダクタ群271は、D1方向及びD2方向にマトリクス状に配置される。複数のインダクタ群271のそれぞれは、複数のインダクタ272を含む。例えば、インダクタ群271は、5つのインダクタ272c、272d、272e、272f及び272gを含む。複数のインダクタ272は、複数のインダクタ172と同様に、例えば、データ通信 (データ伝送) の機能を有するインダクタ、及び、クロック通信 (クロック伝送) の機能を有するインダクタを含む。また、インダクタ群271は、インダクタ群171と同様に、チャンネルと呼ばれる場合があり、例えば、インダクタ272cは、1対1で対応するインダクタ172とのデータ通信の機能を有し、第1データチャンネル (Data Channel 1) とよばれる。インダクタ272d、272f及び272gは、インダクタ272cと同様の機能及び構成を有し、それぞれ、第2データチャンネル (

Data Channel 2)、第3データチャネル(Data Channel 3)、及び第4データチャネル(Data Channel 4)とよばれる。また、例えば、インダクタ272eは、1対1で対応するインダクタ172とのクロック通信(クロック伝送)の機能を有し、クロックチャネル(Clock Channel)とよばれる。各インダクタ172と同様に、各インダクタ272は、クロック通信によって受信したクロックに応じて(同期して)、1対1で対応するインダクタ172とインダクタ通信を行ってよく、クロック通信によって受信したクロックに同期せず(非同期で)、1対1で対応するインダクタ172とインダクタ通信を行ってもよい。また、例えば、インダクタ272eはクロック通信の機能を有さず、インダクタ272cと同様の機能及び構成を有し、各インダクタ272は、非同期で、1対1で対応するインダクタ172とインダクタ通信を行ってもよい。

[0091] 例えば、ロジックチップ200のD1方向の長さLCX(図1を参照)は12.00mm、ロジックチップ200のD2方向の長さLCY(図1を参照)は12.00mmである。例えば、ロジックチップ200のD3方向の厚さは、メモリチップ110の厚さTHI(図1を参照)と同様に、80 μ mである。例えば、D2方向に平行なインダクタ群271の長さLI_X(図12を参照)は600 μ mであり、D1方向に平行なインダクタ群271の長さLI_Y(図12を参照)は160 μ mである。例えば、ロジックチップ200が、メモリチップ110と同様に、2nmのCMOSプロセスで作製され、インダクタ群271が4つのデータチャネルを含む上記のサイズで構成される。また、データ転送レート、一つのデータチャネルのデータレート、システムクロックの周波数、送受信回路114及び214のクロック周波数は「1-2. メモリキューブ100の概要」で説明したとおりである。

[0092] <1-4. インダクタ172及びインダクタ272の概要>

次に、インダクタ172及びインダクタ272の概要を、主に、図13を参照して説明する。図13はロジックチップ200に含まれるインダクタ2

72及びメモリチップ110に含まれるインダクタ172の構成を示す斜視図及び概略図である。図1～図12と同一又は類似する構成については、ここでの説明を省略する。

[0093] 図13に示されるインダクタ172a及びインダクタ272aの斜視図は、図2の一部を省略し拡大した図である。「1-1. 半導体モジュール10の概要」で説明したとおり、複数のインダクタ172は、直線状の一つの辺172abを含むインダクタ172aを含み、複数のインダクタ272は、直線状の一つの辺272abを含むインダクタ272aを含む。また、インダクタ172aとインダクタ272aとは、互いに90度で対向して配置され、直線状の一つの辺172ab及び直線状の一つの辺272abは、近接すると共に平行であり、第2面204にも平行である。

[0094] インダクタ172a及びインダクタ272aの構成を見やすくするため、図13に示されるインダクタ172a及びインダクタ272aの平面図は、D1及びD2方向に形成される面（第2面204）に対して、平行になるように示されている。実際には、メモリチップ110が、ロジックチップ200の第2面204に対して、D3方向に配置（すなわち、垂設）されるため、インダクタ172a及びインダクタ272aは、ロジックチップ200の第2面204に対して、D3方向に配置される。

[0095] 図13に示されるように、インダクタ172aとインダクタ272aとの距離、及び、直線状の一つの辺172abと直線状の一つの辺272abとの距離は、距離Disで示される。インダクタ172aの高さは高さMidvで示され、直線状の一つの辺172abのD3方向の幅は幅Widで示され、直線状の一つの辺172ab及び直線状の一つの辺272abのD2方向の長さは長さDhで示され、インダクタ272aの高さは高さLidvで示される。また、互いに隣接するインダクタ172の間隔（間の距離）、及び、互いに隣接するインダクタ272の間隔（間の距離）は、間隔（距離）Shで示される。

[0096] 距離Disは $10\mu\text{m} \pm 5\mu\text{m}$ (3σ)であり、例えば、 $18\mu\text{m}$ である

。高さ $MIDv$ は例えば $160\ \mu m$ であり、幅 Wid は例えば $20\ \mu m$ であり、長さ Dh は例えば $80\ \mu m$ であり、高さ $LIDv$ は例えば $80\ \mu m$ である。インダクタ 172 を構成する三つの辺のうち、直線状の一つの辺 172 ab の幅 Wid は、最も広い。また、長さ Dh は、例えば、距離 Dis の 4 倍以上であってよく、距離 Dis の 4 倍以上、距離 Dis の 15 倍以下であってよい。高さ $MIDv$ は、例えば、長さ Dh 以上であってよく、長さ Dh 以上、長さ Dh の 5 倍以下であってよい。距離 Sh は、例えば、長さ Dh の $1/4$ 以上であってよく、長さ Dh の $1/2$ 以上、長さ Dh の 2 倍以下であってよい。

[0097] <1-5. インダクタ群 171 及びインダクタ群 271 の概要>

次に、第 1 実施形態に係るインダクタ群 171 及びインダクタ群 271 の概要を、図 14～図 16 を参照して説明する。図 14 は複数のメモリチップ 110 のそれぞれに含まれるインダクタ群 171 の位置関係を示す概略図であり、図 15 は複数のインダクタ群 271 の位置関係を示す概略図であり、図 16 はインダクタ通信時のロジックチップ 200 に含まれるインダクタ群 271 とメモリチップ 110 (メモリチップ 110 に含まれるインダクタ群 171) との関係を示す概略図である。図 1～図 13 と同一又は類似する構成については、ここでの説明を省略する。

[0098] 図 14 に示されるように、メモリキューブ 100 は、例えば、「1-2. メモリキューブ 100 の概要」において説明したとおり、メモリチップ $110_n \sim 110_{n+3}$ を含む。メモリチップ 110_n 及びメモリチップ 110_{n+1} は例えば互いのインダクタ層 170 (図 1 を参照) 同士が対向するように積層され、メモリチップ 110_{n+2} 及びメモリチップ 110_{n+3} は例えば互いのインダクタ層 170 (図 1 を参照) 同士が対向するように積層される。また、メモリチップ 110_{n+1} 及びメモリチップ 110_{n+2} は例えば互いのトランジスタ層 130 (図 1 を参照) 同士が対向するように積層される。

[0099] インダクタ群 171 $a \sim 171_f$ の構成を見やすくするため、図 14 に示

されるインダクタ群171a~171fは、D1及びD2方向に形成される面（ロジックチップ200の第2面204）に対して、平行になるように示されている。実際には、メモリチップ110n~110n+3が、ロジックチップ200の第2面204に対して、D3方向に配置（垂設）されるため、インダクタ群171a~171fは、ロジックチップ200の第2面204に対して、垂設される。

[0100] 例えば、メモリチップ110nはインダクタ群171bを含み、メモリチップ110n+1はインダクタ群171a及びインダクタ群171cを含み、メモリチップ110n+2はインダクタ群171eを含み、メモリチップ110n+3はインダクタ群171d及びインダクタ群171fを含む。図14はメモリキューブ100の一部を拡大した図であり、メモリチップ110n~110n+3のそれぞれは、複数のインダクタ群171を含み、複数のインダクタ群171は互いに長さM×離れて配置される。例えば、インダクタ群171aは図示されていないD2方向に平行に隣接するインダクタ群171と長さM×離れて配置される。その他のインダクタ群も同様に、図示されていないD2方向に平行に隣接するインダクタ群171とは長さM×離れて配置される。なお、インダクタ群171a~171fのそれぞれは、「1-2. メモリキューブ100の概要」において図8を参照して説明されたインダクタ群171と同様の構成及び機能を含む。

[0101] メモリキューブ100をD3方向から見た場合（すなわち、D1及びD2方向に垂直な方向、第2面204に垂直な方向）、メモリチップ110n~110n+3に含まれるインダクタ群171a~171fは市松模様に配置される。

[0102] 図15に示されるように、複数のインダクタ群271は、インダクタ群271a~271fを含む。インダクタ群271a~271fは、D1方向及びD2方向に一様にマトリクス状に配置される。インダクタ群271a~271fのそれぞれは、「1-3. ロジックチップ200の概要」において図12を参照して説明されたインダクタ群271と同様の構成及び機能を含む。

- 。
- [0103] インダクタ群271a、271b及び271cのそれぞれの直線状の一つの辺（例えば、272ab）が、例えば、メモリチップ110nとメモリチップ110n+1との境界上に、平行に配置される。また、インダクタ群271d、271e及び271fのそれぞれの直線状の一つの辺（例えば、272bb）が、例えば、メモリチップ110n+2とメモリチップ110n+3との境界上に、平行に配置される。
- [0104] 例えば、メモリチップ110n~110n+3及びロジックチップ200の厚さTHIが80μmの場合、メモリチップ110nとメモリチップ110n+1との境界と、メモリチップ110n+2とメモリチップ110n+3との境界との間隔（間の距離）は、厚さTHIの2倍（THI×2）の160μmである。また、長さDhは例えば70μmであり、インダクタ群271aとインダクタ群271dとのD1方向の間隔MIS（間の距離MIS）は例えば90μmである。よって、第1実施形態に係る半導体モジュール10は、メモリチップ110n~110n+3及びロジックチップ200の厚さTHIがインダクタ172及びインダクタ272の直線状の一つの辺の長さDhより厚い（長い）。
- [0105] 図16に示されるように、例えば、半導体モジュール10は、3つのチャネル（チャネル1（Channel1）、チャネル2（Channel2）、チャネル3（Channel3））を含む。例えば、メモリチップ110n及びメモリチップ110n+2は偶数チャネル（チャネル2）に対応し、メモリチップ110n+1及びメモリチップ110n+3は奇数チャネル（チャネル1及びチャネル3）に対応する。
- [0106] ロジックチップ200に含まれるインダクタ群271bの複数のインダクタ272は、それぞれ1対1に対応するメモリチップ110nに含まれるインダクタ群171bの複数のインダクタ172と、チャネル2で通信する。同様にして、インダクタ群271aの複数のインダクタ272はそれぞれ1対1に対応するインダクタ群171aの複数のインダクタ172とチャネル

1で通信し、インダクタ群271cの複数のインダクタ272はそれぞれ1対1で対応するインダクタ群171cの複数のインダクタ172とチャンネル3で通信し、インダクタ群271eの複数のインダクタ272はそれぞれ1対1で対応するインダクタ群171eの複数のインダクタ172とチャンネル2で通信し、インダクタ群271dの複数のインダクタ272は、それぞれ1対1で対応するインダクタ群171dの複数のインダクタ172とチャンネル1で通信し、インダクタ群271fの複数のインダクタ272はそれぞれ1対1で対応するインダクタ群171fの複数のインダクタ172とチャンネル3で通信する。

[0107] 半導体モジュール10は、複数のチャンネルを含むことによって、略同一な位置に配置されるメモリチップ110_n及びメモリチップ110_{n+1}と、ロジックチップ200との通信でのクロストークを抑制することができる。同様にして、略同一な位置に配置されるメモリチップ110_{n+2}及びメモリチップ110_{n+3}と、ロジックチップ200との通信でのクロストークを抑制することができる。

[0108] 半導体モジュール10の設計では、例えば、インダクタ群271aとインダクタ群271dとのD1方向の間隔MISは、インダクタ172及びインダクタ272の直線状の一つの辺の長さDhと同程度の長さにすることが好ましい。それによって、互いに隣接するインダクタ間での通信におけるクロストークを抑制することができる。例えば、メモリチップ110_{n+1}のインダクタ群171aに含まれるインダクタC_{m1}は、ロジックチップ200のインダクタ群271aに含まれるインダクタC_{l1}と磁界結合しインダクタ通信可能であるが、インダクタC_{m1}は、ロジックチップ200のインダクタ群271dに含まれるインダクタC_{l4}とは磁界結合せず、クロストークしない。また、インダクタC_{l1}とインダクタC_{l4}は磁界結合せず、クロストークしない。

[0109] <1-6. 半導体モジュール10の製造方法の一例>

次に、半導体モジュール10の製造方法の一例を、主に、図17及び図1

8を参照して説明する。図17(A)～図17(C)、図18(A)～図18(C)は半導体モジュール10の製造方法を示す概略図である。図1～図16と同一又は類似する構成については、ここでの説明を省略する。

[0110] メモリチップ110同士が、互いのインダクタ層170側の第2面104を対向するように積層（接合）することを、例えば、F2F接合（Face to Face Fusion）と呼ぶ。メモリチップ110同士が、互いのトランジスタ層130側の第1面102を対向するように積層（接合）することを、例えば、B2B接合（Back to Back Fusion）とよぶ。メモリチップ110同士が、インダクタ層170側の第2面104とトランジスタ層130側の第1面102とを対向するように積層（接合）することを、例えば、F2B接合（Face to Back Fusion）とよぶ。メモリチップ同士の積層（接合）は、例えば、溶着（フュージョンボンディング（Fusion Bonding））、シリコン直接接合（Silicon Direct Bonding（SDB））などの技術を用いることができる。溶着、シリコン直接接合は、当該技術分野において使用される技術であるから、詳細な説明は、ここでは省略する。

[0111] ステップ1では、メモリチップ110_nの第2面104とメモリチップ110_{n+1}の第2面104とが対向するように積層（接合）される（図17(A)を参照）。すなわち、ステップ1では、2つのメモリチップ110_n及びメモリチップ110_{n+1}がF2F接合によって接合される。メモリチップ110の厚さTH1は例えば80μmである。

[0112] ステップ2では、ステップ1でF2F接合されたメモリチップ110_n及びメモリチップ110_{n+1}が、メモリチップ110_n及びメモリチップ110_{n+1}と同様にF2F接合されたメモリチップ110_{n+2}及びメモリチップ110_{n+3}と接合される（図17(B)を参照）。例えば、接合されたメモリチップ110_n及びメモリチップ110_{n+1}のメモリチップ110_{n+1}側の第1面102が、接合されたメモリチップ110_{n+2}及びメモリチップ110_{n+3}のメモリチップ110_{n+2}側の第1面102と

接合される。すなわち、4つのメモリチップ $110n \sim 110n+3$ がB2B接合される。

[0113] ステップ3では、ステップ2でB2B接合されたメモリチップ $110n \sim 110n+3$ が、メモリチップ $110n \sim 110n+3$ と同様にB2B接合されたメモリチップ $110n+4 \sim 110n+7$ とB2B接合される（図17（C）を参照）。例えば、接合されたメモリチップ $110n$ 及びメモリチップ $110n+1$ のメモリチップ $110n+1$ 側の第1面102が、接合されたメモリチップ $110n+2$ 及びメモリチップ $110n+3$ のメモリチップ $110n+2$ 側の第1面102と接合される。すなわち、4つのメモリチップ $110n \sim 110n+3$ がB2B接合される。2つのメモリチップ 110 が結合された厚さは例えば厚さTH1の2倍の $160 \mu m$ である。

[0114] ステップ3と同様のステップを、ステップ4～ステップ6まで繰り返すことによって、メモリチップ $110n \sim 110n+63$ を積層（接合）し、64層のメモリチップ 110 が積層されたメモリキューブ100を形成する（図18（A）を参照）。メモリキューブ100の第1側面145、第2側面146、第3側面147及び第4側面は、例えば、研磨して平坦化される。研磨は例えば化学的機械研磨（Chemical Mechanical Polishing（CMP））を用いることができる。

[0115] 次に、ステップ7では、メモリキューブ100が、接着層300を用いて、ロジックチップ200上に配置される。例えば、メモリキューブ100の第2側面146が、接着層300に接続され、メモリキューブ100の第2側面146及び接着層300が、ロジックチップ200の第2面204上に接着される（図18（B）を参照）。接着層300は、例えば、エポキシ樹脂やアクリルポリマーなどを含む接着剤であってよく、エポキシ樹脂やアクリルポリマーを含むダイボンディングフィルム（Die Bonding Film）であってよく、ダイアタッチフィルム（Die Attached Film）などの接着フィルムであってよい。

[0116] 次に、ステップ8では、接着層300が配置されていないロジックチップ

200の第2面204と、メモリキューブ100の第1面142及び第2面144、並びに、メモリキューブ100の第4側面148に接するように、放熱層152が積層される（図18（C）を参照）。第4側面148は、D2方向に対して、第2側面146の反対側の面である。なお、放熱層152は、放熱板と呼ばれる場合がある。

[0117] 例えば、複数のメモリチップ110の厚さTHIは、厚さTHI±1.3μm（3σ）の精度で加工することができる。また、インダクタ172の位置は、例えば、64層のメモリチップ110が積層されたメモリキューブ100では、設計値±4μm（3σ）となる。さらに、メモリキューブ100をロジックチップ200上に実装するチップボンダーの位置合わせ精度は設計値±2μm（3σ）である。よって、例えば、実装時のインダクタ172（例えば、直線状の一つの辺172ab）の水平位置は、設計値±4.5μm（3σ）となる。また、例えば、インダクタ172とインダクタ272との距離Disが設計値で10μmであり、実装時のインダクタ172（例えば、直線状の一つの辺172ab）の水平位置のばらつき±4.5μmを考慮した場合には、インダクタの直線状の一つの辺172ab及び272abの長さDhは、距離Disが11μmであってもインダクタ通信可能なように、設計される。

[0118] <1-7. 半導体モジュール10と比較例に係る半導体モジュール500との比較>

次に、半導体モジュール10と比較例に係る半導体モジュール500との比較を、主に、図1、図2、図19及び図20を参照して説明する。図19は比較例に係る半導体モジュールの構成を示す概略図であり、図20は半導体モジュール10と比較例（PRIOR ART）に係る半導体モジュール500とのメモリチップの積層数に対するデータ通信時の電力及び遅延時間を示すグラフである。図1～図18と同一又は類似する構成については、ここでの説明を省略する。

[0119] 図19に示されるように、比較例に係る半導体モジュール500は、複数

のメモリチップ510及びロジックチップ520がD3方向に積層された構成を含む。複数のメモリチップ510のそれぞれは、保護回路512、保護回路512に電氣的に接続されたインターフェース514、及び、インターフェース514に電氣的に接続されたメモリモジュール516を含む。ロジックチップ520は、保護回路512、保護回路512に電氣的に接続されたインターフェース524、及び、インターフェース524に電氣的に接続された論理モジュール526を含む。複数のメモリチップ510に含まれる保護回路512とロジックチップ520に含まれる保護回路512とは、D3方向に平行に形成された貫通電極530を用いて接続される。半導体モジュール500では、複数のメモリチップ510が例えば、銅(Cu)を用いた貫通電極530によって接続される。

[0120] すなわち、図20に示されるように、半導体モジュール500では、メモリチップ510の積層数に比例して貫通電極530の長さが伸びるため、貫通電極530に伴う配線抵抗及び配線容量などの寄生容量が大きくなる。その結果、半導体モジュール500では、データ通信時の電力及び通信に要する遅延時間が、メモリチップ510の積層数に比例して増加する。また、半導体モジュール500では、例えば、電源ノイズ(スイッチングノイズ)などのノイズ量も増加する。

[0121] 一方、半導体モジュール10では、メモリキューブ100に含まれる複数のインダクタ172と1対1で対応するロジックチップ200に含まれるインダクタ272との距離は、1対1で対応するインダクタ172とインダクタ272とによって略同一であると共に、1対1で対応するインダクタ172とインダクタ272とは非接触でインダクタ通信可能である。よって、半導体モジュール10の配線抵抗及び配線容量などの寄生容量は、半導体モジュール500より小さくできる。したがって、図20に示されるように、半導体モジュール10は、半導体モジュール500より、低消費電力、かつ、高速通信が可能である。また、半導体モジュール10は、半導体モジュール500より、電源ノイズ(スイッチングノイズ)などのノイズ量も低減でき

る。

[0122] <第2実施形態>

第2実施形態に係る半導体モジュール10Aを、図21～図24(B)を参照して説明する。図21は第2実施形態に係る複数のメモリチップ110のそれぞれに含まれるインダクタ群171の位置関係を示す概略図であり、図22は本発明の第2実施形態に係るロジックチップ200Aに含まれるインダクタ群271の位置関係を示す概略図であり、図23は本発明の第2実施形態に係るインダクタ通信時のロジックチップ200Aに含まれるインダクタ群271とメモリチップ110(メモリチップに含まれるインダクタ群171)との関係を示す概略図であり、図24(A)及び図24(B)は本発明の第2実施形態に係る半導体モジュール10Aの製造方法を示す概略図である。図1～図20と同一又は類似する構成については、ここでの説明を省略する。

[0123] <2-1. 半導体モジュール10Aの概要>

図21、図22、図23、図24(A)又は図24(B)に示されるように、半導体モジュール10Aは、メモリキューブ100A及びロジックチップ200Aを含む。

[0124] メモリキューブ100が64層のメモリチップ110を含むのに対し、メモリキューブ100Aは128層のメモリチップ110を含む。また、詳細は後述するが、メモリキューブ100Aのインダクタ群171及びロジックチップ200Aのインダクタ群271の配置が、メモリキューブ100のインダクタ群171及びロジックチップ200のインダクタ群271の配置と異なる。メモリキューブ100A及びロジックチップ200Aのその他の機能及び構成は、メモリキューブ100及びロジックチップ200と同様であるため、詳細な説明はここでは省略される。

[0125] メモリキューブ100は、例えば、「1-2. メモリキューブ100の概要」において説明した構成と同様の構成を含む。例えば、メモリキューブ100は、メモリチップ110_n～110_{n+5}を含む。メモリチップ110

n 及びメモリチップ110 $n+1$ 、メモリチップ110 $n+2$ 及びメモリチップ110 $n+3$ 、並びに、メモリチップ110 $n+4$ 及びメモリチップ110 $n+5$ は例えば互いのインダクタ層170（図1を参照）同士が対向するように積層される。また、メモリチップ110 $n+1$ 及びメモリチップ110 $n+2$ 、並びに、メモリチップ110 $n+3$ 及びメモリチップ110 $n+4$ は互いのトランジスタ層130（図1を参照）同士が対向するように積層される。

[0126] インダクタ群171a～171fの構成を見やすくするため、図14と同様に、図21に示されるインダクタ群171a～171fは、D1及びD2方向に形成される面（ロジックチップ200の第2面204）に対して、平行になるように示されている。

[0127] メモリチップ110 n はインダクタ群171aを含み、メモリチップ110 $n+1$ はインダクタ群171cを含み、メモリチップ110 $n+2$ はインダクタ群171bを含み、メモリチップ110 $n+3$ はインダクタ群171dを含み、メモリチップ110 $n+4$ はインダクタ群171eを含み、メモリチップ110 $n+5$ はインダクタ群171fを含む。図21はメモリキューブ100Aの一部を拡大した図である。

[0128] メモリチップ110 n ～110 $n+5$ のそれぞれは、複数のインダクタ群171を含み、同一のメモリチップ110内の複数のインダクタ群171はD2方向に互いに長さL×Xの3倍離れて配置される。例えば、インダクタ群171aは図示されていないD2方向に平行に隣接するインダクタ群171と長さM×Xの3倍離れて配置される。その他のインダクタ群も同様に、図示されていないD2方向に平行に隣接するインダクタ群171とは長さM×Xの3倍離れて配置される。

[0129] 互いにインダクタ層170（第2面104）同士が対向するように積層（接合）されたメモリチップ110では、インダクタ群171同士の間隔（距離）は長さM×X離れて配置される。例えば、メモリチップ110 n に含まれるインダクタ群171aはメモリチップ110 $n+1$ に含まれるインダク

タ群171bと長さM1X離れて配置される。メモリチップ110nとメモリチップ110n+1と同様に、メモリチップ110n+2~110n+5に含まれるインダクタ群も同様である。

[0130] なお、インダクタ群171a~171fのそれぞれは、「1-2. メモリキューブ100の概要」において図8を参照して説明されたインダクタ群171と同様の構成及び機能を含む。

[0131] 図22に示されるように、複数のインダクタ群271は、インダクタ群271a~271fを含む。インダクタ群271a~271fは、D1方向及びD2方向に市松模様に配置される。インダクタ群271a~271fのそれぞれは、「1-3. ロジックチップ200の概要」において図12を参照して説明されたインダクタ群271と同様の構成及び機能を含む。

[0132] インダクタ群271a及び271cのそれぞれの直線状の一つの辺（例えば、272ab）が、例えば、メモリチップ110nとメモリチップ110n+1との境界上に、平行に配置される。インダクタ群271b及び271dのそれぞれの直線状の一つの辺（例えば、272ab）が、例えば、メモリチップ110n+2とメモリチップ110n+3との境界上に、平行に配置される。また、インダクタ群271e及び271fのそれぞれの直線状の一つの辺（例えば、272bb）が、例えば、メモリチップ110n+4とメモリチップ110n+5との境界上に、平行に配置される。

[0133] 例えば、メモリチップ110n~110n+5及びロジックチップ200の厚さTHIが40 μ mの場合、メモリチップ110nとメモリチップ110n+1との境界と、メモリチップ110n+2とメモリチップ110n+3との境界との間隔（間の距離）は、厚さTHIの2倍（THI \times 2）の80 μ mである。同様にして、メモリチップ110n+2とメモリチップ110n+3との境界と、メモリチップ110n+4とメモリチップ110n+5との境界との間隔（間の距離）は、厚さTHIの2倍（THI \times 2）の80 μ mである。

[0134] また、長さDhは例えば70 μ mであり、インダクタ群271aとインダ

クタ群271eとのD1方向の間隔MIS（間の距離MIS）は例えば80 μ mである。よって、第2実施形態に係る半導体モジュール10は、メモリチップ110n~110n+5及びロジックチップ200の厚さTHI（40 μ m）がインダクタ172及びインダクタ272の直線状の一つの辺の長さDh（70 μ m）より薄い（短い）。

[0135] 図23に示されるように、例えば、半導体モジュール10Aは、4つのチャネル（チャネル1（Channel1）、チャネル2（Channel2）、チャネル3（Channel3）、チャネル4（Channel4））を含む。例えば、メモリチップ110n及びメモリチップ110n+4はチャネル1に対応し、メモリチップ110n+2はチャネル2に対応し、メモリチップ110n+1及びメモリチップ110n+5はチャネル3に対応し、メモリチップ110n+3はチャネル4に対応する。

[0136] 同様にして、ロジックチップ200Aに含まれるインダクタ群271aの複数のインダクタ272は、それぞれ1対1に対応するメモリチップ110nに含まれるインダクタ群171aの複数のインダクタ172と、チャネル1で通信する。ロジックチップ200Aに含まれるインダクタ群271bの複数のインダクタ272はそれぞれ1対1に対応するメモリチップ110n+2に含まれるインダクタ群171bの複数のインダクタ172とチャネル2で通信し、ロジックチップ200Aに含まれるインダクタ群271cの複数のインダクタ272はそれぞれ1対1に対応するメモリチップ110n+1に含まれるインダクタ群171cの複数のインダクタ172とチャネル3で通信し、ロジックチップ200Aに含まれるインダクタ群271dの複数のインダクタ272は、それぞれ1対1に対応するメモリチップ110n+3に含まれるインダクタ群171dの複数のインダクタ172とチャネル4で通信し、ロジックチップ200Aに含まれるインダクタ群271eの複数のインダクタ272はそれぞれ1対1に対応するメモリチップ110nに含まれるインダクタ群171eの複数のインダクタ172とチャネル1で通信し、ロジックチップ200Aに含まれるインダクタ群271fの複数のイン

ダクタ272はそれぞれ1対1で対応するメモリチップ110n+5に含まれるインダクタ群171fの複数のインダクタ172とチャンネル3で通信する。

[0137] 半導体モジュール10Aは、複数のチャンネルを含むことによって、メモリチップ110と、ロジックチップ200との通信でのクロストークを抑制することができる。

[0138] 例えば、複数のメモリチップ110の厚さTHIは、厚さTHI±1.3μm(3σ)の精度で加工することができる。また、半導体モジュール10Aの設計では、インダクタ172の位置は、例えば、128層のメモリチップ110が積層されたメモリキューブ100では、設計値±6μm(3σ)となる。例えば、インダクタ群271aとインダクタ群271eとのD1方向の間隔MISは、インダクタ172及びインダクタ272の直線状の一つの辺の長さDhと同程度の長さにするのが好ましい。それによって、互いに隣接するインダクタ間での通信におけるクロストークを抑制することができる。例えば、メモリチップ110nのインダクタ群171aに含まれるインダクタCm1は、ロジックチップ200Aのインダクタ群271aに含まれるインダクタC11と磁界結合しインダクタ通信可能であるが、インダクタCm1は、ロジックチップ200Aのインダクタ群271eに含まれるインダクタC14とは磁界結合せず、クロストークしない。また、インダクタC11とインダクタC14は磁界結合せず、クロストークしない。

[0139] <2-2. 半導体モジュール10Aの製造方法の一例>

次に、半導体モジュール10Aの製造方法の一例を、主に、図24を参照して説明する。図24(A)及び図24(B)は半導体モジュール10Aの製造方法を示す概略図である。図1~図23と同一又は類似する構成については、ここでの説明を省略する。

[0140] 半導体モジュール10Aの製造方法は、「1-6. 半導体モジュール10の製造方法の一例」で、図17(A)~図17(C)及び図18(A)を参照して説明した製造方法と同様に、ステップ1~ステップ6を実行してメモ

リチップ110を64層積層する。続いて、ステップ9では、メモリチップ110が64層積層された二つのブロックをB2B接合することによって、128層のメモリチップ110が積層されたメモリキューブ100Aを形成する(図24(A)を参照)。

[0141] 次に、ステップ10では、「1-6. 半導体モジュール10の製造方法の一例」で、図18(B)及び図18(C)を参照して説明したステップ7及びステップ8と同様に、メモリキューブ100Aが、接着層300を用いて、ロジックチップ200A上に配置され、放熱層152が積層される(図24(B)を参照)。

[0142] <第3実施形態>

第3実施形態に係る半導体モジュール10Bを、図25~図29(B)を参照して説明する。図25は本発明の第3実施形態に係る複数のメモリチップ110のそれぞれに含まれるインダクタ群171の位置関係を示す概略図であり、図26は本発明の第3実施形態に係るロジックチップ200Bに含まれるインダクタ群271の位置関係を示す概略図であり、図27は本発明の第3実施形態に係るインダクタ通信時のロジックチップ200Cに含まれるインダクタ群271とメモリチップ110(メモリチップに含まれるインダクタ群171)との関係を示す概略図であり、図28(A)~図28(D)、図29(A)及び図29(B)は本発明の第3実施形態に係る半導体モジュール10Bの製造方法を示す概略図である。図1~図24と同一又は類似する構成については、ここでの説明を省略する。

[0143] <3-1. 半導体モジュール10Bの概要>

図25、図26、図29(A)又は図29(B)に示されるように、半導体モジュール10Bは、メモリキューブ100B及びロジックチップ200Bを含む。

[0144] メモリキューブ100Bは、メモリキューブ100Aと同様に、128層のメモリチップ110を含む。また、詳細は後述するが、メモリキューブ100Bのインダクタ群171及びロジックチップ200Bのインダクタ群2

71の配置が、メモリキューブ100のインダクタ群171及びロジックチップ200のインダクタ群271の配置と異なる。メモリキューブ100B及びロジックチップ200Bのその他の機能及び構成は、メモリキューブ100及びロジックチップ200と同様であるため、詳細な説明はここでは省略される。

[0145] メモリキューブ100Bは、例えば、「1-2. メモリキューブ100の概要」において説明した構成と同様の構成を含む。例えば、メモリキューブ100は、メモリチップ $110_n \sim 110_{n+4}$ を含む。メモリチップ 110_n 及びメモリチップ 110_{n+1} 、メモリチップ 110_{n+1} 及びメモリチップ 110_{n+2} 、メモリチップ 110_{n+2} 及びメモリチップ 110_{n+3} 、並びに、メモリチップ 110_{n+3} 及びメモリチップ 110_{n+4} は例えばインダクタ層170とトランジスタ層130とが対向するように積層される。

[0146] インダクタ群171a~171eの構成を見やすくするため、図14と同様に、図21に示されるインダクタ群171a~171eは、D1及びD2方向に形成される面（ロジックチップ200の第2面204）に対して、平行になるように示されている。

[0147] メモリチップ 110_n はインダクタ群171aを含み、メモリチップ 110_{n+1} はインダクタ群171bを含み、メモリチップ 110_{n+2} はインダクタ群171cを含み、メモリチップ 110_{n+3} はインダクタ群171dを含み、メモリチップ 110_{n+4} はインダクタ群171eを含む。図25はメモリキューブ100Bの一部を拡大した図である。

[0148] 図21と同様に、メモリチップ $110_n \sim 110_{n+4}$ のそれぞれは、複数のインダクタ群171を含み、同一のメモリチップ110内の複数のインダクタ群171はD2方向に互いに長さL1Xの3倍離れて配置される。なお、インダクタ群171a~171eのそれぞれは、「1-2. メモリキューブ100の概要」において図8を参照して説明されたインダクタ群171と同様の構成及び機能を含む。

[0149] 図26に示されるように、複数のインダクタ群271は、インダクタ群271a~271eを含む。インダクタ群271bは、インダクタ群271aを、D2方向に長さL1X、D1方向に厚さTH1(40μm)離れて配置される。インダクタ群271bと同様に、インダクタ群271cはインダクタ群271bをD2方向に長さL1X、D1方向に厚さTH1(40μm)離れて配置される。インダクタ群271cと同様に、インダクタ群271dはインダクタ群271bをD2方向に長さL1X、D1方向に厚さTH1(40μm)離れて配置される。インダクタ群271eはインダクタ群271aをD1方向に厚さTH1(40μm)の4倍離れて配置される。なお、インダクタ群271a~271eのそれぞれは、「1-3. ロジックチップ200の概要」において図12を参照して説明されたインダクタ群271と同様の構成及び機能を含む。

[0150] インダクタ群271aの直線状の一つの辺(例えば、272ab)が、メモリチップ110nのインダクタ272aが配置される位置の上に、平行に配置される。インダクタ群271aと同様に、インダクタ群271bの直線状の一つの辺(例えば、272ab)がメモリチップ110n+1のインダクタ272bが配置される位置の上に平行に配置され、インダクタ群271cの直線状の一つの辺(例えば、272ab)がメモリチップ110n+2のインダクタ272cが配置される位置の上に平行に配置され、インダクタ群271dの直線状の一つの辺(例えば、272ab)がメモリチップ110n+3のインダクタ272cが配置される位置の上に平行に配置され、インダクタ群271eの直線状の一つの辺(例えば、272ab)がメモリチップ110n+4のインダクタ272eが配置される位置の上に平行に配置される。

[0151] 厚さTH1は例えば40μmであり、長さDhは例えば70μmであり、インダクタ群271aとインダクタ群271eとのD1方向の間隔MIS(間の距離MIS)は例えば80μmである。よって、第3実施形態に係る半導体モジュール10Bは、メモリチップ110n~110n+4及びロジック

クチップ200の厚さTHI (40 μ m) がインダクタ172及びインダクタ272の直線状の一つの辺の長さDh (70 μ m) より薄い (短い)。

[0152] 図27に示されるように、例えば、半導体モジュール10Bは、半導体モジュール10Aと同様に、4つのチャネル (チャネル1 (Channel 1)、チャネル2 (Channel 2)、チャネル3 (Channel 3)、チャネル4 (Channel 4)) を含む。メモリチップ110n及びメモリチップ110n+4はチャネル1に対応し、メモリチップ110n+2はチャネル2に対応し、メモリチップ110n+1はチャネル3に対応し、メモリチップ110n+3はチャネル4に対応する。

[0153] ロジックチップ200Cに含まれるインダクタ群271aの複数のインダクタ272は、それぞれ1対1に対応するメモリチップ110nに含まれるインダクタ群171aの複数のインダクタ172と、チャネル1で通信する。ロジックチップ200Cに含まれるインダクタ群271bの複数のインダクタ272はそれぞれ1対1に対応するメモリチップ110n+1に含まれるインダクタ群171bの複数のインダクタ172とチャネル2で通信し、ロジックチップ200Cに含まれるインダクタ群271cの複数のインダクタ272はそれぞれ1対1に対応するメモリチップ110n+2に含まれるインダクタ群171cの複数のインダクタ172とチャネル3で通信し、ロジックチップ200Cに含まれるインダクタ群271dの複数のインダクタ272は、それぞれ1対1に対応するメモリチップ110n+3に含まれるインダクタ群171dの複数のインダクタ172とチャネル4で通信し、ロジックチップ200Cに含まれるインダクタ群271eの複数のインダクタ272はそれぞれ1対1に対応するメモリチップ110nに含まれるインダクタ群171eの複数のインダクタ172とチャネル1で通信する。

[0154] 半導体モジュール10Bは、複数のチャネルを含むことによって、メモリチップ110と、ロジックチップ200Bとの通信でのクロストークを抑制することができる。

[0155] <2-2. 半導体モジュール10Bの製造方法の一例>

次に、半導体モジュール10Bの製造方法の一例を、主に、図28(A)～図28(D)、図29(A)及び図29(B)を参照して説明する。図28(A)～図28(D)、図29(A)及び図29(B)は半導体モジュール10Bの製造方法を示す概略図である。図1～図27と同一又は類似する構成については、ここでの説明を省略する。

- [0156] ステップ21では、メモリチップ110nの第2面104とメモリチップ110n+1の第1面102とが対向するように、F2B接合される(図28(A)を参照)。メモリチップ110の厚さTH1は例えば40 μ mである。
- [0157] ステップ22では、ステップ1でF2B接合されたメモリチップ110n及びメモリチップ110n+1のメモリチップ110n+1側の第2面104と、メモリチップ110n+2の第1面102とが対向するように、F2B接合される(図28(B)を参照)。
- [0158] ステップ23では、ステップ2でF2B接合されたメモリチップ110n+2の第2面104が、メモリチップ110n+3の第1面102とF2B接合される(図28(C)を参照)。
- [0159] ステップ23と同様のステップを124回繰り返すことによって、互いのチップ同士をF2B結合することによってメモリチップ110n～110n+127を積層(接合)し、128層のメモリチップ110が積層されたメモリキューブ100Bを形成する(図28(D)を参照)。メモリキューブ100と同様に、メモリキューブ100Bの第1側面145、第2側面146、第3側面147(図示は省略)及び第4側面は、例えば、研磨して平坦化される。
- [0160] 次に、メモリキューブ100と同様に、メモリキューブ100Bが、接着層300を用いて、ロジックチップ200B上に配置され、接着層300が配置されていないロジックチップ200Bの第2面204と、メモリキューブ100あの第1面142及び第2面144、並びに、メモリキューブ100Bの第4側面148に接するように、放熱層152が積層される(図29

(B) を参照)。

[0161] <第4実施形態>

第4実施形態では、半導体モジュール10の製造方法の一例を、図30(A)～図31(B)を参照して説明する。図30(A)、図30(B)及び図30(C)、並びに、図31(A)及び図31(B)は本発明の第4実施形態に係る半導体モジュールの製造方法を示す概略図である。図1～図29(B)と同一又は類似する構成については、ここでの説明を省略する。

[0162] メモリキューブ100は、例えば、メモリチップ $110_n \sim 110_{n+3}$ を含み、「1-6. 半導体モジュール10の製造方法の一例」において説明した構成と同様の構成を含む。すなわち、メモリチップ 110_n とメモリチップ 110_{n+1} とはF2F接続され、メモリチップ 110_{n+2} とメモリチップ 110_{n+3} とはF2F接続され、メモリチップ 110_{n+1} とメモリチップ 110_{n+2} とはB2B接続される。

[0163] 図30(A)に示される通り、メモリチップ $110_n \sim 110_{n+3}$ の積層時に、メモリキューブ100の第2側面146に対応するメモリチップ $110_n \sim 110_{n+3}$ のD3方向の位置がばらつく。例えば、インダクタ172の高さMidvは $160\mu\text{m}$ 、インダクタ172の直線状の一つの辺172abの幅Widは $20\mu\text{m}$ である。

[0164] 図30(B)に示される通り、メモリチップ $110_n \sim 110_{n+3}$ の積層時に、例えば、メモリキューブ100の第2側面146が平坦になるように、第2側面146に対応するメモリチップ $110_n \sim 110_{n+3}$ の端部(研磨部分190)が研磨される。

[0165] メモリキューブ100の第2側面146が平坦になるように研磨されると、直線状の一つの辺172abが第2側面146に露出する(図30(C)を参照)。

[0166] 図31(A)に示されるように、直線状の一つの辺172abが第2側面146に露出した状態で、メモリキューブ100の第2側面146が接着層300に接するように配置され、メモリキューブ100及び接着層300が

ロジックチップ200の第2面104上に配置される。

[0167] メモリキューブ100とロジックチップ200との合わせ精度MALは、例えば、メモリチップ110nとメモリチップ110n+1との境界（メモリチップ110n+2とメモリチップ110n+3との境界）に対して、±5μmである。

[0168] 複数の直線状の一つの辺172abと第2面204との間の距離DFSは略同一である。距離DFSは、接着層300の厚さ及び距離Disと同一である。例えば、距離DFSは15μm以上20μm以下である。

[0169] また、図31(C)に示されるように、メモリキューブ100は、例えば、厚さTHIが異なる複数のメモリチップ110n~110n+3によって形成されてよい。例えば、メモリチップ110n+3の厚さTHI4はメモリチップ110nの厚さTHIより厚く、メモリチップ110nの厚さTHIはメモリチップ110n+3の厚さTHI3より厚く、メモリチップ110n+3の厚さTHI3はメモリチップ110n+2の厚さTHI2より厚い。

[0170] <第5実施形態>

第5実施形態では、半導体モジュール10のシールリング160を、図32(A)~図34(B)を参照して説明する。図32(A)は本発明の第5実施形態に係るシールリング160及びメモリチップ110に含まれるインダクタ172の構成を示す平面図であり、図32(B)は図32(A)のC1-C2線に沿ったシールリング160及びメモリチップ110に含まれるインダクタ172の断面を示す断面図である。図33(A)は本発明の第5実施形態に係るシールリング260及びロジックチップ200に含まれるインダクタ272の構成を示す平面図であり、図33(B)は図33(A)のJ1-J2線に沿ったシールリング断面を示す断面図である。図34(A)は本発明の第5実施形態に係るシールリング160及びメモリチップ110に含まれるインダクタ172の構成を示す平面図であり、図34(B)は図34(A)のE1-E2線に沿ったシールリング160及びメモリチップ1

10に含まれるインダクタ172の断面を示す断面図である。図1～図31(B)と同一又は類似する構成については、ここでの説明を省略する。

[0171] 図32(A)及び図32(B)に示されるように、メモリキューブ100はシールリング160を含む。シールリング160は、外周部192に設けられ、配線層150に形成される。インダクタ172はシールリング160に乗じる(跨る)ように形成される。インダクタ172の少なくとも一部は外周部192の外側に配置される。「1-2.メモリキューブ100の概要」で説明したとおり、配線層150は多層配線構造を含む。

[0172] 図32(B)の断面図に示されるように、配線層150は、例えば、6層(1層目～6層目)の多層配線構造を含む。6層の多層配線構造は、絶縁層151a、配線151b、絶縁層152a、配線152b、絶縁層153a、配線153b、絶縁層154a、配線154b、絶縁層155a、配線155b、絶縁層156a、及び配線156bを含む。1層目の絶縁層151aがトランジスタ層130の上に形成され、1層目の配線151bが絶縁層151aを貫通してトランジスタ層130の上に形成される。2層目の絶縁層152aが、絶縁層151a及び配線151bの上に形成され、2層目の配線152bが絶縁層152aを貫通して配線151bの上に形成される。多層配線構造の1層目及び2層目の同様にして、3層目の絶縁層153a及び配線153b、4層目の絶縁層154a及び配線154b、5層目の絶縁層155a及び配線155b、6層目の絶縁層156a及び配線156bが形成される。

[0173] インダクタ層170が配線層150の上に形成される。インダクタ層170は、例えば、絶縁層182、インダクタ172を形成する配線183を含む。

[0174] シールリング160は、メモリキューブ100の第2側面146から水分の吸湿、不純物などの侵入を抑制する機能を有する。その結果、半導体モジュール10は、シールリング160を用いることによって、水分の吸湿及び不純物などの侵入に伴うインダクタ172の腐食、劣化などを抑制すること

ができる。

[0175] 図33(A)及び図33(B)に示されるように、ロジックチップ200はシールリング260を含む。シールリング260は、外周部298に設けられ、配線層250に形成される。インダクタ272はシールリング260の内側に配置される。「1-3. ロジックチップ200の概要」で説明したとおり、配線層250は多層配線構造を含む。

[0176] 図33(B)の断面図に示されるように、配線層250は、例えば、6層(1層目~6層目)の多層配線構造を含む。6層の多層配線構造は、絶縁層251a、配線251b、絶縁層252a、配線252b、絶縁層253a、配線253b、絶縁層254a、配線254b、絶縁層255a、配線255b、絶縁層256a、及び配線256bを含む。配線層250の多層配線構造は、配線層150の多層配線構造と同様の構成及び機能を含むため、配線層250の詳細な説明はここでは省略する。

[0177] インダクタ172は複数の配線を用いて形成されてよい。例えば、インダクタ172は、図34(A)及び図34(B)に示される5層の配線を用いて形成される。インダクタ172を形成する5層の配線のうち、配線154b、155b及び156bは、配線層150の4層目~6層目の多層配線と同一の配線で形成され、配線184はインダクタ層170に形成される。配線154b、155b、156b、184及び183は、下層から上層に、この順序で形成され、それぞれ電氣的に接続される。インダクタ172が複数の配線を用いて形成されることによって、インダクタ172の抵抗値を低くすることができる。

[0178] 絶縁層182、156a、155a及び154aは、インダクタ172がシールリング160を跨る領域に形成される。絶縁層182、156a、155a及び154aは、例えば、誘電率の低い材料(low-k材料)とは異なる絶縁材料を用いて形成される。絶縁層182、156a、155a及び154aを形成する絶縁材料は、例えば、SiO₂、SiCN、SiN、SiONなどである。

[0179] <第6実施形態>

第6実施形態では、インダクタ172の形成方法を、図35(A)～図38(B)を参照して説明する。第6実施形態に係るインダクタ172の形成方法では、インダクタ172の二つの辺がメモリキューブ100内に形成され、インダクタ172の直線状の一つの辺がメモリキューブ100の第2側面146に形成される。それ以外の構成及び機能は、第1実施形態～第2実施形態で説明した構成及び機能と同様であるから、詳細な説明はここでは省略する。

[0180] 図35(A)及び図36(A)は本発明の第6実施形態に係るメモリキューブ100に含まれる1巻きのインダクタ172の製造方法を示す平面図であり、図35(B)はメモリキューブ100及びメモリキューブ100に含まれる1巻きのインダクタ172を拡大した側面を示す側面図であり、図36(B)は図35(A)のF1-F2線に沿ったメモリキューブ100の断面を示す断面図である。図37(A)及び図38(A)は本発明の第6実施形態に係るメモリキューブ100に含まれる3巻きのインダクタの製造方法を示す平面図であり、図37(B)はメモリキューブ100及びメモリキューブ100に含まれるインダクタ172を拡大した側面を示す側面図であり、図38(B)は図37(A)のG1-G2線に沿ったメモリキューブ100の断面を示す断面図である。図1～図34(B)と同一又は類似する構成については、ここでの説明を省略する。

[0181] 図35(A)又は図35(B)に示されるように、メモリキューブ100はメモリチップ110_n及び110_{n+1}を含む。メモリチップ110_nはインダクタ172を含む。第6実施形態に係る1巻きのインダクタ172の形成方法では、メモリキューブ100を形成する過程では、メモリキューブ100はメモリチップ110_nのインダクタ172の二つの辺が配線183を用いて形成され、インダクタ172の二つの辺を形成する配線183は第2側面146に露出している。

[0182] 「1-5. インダクタ群171及びインダクタ群271の概要」で説明し

たとおり、メモリチップ110_{n+1}に含まれるインダクタ群171（複数のインダクタ172）は、メモリチップ110_nに含まれるインダクタ群171（複数のインダクタ172）の位置からシフトして配置されるため、メモリキューブ100を拡大した断面においては、メモリチップ110_nがインダクタ172を含み、メモリチップ110_{n+1}がインダクタ172を含まない領域が存在する。なお、メモリチップ110_n以外で、メモリチップ110_{n+1}がインダクタ172を含む領域では、メモリチップ110_nと同様にインダクタが形成される。その他のメモリチップ110も、メモリチップ110_{n+1}及び110_nと同様に、インダクタ172が形成される。

[0183] 図36（A）又は図36（B）に示されるように、メモリキューブ100は、メモリチップ110_nのインダクタ172の二つの辺が配線183を用いて形成されたのち、直線状の一つの辺が側面配線161を用いて形成される。側面配線161は、第2側面146に露出している二つの辺を形成する配線183に重畳するように第2側面146の上に形成され、側面配線161は二つの辺を形成する配線183に電氣的に接続される。配線183の周辺の側面配線161は、配線183を取り囲むように、配線幅が太くなっている。これによって、側面配線161が確実に配線183に接続される。なお、配線183の周辺の側面配線161は、電極パットと呼んでよく、電極パットとして個別に形成されてよい。

[0184] 図37（A）～図38（B）に示されるように、メモリキューブ100は3巻きのインダクタ172を含んでもよい。

[0185] 図37（A）～図37（B）に示されるように、3巻きのインダクタ172は、一番内側を1巻き目とすると、1巻き目のインダクタを構成する二つの辺、2巻き目のインダクタを構成する二つの辺、及び、3巻き目のインダクタを構成する二つの辺が配線183によって形成される。よって、1巻き目のインダクタを構成する二つの辺、2巻き目のインダクタを構成する二つの辺、及び、3巻き目のインダクタを構成する二つの辺を形成する6つの配線183の断面が、第2側面146に露出している。

[0186] 図38(A)又は図38(B)に示されるように、1巻きのインダクタ172の形成と同様に、メモリキューブ100は、メモリチップ110nのインダクタ172の1巻き目～3巻き目のそれぞれの二つの辺が配線183を用いて形成されたのち、1巻き目の直線状の一つの辺、2巻き目の直線状の一つの辺及び3巻き目の直線状の一つの辺が側面配線161a～161cを用いて、第2側面n146の上に形成される。側面配線161cは、第2側面146に露出している1巻き目の二つの辺を形成する配線183に重畳するように第2側面146の上に形成され、側面配線161aは1巻き目の二つの辺を形成する配線183に電氣的に接続される。1巻き目と同様に、側面配線161bは2巻き目の二つの辺を形成する配線183に電氣的に接続され、側面配線161aは3巻き目の二つの辺を形成する配線183に電氣的に接続される。1巻きのインダクタ172の形成と同様に、配線183の周辺の側面配線161a～161cは、配線183を取り囲むように、配線幅が太くなっている。

[0187] 第6実施形態に係るメモリキューブ100のインダクタ172は、配線183と、配線183とは異なる側面配線161、161a～161cとを用いて形成される。側面配線161、161a～161cは、メモリキューブ100の第2側面146上に形成される。そのため、第6実施形態に係るインダクタ172の形成方法を用いることによって、インダクタ172と、1対1で対応するインダクタ272との間隔(間の距離)Disを、より短くすることができる。その結果、インダクタ172とインダクタ272とのインダクタ通信の品質を向上させることができる。

[0188] <第7実施形態>

第7実施形態では、半導体モジュール10の電源線及び接地線を、図39～図41(B)を参照して説明する。図39は、本発明の第7実施形態に係る半導体モジュール10の電源線及び接地線の構成を示す斜視図であり、図40は図39のH1-H2線に沿った半導体モジュール10の断面を示す断面図であり、図41(A)及び図41(B)は本発明の第7実施形態に係る

半導体モジュール10の電源線及び接地線の製造方法を示す側面図である。図1～図38(B)と同一又は類似する構成については、ここでの説明を省略する。

[0189] 図39に示されるように、半導体モジュール10は、複数の側面電源配線162及び複数の側面接地配線163を含む。複数の側面電源配線162及び複数の側面接地配線163は、少なくとも、メモリキューブ100の第1側面145及び第3側面147の上から、ロジックチップ200の第2面204の上に延伸し、メモリキューブ100の第1側面145及び第3側面147の上、及び、ロジックチップ200の第2面204の上に配置される。複数の側面電源配線162の一部及び複数の側面接地配線163の一部は、接着層300の上に配置されてよい。

[0190] 図40の断面図に示されるように、複数の側面電源配線162及び複数の側面接地配線163は、少なくとも、メモリキューブ100の第1側面145及び第3側面147、並びに、ロジックチップ200の第2面204に接する。また、ロジックチップ200は、配線290、電極パッド291、貫通電極292、電極パッド297及びバンプ293を含む。配線290は複数の側面電源配線162及び複数の側面接地配線163、並びに、電極パッド291に電氣的に接続される。電極パッド291は貫通電極292に電氣的に接続される。貫通電極292は第1面202に露出し、第1面202に形成された電極パッド297と電氣的に接続される。バンプ293は、電極パッド297に電氣的に接続され、外部回路、基板などと電氣的に接続される。配線290、電極パッド291、貫通電極292、電極パッド297及びバンプ293を介して、複数の側面電源配線162及び複数の側面接地配線163に、電源(VDD)及びVSSなどが供給される。その結果、メモリキューブ100に電源(VDD)及びVSSなどが供給される。また、ロジックチップ200は、電極パッド291と同一層に形成された配線を含み、電源(VDD)及びVSSなどが、電極パッド291及び当該配線を用いて、ロジックチップ200内の各回路に供給される。

[0191] 図41(A)及び図41(B)を用いて半導体モジュール10の電源線及び接地線の製造方法を説明する。例えば、メモリチップ110_n~110_{n+5}がF2F接合及びB2B接合によって接合され、メモリキューブ100が形成される。また、メモリキューブ100の第1側面145~第4側面148が研磨されたのち、メモリキューブ100が接着層300を使用して、ロジックチップ200上に配置される。図41(A)に示されるように、複数の電源配線164及び複数の接地配線165がメモリキューブ100の第1側面145(第3側面147)に露出している。

[0192] 例えば、メモリチップ110_nとメモリチップ110_{n+1}、並びに、メモリチップ110_{n+2}とメモリチップ110_{n+3}とはF2F接合によって接合され、メモリチップ110_{n+1}とメモリチップ110_{n+2}とはB2B接合によって接合される。B2B接合では、メモリチップ110のトランジスタ層130の基板173側の第1面102同士が接合される。

[0193] 図41(A)に示されるように、メモリチップ110_{n+2}~メモリチップ110_{n+5}のそれぞれの電源配線164が、第1側面145に露出している。図41(B)に示されるように、複数の側面電源配線162及び複数の側面接地配線163が、第2側面146上に、L字状に形成される。メモリチップ110_{n+2}~メモリチップ110_{n+5}のそれぞれの電源配線164を一組の電源配線166(第1の並びの一組)とし、D1方向に延在すると共にD3方向に平行に露出している複数の一組の電源配線166を、側面電源配線162で電氣的に接続する。同様にして、メモリチップ110_n~メモリチップ110_{n+3}のそれぞれの接地配線165を一組の接地配線167(第2の並びの一組)とし、D3方向に平行に露出している複数の一組の接地配線167を、側面接地配線163で電氣的に接続する。一組の電源配線166(第1の並びの一組)と、一組の接地配線167(第2の並びの一組)とは、D3方向に平行に配置されている。

[0194] なお、第1側面145と反対側の第3側面147も同様に、複数の側面電源配線162及び複数の側面接地配線163が形成され、複数の電源配線1

64が複数の側面電源配線162に電氣的に接続され、複数の側面接地配線163が複数の側面接地配線163に電氣的に接続される。

[0195] 複数の側面電源配線162及び複数の側面接地配線163を、メモリキューブ100の第1側面145及び第3側面147n、並びに、ロジックチップ200の第2面204に、同一の層で形成することができる。すなわち、同一の層に形成された2つの側面配線を用いて、2つの異なる電圧を、メモリキューブ100及びロジックチップ200に同時に供給することができる。

[0196] <第8実施形態>

第8実施形態では、半導体モジュール10を実装した集積回路600を、図42～図44(C)を参照して説明する。図42は本発明の第8実施形態に係る半導体モジュール10を実装した集積回路600を示す斜視図であり、図43は図42の集積回路600の断面を示す断面図である。図44(A)～図44(C)は本発明の第8実施形態に係る半導体モジュール10C～10Eを実装した集積回路600の断面を示す断面図である。図1～図41(B)と同一又は類似する構成については、ここでの説明を省略する。

[0197] 図42又は図43に示されるように、集積回路600は、半導体モジュール10、複数のDRAMモジュール400、バンプ層410、インターポーザ450、バンプ層460、基板470及びバンプ層480を含む。

[0198] 複数のDRAMモジュール400のそれぞれは、例えば、半導体モジュール10内の複数のメモリチップ110を制御するための制御プログラムなどを格納する。DRAMモジュール400は、例えば、HBM(High Bandwidth Memory(HBM))などと呼ばれる広帯域での通信が可能な高性能DRAMであってよい。

[0199] バンプ層410は、複数のバンプ293及び複数のバンプ411を含み、半導体モジュール10、DRAMモジュール400及びインターポーザ450を電氣的に接続する機能を含む。

[0200] インターポーザ450は、例えば、第2面456、第1面457、複数の

配線（配線層、図示は省略）、及び、第2面456から第1面457に貫通する複数の貫通電極451を含む。インターポーザ450は、半導体モジュール10及びDRAMモジュール400を、基板470に電氣的に接続する機能を有する。例えば、インターポーザ450は、半導体モジュール10に含まれる配線と、DRAMモジュール400に含まれる配線と、基板470に含まれる配線とを、各配線の位置を踏まえて電氣的に接続する機能を含む。

[0201] バンプ層460は、複数のバンプ461を含み、インターポーザ450と基板470とを電氣的に接続する機能を含む。

[0202] 基板470は、例えば、第2面476、第1面475、複数の配線471及び472を含み、半導体モジュール10、複数のDRAMモジュール400及びインターポーザ450を、外部基板、外部回路などと接続する機能を含む。基板470は、例えば、高密度相互接続（High-density interconnect（HDI））が可能なプリント基板である。

[0203] バンプ層480は、複数のバンプ481を含み、基板470を、外部基板、外部回路などと接続する機能を含む。

[0204] 図43に示されるように、複数のDRAMモジュール400は貫通電極402によって電氣的に接続される。ロジックチップ200は、例えば、インダクタ層270、配線層250及びトランジスタ層230が複数の貫通電極292を用いて電氣的に接続された構成を含む。半導体モジュール10の複数の貫通電極292が、複数のバンプ293を用いて、インターポーザ450内の第2面456側の貫通電極451に電氣的に接続される。貫通電極402によって電氣的に接続された複数のDRAMモジュール400は、例えば、D1方向に平行に、半導体モジュール10の左右に配置され、複数のバンプ411を用いて、インターポーザ450の第2面456側の貫通電極451に電氣的に接続される。インターポーザ450の第1面457側の貫通電極451が、複数のバンプ461を用いて、基板470の第2面476側に形成された配線471に電氣的に接続される。

- [0205] 集積回路600は、半導体モジュール10を、図44(A)に示される半導体モジュール10Cに置き換えた構成であってよい。半導体モジュール10Cはロジックチップ200Cを含む。ロジックチップ200Cは、トランジスタ層230の基板273側にインダクタ層270が形成される。すなわち、D1方向及びD2方向に平行な面に、基板273が配置され、トランジスタ層230及び、トランジスタ層230の上の配線層250が形成される。形成されたトランジスタ層230及び配線層250をD3方向に対して上下を反転し、トランジスタ層230に対して配線層250が形成された側と反対側の基板273上にインダクタ層270が形成される。例えば、半導体モジュール10Cは、インダクタ層270、配線層250及びトランジスタ層230が複数の貫通電極292を用いて電氣的に接続された構成を含む。配線層250が露出した第1面207にバンプ293が配置され、半導体モジュール10Cはインターポーザ450に電氣的に接続される。
- [0206] 集積回路600は、半導体モジュール10を、図44(B)に示される半導体モジュール10Dに置き換えた構成であってよい。半導体モジュール10Dはロジックチップ200Dを含む。ロジックチップ200Dは、ロジック部700及びTCI-I0部710を含む。
- [0207] ロジック部700はトランジスタ層230a及び配線層250aを含む。トランジスタ層230aは少なくとも基板273a及び絶縁層277aを含み、トランジスタ層230と同様の機能及び構成を含む。配線層250aは配線層250と同様の機能及び構成を含む。ロジック部700は、例えば、図11に示される複数の論理モジュール211、複数のDRAMIO215及び複数の外部IO216を含む。複数の論理モジュール211、複数のDRAMIO215及び複数の外部IO216は、トランジスタ層230a及び配線層250aを用いて作成される。
- [0208] TCI-I0部710はトランジスタ層230b、配線層250b及びインダクタ層270bを含む。トランジスタ層230bは少なくとも基板273b及び絶縁層277bを含み、トランジスタ層230と同様の機能及び構

成を含む。配線層250a及びインダクタ層270bは配線層250及びインダクタ層270と同様の機能及び構成を含む。TCI-IO部710は、例えば、図11に示される複数のTCI-IO212を含み、複数のTCI-IO212は、複数のインダクタ272、複数の送受信回路214、及び複数の並列直列変換回路213を含む。複数のインダクタ272、複数の送受信回路214、及び複数の並列直列変換回路213は、トランジスタ層230b、配線層250b及びインダクタ層270b層を用いて作成される。

[0209] TCI-IO部710において、トランジスタ層230b、配線層250b及びインダクタ層270b層は貫通電極296を用いて電氣的に接続される。TCI-IO部710のインダクタ層270a側の第2面714が、接着層300に接続され、メモリキューブ100に接続される。TCI-IO部710のトランジスタ層230aの基板273a側の第1面712が、バンプ295に接続され、ロジック部700と電氣的に接続される。

[0210] ロジック部700において、トランジスタ層230b及び配線層250bが貫通電極294を用いて電氣的に接続される。ロジック部700の配線層250a側の第2面704が、バンプ295に接続され、TCI-IO部710と電氣的に接続される。ロジック部700のトランジスタ層230aの基板273a側の第1面702が、バンプ293に接続され、インターポーザ450と電氣的に接続される。

[0211] 集積回路600は、半導体モジュール10を、図44(C)に示される半導体モジュール10Eに置き換えた構成であってよい。半導体モジュール10Eはロジックチップ200Eを含む。ロジックチップ200Eは、ロジック部700及びTCI-IO部710aを含む。ロジックチップ200Eは、ロジックチップ200Dの構成に対して、TCI-IO部710をTCI-IO部710aに入れ替えている。

[0212] TCI-IO部710aは、TCI-IO部710に対して、トランジスタ層230bと配線層250bとがD3方向に平行に上下反転した構成を含む。TCI-IO部710aは、トランジスタ層230bの基板273b側

にインダクタ層270aが形成される。すなわち、D1方向及びD2方向に平行な面に、基板273bが配置され、トランジスタ層230b及び、トランジスタ層230bの上の配線層250bが形成される。形成されたトランジスタ層230b及び配線層250bをD3方向に対して上下を反転し、トランジスタ層230bに対して配線層250bが形成された側と反対側の基板273b上にインダクタ層270aが形成される。TCI-IO部710aは、インダクタ層270a、配線層250a及びトランジスタ層230aが複数の貫通電極296を用いて電氣的に接続され、配線層250aが露出した側の第2面718が、接着層300に接続され、メモリキューブ100に接続される。TCI-IO部710aのトランジスタ層230bのインダクタ層270b側の第1面716が、バンプ295に接続され、ロジック部700と電氣的に接続される。

[0213] <第9実施形態>

第9実施形態では、半導体モジュール10の実装方法を、図45を参照して説明する。図45は本発明の第9実施形態に係る半導体モジュールの実装方法を示すフローチャートである。図1～図44(C)と同一又は類似する構成については、ここでの説明を省略する。

[0214] 図44に示されるように、半導体モジュール10の実装が開始されると、ステップ1(S1)では、例えば、第2側面146に露出した全てのインダクタ172の直線状の一つの辺172abの位置情報をマッピングする。

[0215] 次に、ステップ3(S3)では、第2側面146に露出した全てのインダクタ172の直線状の一つの辺172abの位置情報と、第2側面146の所定の位置との相対位置を記録する。所定の位置は例えばメモリキューブ100の第2側面の四隅(コーナー)である。

[0216] 次に、ステップ5(S5)では、第2側面146に露出した全てのインダクタ172の直線状の一つの辺172abと、各インダクタ172に対して、1対1で対応するロジックチップ200上のインダクタ272とのズレが最小となる重心点を算出する。

- [0217] 次に、ステップ7（S7）では、メモリキューブ100に含まれるインダクタ172と、ロジックチップ200に含まれるインダクタ272とを通信させる。例えば、次に、インダクタ又は172又はインダクタ272の誘導電流を測定する。さらに、測定した誘導電流に基づき、メモリキューブ100とロジックチップ200との位置決めを行う。
- [0218] 最後に、ステップ9（S9）では、メモリキューブ100をロジックチップ200の第2面204上に配置するための設定位置（初期設定位置）を、算出された重心点に基づき、重心点に対応する位置にオフセットする。オフセットされた設定位置に基づき、メモリキューブ100をロジックチップ200の第2面204上に配置する。
- [0219] 以上説明したように、メモリキューブ100をロジックチップ200上に配置することによって、半導体モジュール10を形成することができる。
- [0220] 本発明の一実施形態として例示した半導体モジュール10、10A、10B、10C、10D及び10Eは、本発明の趣旨を逸脱しない範囲で、適宜入れ替え可能である。また、本発明の一実施形態として例示した半導体モジュール及び半導体モジュールの製造方法の各種構成は相互に矛盾しない限り適宜組み合わせることが可能であり、各実施形態に共通する技術事項については、明示の記載がなくても各実施形態に含まれる。また、本明細書及び図面に開示された半導体モジュール及び半導体モジュールの製造方法を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。
- [0221] 本明細書に開示された実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

- [0222] 10：半導体モジュール、10A：半導体モジュール、10B：半導体モ

ジュール、10C：半導体モジュール、10D：半導体モジュール、10E：半導体モジュール、100：メモリキューブ、100A：メモリキューブ、100B：メモリキューブ、102：第1面、104：第2面、105：第1側面、106：第2側面、107：第3側面、108：第4側面、110：メモリチップ、111：メモリモジュール、112：TCI-I/O、113：並列直列変換回路、114：送受信回路、115：メモリセルアレイ、130：トランジスタ層、142：第1面、144：第2面、145：第1側面、146：第2側面、147：第3側面、148：第4側面、150：配線層、152：放熱層、151a：絶縁層、151b：配線、152a：絶縁層、152b：配線、153a：絶縁層、153b：配線、154a：絶縁層、154b：配線、155a：絶縁層、155b：配線、156a：絶縁層、156b：配線、160：シールリング、161：側面配線、161a：側面配線、161b：側面配線、161c：側面配線、162：側面電源配線、162a：L字状配線、162b：L字状配線、163：側面接地配線、164：電源配線、165：接地配線、166：一組の電源配線、167：一組の接地配線、170：インダクタ層、171：インダクタ群、172：インダクタ、172a：インダクタ、172b：インダクタ、172ab：一つの辺、172ab：一つの辺、173：基板、174：素子分離領域、175：活性化領域、176：トランジスタ、177：絶縁層、178：配線、179：絶縁層、180：配線、181：絶縁層、182：絶縁層、183：配線、184：配線、190：研磨部分、192：外周部、193：第1部分、194：第2部分、195：領域、196：第3部分、193a：第1の辺、194b：第2の辺、200：ロジックチップ、200A：ロジックチップ、200B：ロジックチップ、200C：ロジックチップ、200D：ロジックチップ、200E：ロジックチップ、202：第1面、204：第2面、206：端部、207：第1面、210：メモリキューブ配置領域、211：論理モジュール、212：TCI-I/O、213：並列直列変換回路、214：送受信回路、215：DRAM I/O、21

6 : 外部 I O、230 : トランジスタ層、230 a : トランジスタ層、230 b : トランジスタ層、250 : 配線層、250 a : 配線層、250 b : 配線層、251 a : 絶縁層、251 b : 配線、252 a : 絶縁層、252 b : 配線、253 a : 絶縁層、253 b : 配線、254 a : 絶縁層、254 b : 配線、255 a : 絶縁層、255 b : 配線、256 a : 絶縁層、256 b : 配線、260 : シールリング、270 : インダクタ層、270 a : インダクタ層、271 : インダクタ群、272 : インダクタ、272 a : インダクタ、272 b : インダクタ、273 : 基板、273 a : 基板、273 b : 基板、274 : 素子分離領域、275 : 活性化領域、276 a : トランジスタ、276 b : トランジスタ、277 : 絶縁層、277 a : 絶縁層、277 b : 絶縁層、278 a : 配線、278 b : 配線、279 : 絶縁層、280 a : 配線、280 b : 配線、281 : 絶縁層、282 : 絶縁層、290 : 配線、291 : 電極パッド、292 : 貫通電極、293 : バンプ、294 : 貫通電極、295 : バンプ、296 : 貫通電極、297 : 電極パッド、298 : 外周部、300 : 接着層、400 : DRAMモジュール、402 : 貫通電極、410 : バンプ層、411 : バンプ、450 : インターポーザ、451 : 貫通電極、456 : 第2面、457 : 第1面、460 : バンプ層、461 : バンプ、470 : 基板、471 : 配線、472 : 配線、475 : 第1面、476 : 第2面、480 : バンプ層、481 : バンプ、500 : 半導体モジュール、510 : メモリチップ、512 : 保護回路、514 : インターフェース、516 : メモリモジュール、520 : ロジックチップ、524 : インターフェース、526 : 論理モジュール、530 : 貫通電極、600 : 集積回路、700 : ロジック部、702 : 第1面、704 : 第2面、710 : TC I-O部、710 a : TC I-O部、712 : 第1面、714 : 第2面、716 : 第1面、718 : 第2面

請求の範囲

- [請求項1] 第1方向及び第1方向に交差する第2方向に平行な第1面と、前記第1面に平行な第2面とを含む半導体チップと、
- 第1方向に積層された複数のメモリチップを含み、前記第2面上に配置されたメモリキューブと、
- を有し、
- 前記複数のメモリチップのそれぞれは、前記第1方向及び前記第2方向に直交する第3方向に配置された第1インダクタを含み、
- 前記半導体チップは、前記第2面に平行に配置された第2インダクタを含み、
- 正面視において、前記第1インダクタは前記第3方向に延在する第1の辺及び第2の辺を含み、前記第2面に平行に切断された前記第1の辺と前記第2の辺の間の距離は、前記第3方向に平行に前記第2面から離れるにつれて短くなり、
- 前記第1インダクタと前記第2インダクタとは、非接触で通信が可能であることを特徴とする半導体モジュール。
- [請求項2] 正面視において、
- 前記第1インダクタは、前記第1の辺を含み前記第3方向に延在すると共に前記第2方向に有限の第1幅を有する第1部分と、前記第2の辺を含み前記第3方向に延在すると共に前記第2方向に有限の第2幅を有する第2部分と、前記第2面に近接すると共に前記第2面に平行な直線状の一つの辺を含み前記第2方向に延在する共に前記第2方向に平行な長さとして前記第3方向に有限の第3幅を有する第3部分を有し、
- 前記第3幅は、前記第1幅及び前記第2幅より広いことを特徴とする請求項1に記載の半導体モジュール。
- [請求項3] 正面視において、前記第1の辺及び第2の辺のそれぞれを、前記第3方向及び前記第2方向に延長する線と、前記直線状の一つの辺を

前記第2方向に延長する辺によって形成される領域の形状は、三角形状である、請求項2に記載の半導体モジュール。

[請求項4] 前記第3幅は、前記複数のメモリチップごとに異なり、
前記直線状の一つの辺と前記第2面との間の距離が略同一であることを特徴とする請求項2に記載の半導体モジュール。

[請求項5] 前記メモリチップは複数の前記第1インダクタを含み、
前記第2インダクタは、直線状の一つの辺を含み、
前記第1インダクタの直線状の一つの辺と、前記第2インダクタの直線状の一つの辺とは、互いに近接し、
前記第2方向に平行な長さは、前記第1インダクタの直線状の一つの辺と前記第2インダクタの直線状の一つの辺との間の距離の4倍以上であることを特徴とする請求項1に記載の半導体モジュール。

[請求項6] 前記メモリチップは複数の前記第1インダクタを含み、
前記第2インダクタは、直線状の一つの辺を含み、
前記第1インダクタの直線状の一つの辺と、前記第2インダクタの直線状の一つの辺とは、互いに近接し、
前記第1インダクタと前記第1インダクタに隣接する第1インダクタとの間の距離は、第2方向に平行な長さの $1/4$ 以上であることを特徴とする請求項1に記載の半導体モジュール。

[請求項7] 前記第1インダクタの少なくとも一部は、前記メモリチップの外周部に配置されたシールリングの外側に配置され、
前記第2インダクタが前記半導体チップの外周部に配置されたシールリングの内側に配置されていることを特徴とする請求項1記載の半導体モジュール。

[請求項8] 前記第1インダクタは、前記メモリチップに含まれる配線、及び前記メモリキューブの側面に配置された側面配線で構成され、
前記配線は前記側面配線と異なることを特徴とする請求項1記載の半導体モジュール。

- [請求項9] メモリキューブを含む半導体モジュールの製造方法であって、
 複数のメモリチップを積層し、
 前記複数のメモリチップを含むと共に、第1側面、第2側面、第3側面及び第4側面を含むメモリキューブを形成し、
 前記第1側面、前記第2側面、前記第3側面及び前記第4側面を平坦化し、
 前記第1側面、前記第2側面、前記第3側面及び前記第4側面の何れか一つの側面に、通信のためのインダクタに含まれる配線を露出させることを含み、
 前記何れか一つの側面以外の側面のうち、少なくとも一つの側面に、電源配線及び接地配線が露出し、
 前記インダクタに含まれる前記配線、前記電源配線、及び前記接地配線は、前記メモリチップに含まれる配線に含まれることを特徴とする半導体モジュールの製造方法。
- [請求項10] 前記半導体モジュールは、第1面と、前記第1面と反対側の第2面とを含む半導体チップと、放熱板とをさらに含み、
 前記第1側面、前記第2側面、前記第3側面及び前記第4側面のうち、前記何れか一つの側面は前記第2面に対向するように配置され、
 前記何れか一つの側面と反対側の側面には放熱板が配置され、
 前記何れか一つの側面及び前記反対側の側面以外の二つの側面のうち、少なくとも一つの側面は、前記電源配線に電氣的に接続された側面電源配線、及び、前記接地配線に電氣的に接続された側面接地配線が形成されていることを特徴とする請求項9に記載の半導体モジュールの製造方法。
- [請求項11] 前記側面電源配線及び側面接地配線は、前記半導体チップの前記第2面に延伸し、配置される共に、前記半導体チップに含まれる電極パッドに接続されることを特徴とする請求項10に記載の半導体モジュールの製造方法。

[請求項12] 前記複数のメモリチップのそれぞれは、基板及びトランジスタを含むトランジスタ層と前記インダクタを含むインダクタ層とが積層された構成を含み、

前記メモリチップの前記インダクタ層同士を接合し、前記メモリチップの前記トランジスタ層同士を接合し、前記複数のメモリチップを積層された前記メモリキューブを形成することを含むことを特徴とする請求項10に記載の半導体モジュールの製造方法。

[請求項13] 前記メモリキューブは、第1メモリチップと、前記第1メモリチップに積層された第2メモリチップと、前記第2メモリチップに積層された第3メモリチップと、前記第3メモリチップに積層された第4メモリチップと、前記第4メモリチップに積層された第5メモリチップと、前記第5メモリチップに積層された第6メモリチップとを含み、

前記少なくとも一つの側面に露出した、前記第3メモリチップ乃至前記第6メモリチップのそれぞれの前記電源配線を第1の並びの一组とし、前記第1の並びの一组を、前記少なくとも一つの側面に形成された側面電源配線で電氣的に接続し、

前記少なくとも一つの側面に露出した、前記第1メモリチップ乃至前記第4メモリチップのそれぞれの前記接地配線を第2の並びの一组とし、前記第2の並びの一组を、前記少なくとも一つの側面に形成された側面接地配線で電氣的に接続することを含み、

前記第1の並びは前記第2の並びと平行であることを特徴とする請求項9に記載の半導体モジュールの製造方法。

[請求項14] 前記側面電源配線及び前記側面接地配線は、前記基板の側面から前記第2面まで延伸して配置されることを含み、

前記側面電源配線及び前記側面接地配線は、前記メモリキューブ及び前記半導体チップを接続するL字状配線を含む請求項12に記載の半導体モジュールの製造方法。

[請求項15] 前記インダクタに含まれる配線と電氣的に接続される側面配線をさ

らに含み、

前記インダクタは、前記側面配線及び前記インダクタに含まれる配線を含むことを特徴とする請求項9に記載の半導体モジュールの製造方法。

[請求項16]

前記何れか一つの側面に露出した全てのインダクタの一つの辺の位置情報をマッピングし、

前記全てのインダクタの一つの辺と、前記何れか一つの側面上の所定の場所との相対位置を算出して記録し、

前記全てのインダクタの一つの辺と、前記全てのインダクタの一つの辺のそれぞれに対応する前記半導体チップに含まれるインダクタの一つの辺とのズレが最小となる重心点を算出し、

前記メモリキューブを前記半導体チップの前記第2面上に配置するための設定位置を、前記重心点に対応する位置にオフセットして、前記メモリキューブを前記第2面上に配置することを含むことを特徴とする請求項10に記載の半導体モジュールの製造方法。

[請求項17]

前記メモリキューブを前記第2面上に配置するとき、前記メモリチップに含まれる前記インダクタと前記半導体チップに含まれる前記インダクタとをインダクタ通信させて、誘導電流を測定し、

前記メモリキューブと前記半導体チップとの位置決めを行うことを含むことを特徴とする請求項16に記載の半導体モジュールの製造方法。

[請求項18]

前記メモリキューブは、第1メモリチップと、前記第1メモリチップに積層された第2メモリチップと、前記第2メモリチップに積層された第3メモリチップと、前記第3メモリチップに積層された第4メモリチップとを含み、

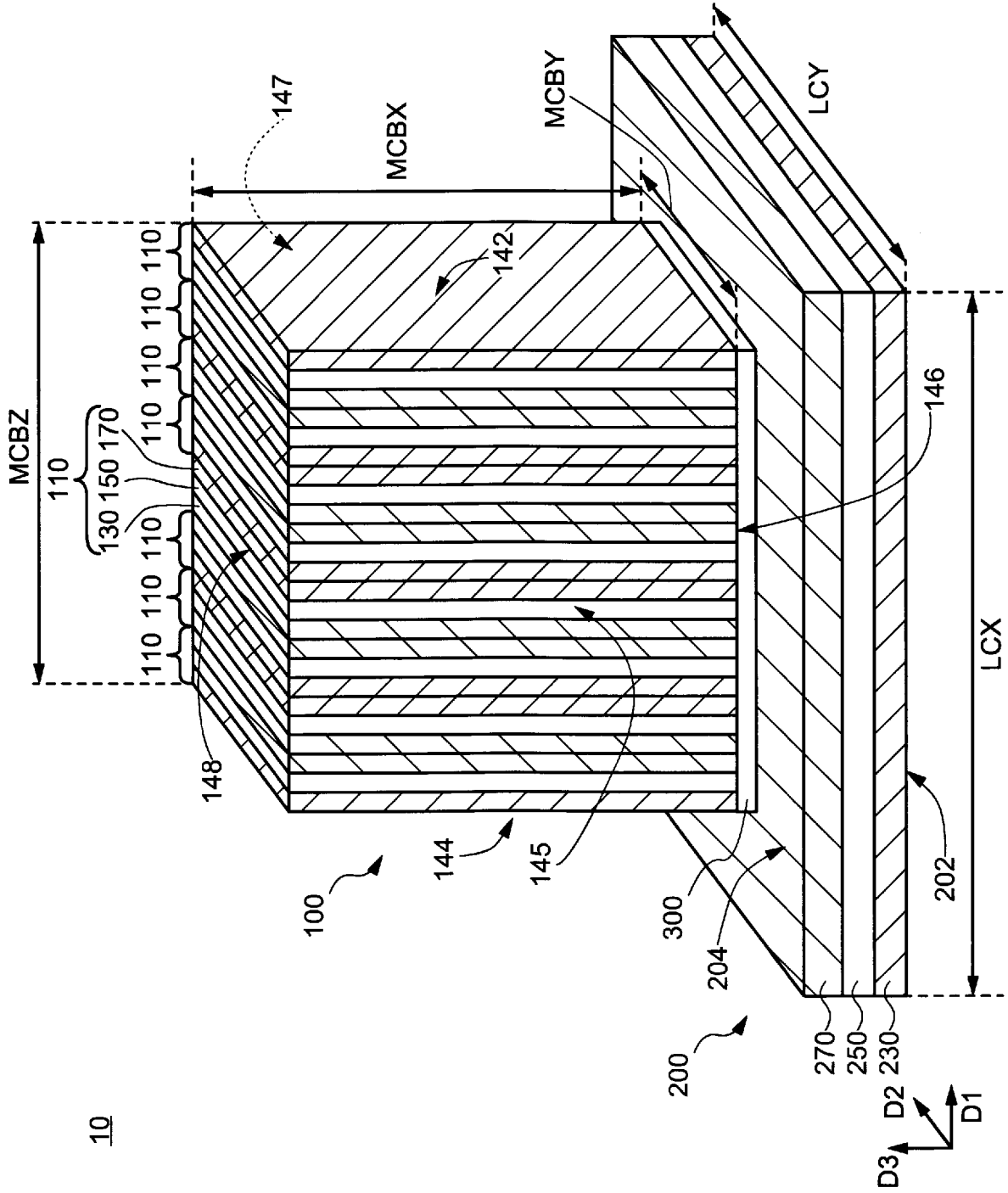
前記第3メモリチップは前記第1メモリチップより薄く、

前記第2メモリチップは前記第3メモリチップより薄く、

前記第4メモリチップは前記第1メモリチップより厚いことを特徴

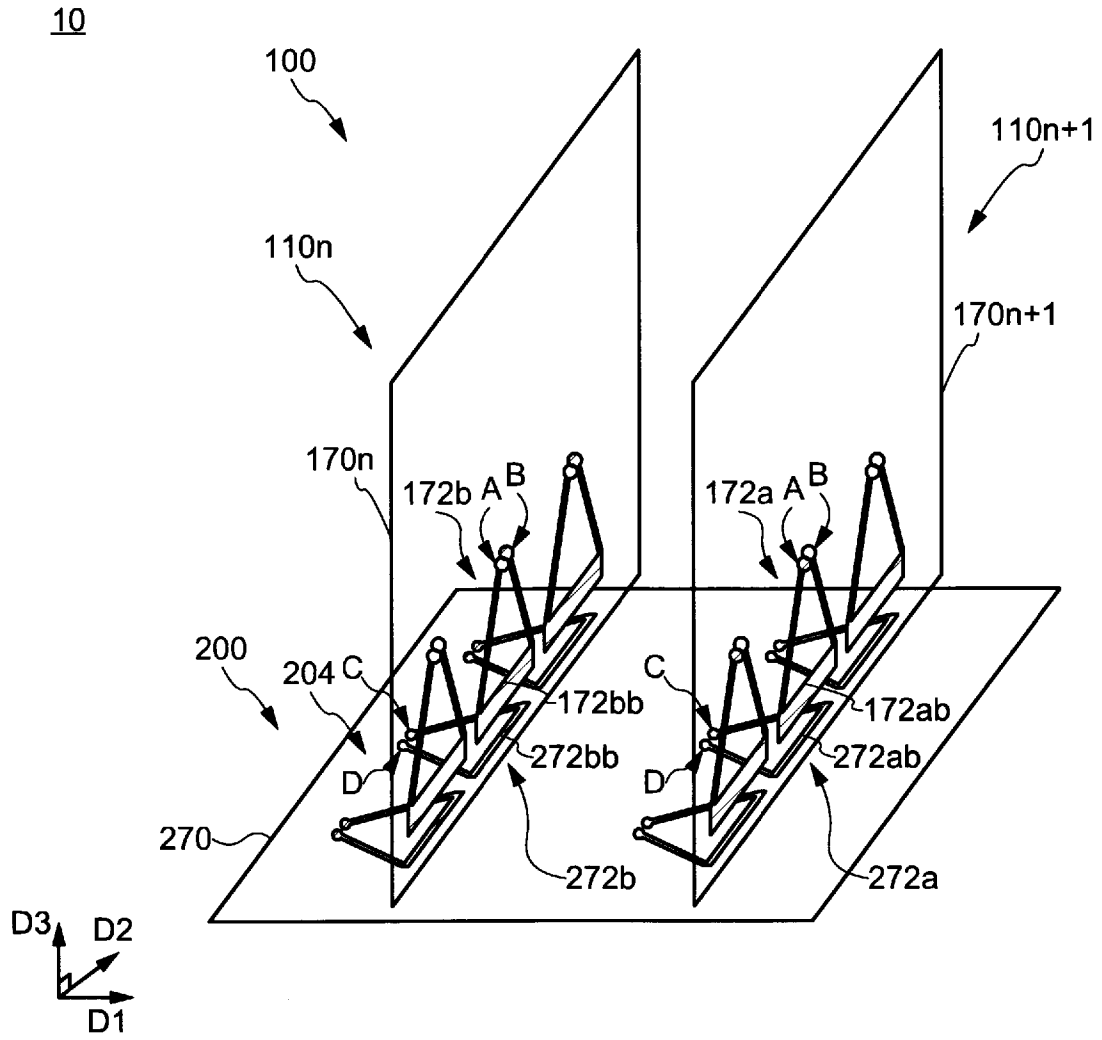
とする請求項9に記載の半導体モジュールの製造方法。

[図1]

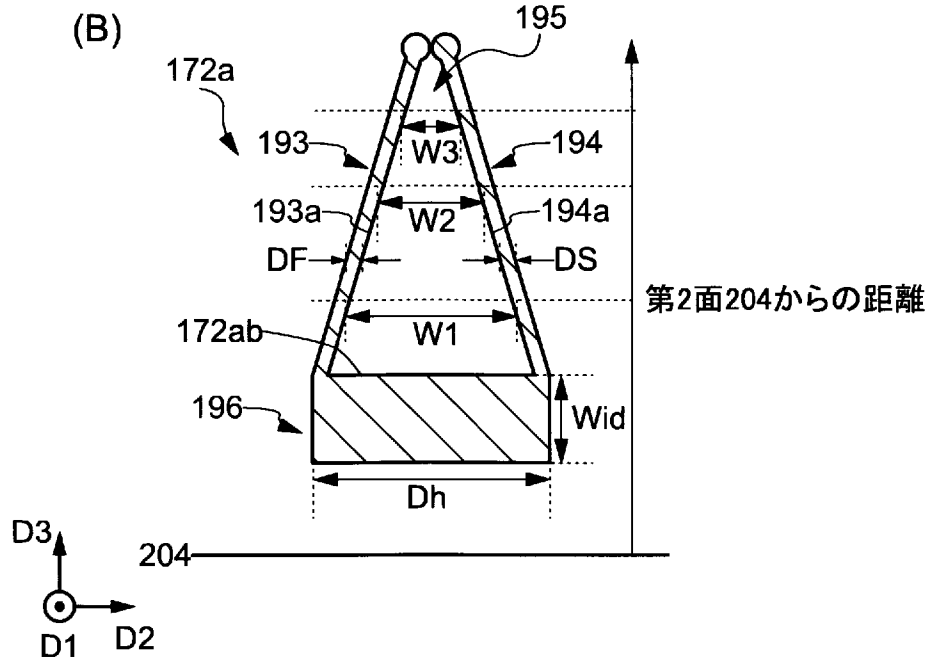
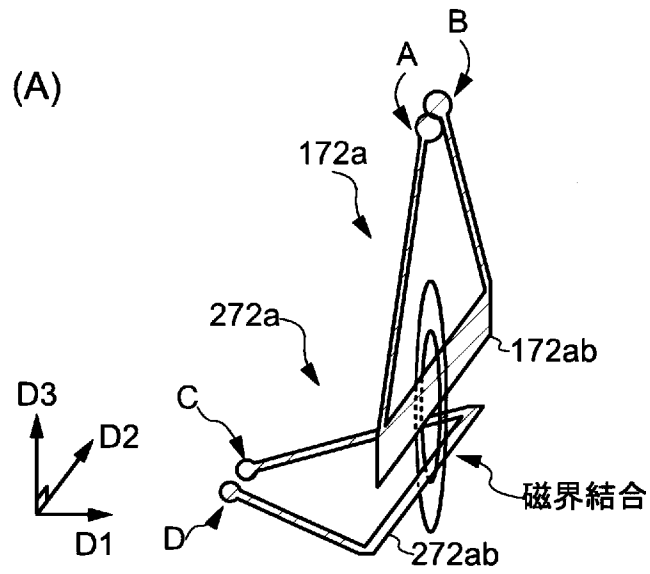


10

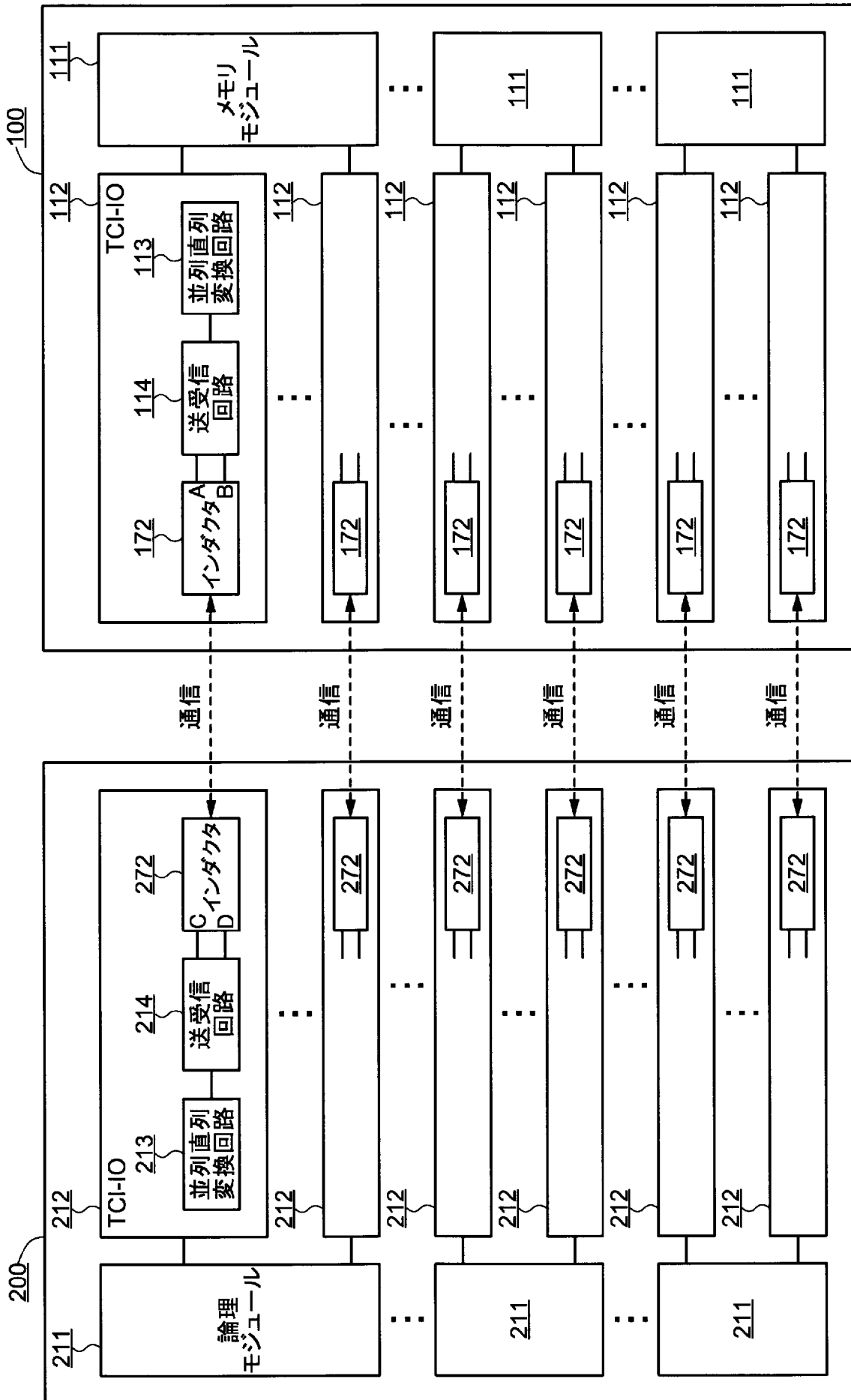
[図2]



[図3]

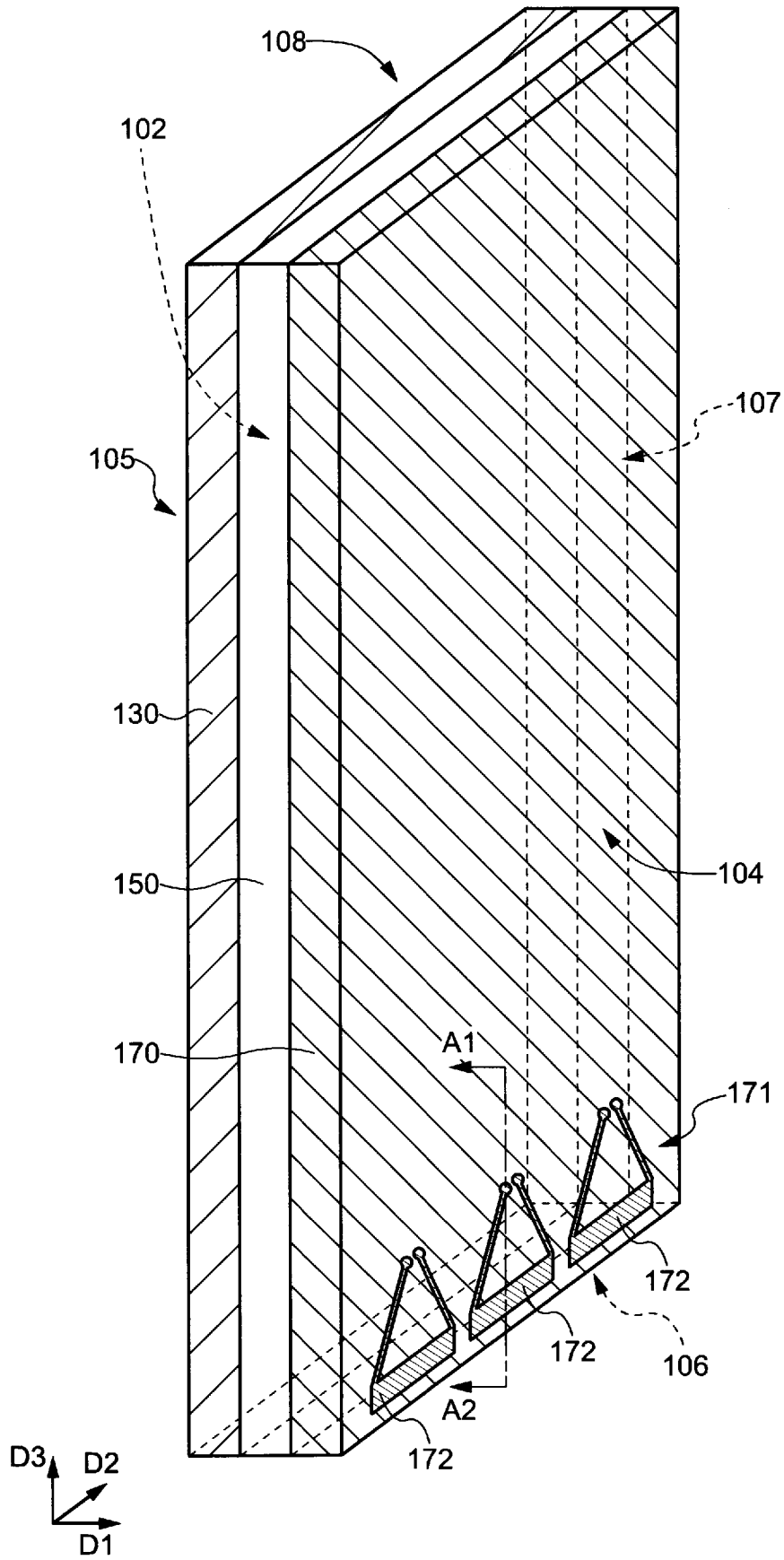


[図4]

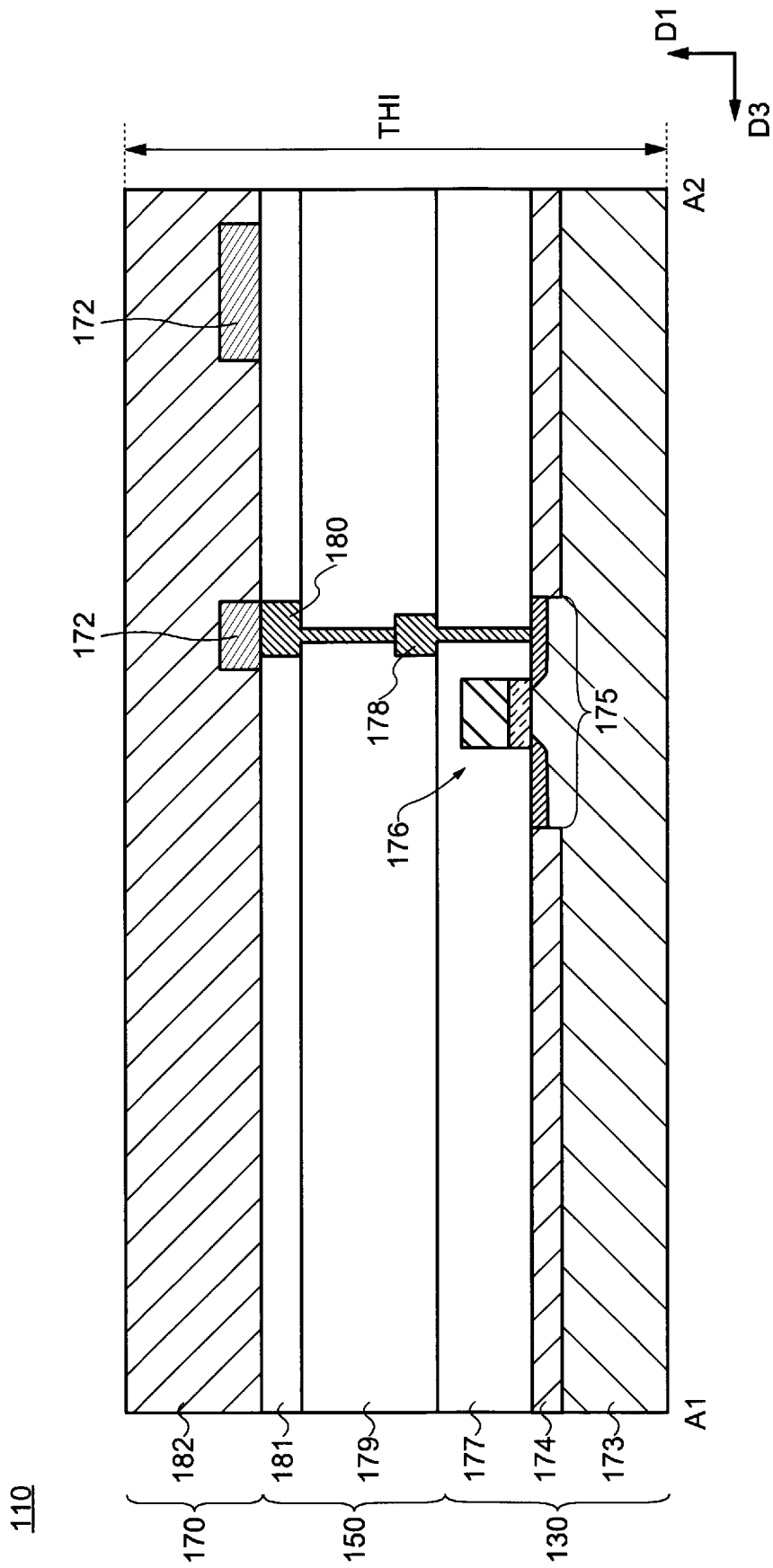


[図5]

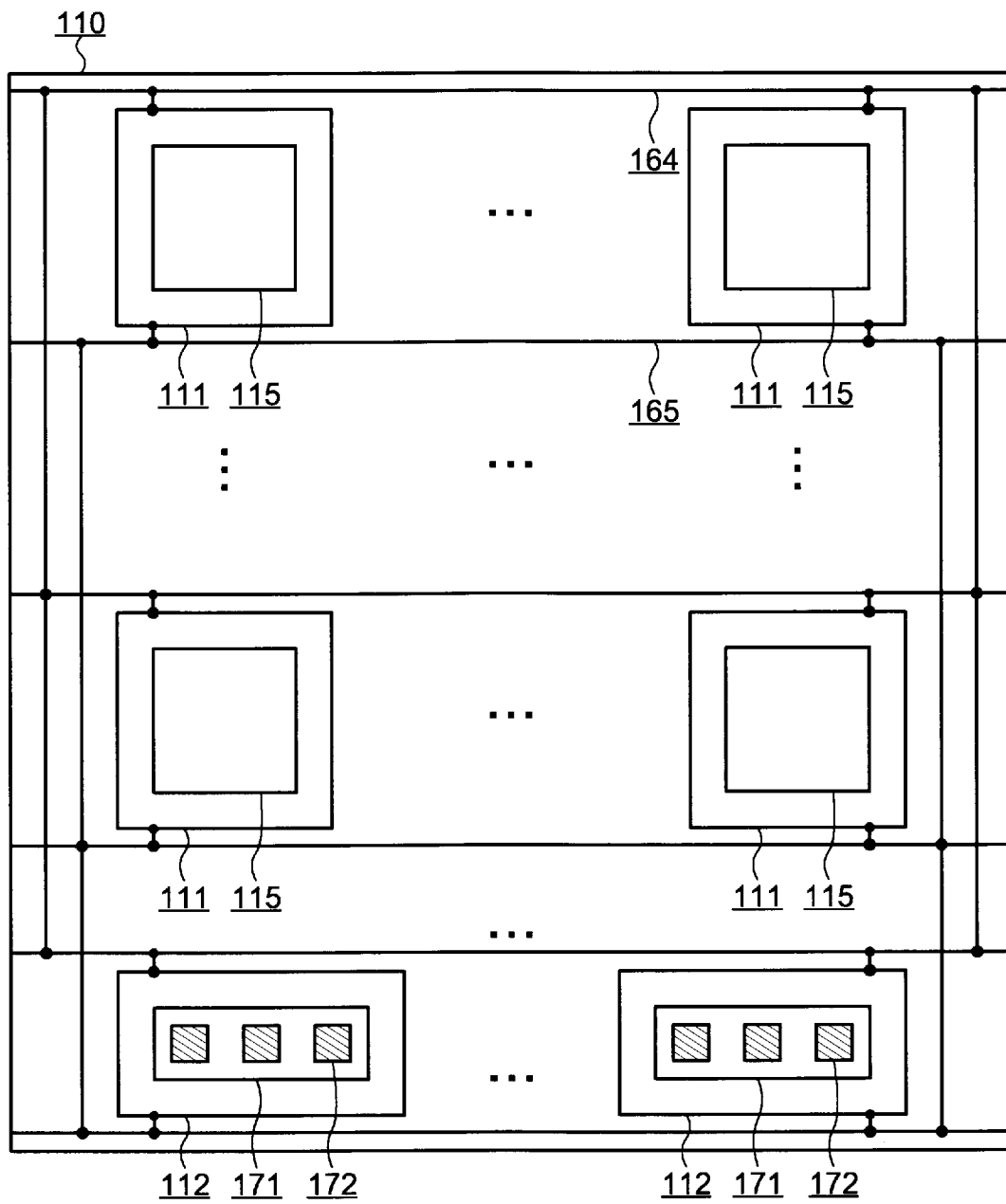
110



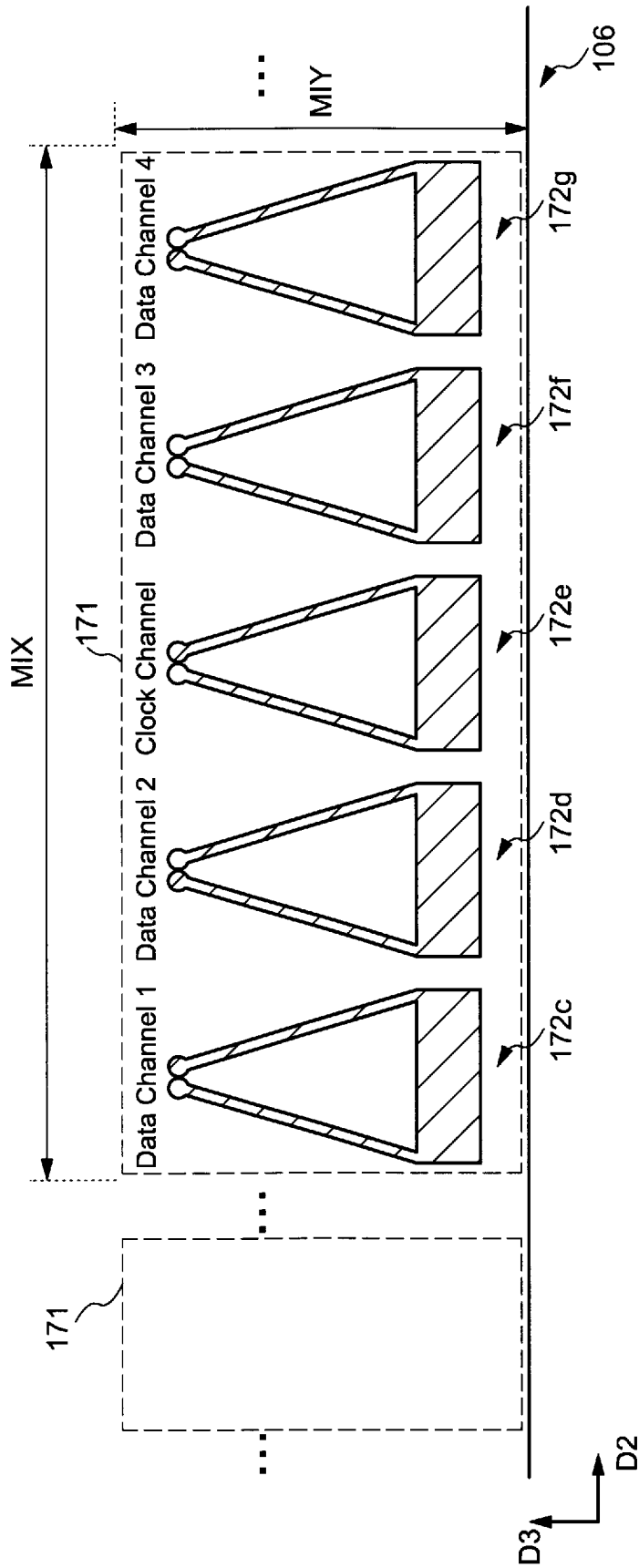
[図6]



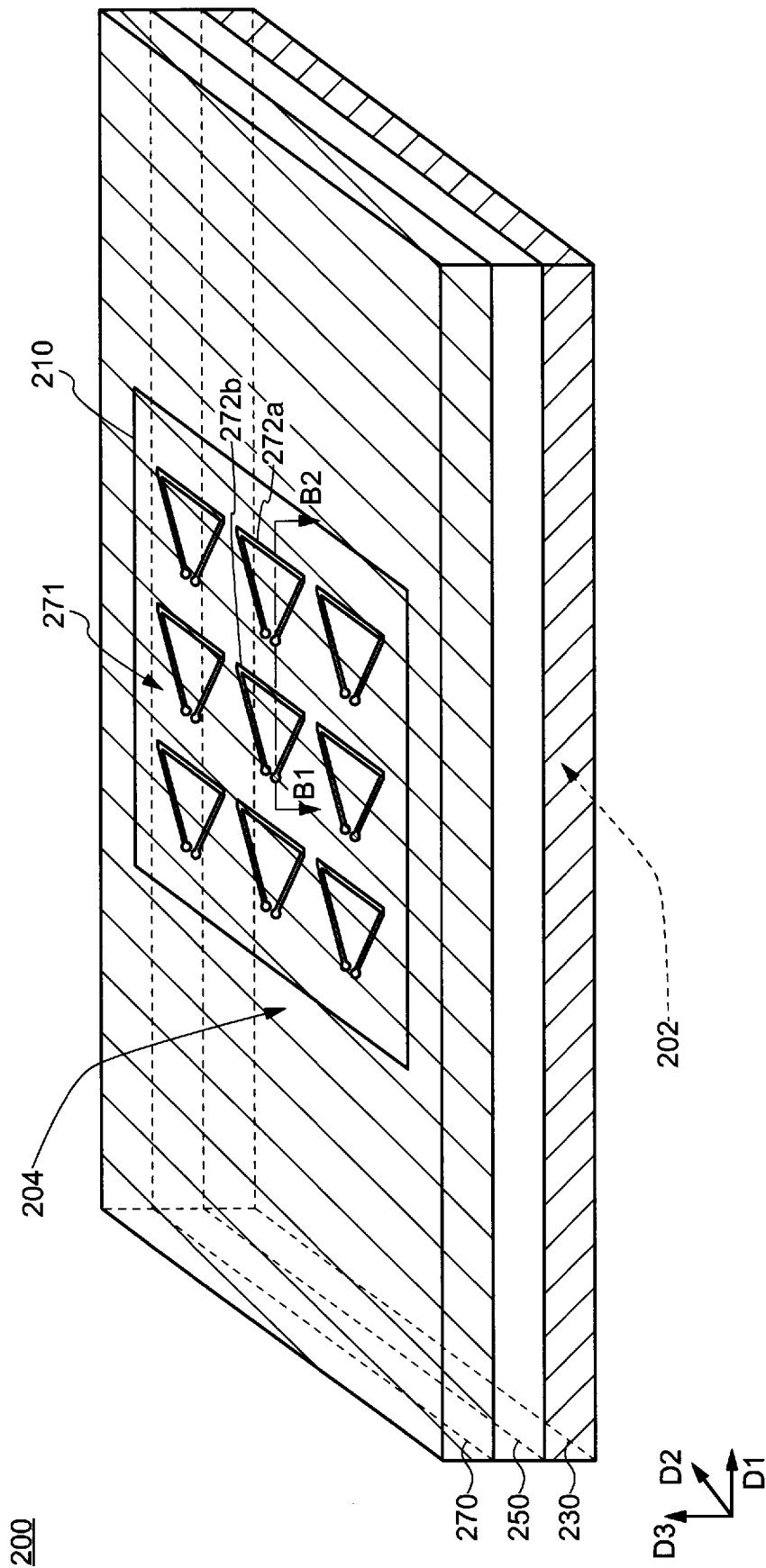
[図7]



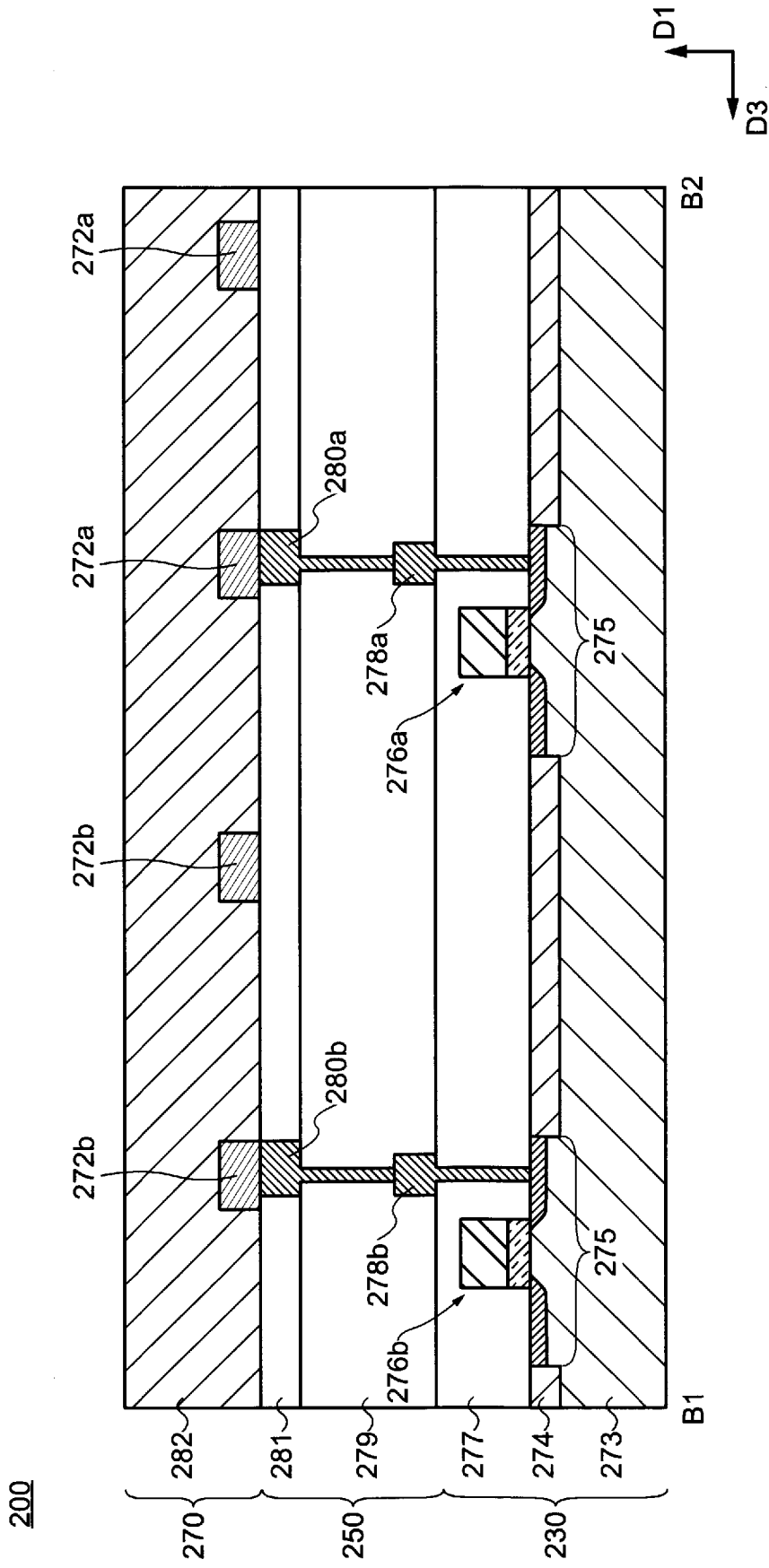
[8]



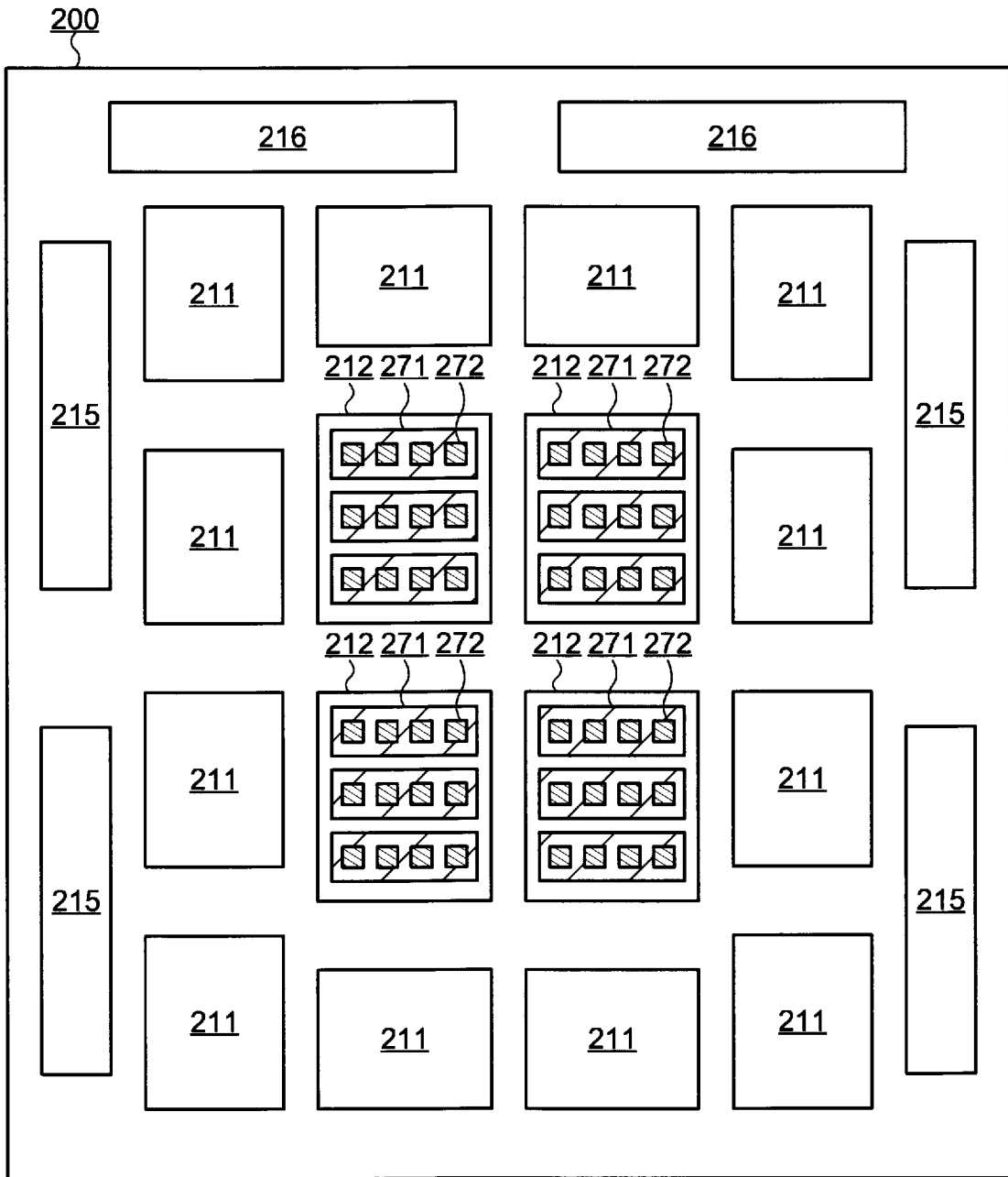
[9]



[10]

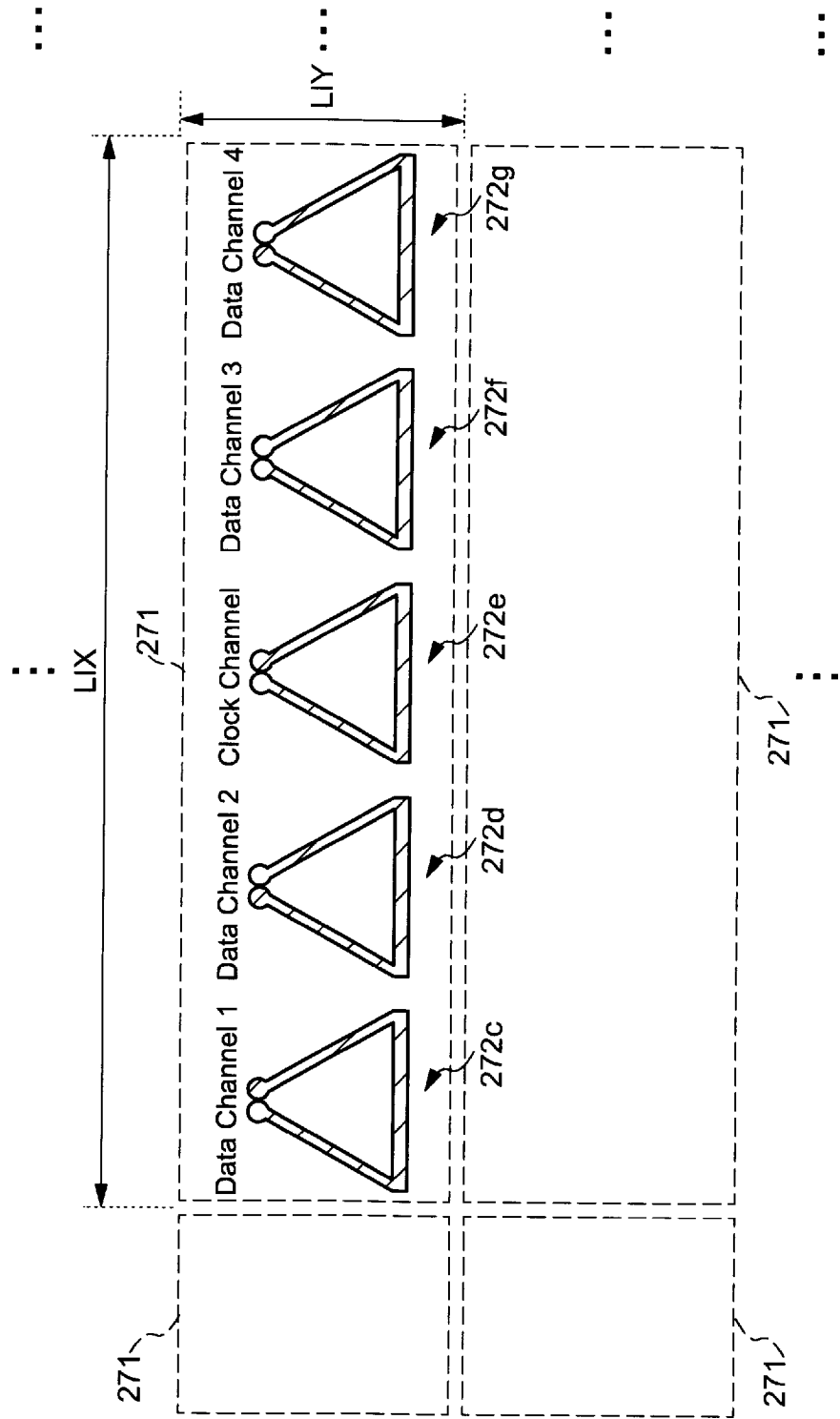
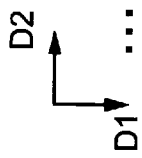


[図11]

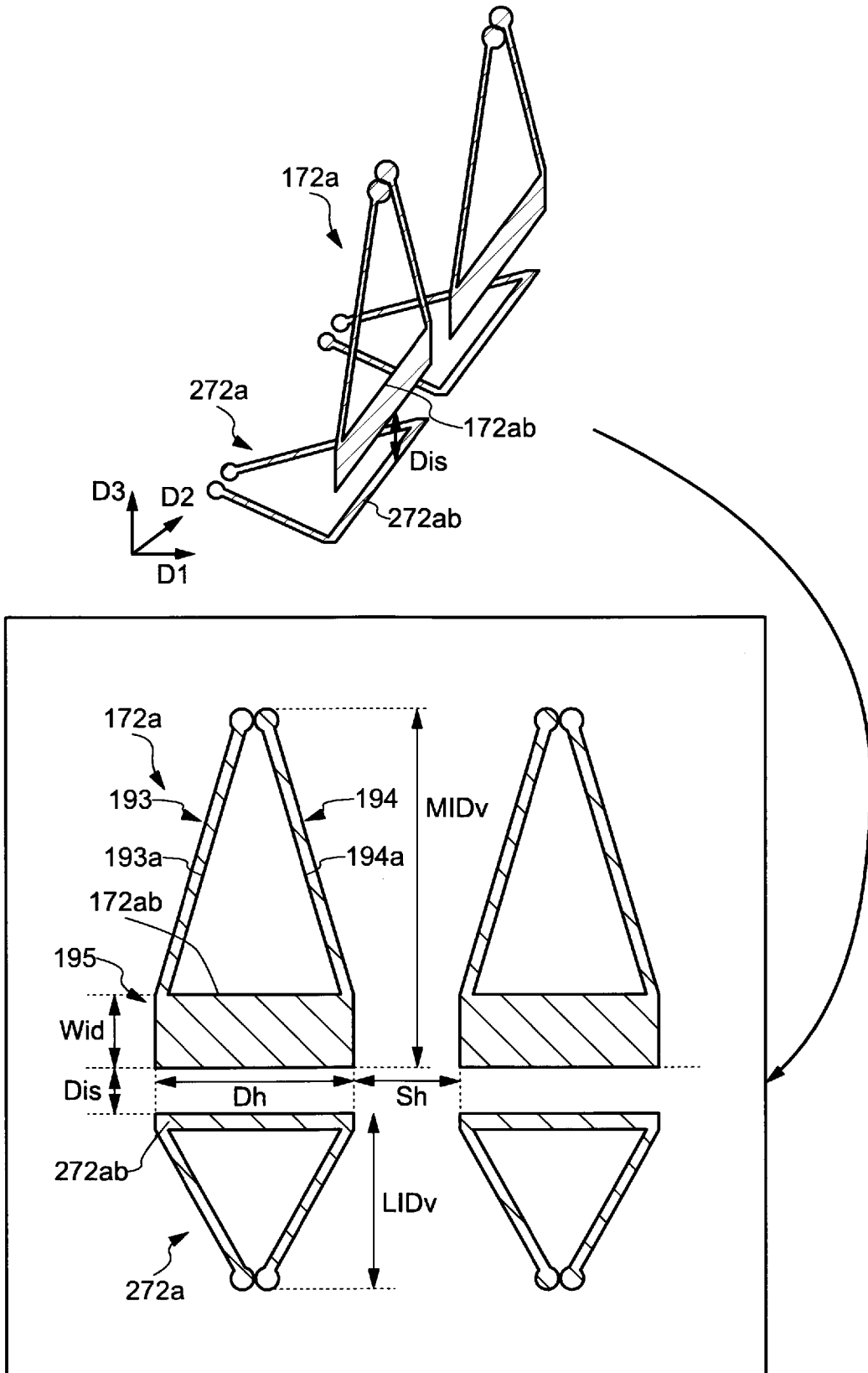


[図12]

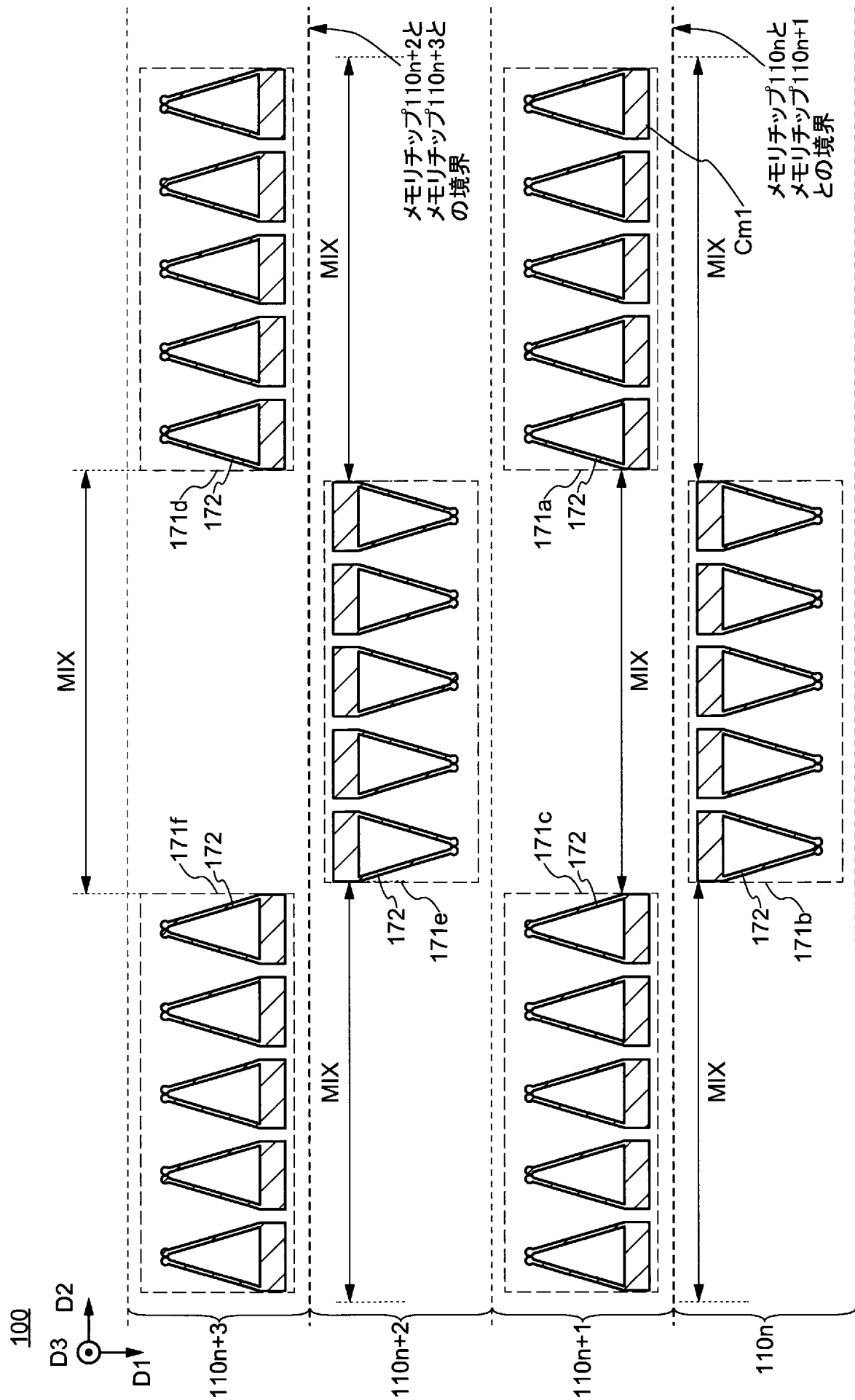
200



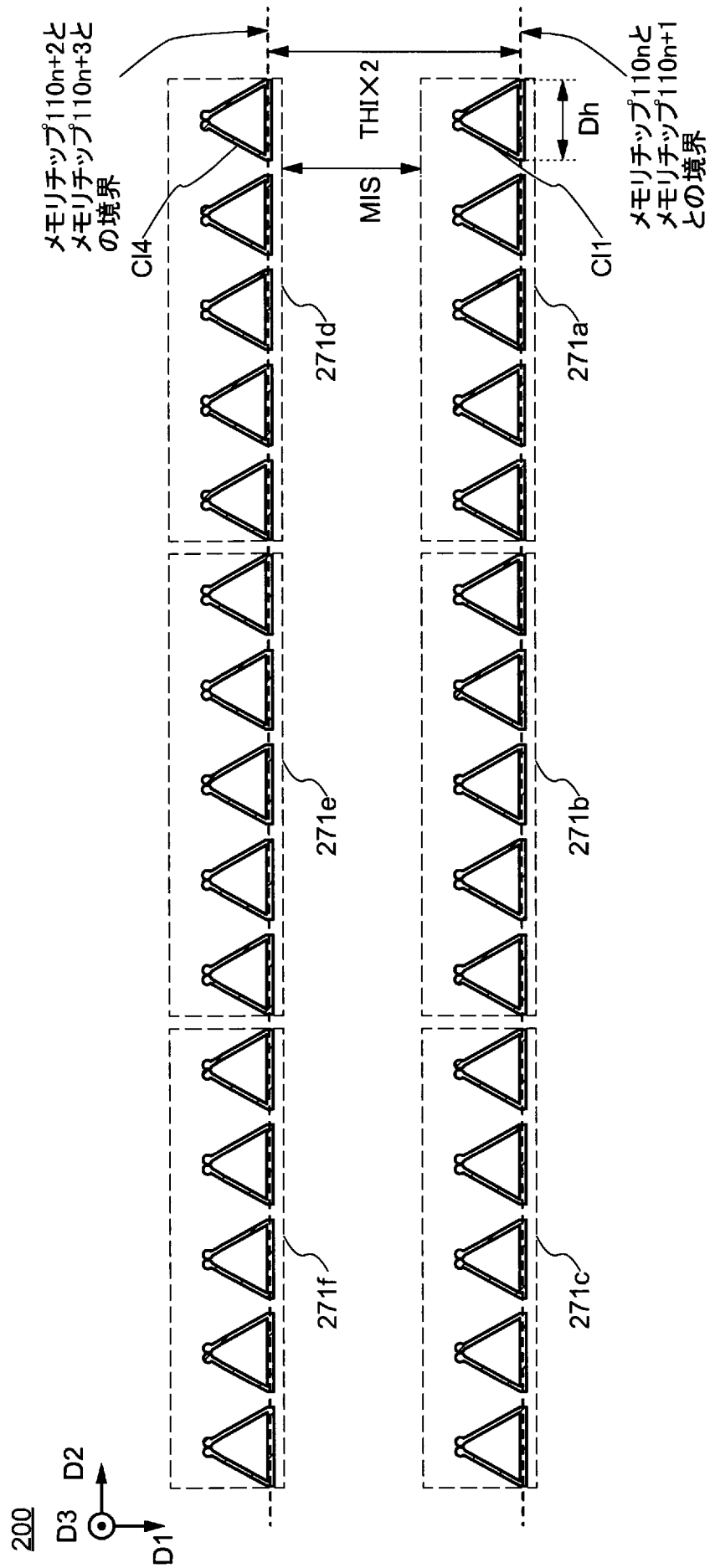
[図13]



[図14]



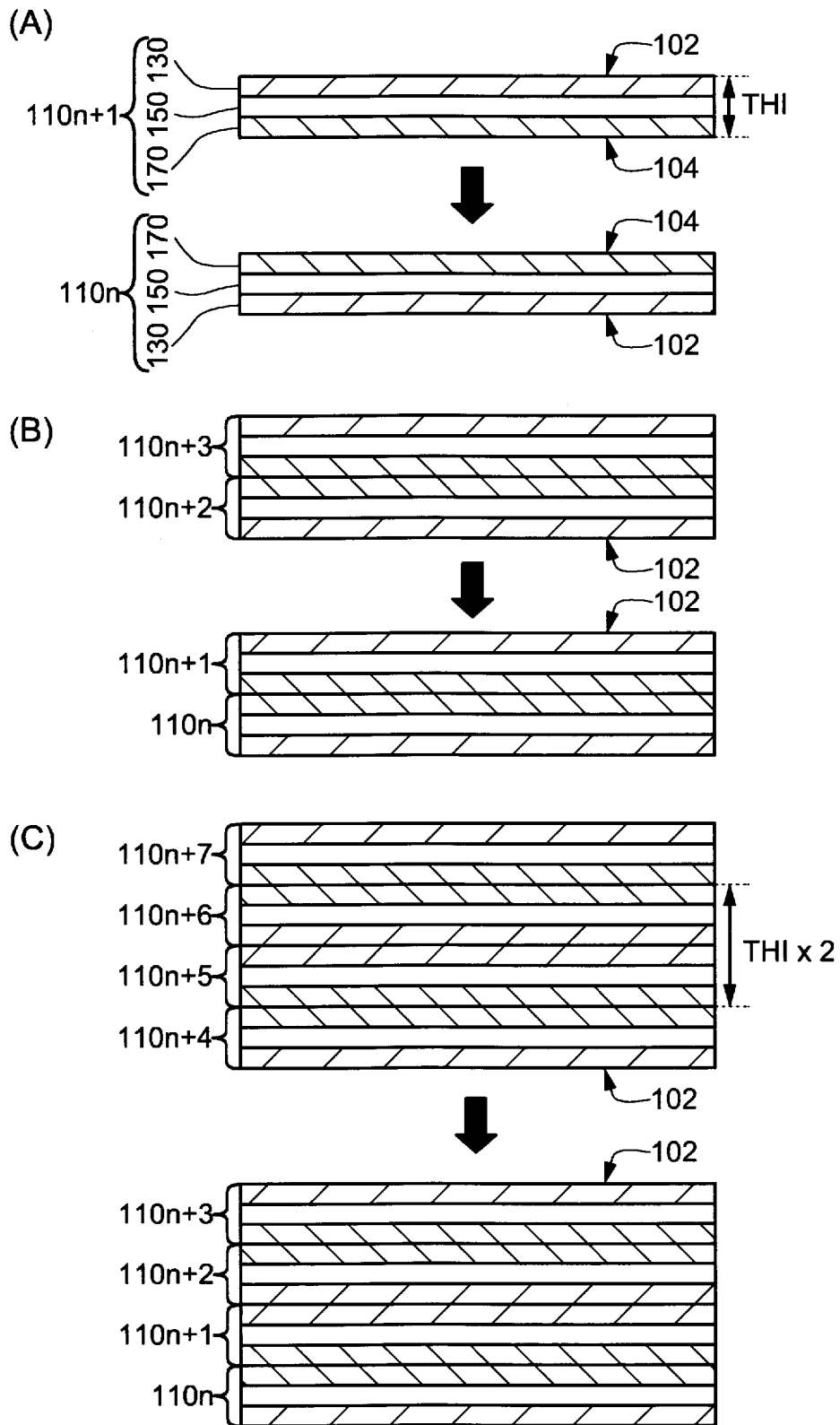
[図15]



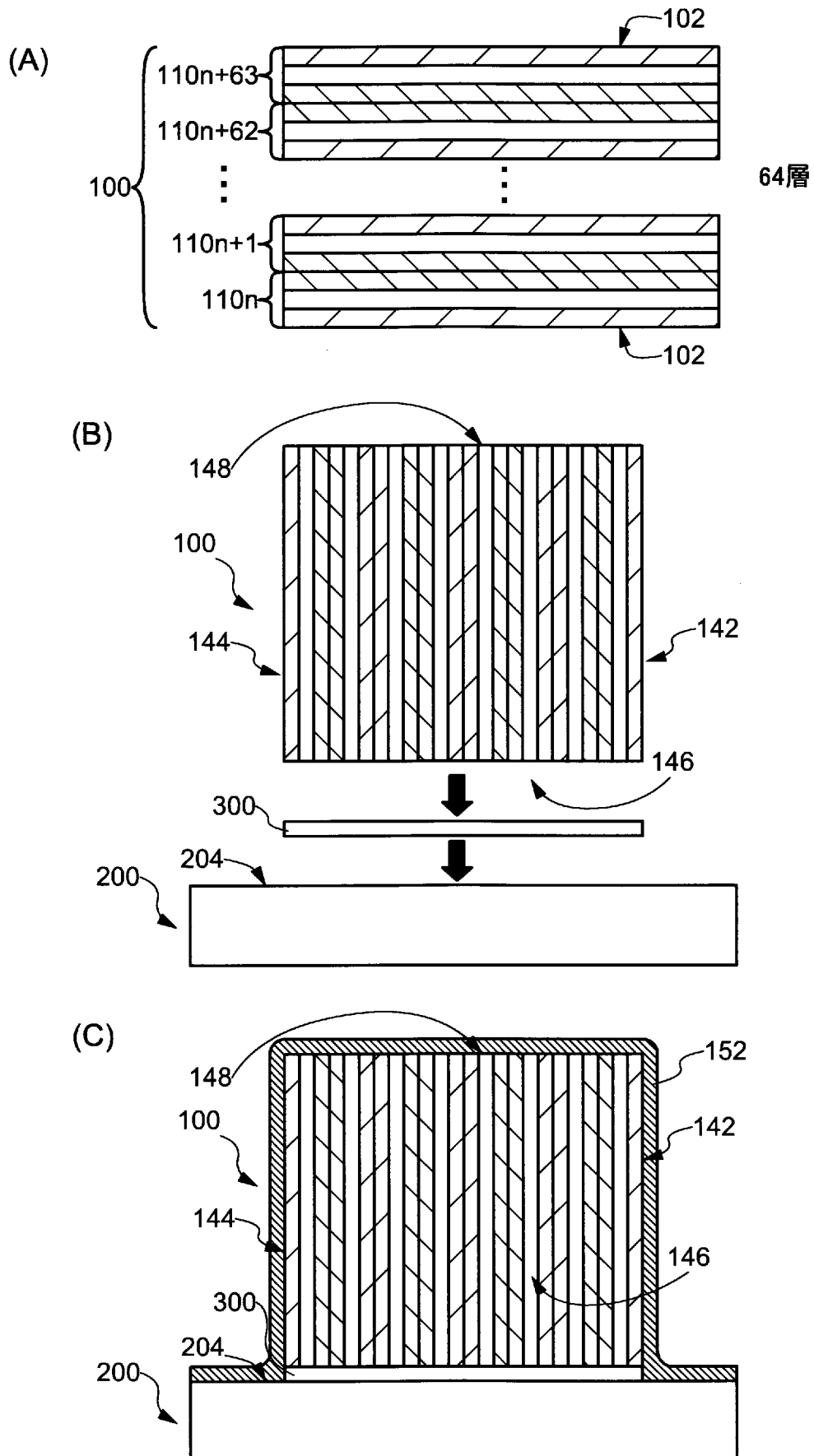
[図16]

Channel3	Channel2	Channel1	
インダクタ群271f	-	インダクタ群271d	ロジックチップ200
インダクタ群171f	-	インダクタ群171d	メモリチップ110n+3
-	インダクタ群271e	-	ロジックチップ200
-	インダクタ群171e	-	メモリチップ110n+2
インダクタ群271c	-	インダクタ群271a	ロジックチップ200
インダクタ群171c	-	インダクタ群171a	メモリチップ110n+1
-	インダクタ群271b	-	ロジックチップ200
-	インダクタ群171b	-	メモリチップ110n

[図17]

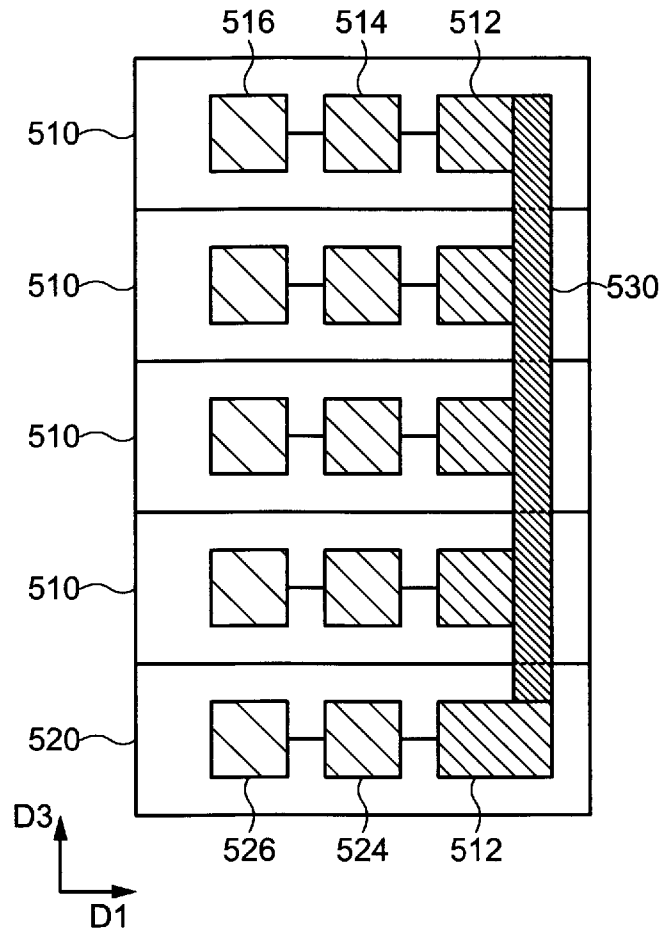


[図18]



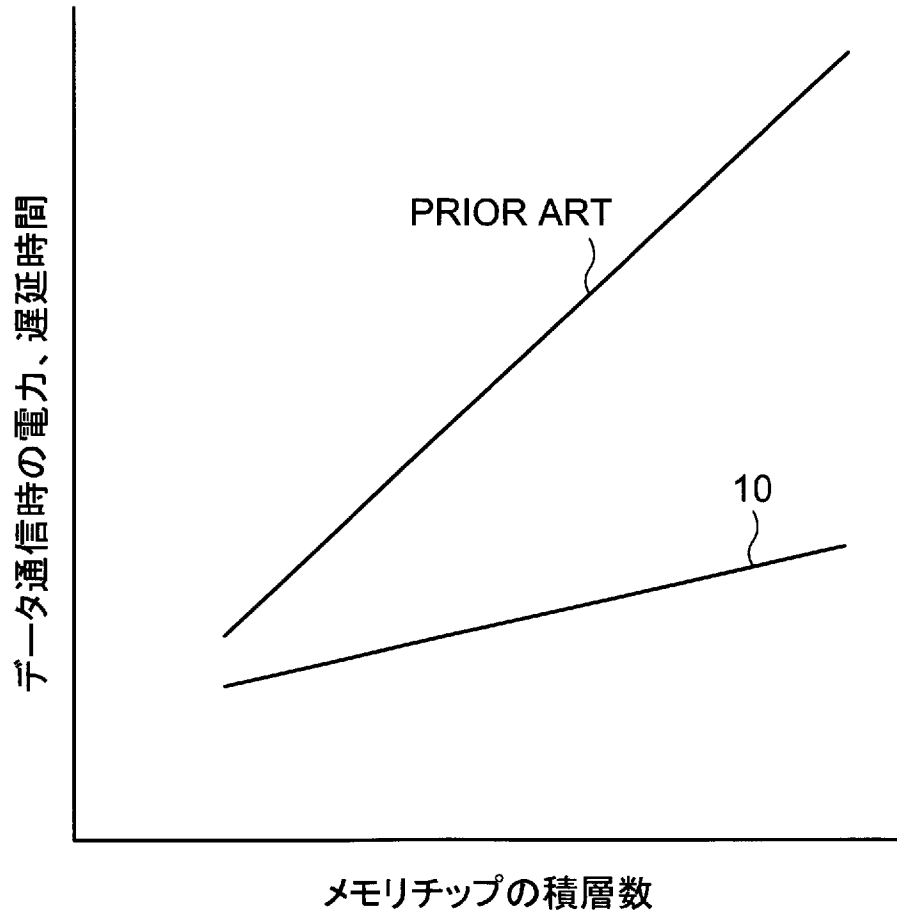
[図19]

500

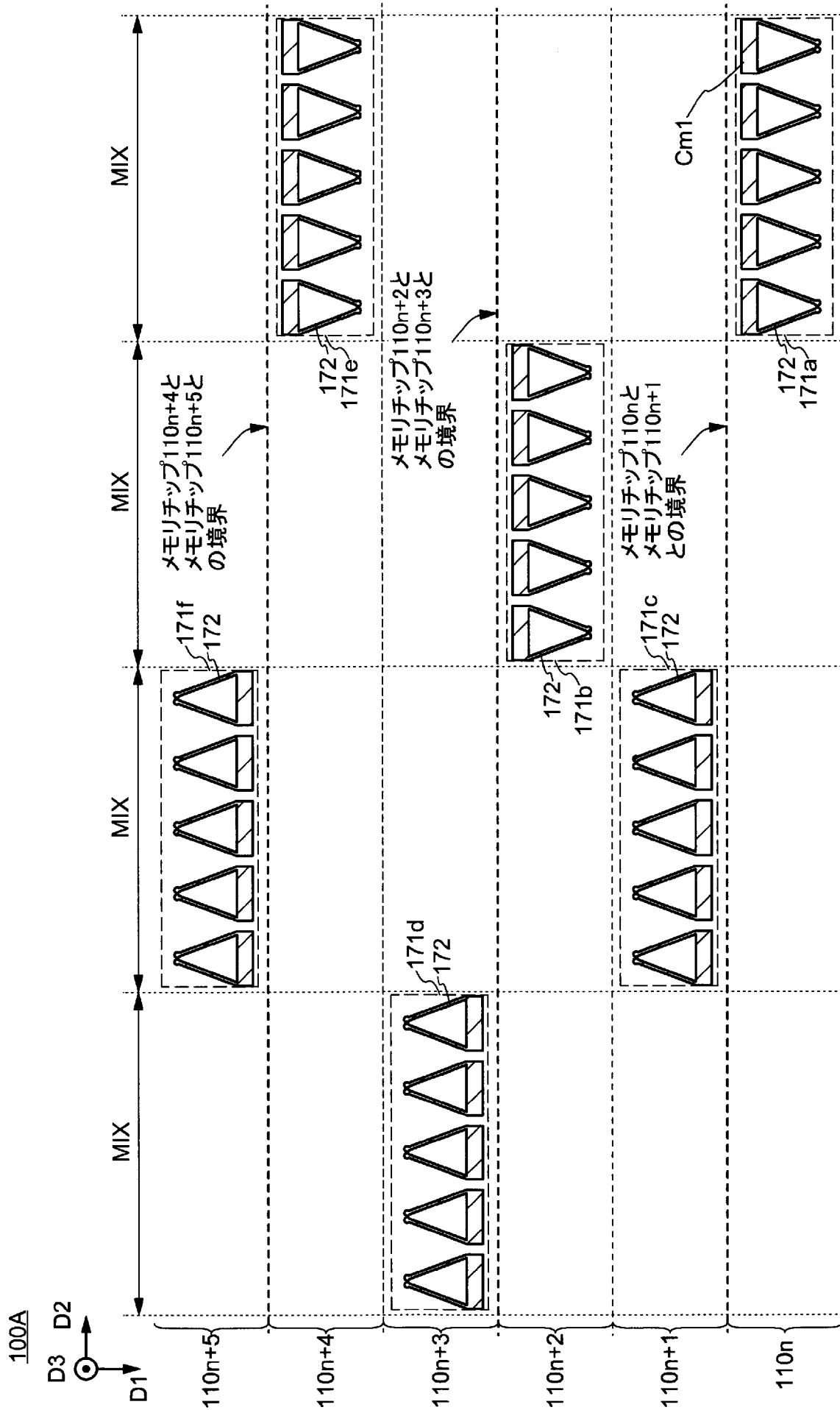


PRIOR ART

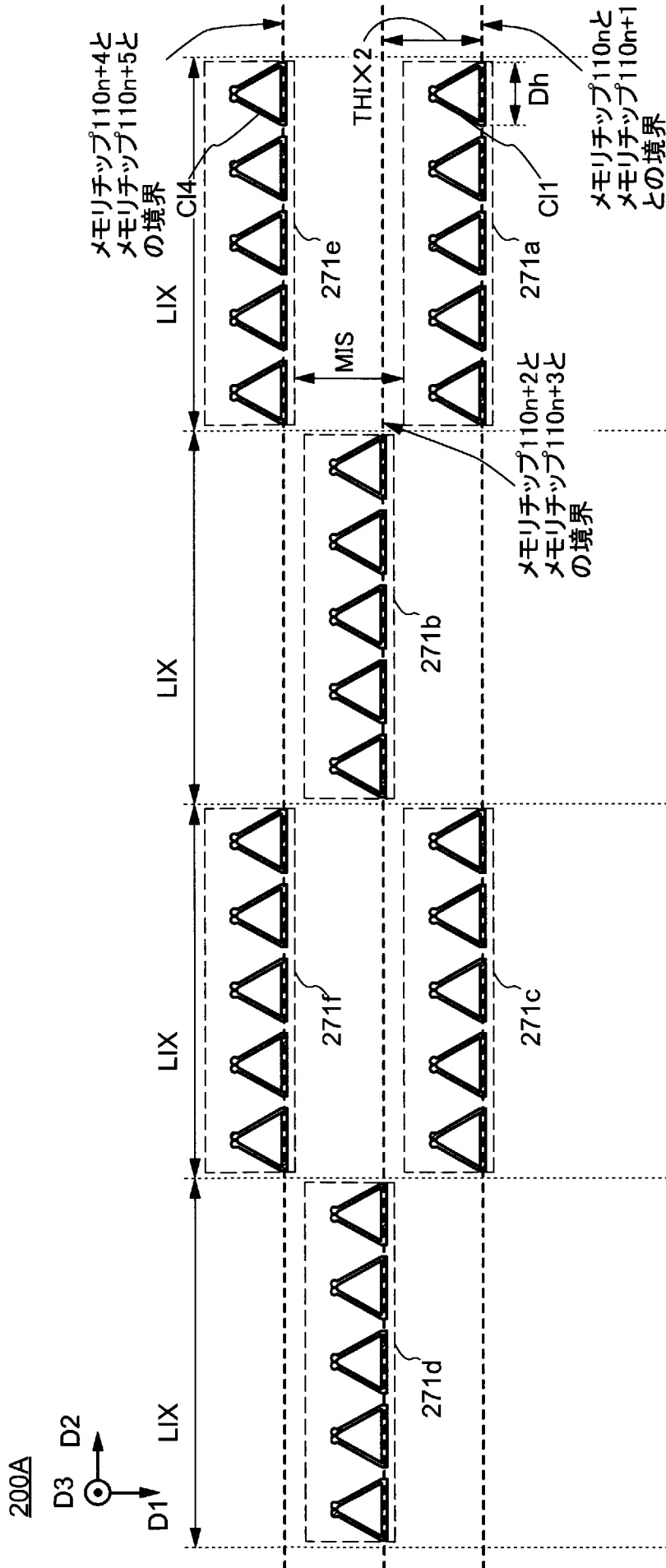
[図20]



[図21]



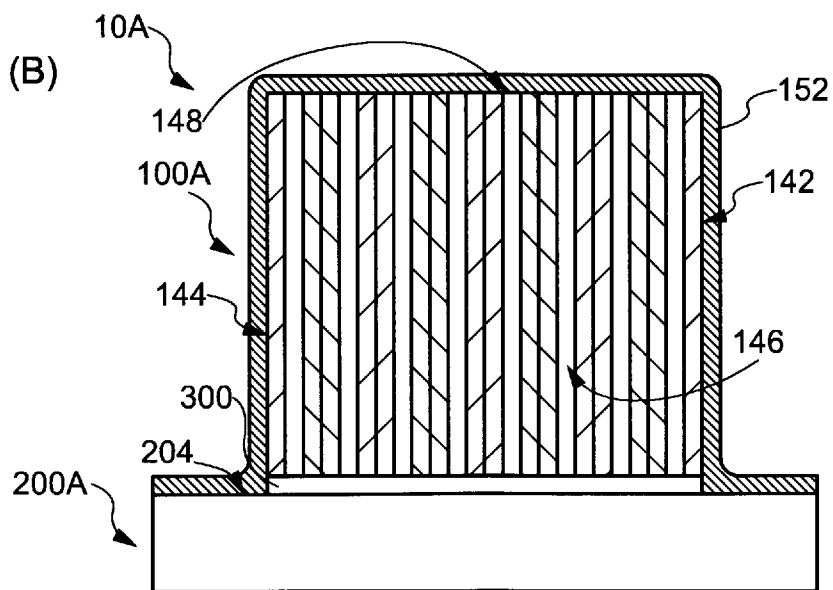
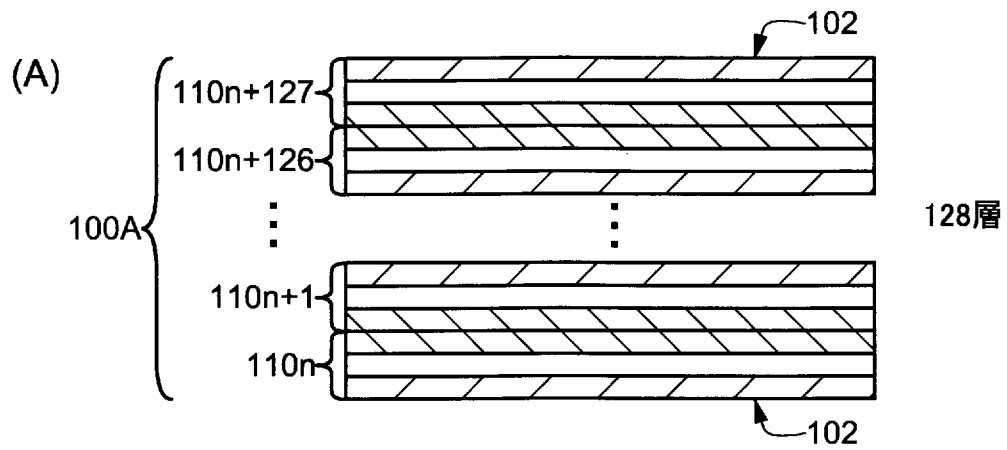
[図22]



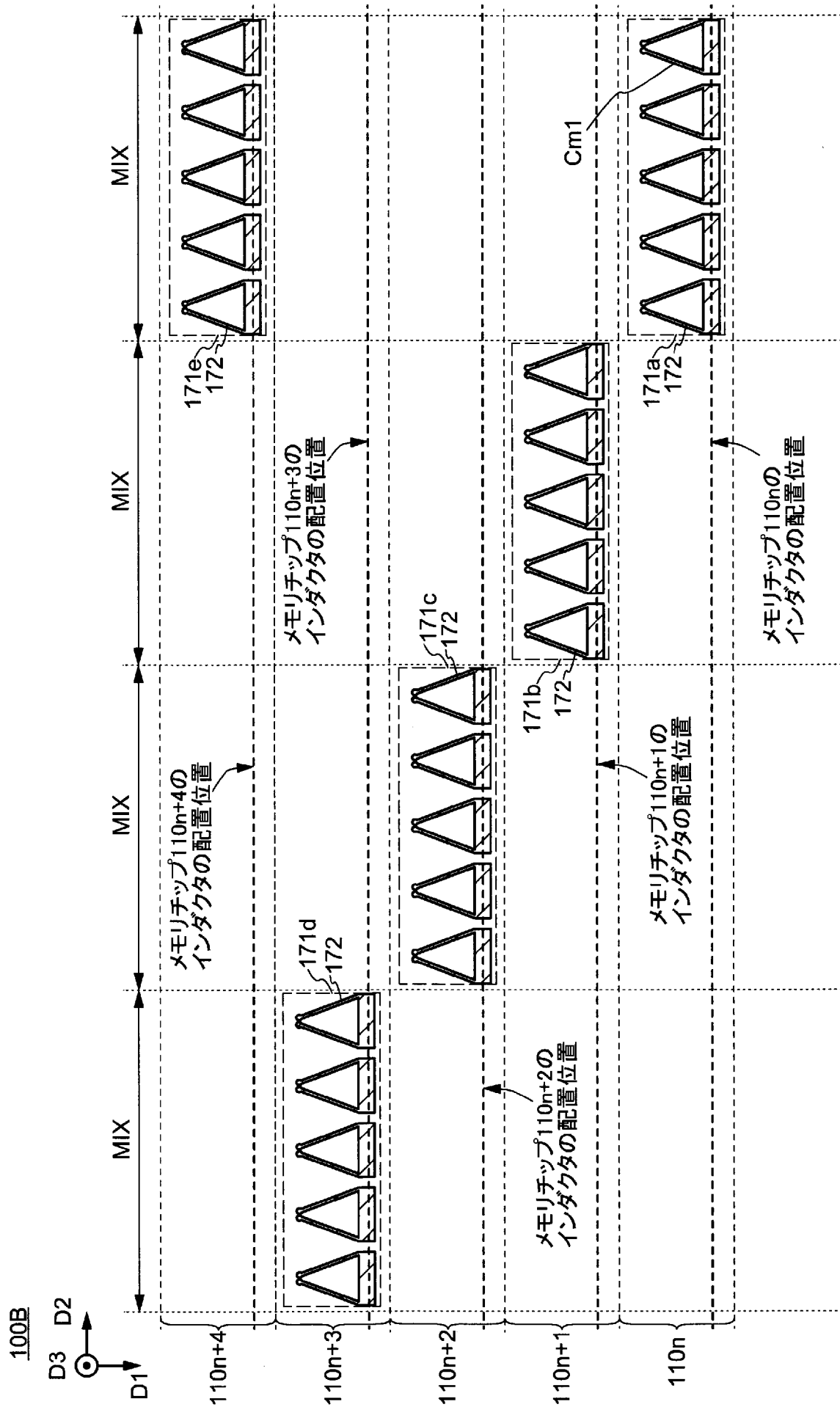
[図23]

Channel4	Channel3	Channel2	Channel1	
-	インダクタ群271f	-	-	ロジックチップ200A
-	インダクタ群171f	-	-	メモリチップ110n+5
-	-	-	インダクタ群271e	ロジックチップ200A
-	-	-	インダクタ群171e	メモリチップ110n+4
インダクタ群271d	-	-	-	ロジックチップ200A
インダクタ群171d	-	-	-	メモリチップ110n+3
-	-	インダクタ群271b	-	ロジックチップ200
-	-	インダクタ群171b	-	メモリチップ110n+2
-	インダクタ群271c	-	-	ロジックチップ200A
-	インダクタ群171c	-	-	メモリチップ110n+1
-	-	-	インダクタ群271a	ロジックチップ200A
-	-	-	インダクタ群171a	メモリチップ110n

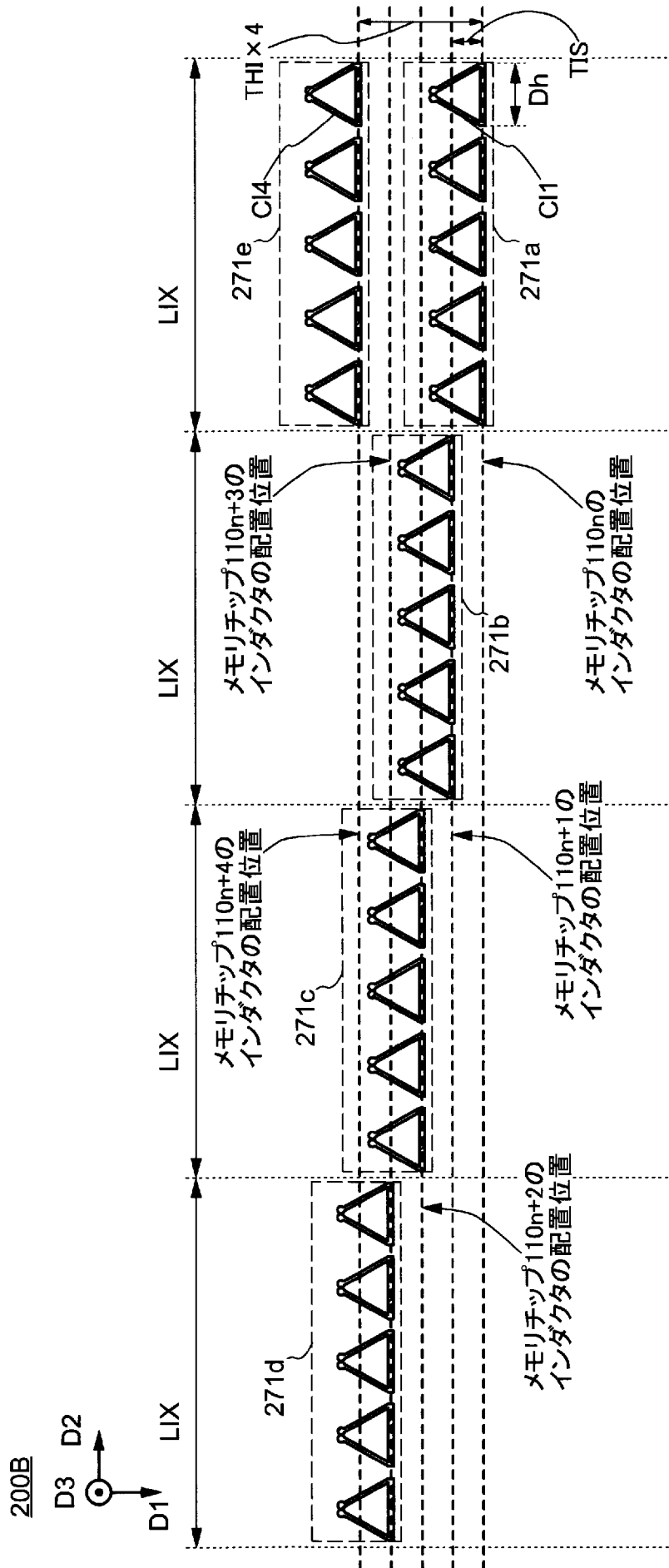
[図24]



[図25]



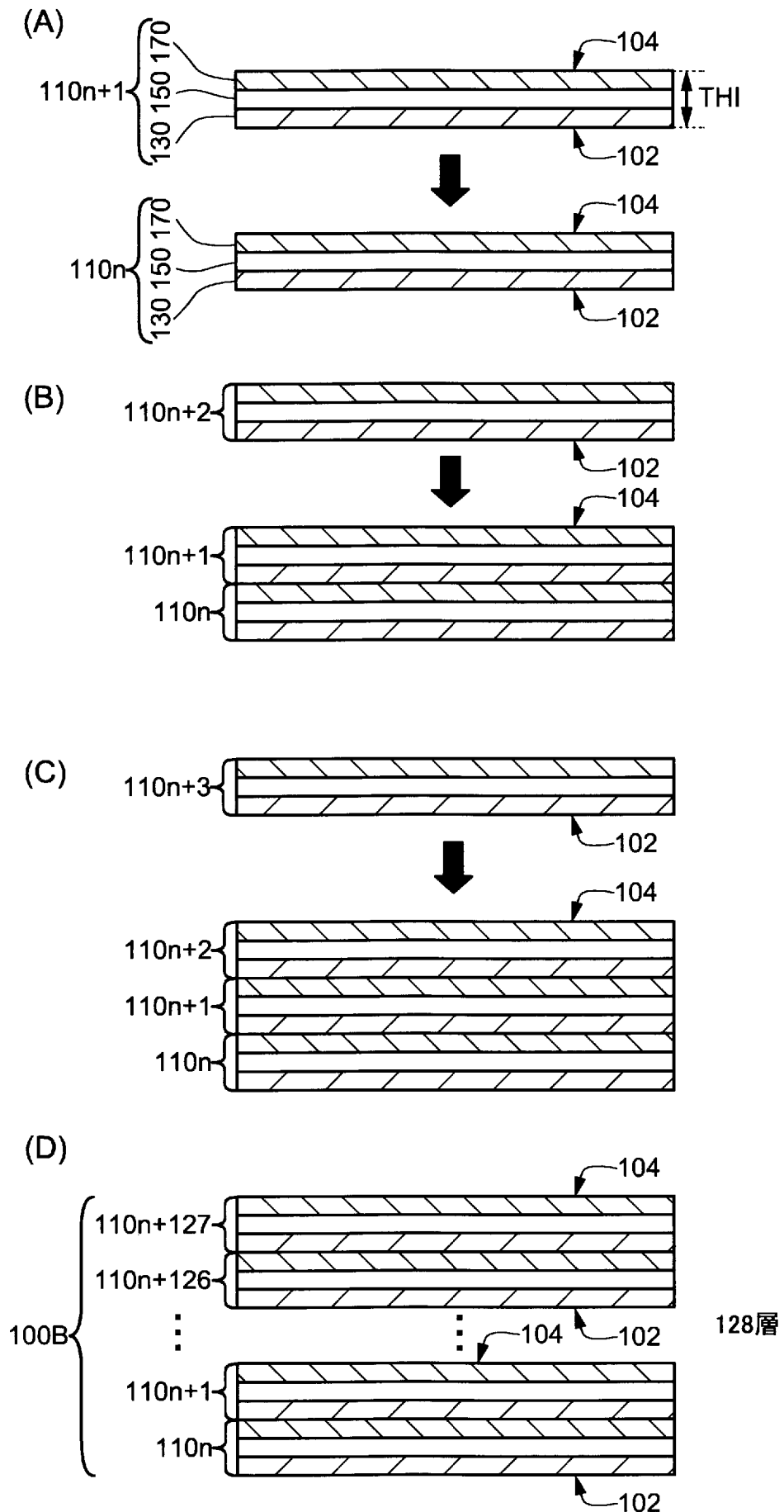
[図26]



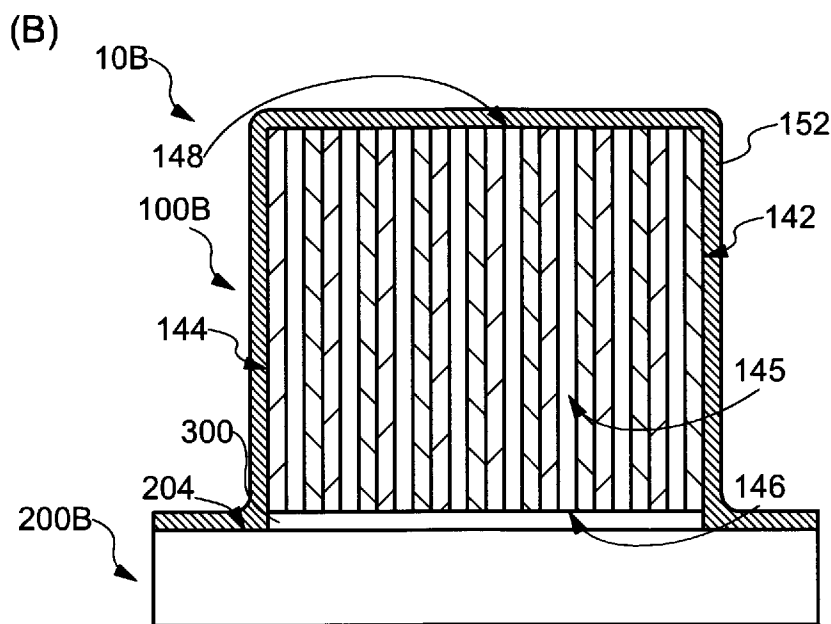
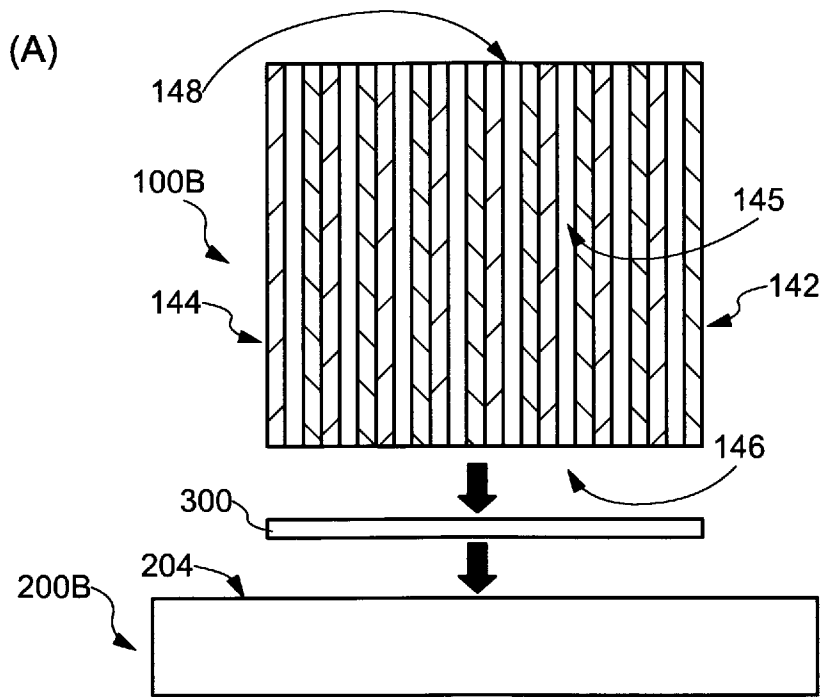
[図27]

Channel4	Channel3	Channel2	Channel1	
-	-	-	インダクタ群271e	ロジックチップ200B
-	-	-	インダクタ群171e	メモリチップ110n+4
インダクタ群271d	-	-	-	ロジックチップ200B
インダクタ群171d	-	-	-	メモリチップ110n+3
-	インダクタ群271c	-	-	ロジックチップ200B
-	インダクタ群171c	-	-	メモリチップ110n+2
-	-	インダクタ群271b	-	ロジックチップ200B
-	-	インダクタ群171b	-	メモリチップ110n+1
-	-	-	インダクタ群271a	ロジックチップ200B
-	-	-	インダクタ群171a	メモリチップ110n

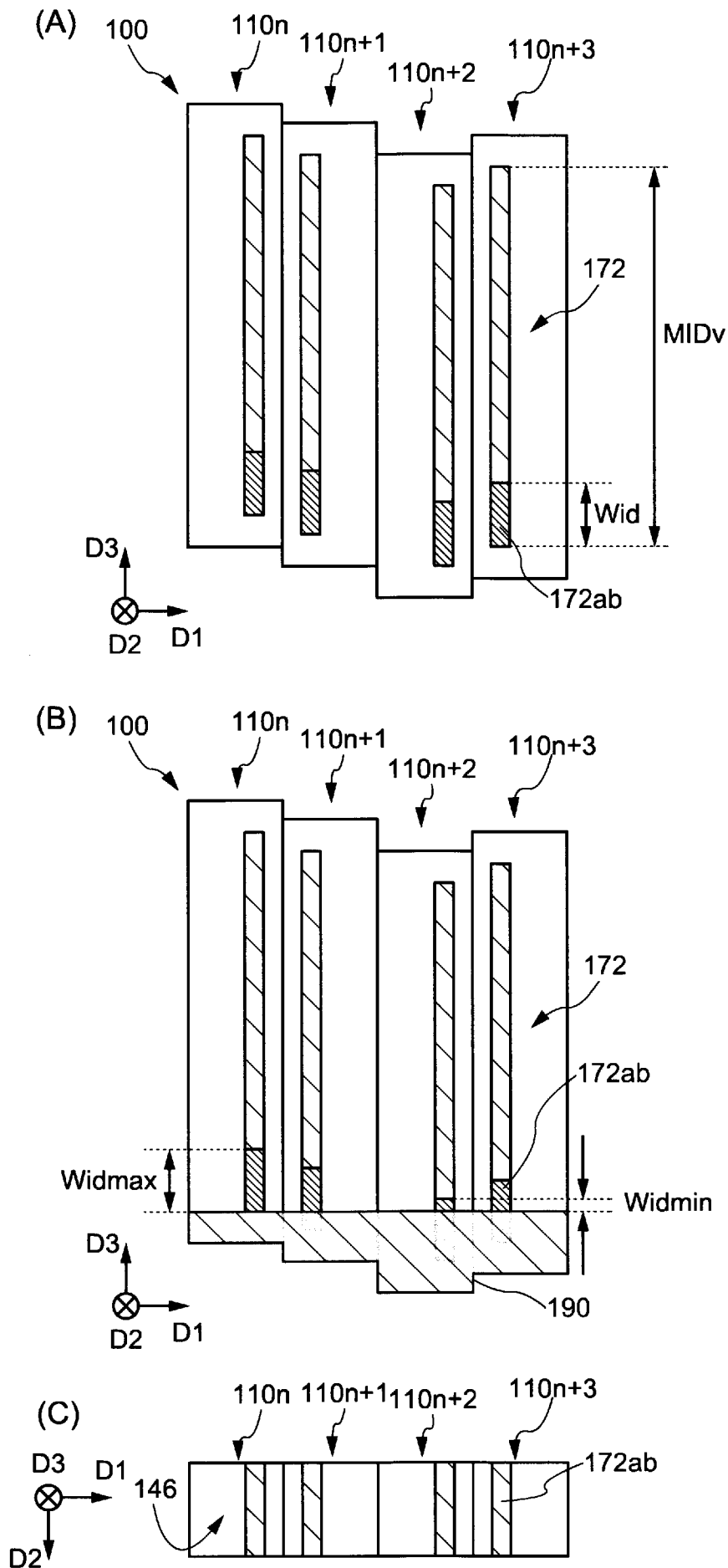
[図28]



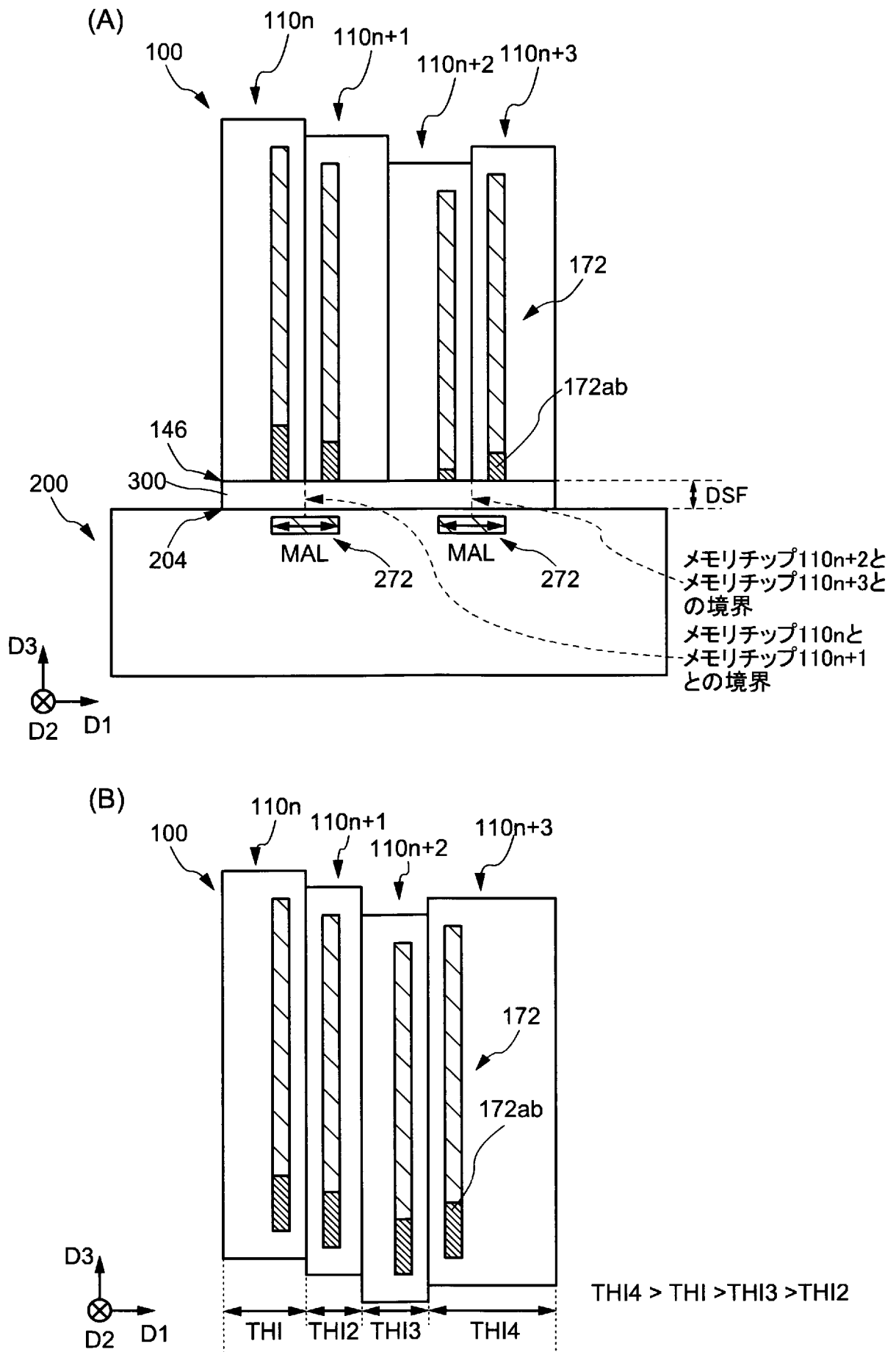
[図29]



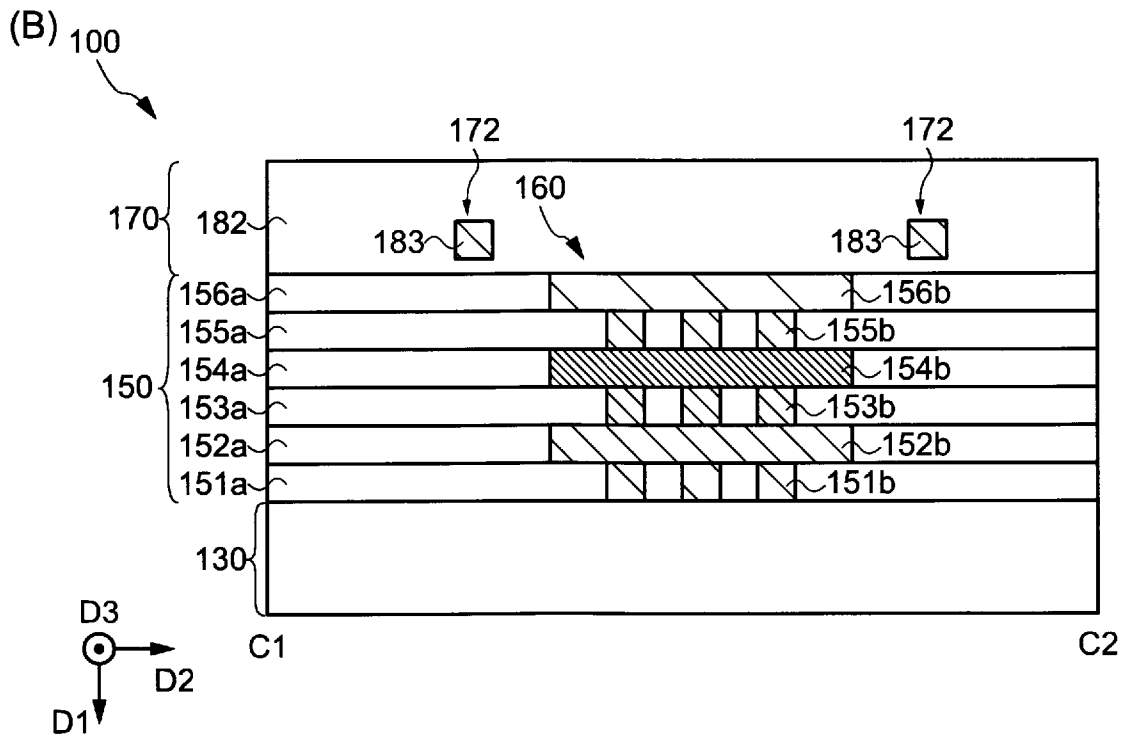
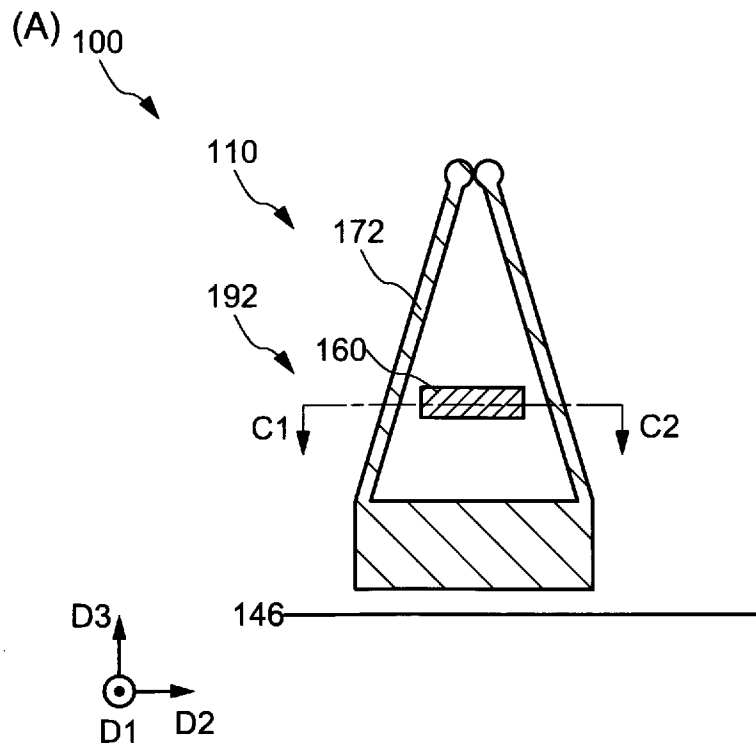
[図30]



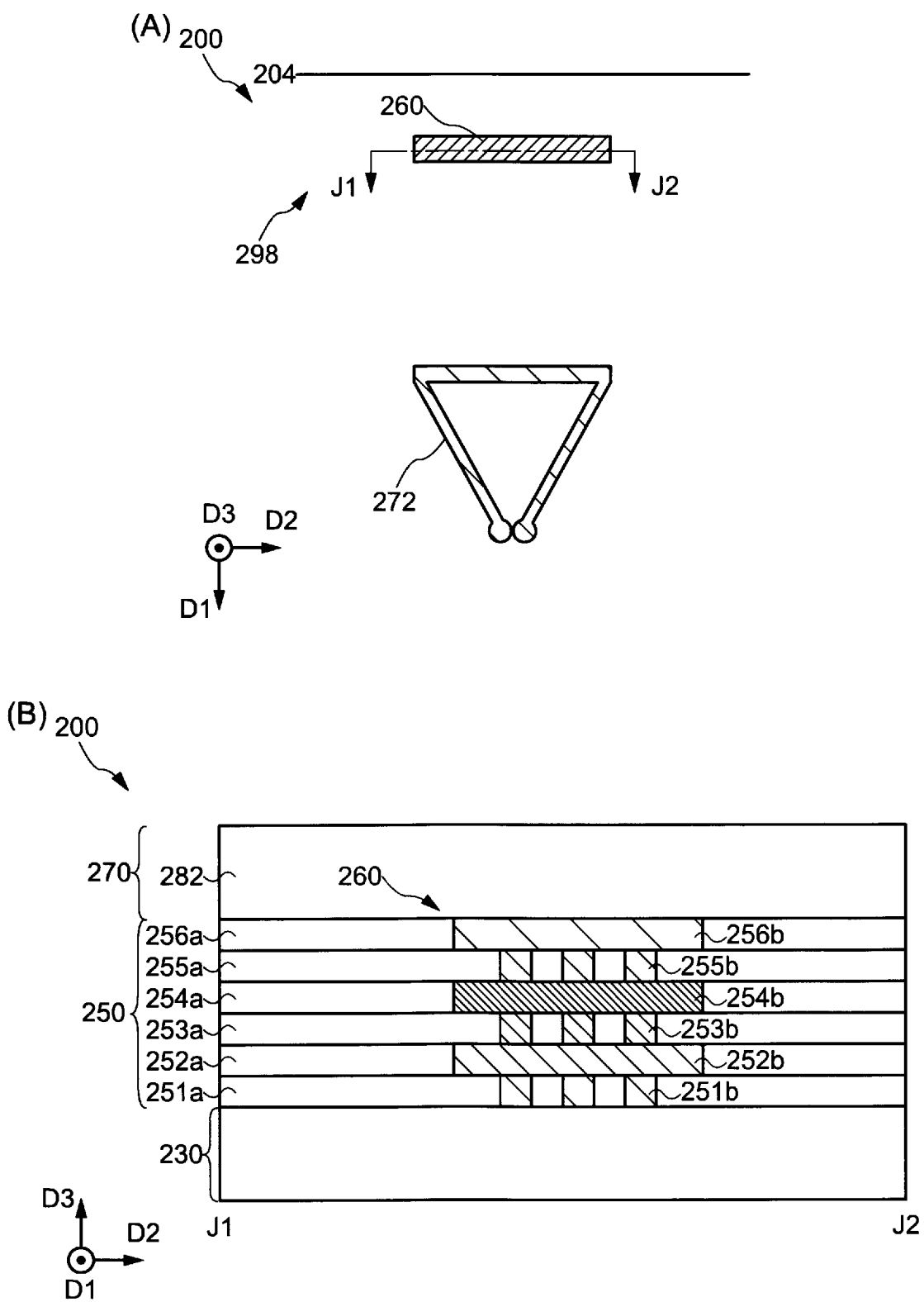
[図31]



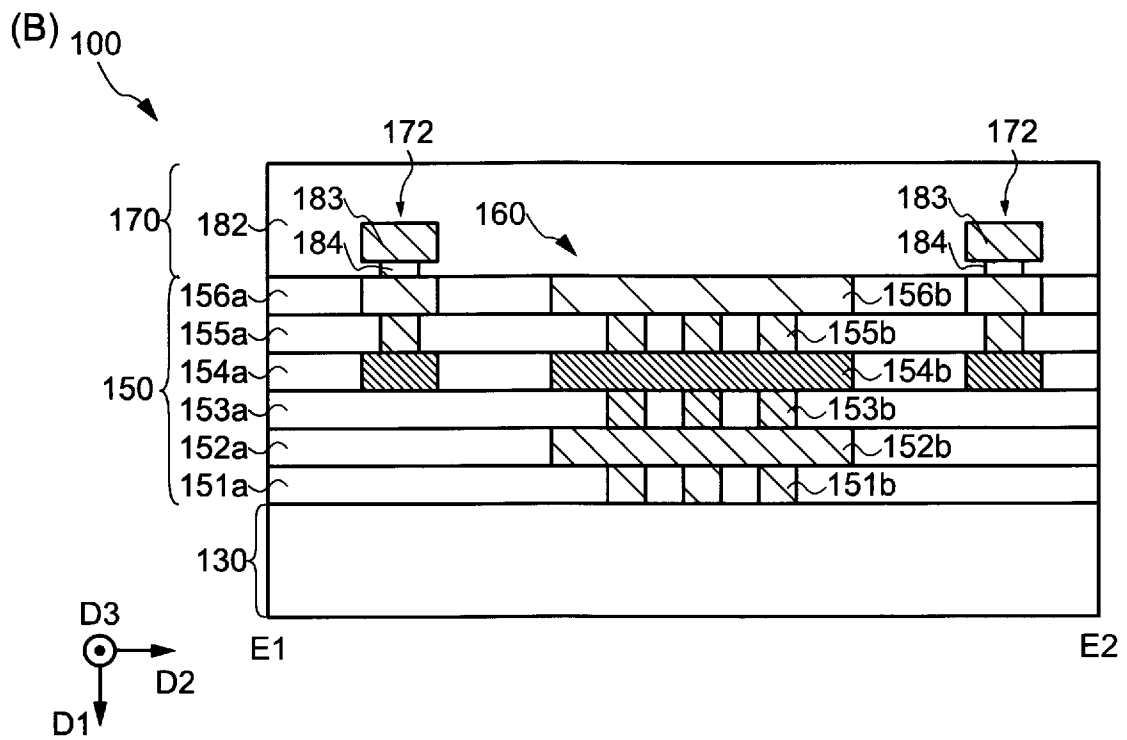
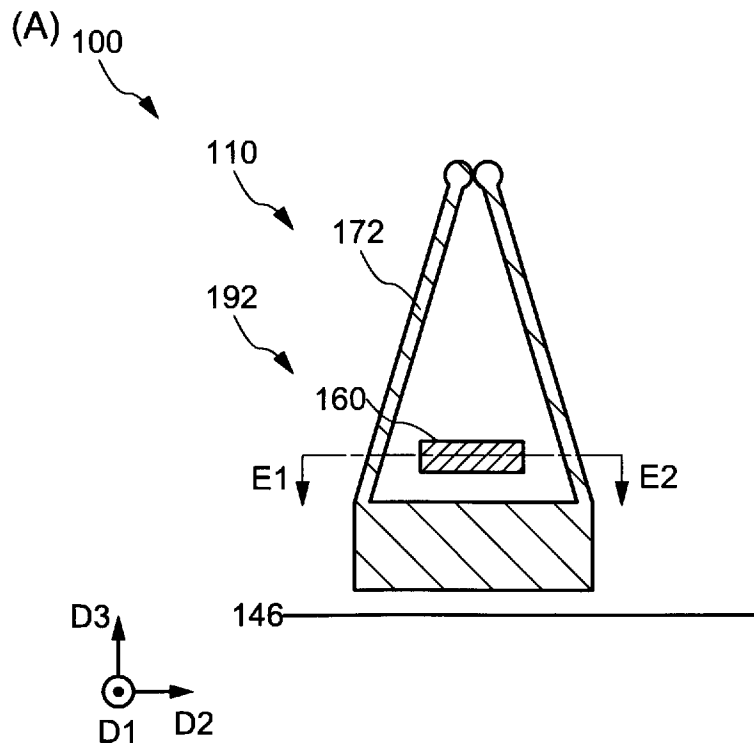
[図32]



[図33]

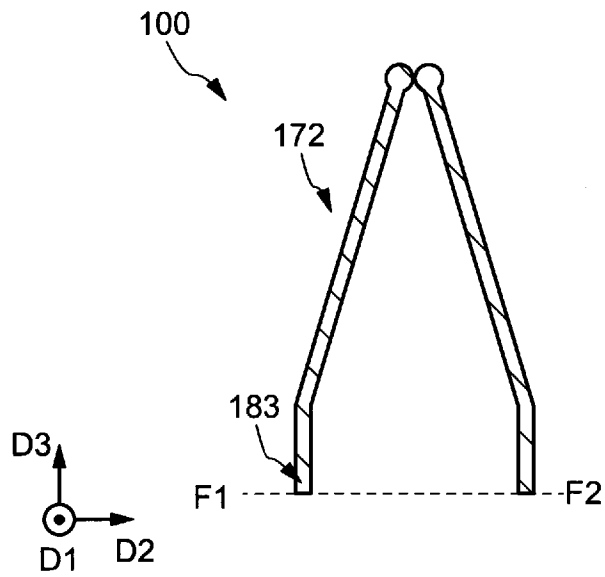


[図34]

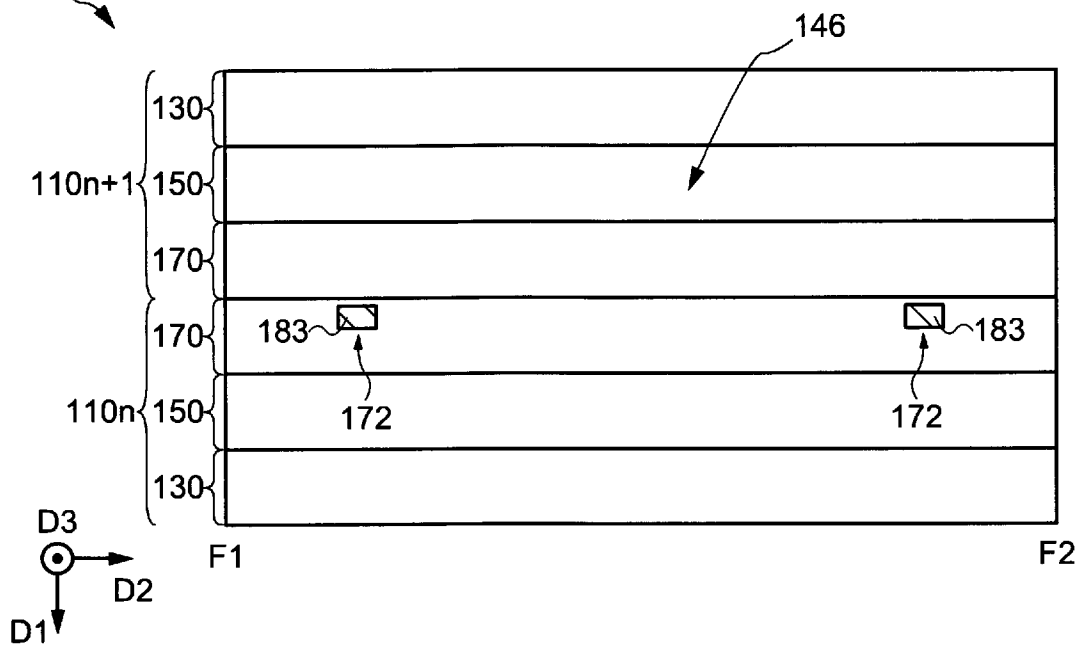


[図35]

(A)

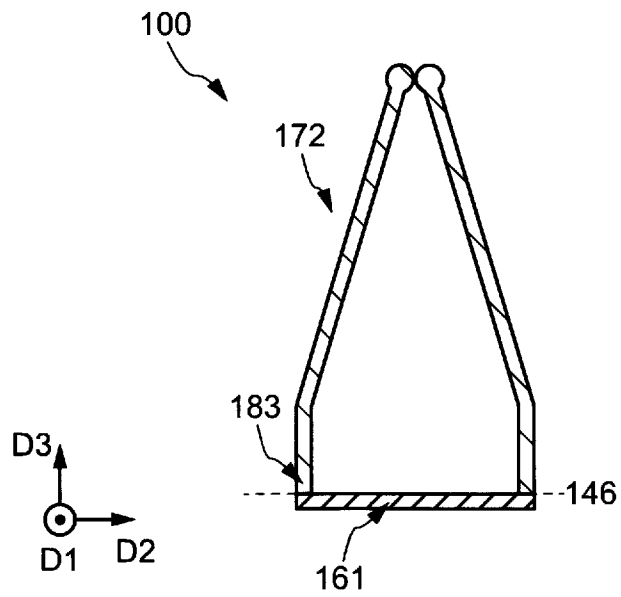


(B) 100

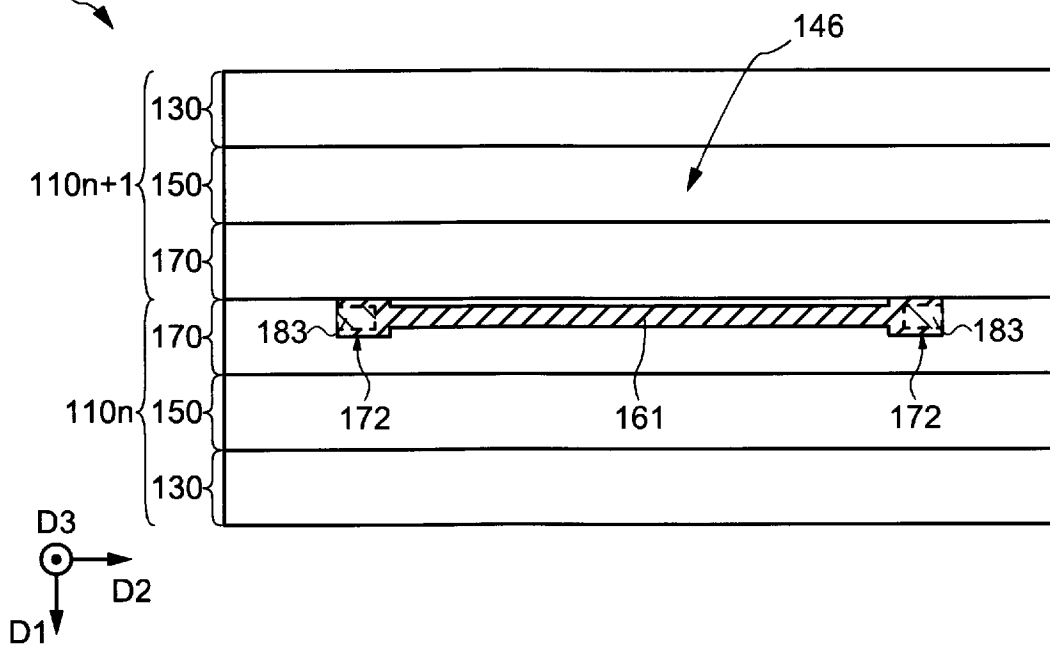


[図36]

(A)

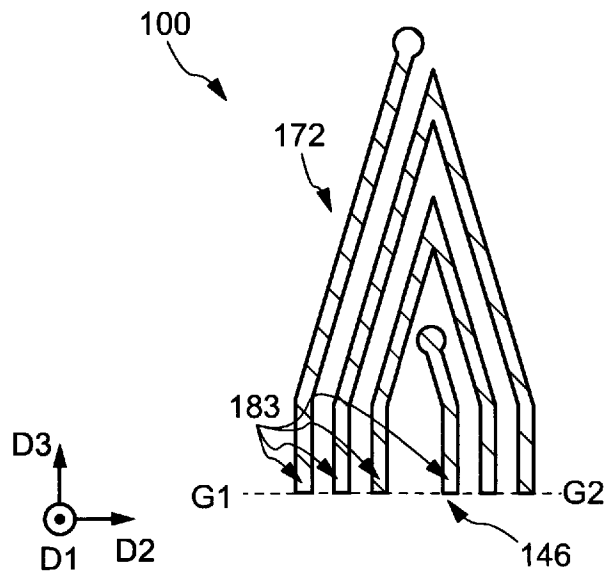


(B) 100

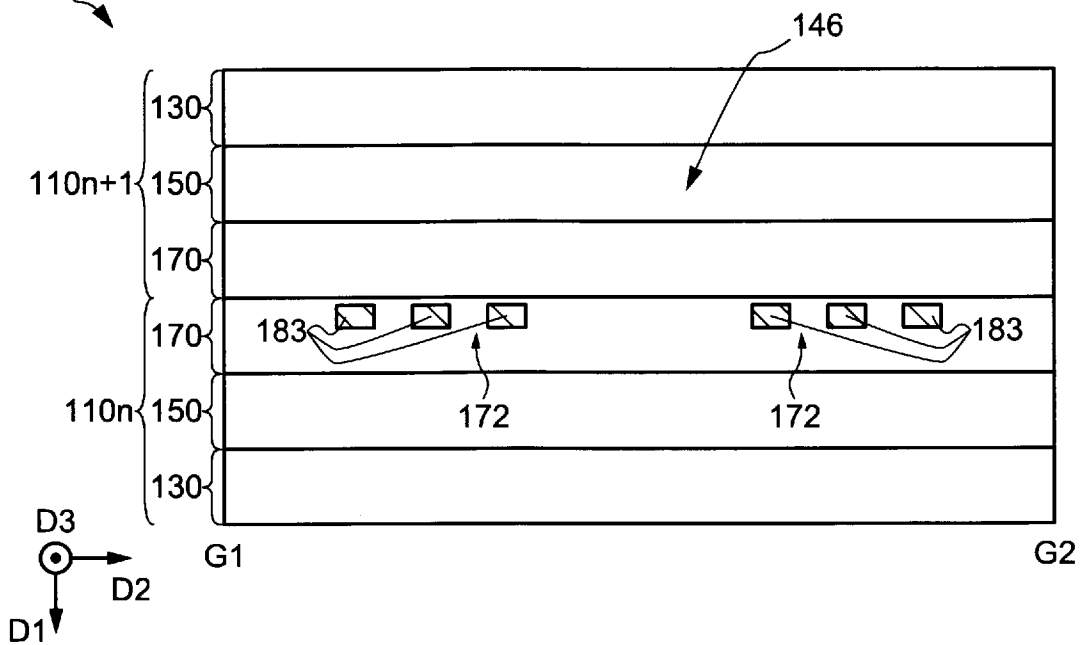


[図37]

(A)

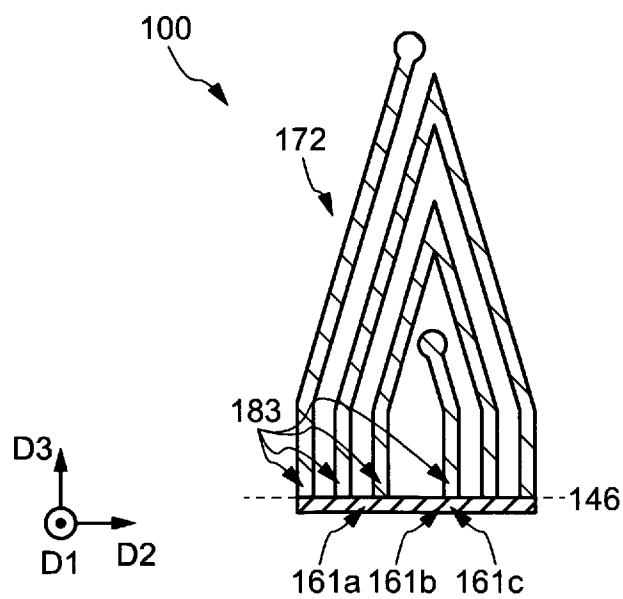


(B) 100

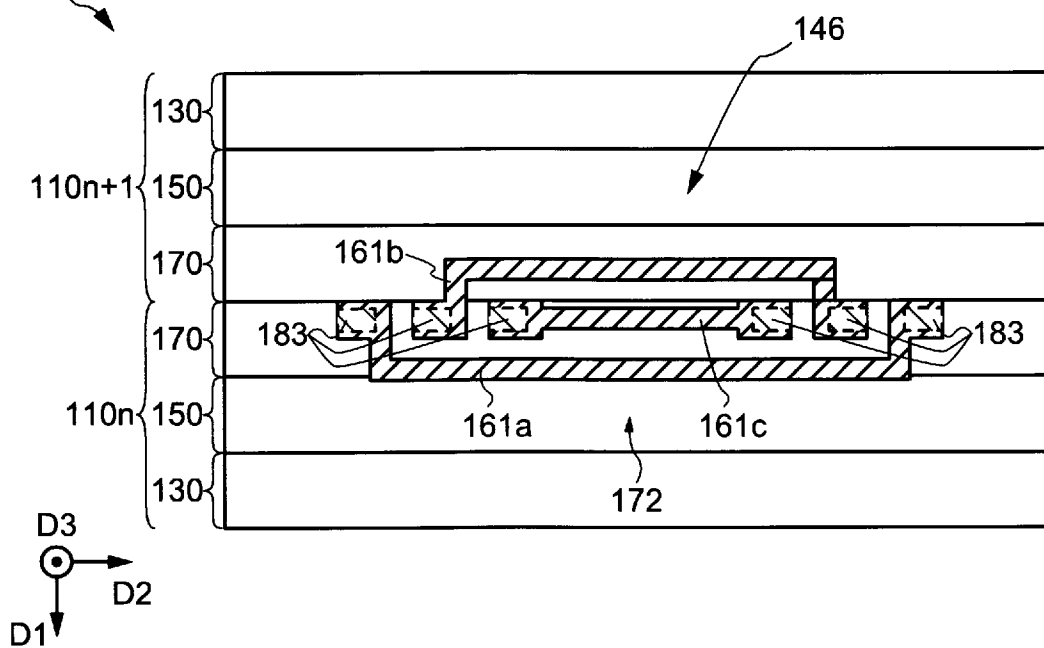


[図38]

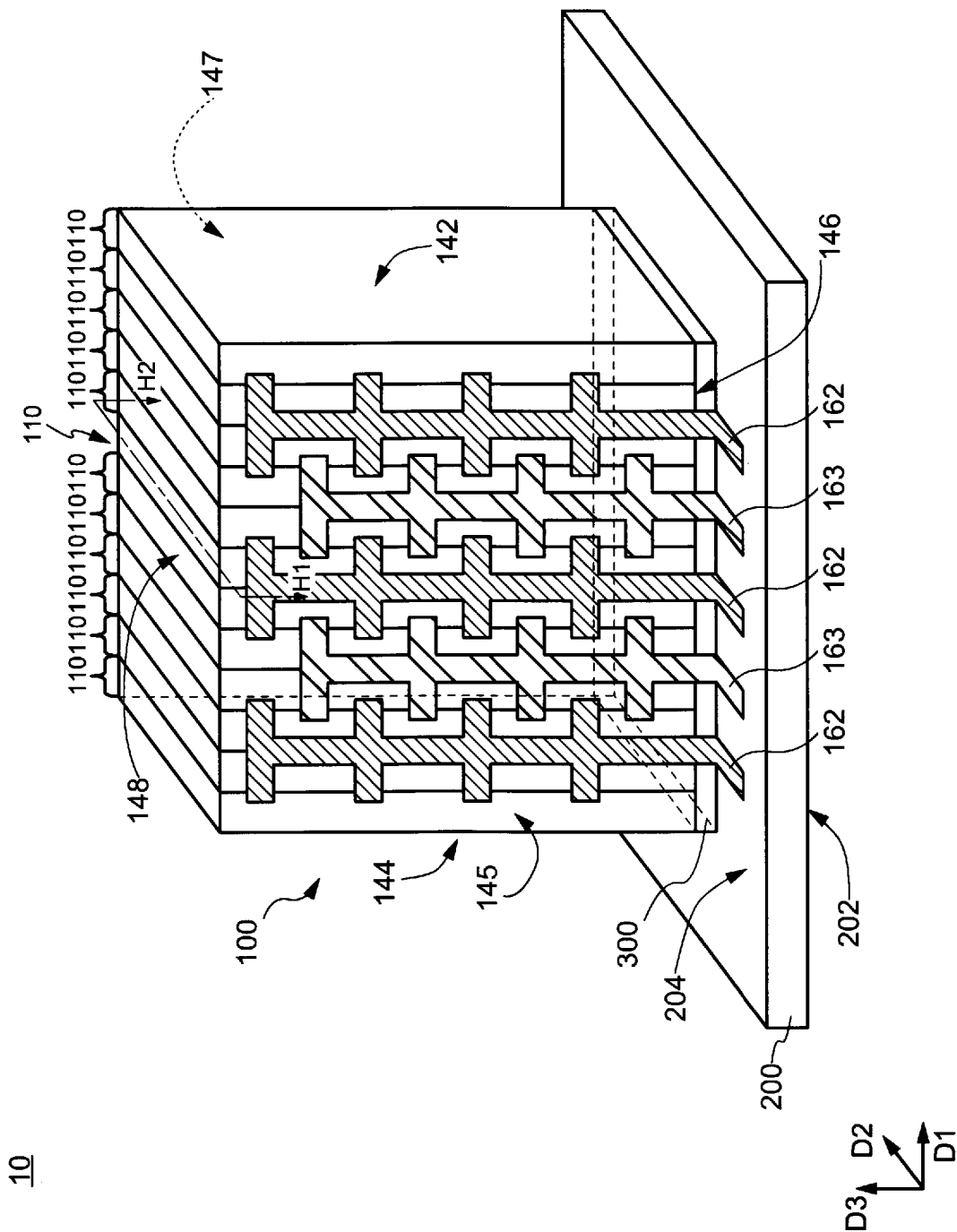
(A)



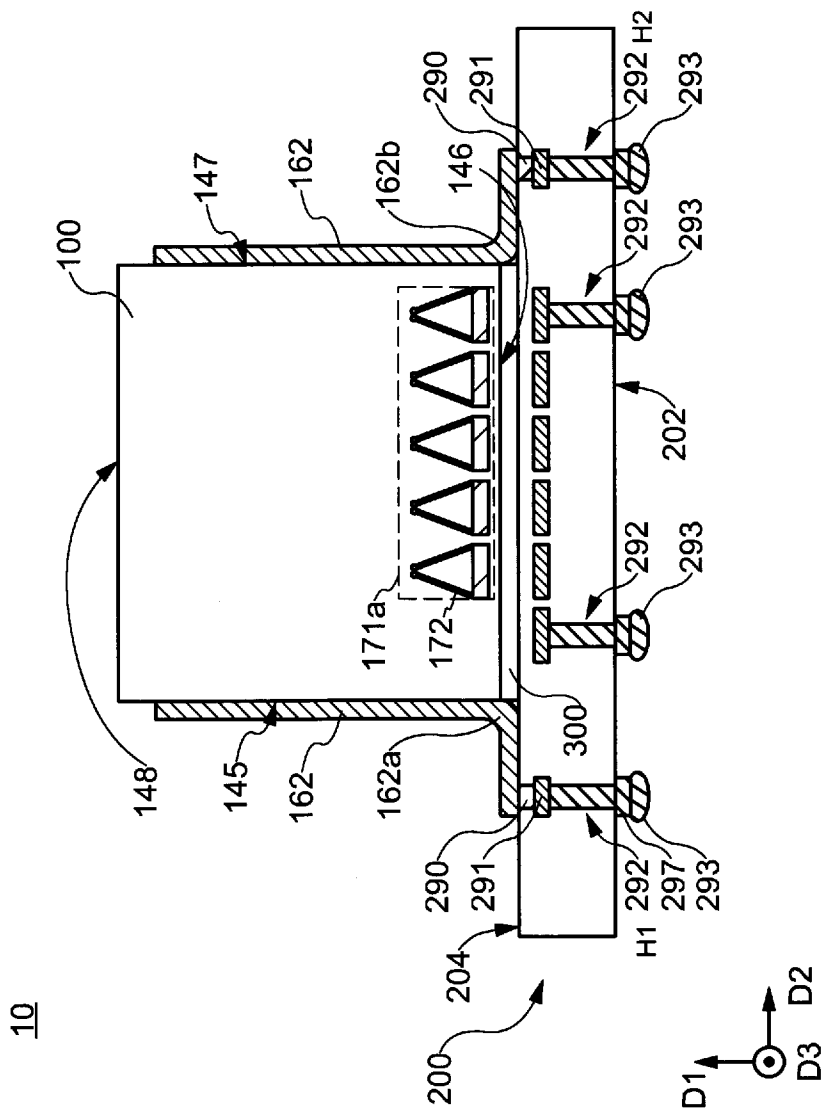
(B) 100



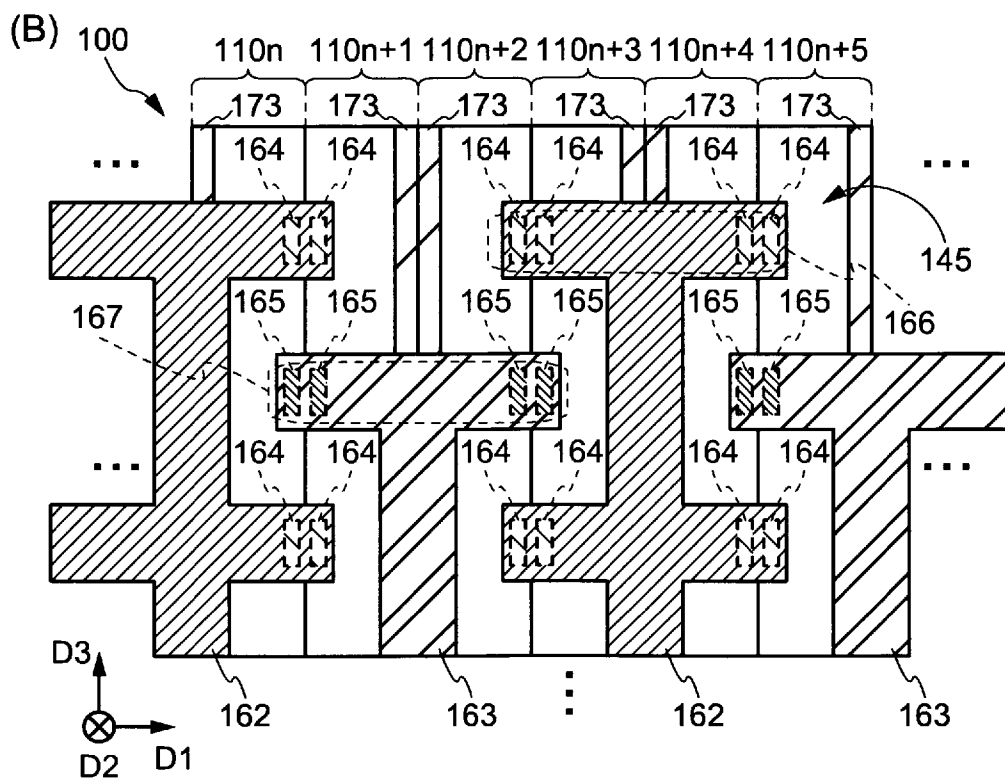
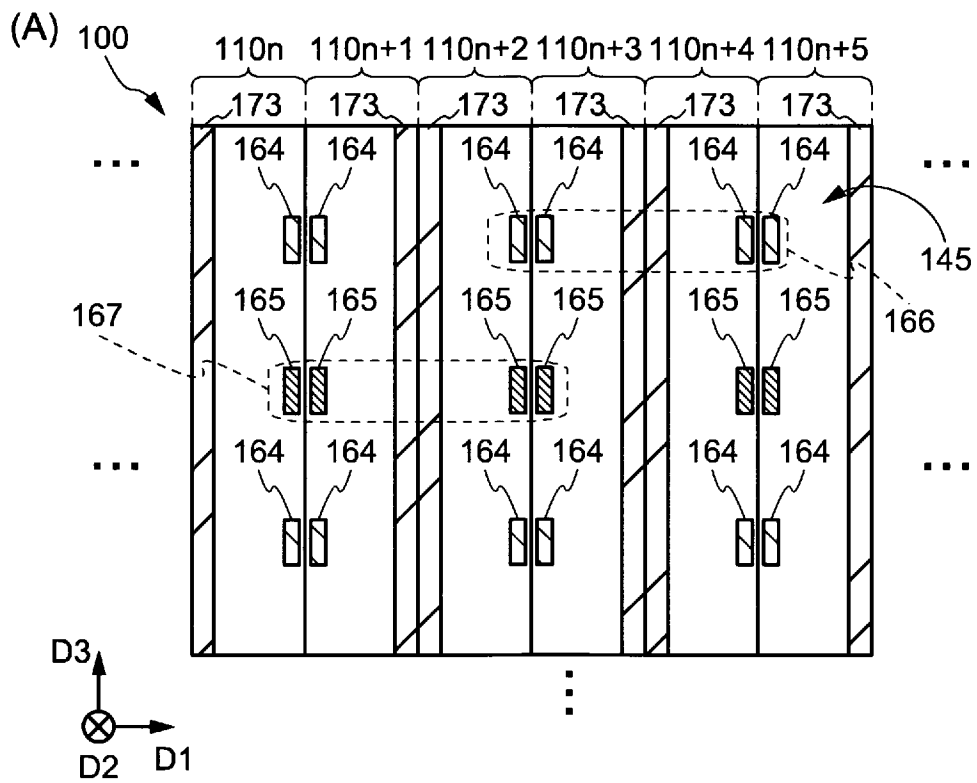
[図39]



[40]

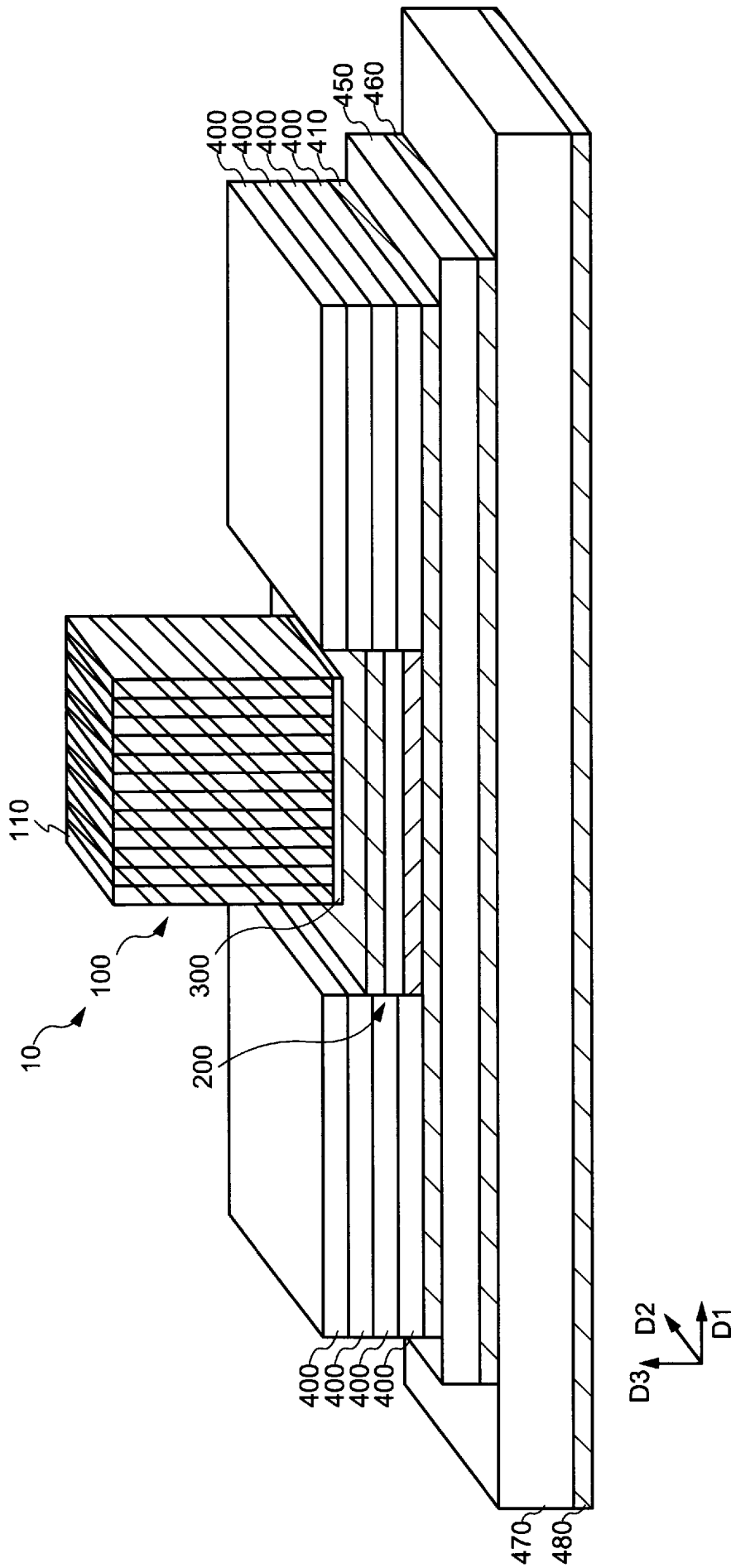


[図41]



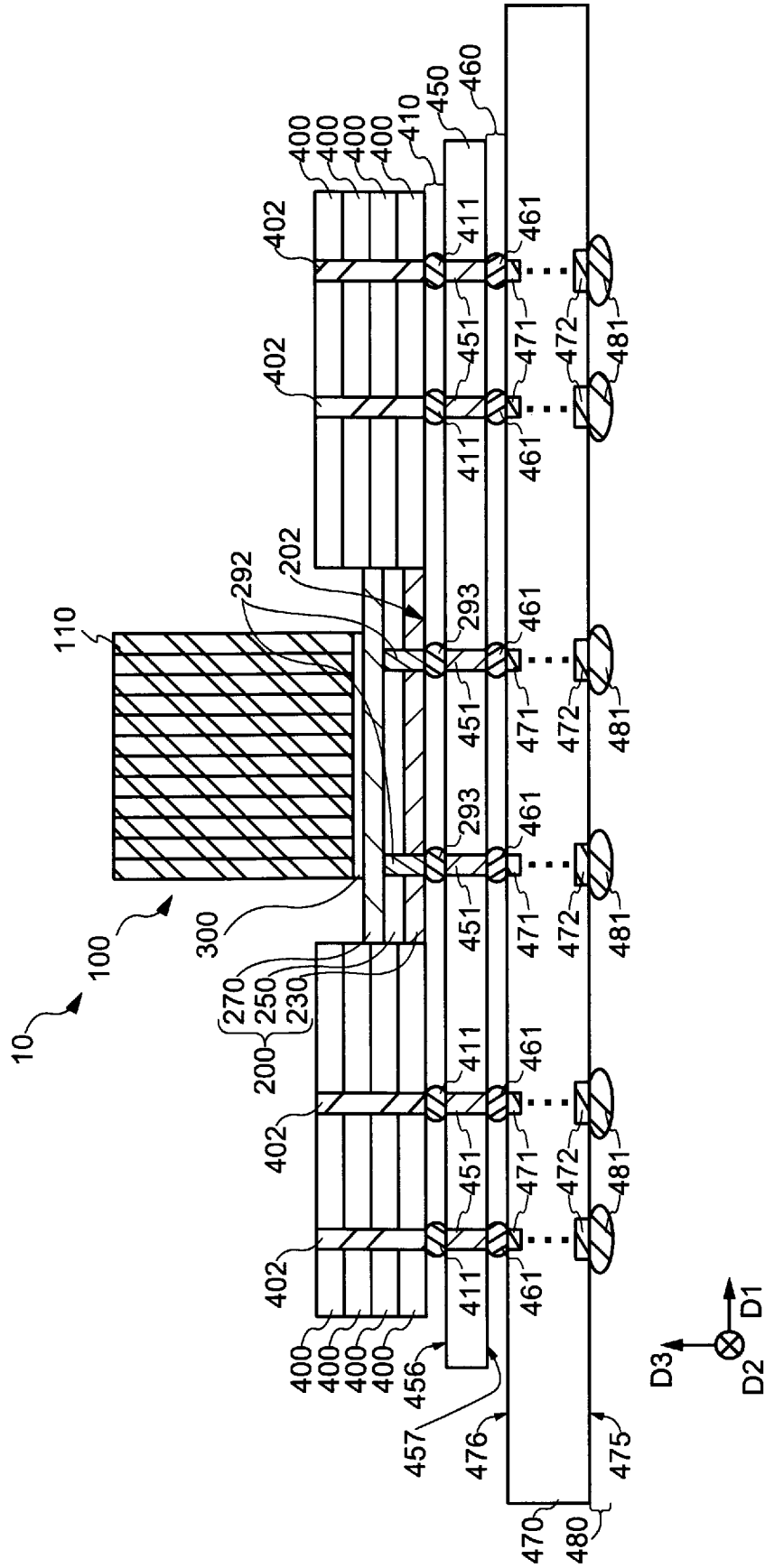
[図42]

600

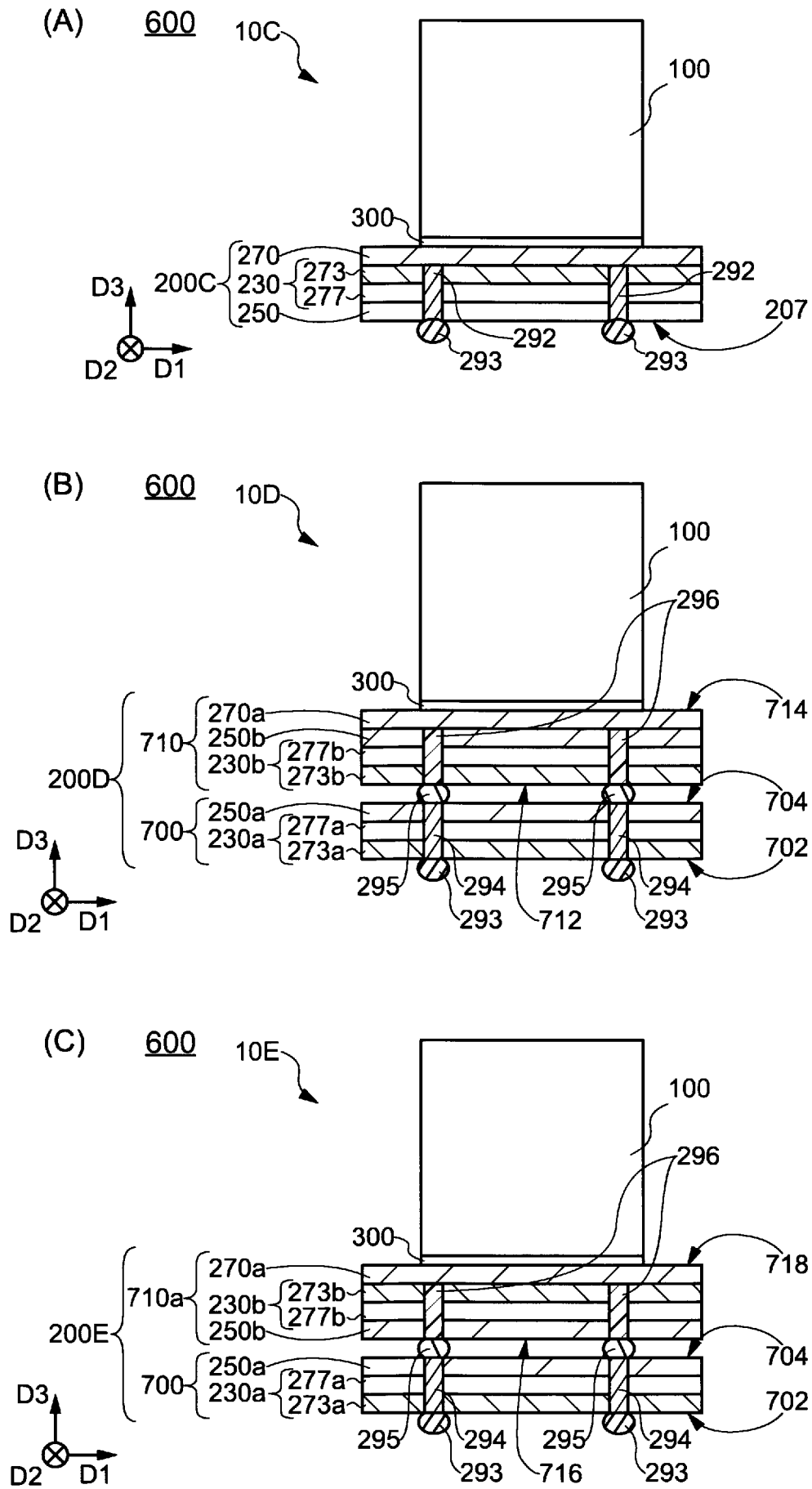


[圖43]

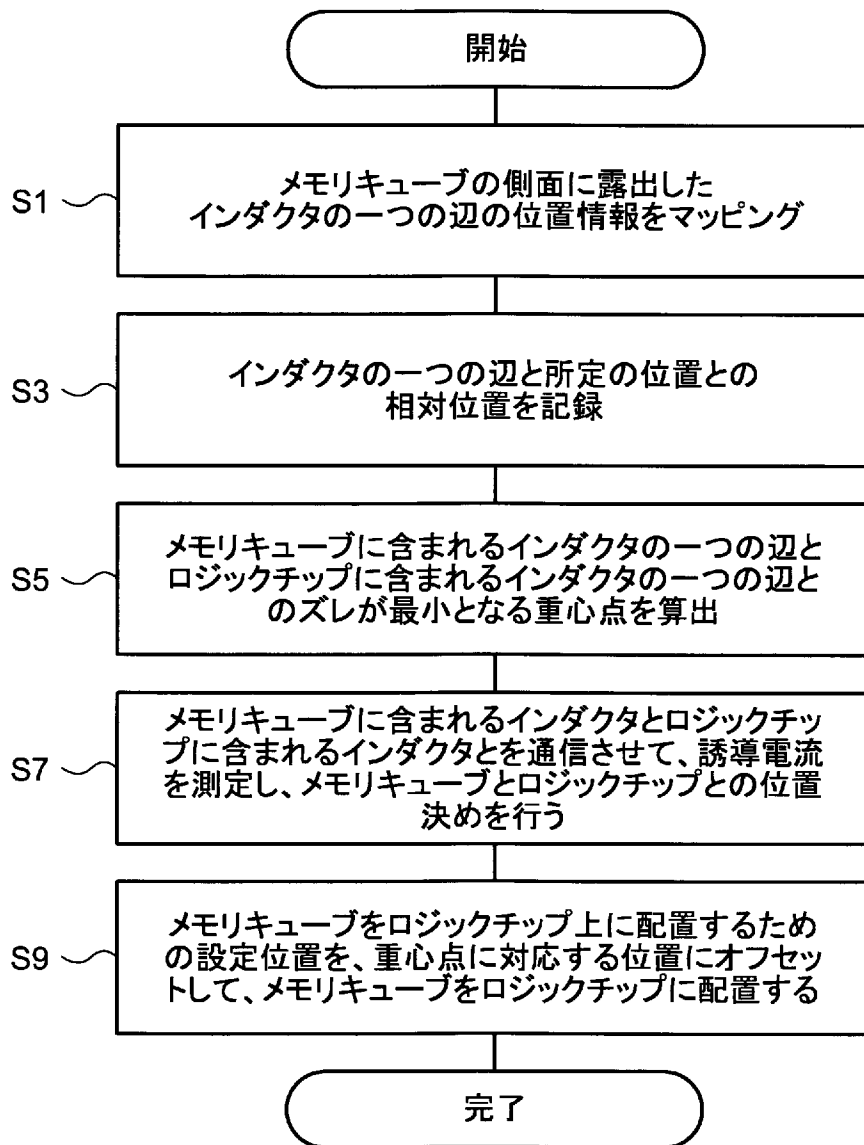
600



[図44]



[図45]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/026387

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 25/065</i> (2023.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2023.01)i FI: H01L25/08 C; H01L25/08 Y		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L25/065; H01L25/07; H01L25/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/095083 A1 (ULTRAMEMORY INC.) 20 May 2021 (2021-05-20) entire text, all drawings	1-18
A	JP 08-509579 A (IRVINE SENSORS CORP.) 08 October 1996 (1996-10-08) entire text, all drawings	1-18
A	JP 09-232503 A (HITACHI, LTD.) 05 September 1997 (1997-09-05) entire text, all drawings	1-18
A	WO 2018/220849 A1 (ULTRAMEMORY INC.) 06 December 2018 (2018-12-06) entire text, all drawings	1-18
A	JP 2011-108779 A (PANASONIC CORP.) 02 June 2011 (2011-06-02) entire text, all drawings	1-18
A	JP 2020-126705 A (ULTRAMEMORY INC.) 20 August 2020 (2020-08-20) entire text, all drawings	1-18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 September 2023		Date of mailing of the international search report 10 October 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/026387

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2021/095083 A1	20 May 2021	US 2021/0143129 A1 entire text, all drawings	
JP 08-509579 A	08 October 1996	US 5432729 A entire text, all drawings	
JP 09-232503 A	05 September 1997	(Family: none)	
WO 2018/220849 A1	06 December 2018	US 2021/0018952 A1 entire text, all drawings	
JP 2011-108779 A	02 June 2011	(Family: none)	
JP 2020-126705 A	20 August 2020	US 2019/0043537 A1 entire text, all drawings	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 25/065(2023.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i FI: H01L25/08 C; H01L25/08 Y</p>																							
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L25/065; H01L25/07; H01L25/18</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年													
日本国実用新案公報	1922 - 1996年																						
日本国公開実用新案公報	1971 - 2023年																						
日本国実用新案登録公報	1996 - 2023年																						
日本国登録実用新案公報	1994 - 2023年																						
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2021/095083 A1 (ウルトラメモリ株式会社) 20.05.2021 (2021 - 05 - 20) 全文, 全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>JP 08-509579 A (イルビン センサーズ コーポレーション) 08.10.1996 (1996 - 10 - 08) 全文, 全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>JP 09-232503 A (株式会社日立製作所) 05.09.1997 (1997 - 09 - 05) 全文, 全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>WO 2018/220849 A1 (ウルトラメモリ株式会社) 06.12.2018 (2018 - 12 - 06) 全文, 全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>JP 2011-108779 A (パナソニック株式会社) 02.06.2011 (2011 - 06 - 02) 全文, 全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>JP 2020-126705 A (ウルトラメモリ株式会社) 20.08.2020 (2020 - 08 - 20) 全文, 全図</td> <td>1-18</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2021/095083 A1 (ウルトラメモリ株式会社) 20.05.2021 (2021 - 05 - 20) 全文, 全図	1-18	A	JP 08-509579 A (イルビン センサーズ コーポレーション) 08.10.1996 (1996 - 10 - 08) 全文, 全図	1-18	A	JP 09-232503 A (株式会社日立製作所) 05.09.1997 (1997 - 09 - 05) 全文, 全図	1-18	A	WO 2018/220849 A1 (ウルトラメモリ株式会社) 06.12.2018 (2018 - 12 - 06) 全文, 全図	1-18	A	JP 2011-108779 A (パナソニック株式会社) 02.06.2011 (2011 - 06 - 02) 全文, 全図	1-18	A	JP 2020-126705 A (ウルトラメモリ株式会社) 20.08.2020 (2020 - 08 - 20) 全文, 全図	1-18
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
A	WO 2021/095083 A1 (ウルトラメモリ株式会社) 20.05.2021 (2021 - 05 - 20) 全文, 全図	1-18																					
A	JP 08-509579 A (イルビン センサーズ コーポレーション) 08.10.1996 (1996 - 10 - 08) 全文, 全図	1-18																					
A	JP 09-232503 A (株式会社日立製作所) 05.09.1997 (1997 - 09 - 05) 全文, 全図	1-18																					
A	WO 2018/220849 A1 (ウルトラメモリ株式会社) 06.12.2018 (2018 - 12 - 06) 全文, 全図	1-18																					
A	JP 2011-108779 A (パナソニック株式会社) 02.06.2011 (2011 - 06 - 02) 全文, 全図	1-18																					
A	JP 2020-126705 A (ウルトラメモリ株式会社) 20.08.2020 (2020 - 08 - 20) 全文, 全図	1-18																					
<p>国際調査を完了した日</p> <p>29.09.2023</p>	<p>国際調査報告の発送日</p> <p>10.10.2023</p>																						
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>庄司 一隆 5F 1215</p> <p>電話番号 03-3581-1101 内線 3516</p>																						

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/026387

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/095083	A1	20.05.2021	US	2021/0143129	A1	
全文, 全図							
JP	08-509579	A	08.10.1996	US	5432729	A	
全文, 全図							
JP	09-232503	A	05.09.1997	(ファミリーなし)			
WO	2018/220849	A1	06.12.2018	US	2021/0018952	A1	
全文, 全図							
JP	2011-108779	A	02.06.2011	(ファミリーなし)			
JP	2020-126705	A	20.08.2020	US	2019/0043537	A1	
全文, 全図							