



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201919149 A

(43)公開日：中華民國 108 (2019) 年 05 月 16 日

(21)申請案號：107124955

(22)申請日：中華民國 107 (2018) 年 07 月 19 日

(51)Int. Cl.：

H01L21/768 (2006.01)**B81B7/02 (2006.01)****B81C1/00 (2006.01)****H01L21/306 (2006.01)**

(30)優先權：2017/11/08

美國

62/583,064

2018/01/18

美國

15/873,937

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：鄧伊荃 TENG, YI CHUAN (TW)；蔡俊胤 TSAI, CHUN YIN (TW)；朱家驊 CHU,
CHIA HUA (TW)；鄭鈞文 CHENG, CHUN WEN (TW)

(74)代理人：洪澄文

申請實體審查：無 申請專利範圍項數：1 項 圖式數：7 共 50 頁

(54)名稱

半導體裝置結構

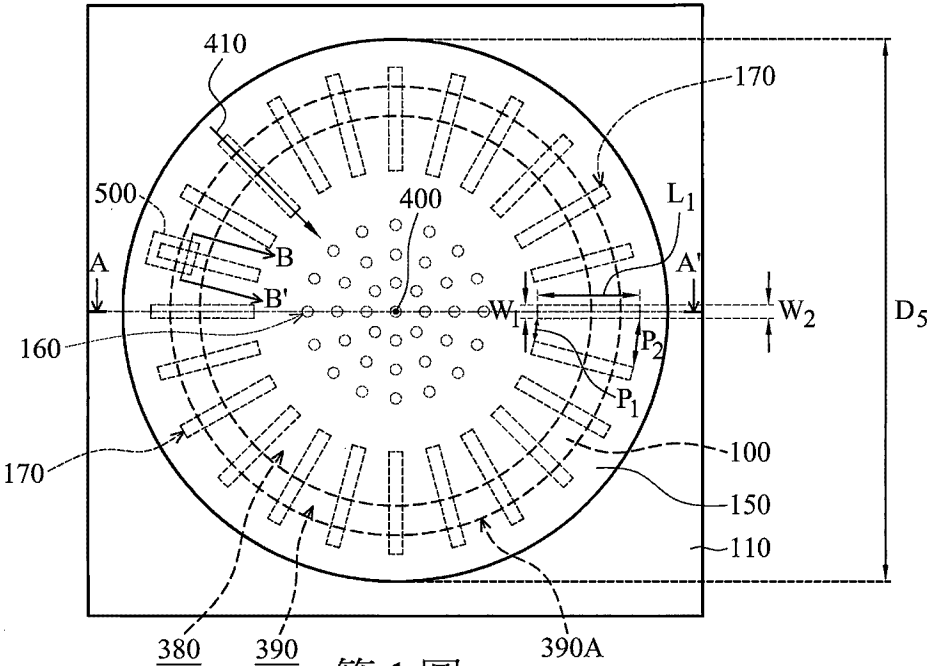
SEMICONDUCTOR DEVICE STRUCTURE

(57)摘要

提供半導體裝置結構的結構與其形成方法。半導體裝置結構包含第一介電層與第二介電層於半導體基板上。空腔穿過第一介電層與第二介電層。半導體裝置結構亦包含第一可動膜於第一介電層與第二介電層之間。經由空腔部份地露出第一可動膜。第一可動膜包含沿著空腔的邊緣排列的第一波紋部份。

Structures and formation methods of a semiconductor device structure are provided. A semiconductor device structure includes a first dielectric layer and a second dielectric layer over a semiconductor substrate. A cavity penetrates through the first dielectric layer and the second dielectric layer. The semiconductor device structure also includes a first movable membrane between the first dielectric layer and the second dielectric layer. The first movable membrane is partially exposed through the cavity. The first movable membrane includes first corrugated portions arranged along an edge of the cavity.

指定代表圖：



第 1 圖

符號簡單說明：

A-A'、B-B' . . .

剖線

D₅ . . . 直徑

L₁ . . . 長度

P₁ . . . 內部間隔

P₂ . . . 外部間隔

W₁ . . . 內部寬度

W₂ . . . 外部寬度

100 . . . 半導體基板

110 . . . 介電層

150 . . . 膜

160、170 . . . 凹陷

部份

380、390 . . . 空腔

390A . . . 邊緣

400 . . . 中心

410 . . . 中心軸

500 . . . 部份

發明專利說明書

【發明名稱】半導體裝置結構

Semiconductor device structure

【技術領域】

【0001】 本發明實施例關於半導體裝置結構，更特別關於微機電系統結構與其膜的凹陷部份。

【先前技術】

【0002】 半導體積體電路產業已經歷快速成長。積體電路材料與設計的技術進步，使每一代的積體電路比前一代的積體電路更小且電路更複雜。隨著積體電路進展，功能密度(比如固定晶片面積中的內連線裝置數目)通常隨著幾何尺寸(比如製程形成的最小構件)縮小而增加。這些進展會增加積體電路製程的複雜度。為實現這些進展，積體電路製程亦需類似發展。

【0003】 近來已發展微機電系統裝置。微機電系統裝置包含的裝置以半導體技術製作，其可形成機械與電性結構。微機電系統裝置可包含用於達到機械功能的多個單元如可動單元。

【0004】 微機電系統應用包含麥克風、動作感測器、壓力感測器、印表機噴嘴、或類似物。其他微機電系統應用包含慣性感測器，比如用於量測線性加速度的加速計，或用於量測角速度的陀螺儀。此外，微機電系統應用可延伸至光學應用如可動反射鏡、射頻應用如射頻開關、或類似應用。

【0005】 雖然微機電系統裝置的現有裝置與形成方法通常

符合其預設目的，但無法完全滿足所有方面。

【發明內容】

【0006】 本發明一實施例提供之半導體裝置結構，包括：第一介電層與第二介電層，位於半導體基板上，其中空腔穿過第一介電層與第二介電層；以及第一可動膜，位於第一介電層與第二介電層之間，其中經由空腔部份地露出第一可動膜，且其中第一可動膜包含沿著空腔的邊緣排列的第一波紋部份。

【圖式簡單說明】

【0007】

第1圖係一些實施例中，半導體裝置結構的上視圖。

第2A至2J圖係一些實施例中，半導體裝置結構的形成製程其多種階段沿著第1A圖中剖線A-A'的剖視圖。

第3A至3F圖係一些實施例中，半導體裝置結構的多種上視圖。

第4圖係一些實施例中，膜的凹陷部份之放大透視圖。

第5A圖係一些實施例中，膜的凹陷部份沿著第4圖中剖線B-B'的剖視圖。

第5B圖係比較實施例中，不具有凹陷部份的膜的剖視圖。

第6圖係一些實施例中，半導體裝置結構的上視圖。

第7A至7C圖係一些實施例中，半導體裝置結構的形成製程其多種階段沿著第6圖中剖線A-A'的剖視圖。

【實施方式】

【0008】 下述揭露內容提供許多不同實施例或實例以實施本發明的不同結構。下述特定構件與排列的實施例係用以簡化

本發明而非侷限本發明。舉例來說，形成第一構件於第二構件上的敘述包含兩者直接接觸，或兩者之間隔有其他額外構件而非直接接觸。此外，本發明的多個實例可採用重複標號及/或符號使說明簡化及明確，但這些重複不代表多種實施例中相同標號的元件之間具有相同的對應關係。

【0009】 此外，空間性的相對用語如「下方」、「其下」、「較下方」、「上方」、「較上方」、或類似用語可用於簡化說明某一元件與另一元件在圖示中的相對關係。空間性的相對用語可延伸至以其他方向使用之元件，而非侷限於圖示方向。元件亦可轉動90°或其他角度，因此方向性用語僅用以說明圖示中的方向。

【0010】 下述內容為本發明的一些實施例。在這些實施例所述階段之前、之中、與之後可進行額外步驟。不同實施例可置換或省略下述的一些階段。半導體裝置結構可添加額外結構。不同實施例可置換或省略下述的一些結構。雖然一些實施例的步驟以特定順序進行，但這些步驟可由任何符合邏輯的順序進行。

【0011】 第1圖係一些實施例中，半導體裝置結構的上視圖。第2A至2J圖係一些實施例中，第1圖所示的半導體裝置結構其形成製程的多種階段，沿著第1圖中剖線A-A'的剖視圖。舉例來說，半導體裝置結構的一些結構如半導體基板100、介電層110、與膜150如第1圖所示。此外，半導體裝置結構的其他結構未圖示於第1圖中，有助於更佳地了解結構。

【0012】 如第2A圖所示，提供半導體基板100。在一些實施

例中，半導體基板100為基體半導體基板如半導體晶圓。在一些實施例中，半導體基板100包含矽或另一半導體元素材料如鍺。半導體基板100之組成可為低電阻矽。在一些其他實施例中，半導體基板100包含半導體化合物。半導體化合物可包含砷化鎵、碳化矽、砷化銮、磷化銮、另一合適的半導體化合物、或上述之組合。

【0013】 在一些實施例中，半導體基板100包含絕緣層上半導體基板。絕緣層上半導體基板的製程方法可採用晶圓接合製程、矽膜轉移製程、佈植氧隔離製程、另一可行製程、或上述之組合。

【0014】 如第2A圖所示的一些實施例，介電層110沉積於半導體基板100上。在一些實施例中，介電層110包含或組成為氧化矽、另一合適的氧化物或介電材料、或上述之組合。在一些實施例中，介電層110的沉積方法採用化學氣相沉積製程、旋轉塗佈製程、噴塗製程、原子層沉積製程、物理氣相沉積製程、另一可行製程、或上述之組合。

【0015】 如第2A圖所示的一些實施例，部份地移除介電層110。如此一來，多個開口120與凹陷130形成於介電層110中。在一些實施例中，開口120的深度 D_1 介於約0.1微米至約5微米之間。在一些實施例中，凹陷130的深度 D_2 介於約0.1微米至約5微米之間。如第2A圖所示，深度 D_2 實質上等於深度 D_1 。然而本發明實施例不侷限於此。深度 D_2 可大於深度 D_1 。

【0016】 如第2A圖所示，凹陷130比開口120長。在一些實施例中，凹陷130的長度 L_1 介於約5微米至約100微米之間。凹

陷130比開口120寬，因此凹陷130的尺寸大於開口120的尺寸。應注意的是，上述範圍僅用以舉例而非侷限本發明。

【0017】 在一些實施例中，進行一或多道光微影與蝕刻製程，以形成開口120與凹陷130。在一些實施例中，開口120與凹陷130的形成方法在相同階段採用相同製程。舉例來說，在形成開口120時形成凹陷130。如此一來，形成凹陷130不會增加製作製程中的步驟成本或數目。

【0018】 然而本發明實施例不侷限於此。在一些其他實施例中，在形成開口120之前或之後形成凹陷130。深度 D_2 可不同於深度 D_1 ，端視需求而定。此外，在形成開口120與凹陷130的蝕刻製程時可能產生負載效應。如此一來，深度 D_2 可不同於深度 D_1 。

【0019】 如第2B圖所示的一些實施例，部份地移除或蝕刻介電層110以形成多個通孔140於介電層110中。通孔140穿過介電層，因此經由通孔140可部份地露出半導體基板100。在一些實施例中，凹陷130排列於通孔140與開口120之間。在一些實施例中，開口120比通孔140靠近凹陷130。

【0020】 之後順應性地沉積膜材(或導電材料)於介電層110上。接著圖案化或蝕刻膜材。如此一來，可形成膜150如第2C圖所示的一些實施例。後續製程可部份地移除(或釋出)介電層110，使膜150在至少一軸中可自由移動以達機械功能。膜150可稱作板。

【0021】 在一些實施例中，膜材包含或組成為半導體材料(如多晶矽或另一合適半導體)、金屬材料、另一合適導電材料、

或上述之組合。在一些實施例中，膜材的沉積方法採用化學氣相沉積製程、原子層沉積製程、濺鍍製程、電鍍製程、無電鍍製製程、另一可行製程、或上述之組合。

【0022】 在一些實施例中，膜材填入開口120與凹陷130。如第2C圖所示，膜材的一些部份填入開口120與凹陷130，以分別形成膜150的多個凹陷部份160與170。凹陷部份160與170自介電層110的上表面110A向下突出，並朝向半導體基板100延伸於介電層110中。凹陷部份160與170以及膜150整合在一起。

【0023】 由於凹陷部份160的存在，膜150的上表面150A具有微凹。如此一來，膜150與後續形成的膜(將進一步詳述於下)之間的接觸區域將減少。膜150可避免黏著至另一膜。凹陷部份160可為V形或另一合適形狀。

【0024】 由於凹陷部份170的存在，膜150的上表面150A具有遠大於微凹的陷落，如第2C圖所示。對應凹陷部份170的陷落，可形成下凹的波紋於膜150其上表面150A上。凹陷部份170亦可稱作波紋部份。上表面150A上的陷落可與凹陷部份170具有類似或實質上相同的形貌。凹陷部份170的輪廓與排列，將進一步詳述於下。

【0025】 在一些實施例中，膜150 (或凹陷部份170)的厚度 T_1 介於約0.3微米至約5微米之間。在一些實施例中，凹陷部份170的長度 L_1 介於約5微米至約100微米之間。

【0026】 在一些實施例中，膜材亦填入通孔140。如第2C圖所示，膜材的一些部份填入通孔140，以形成多個導電通孔180。膜材的一些部份保留於介電層110的上表面110A上，以形成導

電結構 190。導電結構 190 經由導電通孔 180 電性連接至半導體基板 100。

【0027】 如第 2D 圖所示的一些實施例，介電層 210 沉積於介電層 110 上並覆蓋膜 150。膜 150 可夾設於介電層 210 與介電層 110 之間。

【0028】 在一些實施例中，介電層 210 包含或組成為氧化矽、另一合適的氧化物或介電材料、或上述之組合。介電層 210 可包含與介電層 110 相同的材料，但本發明實施例不侷限於此。在一些實施例中，介電層 210 的沉積方法採用化學氣相沉積製程、旋轉塗佈製程、噴塗製程、原子層沉積製程、物理氣相沉積製程、另一可行製程、或上述之組合。

【0029】 如第 2D 圖所示的一些實施例，部份地移除介電層 210。如此一來，多個開口 220 與凹陷 230 形成於介電層 210 中。在一些實施例中，開口 220 的深度 D_3 介於約 0.1 微米至約 5 微米之間。在一些實施例中，凹陷 230 的深度 D_4 介於約 0.1 微米至約 5 微米之間。

【0030】 如第 2D 圖所示，深度 D_4 實質上等於深度 D_3 。然而本發明實施例不侷限於此。深度 D_4 可大於深度 D_3 。在一些實施例中，深度 D_3 實質上等於第 2A 圖所示的深度 D_1 ，但本發明實施例不侷限於此。在一些實施例中，深度 D_4 實質上等於第 2A 圖所示的深度 D_2 ，但本發明實施例不侷限於此。深度 D_4 可大於或小於深度 D_2 。凹陷 230 可比開口 22 長且寬。在一些實施例中，凹陷 230 的長度 L_2 介於約 5 微米至約 100 微米之間。

【0031】 在一些實施例中，進行一或多道光微影與蝕刻製

程以形成開口220與凹陷230。在形成開口220之中、之前、或之後形成凹陷230。開口220及凹陷230的設置及/或形成方法，可分別與開口120及凹陷130的設置及/或形成方法實質上相同。

【0032】 如第2E圖所示的一些實施例，隔離層240順應性地沉積於介電層210上。隔離層240填入開口220與凹陷230。由於開口220與凹陷230的存在，隔離層240的上表面具有微凹與陷落。

【0033】 在一些實施例中，隔離層240包含或組成為氮化矽、另一合適的隔離材料、或上述之組合。隔離層240的材料與介電層210及介電層110的材料不同。在一些實施例中，隔離層240的沉積方法採用原子層沉積製程、另一可行製程、或上述之組合。

【0034】 之後部份地移除隔離層240與介電層210。如此一來，多個通孔250形成於隔離層240與介電層210中，如第2F圖所示的一些實施例。通孔250穿過隔離層240與介電層210，因此經由通孔250可部份地露出導電結構190與膜150。在一些實施例中，凹陷230排列於通孔250與開口220之間。

【0035】 如第2G圖所示的一些實施例，膜材260順應性地沉積於隔離層240上。膜材260填入隔離層240其上表面的微凹與陷落。如此一來，膜材260的上表面260A亦包含微凹與陷落，其對應介電層210中的開口220與凹陷230。

【0036】 在一些實施例中，膜材260更填入通孔250。如此一來，膜材260的一些部份形成多個導電通孔270，如第2G圖所

示。導電通孔270電性連接至導電結構190。

【0037】 在一些實施例中，膜材260的厚度 T_2 介於約0.3微米至約5微米之間。在一些實施例中，膜材260包含或組成為半導體材料(如多晶矽或另一合適的半導體)、金屬材料、另一合適的導電材料、或上述之組合。膜材260可與膜150的材料相同，但本發明實施例不侷限於此。在一些實施例中，膜材260的沉積方法採用化學氣相沉積製程、原子層沉積製程、濺鍍製程、電鍍製程、無電鍍製製程、另一可行製程、或上述之組合。

【0038】 如第2G圖所示的一些實施例，順應性地沉積隔離層280於膜材260上。隔離層280填入膜材260其上表面上的微凹與陷落中。如此一來，隔離層280的上表面亦包含微凹與陷落。

【0039】 在一些實施例中，隔離層280包含或組成為氮化矽、另一合適的隔離材料、或上述之組合。隔離層280與隔離層240包含或組成為相同材料，但本發明實施例不侷限於此。在一些實施例中，隔離層280的沉積方法採用原子層沉積製程、另一可行製程、或上述之組合。

【0040】 在一些實施例中，之後圖案化或蝕刻隔離層240、膜材260、與隔離層280。如此一來可形成膜290，如第2H圖所示的一些實施例。膜290為多層結構，其包含隔離層240、膜材260、與隔離層280。膜290亦可稱作板或背板。

【0041】 本發明實施例具有許多變化及/或調整。在一些其他實施例中，不形成隔離層240及/或隔離層280。膜290可為單層，其與膜150類似或相同。此外，雖然圖式中的膜150為單層，但本發明實施例不侷限於此。在一些其他實施例中，膜150為

複合或多層結構，其與膜290類似或相同。

【0042】 如第2H圖所示的一些實施例，膜290包含多個可動(可撓)結構300。後續製程可部份地移除(或釋出)介電層210，以懸掛可動結構300。這讓膜290與可動結構300在至少一軸中可自由移動以達機械功能。舉例來說，可動結構300能彎曲、振動、及/或變形。

【0043】 本發明實施例具有許多變化及/或調整。在一些其他實施例中，膜290不含可動結構300。膜290的設置可與膜150的設置類似或相同。此外，雖然圖式中的膜150不含多個可動結構，本發明實施例不侷限於此。在一些其他實施例中，膜150包含多個可動結構，其與可動結構300類似或相同。

【0044】 如第2H圖所示的一些實施例，膜290亦包含多個凹陷部份310與320。凹陷部份310與320自介電層210的上表面210A向下突出，並朝向膜150延伸於介電層210中。凹陷部份310與320分別對應介電層210中的開口220與凹陷230。凹陷部份310與320彼此整合在一起。

【0045】 由於凹陷部份310的存在，膜290的上表面290A具有微凹。凹陷部份310可為V形或另一合適形狀。如第2H圖所示，由於凹陷部份320的存在，膜290的上表面290A具有陷落，且陷落遠大於微凹。對應凹陷部份320的陷落，可形成下凹的波紋於膜290的上表面290A上，其將進一步詳述於下。上表面290A上的陷落可與凹陷部份230具有類似或實質上相同的形貌。

【0046】 在一些實施例中，凹陷部份320的長度 L_2 介於約5

微米至約100微米之間。凹陷部份320的長度 L_2 可與凹陷部份170的長度 L_1 實質上相同。然而本發明實施例不侷限於此。長度 L_2 可大於或小於長度 L_1 。

【0047】 在一些實施例中，膜材260的一些部份保留於隔離層240的上表面上，並形成多個導電結構330。導電結構330經由導電通孔270電性連接至導電結構190及/或膜150。

【0048】 如第2I圖所示的一些實施例，介電層340沉積於介電層210上並覆蓋膜290與導電結構330。如第2I圖所示，之後部份地移除介電層340以形成多個開口350。開口350穿過介電層340並延伸於膜290中。如此一來，經由開口350可部份地露出膜290與導電結構330。

【0049】 在一些實施例中，介電層340包含或組成為氧化矽、另一合適的氧化物或介電材料、或上述之組合。介電層340包含的材料可與介電層110相同，但本發明實施例不侷限於此。

【0050】 圖案化的導電層360形成於介電層340上並延伸於開口350中，以電性連接至膜290與導電結構330。在一些實施例中，開口350之一延伸至膜290的凹陷部份320。導電層360可直接接觸凹陷部份320。接著沉積保護層370於介電層340上，以覆蓋導電層360。保護層370包含合適的介電材料。

【0051】 如第2J圖所示的一些實施例，部份地移除半導體基板100。如此一來，空腔380形成於半導體基板100中。部份地移除半導體基板100的方法可採用乾蝕刻製程或濕蝕刻製程。

【0052】 之後部份地移除(或釋出)介電層110、介電層210、與介電層340如前述。如此一來，經由空腔390可部份地露出膜

150與膜290，且膜150與膜290懸掛於空腔390中。空腔390穿過介電層110、介電層210、與介電層340。部份地移除介電層110、介電層210、及/或介電層340的方法採用乾蝕刻製程或濕蝕刻製程。此外，部份地移除保護層370以部份地露出導電層360及空腔390中的膜150與290。

【0053】 在一些實施例中，空腔390使膜150與膜290可自由移動。綜上所述，形成含有微機電系統單元的半導體裝置結構，如第1與2J圖所示。

【0054】 更特別的是如第2J圖所示的一些實施例，經由空腔390可露出膜150的凹陷部份160與膜290的凹陷部份310。經由空腔390可部份地露出膜150的凹陷部份170，且凹陷部份170部份地埋置於介電層110與介電層210之間。經由空腔390可部份地露出膜290的凹陷部份320，且凹陷部份320部份地埋置於介電層210與介電層340之間。膜150與膜290經由凹陷部份170與凹陷部份320，可堅定地錨定至介電層110、210、與340中。

【0055】 介電層110中的凹陷部份170與凹陷部份320具有長度 L_3 ，如第2J圖所示。在一些實施例中，長度 L_3 介於約0.1微米至約30微米之間。

【0056】 本發明實施例具有許多變化及/或調整。在一些其他實施例中，經由空腔390露出凹陷部份170，且凹陷部份170並未部份地埋置於介電層100與介電層210之間。在一些其他實施例中，經由空腔390露出凹陷部份320，且凹陷部份320並未部份地埋置於介電層210與介電層340之間。

【0057】 如第1與2J圖所示，介電層110與半導體基板100重

疊。介電層110中的空腔390大於半導體基板100的空腔380，因此可由空腔390部份地露出半導體基板100。

【0058】 膜150與空腔380及空腔390重疊。由於膜150大於空腔380與空腔390，因此膜150亦與介電層110及半導體基板100部份地重疊。在一些實施例中，空腔380與空腔390為圓形或類圓形。在一些實施例中，膜150為圓形或類圓形。然而本發明實施例不侷限於此。在一些實施例中，膜150的直徑 D_5 介於約100微米至約10毫米之間。

【0059】 如第1圖所示，以虛線標示膜150的凹陷部份160與170以利了解結構。如第1圖所示的一些實施例，凹陷部份160位於膜150的中心區。凹陷部份160位於空腔390中，而不與半導體基板100重疊。凹陷部份160分佈於膜150的中心400附近。凹陷部份160可排列成圓，其與中心400隔有不同距離。然而本發明實施例不侷限於此。凹陷部份160可具有另一合適的排列。

【0060】 如第1圖所示的一些實施例，凹陷部份170位於膜150的周邊區。凹陷部份170圍繞凹陷部份160。凹陷部份170延伸於空腔390中，並與半導體基板100部份地重疊。在一些實施例中，凹陷部份170更伸出空腔390之外。綜上所述，凹陷部份170亦與介電層110部份地重疊。凹陷部份170沿著與空腔390之邊緣390A相交的方向延伸。

【0061】 然而本發明實施例不侷限於此。在一些其他實施例中，凹陷部份170位於空腔390中而不與介電層110重疊。在一些實施例中，凹陷部份170並未到達膜150的邊緣，如第1圖

所示。

【0062】 在一些實施例中，凹陷部份170的長度 L_1 介於約5微米至100微米之間。這些凹陷部份170可具有實質上相同的長度 L_1 。長度 L_1 可依膜150的直徑 D_5 而變化。

【0063】 凹陷部份170具有內部寬度 W_1 與外部寬度 W_2 。在一些實施例中，內部寬度 W_1 介於約0.3微米至約10微米之間。在一些實施例中，外部寬度 W_2 介於約0.3微米至約10微米之間。如第1圖所示的一些實施例，內部寬度 W_1 實質上等於外部寬度 W_2 。綜上所述，凹陷部份170為矩形。這些凹陷部份170可具有實質上相同的內部寬度 W_1 。這些凹陷部份170可具有實質上相同的外部寬度 W_2 。

【0064】 凹陷部份170包含內部間隔(或間距) P_1 與外部間隔 P_2 。在一些實施例中，內部間隔 P_1 介於約3微米至約100微米之間。在一些實施例中，外部間隔 P_2 介於約3微米至約100微米之間。在一些實施例中，內部間隔 P_1 小於外部間隔 P_2 ，如第1圖所示。

【0065】 第4圖係一些實施例中，第1圖之部份500的放大透視圖，其顯示膜150的凹陷部份170。第5A圖係一些實施例中，沿著第4圖中剖線B-B'的剖視圖，其顯示膜150的凹陷部份170。第5B圖係比較實施例中，不具有凹陷部份的膜550其剖視圖。含有微機電系統單元的半導體裝置結構的優點，可搭配第1、2J、4、5A、與5B圖說明。

【0066】 如第1圖所示的一些實施例，凹陷部份170彼此分隔且排列成陣列。陣列為沿著空腔390之邊緣390A延伸的圓。

陣列可與空腔390的邊緣390A相交。綜上所述，凹陷部份170的陣列形成環形波紋。具有凹陷部份170的膜150可與第3A至3F圖與第5A圖所示的波板類似。

【0067】 藉由增加膜的慣性矩，可增加膜的彎曲剛度。舉例來說，第5A圖之膜150的凹陷部份170其剖面的慣性矩 I ，以及膜550其剖面的慣性矩 I ，與矩形剖面的慣性矩成正比，如式1所示：

$$\text{【0068】 } I = b \cdot h^3 / 12 \quad (1)$$

【0069】 其中 b 為膜150的部份500之長度， w 為凹陷部份170的寬度、 D 為凹陷部份170的深度，而 h 為第5A與5B圖所示的膜150與550之剖面厚度。

【0070】 在一些實施例中，變化凹陷部份170的寬度 w 與深度 D ，可調整具有凹陷部份170的膜150其慣性矩 I 。與不具有凹陷部份的膜550 (見第5B圖)相較，具有凹陷部份170的膜 (見第5A圖)可具有較高的慣性矩 I ，因為凹陷部份170的側壁部份170-1與170-2的厚度 h_1 大於膜150的厚度 h 。如此一來，膜150的周邊區其慣性矩增加，且在不增加膜150的厚度的情況下即變得更堅固。可能集中在膜150其周邊區上(或集中在靠近空腔390的邊緣390A的膜)之應力，可釋放且大幅降低。如此一來，膜150可避免應力累積所造成的碎裂或破損。

【0071】 凹陷部份170的長度 L_1 可調整，且可增加以改善膜150的周邊區剛性。此外，使凹陷部份170定形的凹陷130的深度 D_2 可調整，且可增加以增進膜150的周邊區剛性。

【0072】 在一些實施例中，凹陷部份170與膜150的中心區

分隔一段距離。膜150的中心區維持可撓。半導體裝置結構的機械功能或敏感度維持良好。如此一來，膜150具有改良的剛性，而不會負面影響機械功能或敏感性。

【0073】 在一些實施例中，凹陷部份170以相同週期排列。每一凹陷部份170具有中心軸(或延伸軸)410。中心軸410可稱作延伸軸或對稱軸。如第1圖所示的一些實施例，中心軸410實質上對準膜150的中心400。綜上所述，凹陷部份170形成規則且對稱的徑向波紋。膜150可避免不規則變形，比如捲曲或彎曲。如此一來，含有凹陷部份170的膜150具有增進的可信度而不扭曲。

【0074】 第3A至3F圖係一些實施例中，半導體裝置結構的多種上視圖。半導體裝置結構的半導體基板100、介電層110、與膜150如第3A至3F圖所示。半導體裝置結構的其他結構並未顯示於第3A至3F圖中，以利了解結構。應注意的是，第3A至3F圖所示的輪廓、排列、與尺寸僅用以舉例而非侷限本發明。在一些實施例中，前述實施例的材料、形成方法、及/或優點亦可應用於第3A至3F圖所示的實施例，在此不重述。

【0075】 本發明實施例具有許多變化及/或調整。舉例來說，膜150的凹陷部份170其形狀可變化。如第3A圖所示的一些實施例，內部寬度 W_1 小於外部寬度 W_2 。綜上所述，凹陷部份170為錐形。內部間隔 P_1 小於外部間隔 P_2 。

【0076】 如第3B圖所示的一些實施例，凹陷部份170包含具有內部寬度 W_1 的平坦邊緣，以及具有外部寬度 W_2 的彎曲邊緣。如第3C圖所示的一些實施例，凹陷部份170包含具有內部寬度

W_1 的彎曲邊緣，以及具有外部寬度 W_2 的彎曲邊緣。

【0077】 如第3D與3E圖所示的一些實施例，外部寬度 W_2 遠大於內部寬度 W_1 。凹陷部份170為實質上扇形。如此一來，內部間隔 P_1 大於外部間隔 P_2 。扇形的凹陷部份170其數目與尺寸可依需求變化。

【0078】 如第1圖與第3A至3E圖所示的一些實施例，凹陷部份170的中心軸410實質上對準膜150的中心400。然而本發明實施例不侷限於此。如第3F圖所示的一些實施例，凹陷部份170的中心軸410未對準中心400。凹陷部份170週期性地排列為圓形或類圓形的陣列。多個開口部份170沿著順時鐘或反時鐘方向漸偏移與旋轉，如第3F圖所示。凹陷部份170的排列方式不對稱。

【0079】 第3F圖中的凹陷部份170可具有與第1圖所示者相同的形狀。然而本發明實施例具有許多變化及/或調整。第3F圖中的凹陷部份170可具有與第3A至3C圖所示者相同的形狀。

【0080】 在一些實施例中，第2J圖中的膜290其凹陷部份320，可與第3A至3F圖所示的凹陷部份170具有類似或實質上相同的輪廓與排列，在此不重述。同樣地，凹陷部份320可避免膜290因應力累積所造成的破損。膜290的邊緣剛性可改善。綜上所述，可增進膜290的可信度。舉例來說，當半導體裝置結構包含具有波紋的膜150與290時，其於可信度測試(如應力測試、吹氣測試、摔落測試、其他可行測試、或上述之組合)中的結果較佳。

【0081】 本發明實施例可具有許多變化及/或調整。第6圖係一些實施例中，半導體裝置結構的上視圖。第7A至7C圖係一些實施例中，用於形成第6圖中的半導體裝置結構其製程的多種階段沿著第6圖中剖線A-A'的剖視圖。在一些實施例中，上述實施例的材料、形成方法、及/或優點亦可應用於第6圖與第7A至7C圖所示的實施例，在此不重述。

【0082】 如第7A圖所示的一些實施例，提供與第2A圖所示者類似的結構。部份地移除介電層110，以形成多個凹陷130於介電層110中。如第2A圖所示的開口120則未形成。

【0083】 之後在第7A圖所示之結構上進行第2B至2D圖所述的步驟。膜150不含第2D圖所示的凹陷部份160，因此膜150不具有微凹於其上表面，如第6與7B圖所示。第2D圖所示的開口220未形成於介電層210中。

【0084】 接著在第7B圖所示的結構上進行第2E至2J圖所述的步驟。如此一來，可形成含有微機電系統單元(如膜150與膜290)的半導體裝置結構，如第7C圖所示。膜290不含第2H圖所示的凹陷部份310，因此膜290不具有微凹於其上表面，如第7C圖所示。

【0085】 如第6圖所示的一些實施例中，第7C圖中的半導體裝置結構其膜150的上視圖與第1圖類似，但不含第1圖所示的凹陷部份160。然而本發明實施例不侷限於此。在一些其他實施例中，第7C圖所示的膜150其上視圖與第3A至3F圖類似，但不含第3A至3F圖所示的凹陷部份160。第7C圖中的膜290其凹陷部份320，可與第1圖與第3A至3F圖所示的凹陷部份具有相同

或實質上類似的輪廓與排列。

【0086】 本發明實施例可具有許多變化及/或調整。在一些其他實施例中，膜150與膜290中的一者包含凹陷部份，而另一者不含凹陷部份。凹陷部份可形成微凹及/或下陷的波紋。

【0087】 本發明實施例不侷限於此。舉例來說，雖然圖式中的半導體裝置結構包含兩個膜，但膜的數目不侷限於此。在一些其他實施例中，半導體裝置結構包含超過兩個膜。一或多個膜包含凹陷部份，其與凹陷部份170或320類似以改善膜的邊緣剛性。

【0088】 在一些實施例中，本發明所述的凹陷部份其結構與形成方法，用於形成微機電系統裝置(如麥克風或任何合適的微機電系統裝置)的膜。然而本發明實施例不侷限於此。在一些其他實施例中，本發明所述的凹陷部份其結構與形成方法，可用於形成任何合適的膜或板。此外，本發明實施例不侷限於此，並可用於進階節點或任何合適的技術世代的製作製程。

【0089】 本發明實施例提供半導體裝置結構。半導體裝置結構包含半導體基板、半導體基板上的介電層、與介電層之間的可動膜。經由介電層中的空腔，可部份地露出可動膜。可動膜的周邊區中包含多個凹陷部份的波紋陣列。凹陷部份與可動膜整合在一起。波紋陣列增加慣性矩，且在未增加可動膜厚度的情況下就讓可動膜的周邊區更堅固。可能集中在周邊區或集中在靠近空腔邊緣的應力，可大幅降低。如此一來，可動膜具有較佳剛性以避免破損。

【0090】 此外，凹陷部份以規則或不對稱的方式排列。可

以確認的是，沒有扭曲誘發於可動膜中。如此一來，具有規則或一致波紋的可動膜其可信度增加。

【0091】 在一些實施例中，提供半導體裝置結構。半導體裝置結構包含第一介電層與第二介電層於半導體基板上。空腔穿過第一介電層與第二介電層。半導體裝置結構亦包含第一可動膜於第一介電層與第二介電層之間。經由空腔部份地露出第一可動膜。第一可動膜包含沿著空腔的邊緣排列的第一波紋部份。

【0092】 在一些實施例中，上述半導體裝置結構的第一波紋部份與空腔的邊緣相交，並延伸於第一介電層中。

【0093】 在一些實施例中，上述半導體裝置結構的第一波紋部份其對稱軸，實質上對準第一可動膜的中心。

【0094】 在一些實施例中，上述半導體裝置結構的第一波紋部份排列成環形陣列，且第一可動膜更包含凹陷部份於空腔中，其中環形陣列圍繞凹陷部份。

【0095】 在一些實施例中，上述半導體裝置結構的第一可動膜更包含凹陷部份於空腔中，且凹陷部份與第一波紋部份具有實質上相同的厚度。

【0096】 在一些實施例中，上述半導體裝置結構的第一波紋部份與第一介電層、第二介電層、及半導體基板重疊。

【0097】 在一些實施例中，上述半導體裝置結構更包括第三介電層於第二介電層上；以及第二可動膜位於第二介電層與第三介電層之間，其中第二可動膜包括第二波紋部份於空腔中，且第二波紋部份包含隔離層與隔離層之間的膜材。

【0098】 在一些實施例中，提供半導體裝置結構。半導體裝置結構包含第一介電層與第二介電層於半導體基板上。半導體裝置結構亦包括第一板懸掛於第一介電層與第二介電層之間。第一板包含第一凹陷部份，以及圍繞第一凹陷部份的第二凹陷部份。第二凹陷部份錨定於第一介電層與第二介電層之間。

【0099】 在一些實施例中，上述半導體裝置結構的第二凹陷部份與第一凹陷部份整合在一起。

【0100】 在一些實施例中，上述半導體裝置結構的第二凹陷部份的尺寸大於第一凹陷部份的尺寸。

【0101】 在一些實施例中，上述半導體裝置結構的第二凹陷部份週期性地排列成圓形或類圓形的陣列。

【0102】 在一些實施例中，上述半導體裝置結構的第一板其上表面包含對應第一凹陷部份的微凹，與對應第二凹陷部份的波紋。

【0103】 在一些實施例中，上述半導體裝置結構更包括第二板懸掛於第二介電層上，其中第二板包含第三凹陷部份，且第三凹陷部份係部份地埋置於第二介電層中。

【0104】 在一些實施例中，上述半導體裝置結構更包括第二板懸掛於第一板上，其中第二板包括第一凹陷部份上的可動結構，與第二凹陷部份的第三凹陷部份，其中第三凹陷部份圍繞可動結構。

【0105】 在一些實施例中，提供半導體裝置結構的形成方法。方法包括形成第一介電層於半導體基板上。方法亦包括部

份地移除第一介電層以形成第一凹陷。方法亦包括形成第一膜於第一介電層上。第一膜填入第一凹陷，因此第一膜包含第一波紋部份。此外，方法包括形成第二介電層於第一介電層上，以覆蓋第一波紋部份。方法亦包括部份地移除半導體基板、第一介電層、與第二介電層以形成空腔，且空腔露出第一波紋部份。

【0106】 在一些實施例中，上述方法更包括：部份地移除第一介電層以形成開口，其中第一膜填入開口，因此第一膜更包含經由空腔露出的凹陷部份，且其中第一波紋部份的尺寸大於凹陷部份的尺寸。

【0107】 在一些實施例中，上述方法在形成開口時形成第一凹陷。

【0108】 在一些實施例中，上述方法的第一介電層中的第一凹陷深度，實質上等於第一介電層中的開口深度。

【0109】 在一些實施例中，上述方法更包括在形成第一凹陷之後，部份地移除第一介電層以形成通孔，其中通孔穿過第一介電層以露出半導體基板，且第一凹陷位於通孔與開口之間；以及形成導電通孔於通孔中，以電性連接至半導體基板。

【0110】 在一些實施例中，上述方法更包括：部份地移除第二介電層以形成第二凹陷；形成第一隔離層於第二介電層上以填入第二凹陷；形成膜材於第一隔離層上；形成第二隔離層於膜材上；以及圖案化第二隔離層、膜材、與第一隔離層以形成第二膜，其中第二膜包含經由空腔露出的第二波紋部份。

【0111】 本發明已以數個實施例揭露如上，以利本技術領

域中具有通常知識者理解本發明。本技術領域中具有通常知識者可採用本發明為基礎，設計或調整其他製程與結構，用以實施實施例的相同目的，及/或達到實施例的相同優點。本技術領域中具有通常知識者應理解上述等效置換並未偏離本發明之精神與範疇，並可在未偏離本發明之精神與範疇下進行這些不同的改變、置換、與調整。

【符號說明】

【0112】

A-A'、B-B' 剖線

b、L₁、L₂、L₃ 長度

D、D₁、D₂、D₃、D₄ 深度

D₅ 直徑

h、h₁、T₁、T₂ 厚度

P₁ 內部間隔

P₂ 外部間隔

w 寬度

W₁ 內部寬度

W₂ 外部寬度

100 半導體基板

110、210、340 介電層

110A、150A、210A、260A、290A 上表面

120、220、350 開口

130、230 凹陷

140、250 通孔

150、290、550 膜

160、170、310、320 凹陷部份

170-1、170-2 側壁部份

180、270 導電通孔

190、330 導電結構

240、280 隔離層

260 膜材

300 可動結構

360 導電層

370 保護層

380、390 空腔

390A 邊緣

400 中心

410 中心軸

500 部份

發明摘要

【發明名稱】半導體裝置結構

Semiconductor device structure

【中文】

提供半導體裝置結構的結構與其形成方法。半導體裝置結構包含第一介電層與第二介電層於半導體基板上。空腔穿過第一介電層與第二介電層。半導體裝置結構亦包含第一可動膜於第一介電層與第二介電層之間。經由空腔部份地露出第一可動膜。第一可動膜包含沿著空腔的邊緣排列的第一波紋部份。

【英文】

Structures and formation methods of a semiconductor device structure are provided. A semiconductor device structure includes a first dielectric layer and a second dielectric layer over a semiconductor substrate. A cavity penetrates through the first dielectric layer and the second dielectric layer. The semiconductor device structure also includes a first movable membrane between the first dielectric layer and the second dielectric layer. The first movable membrane is partially exposed through the cavity. The first movable membrane includes first corrugated portions arranged along an edge of the cavity.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

A-A'、B-B' 剖 線
 D₅ 直 徑
 L₁ 長 度
 P₁ 內 部 間 隔
 P₂ 外 部 間 隔
 W₁ 內 部 寬 度
 W₂ 外 部 寬 度
 100 半 導 體 基 板
 110 介 電 層
 150 膜
 160、170 凹 陷 部 份
 380、390 空 腔
 390A 邊 緣
 400 中 心
 410 中 心 軸
 500 部 份

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

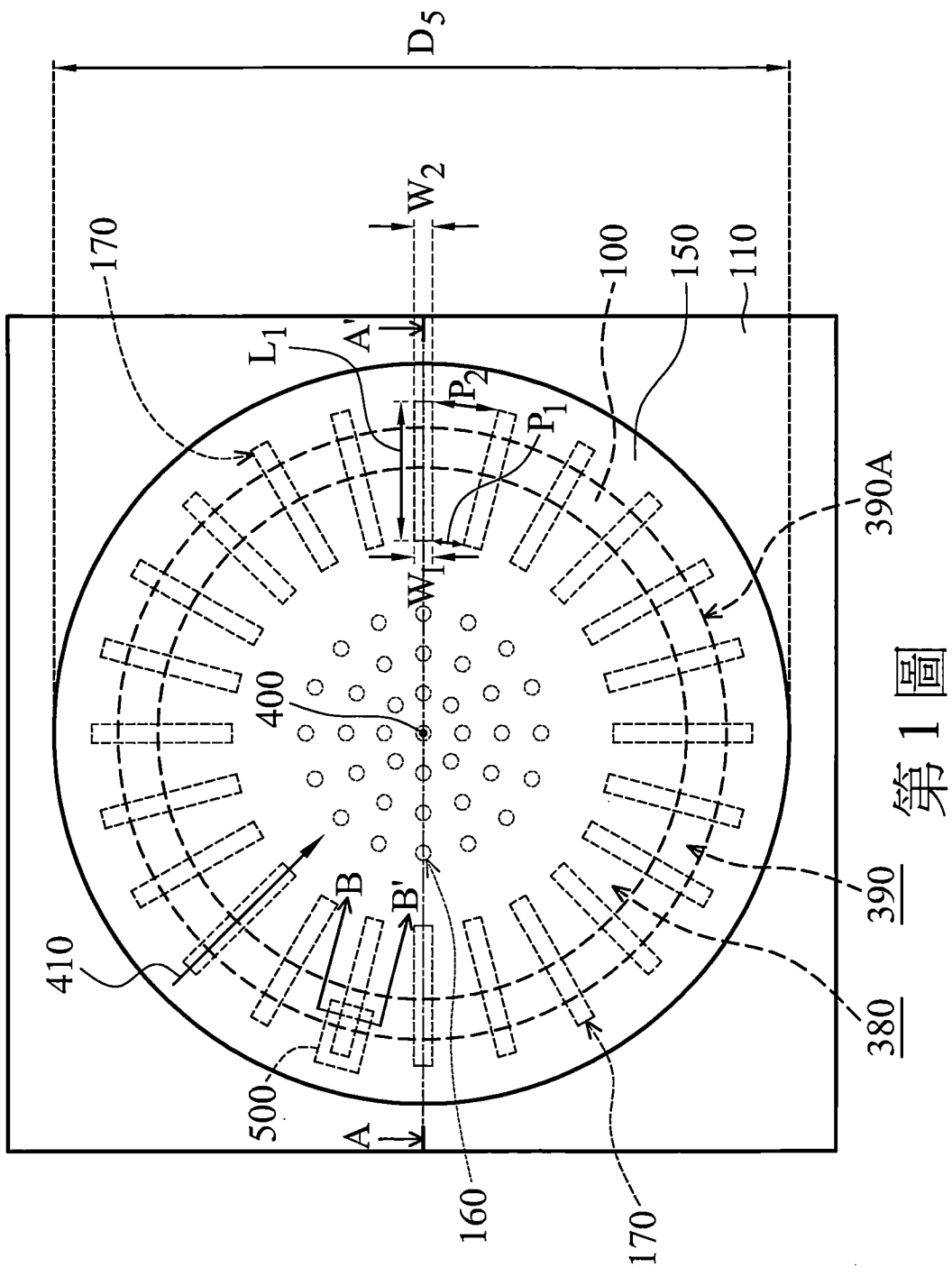
申請專利範圍

1. 一種半導體裝置結構，包括：

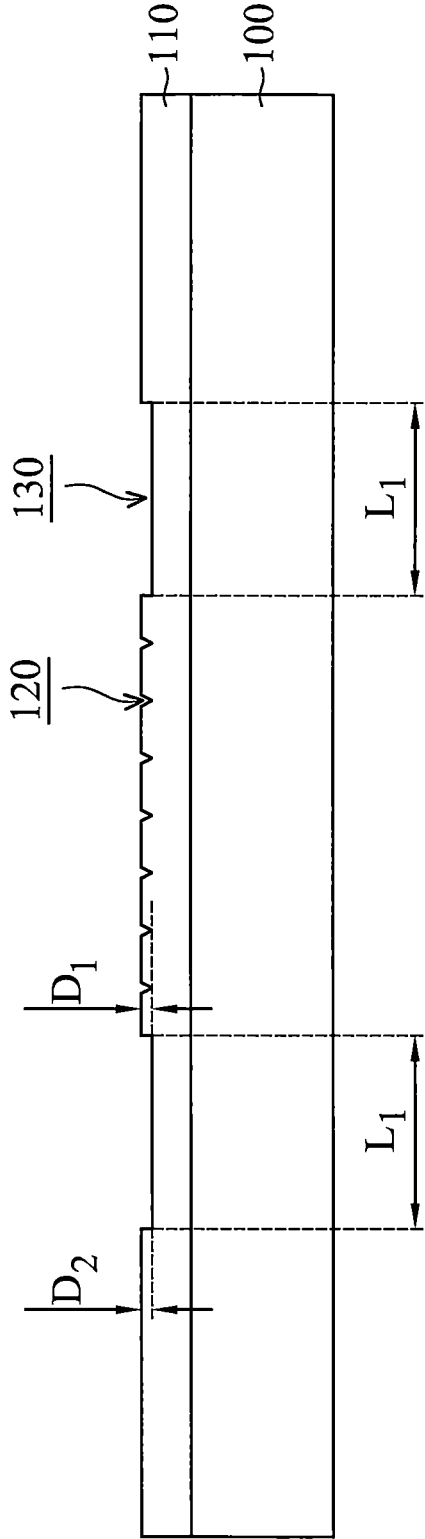
一第一介電層與一第二介電層，位於一半導體基板上，其中一空腔穿過該第一介電層與該第二介電層；以及

一第一可動膜，位於該第一介電層與該第二介電層之間，其中經由該空腔部份地露出該第一可動膜，其中該第一可動膜包含沿著該空腔的邊緣排列的多個第一波紋部份。

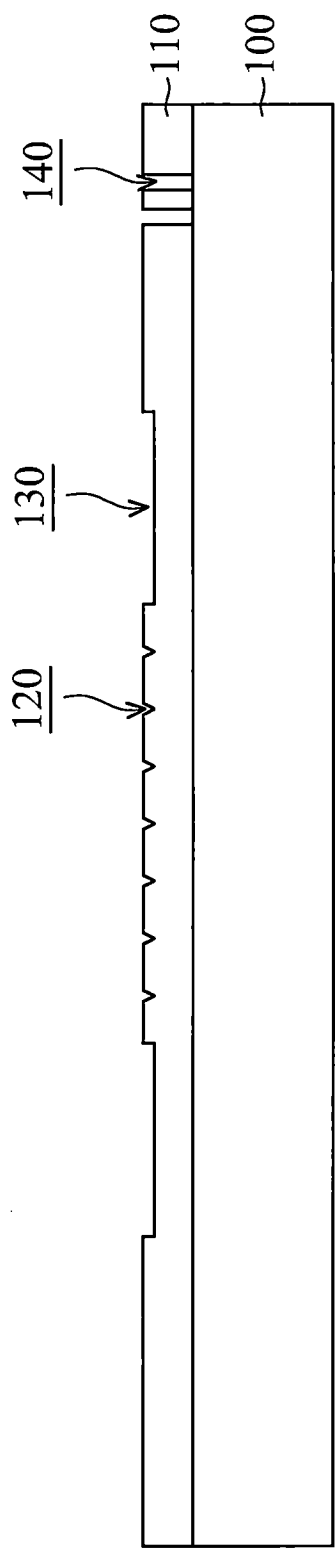
圖式



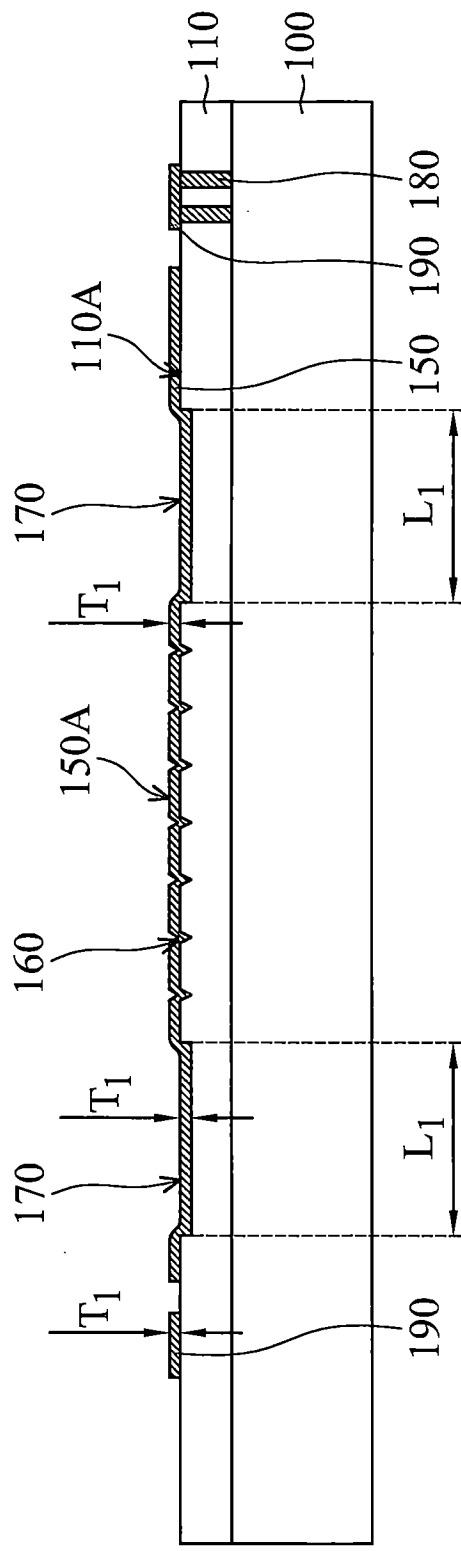
第 1 圖



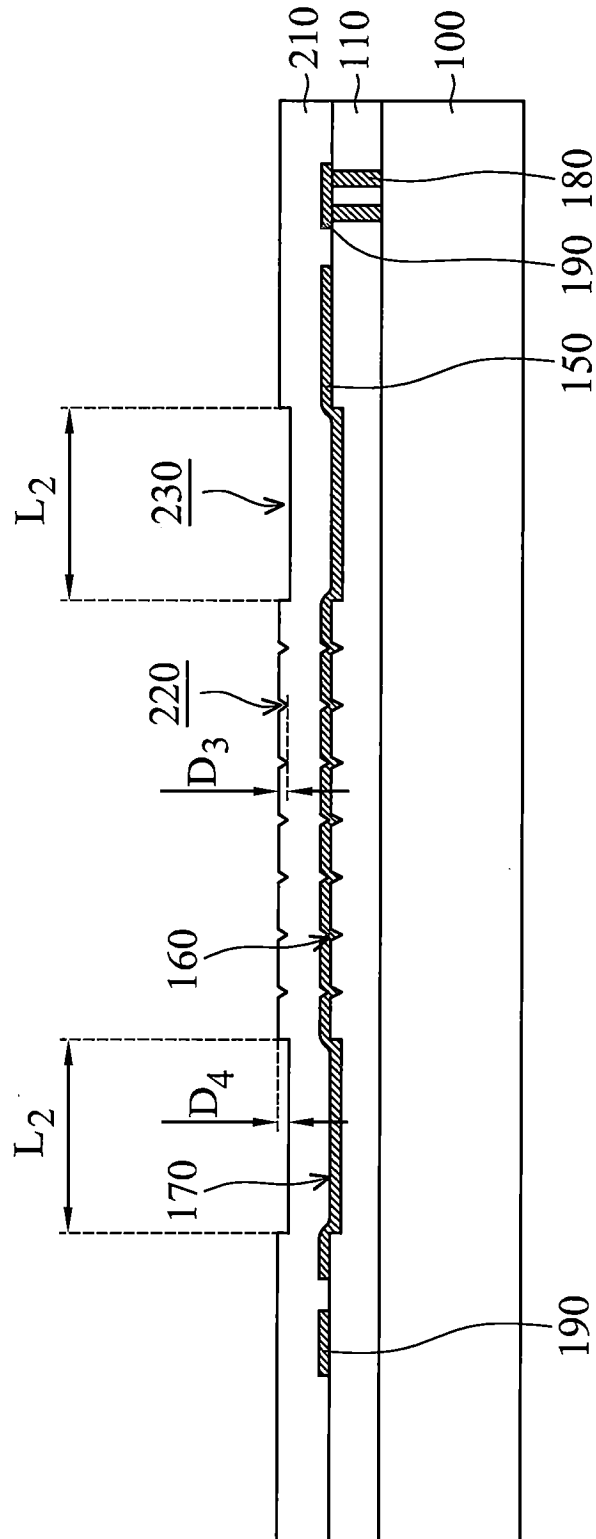
第2A圖



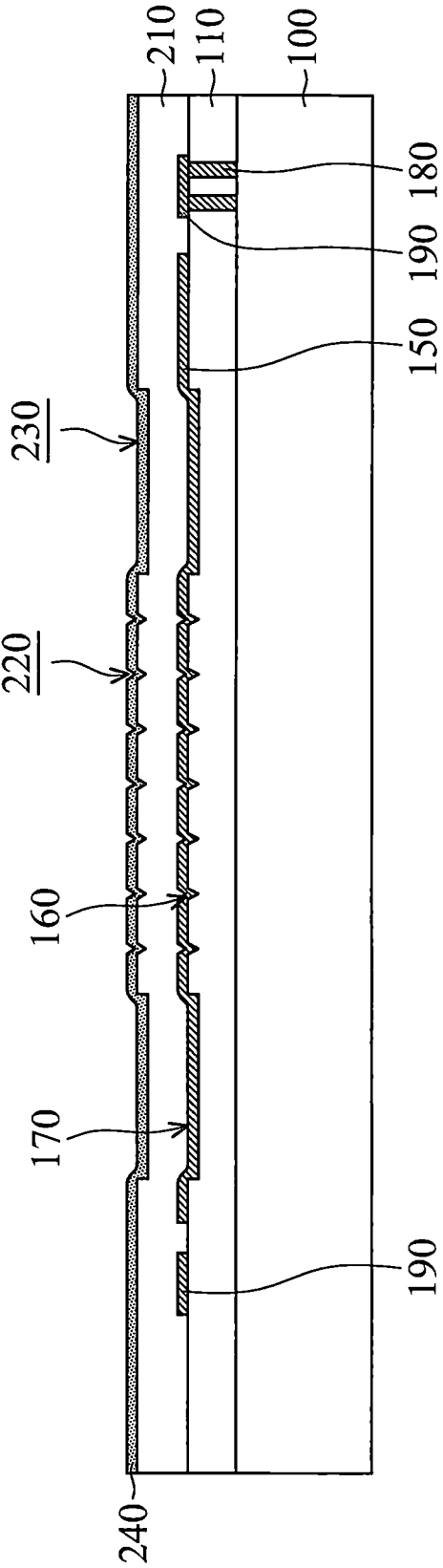
第 2B 圖



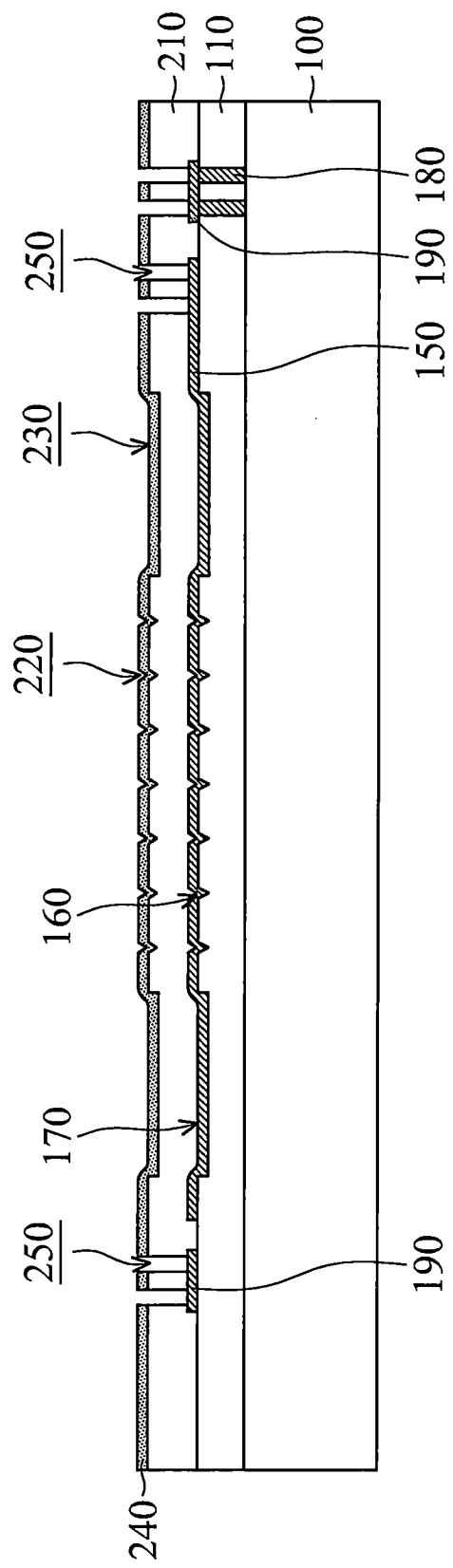
第2C圖



第2D圖



第 2E 圖



第2F圖

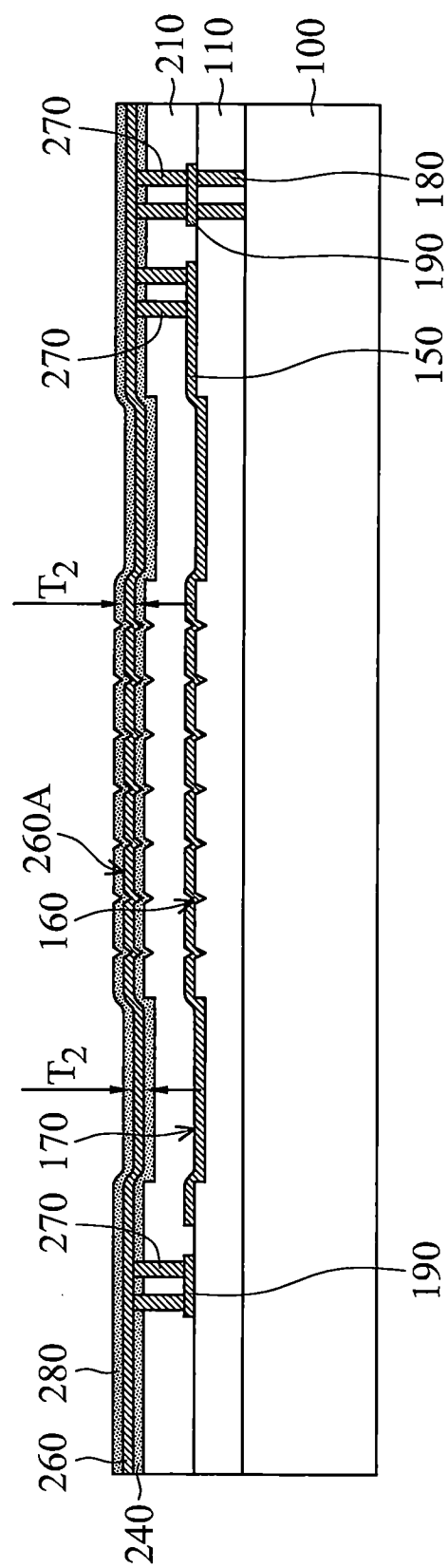
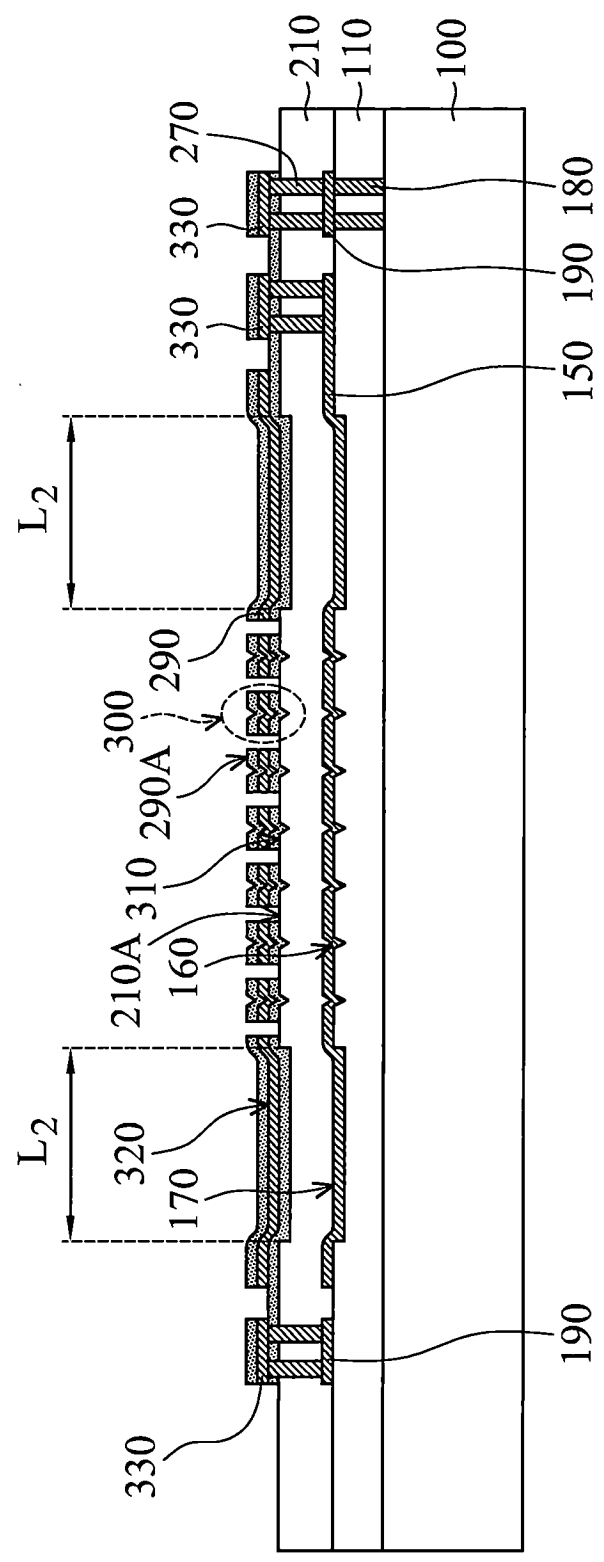
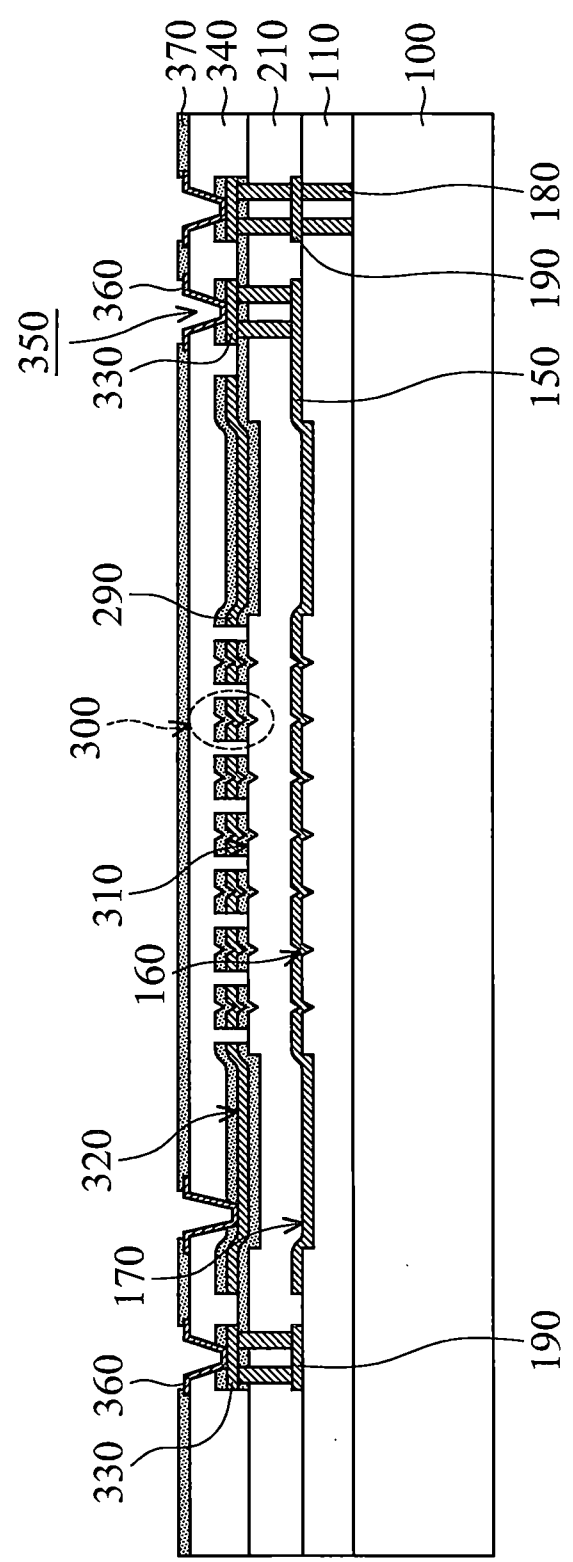


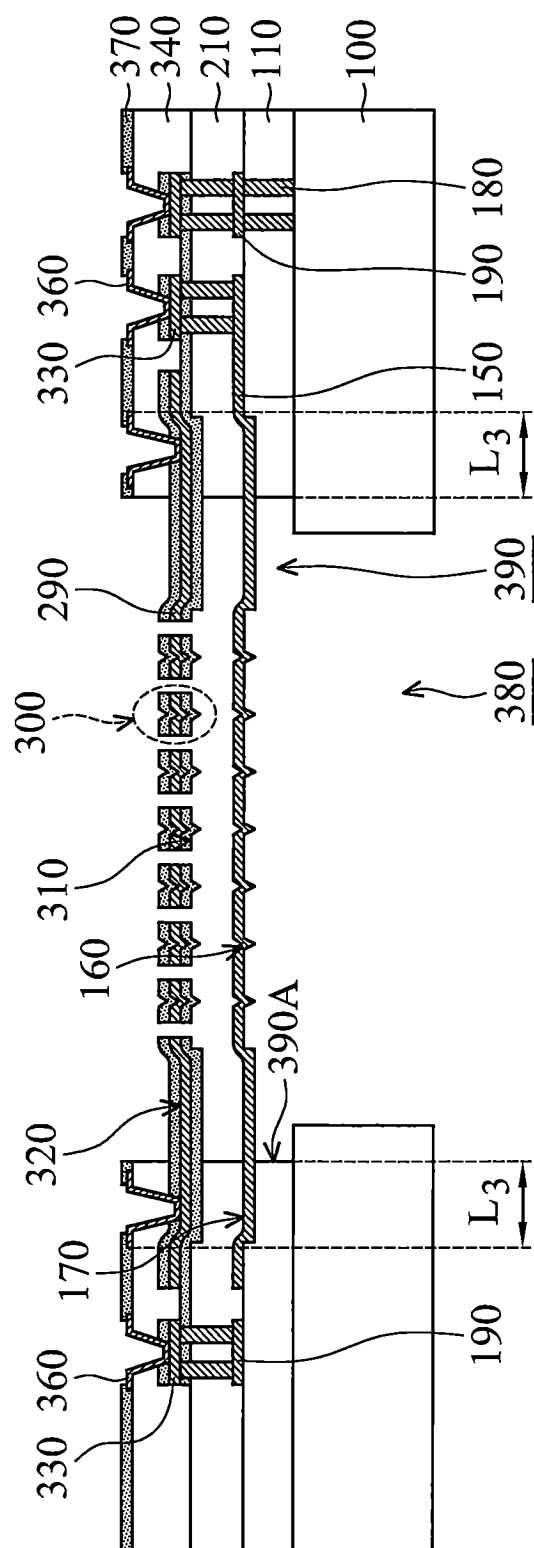
圖 2G 第



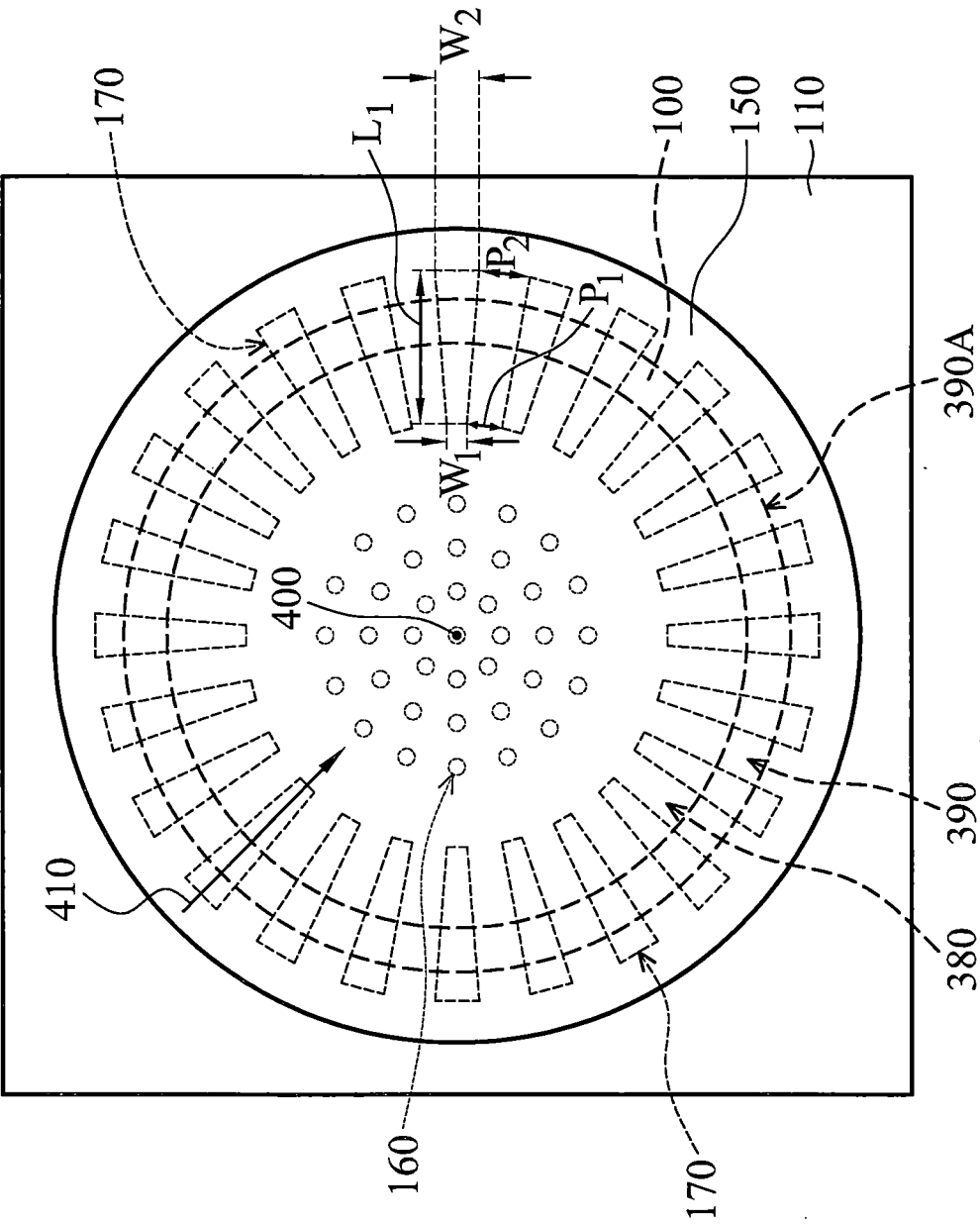
第2H圖



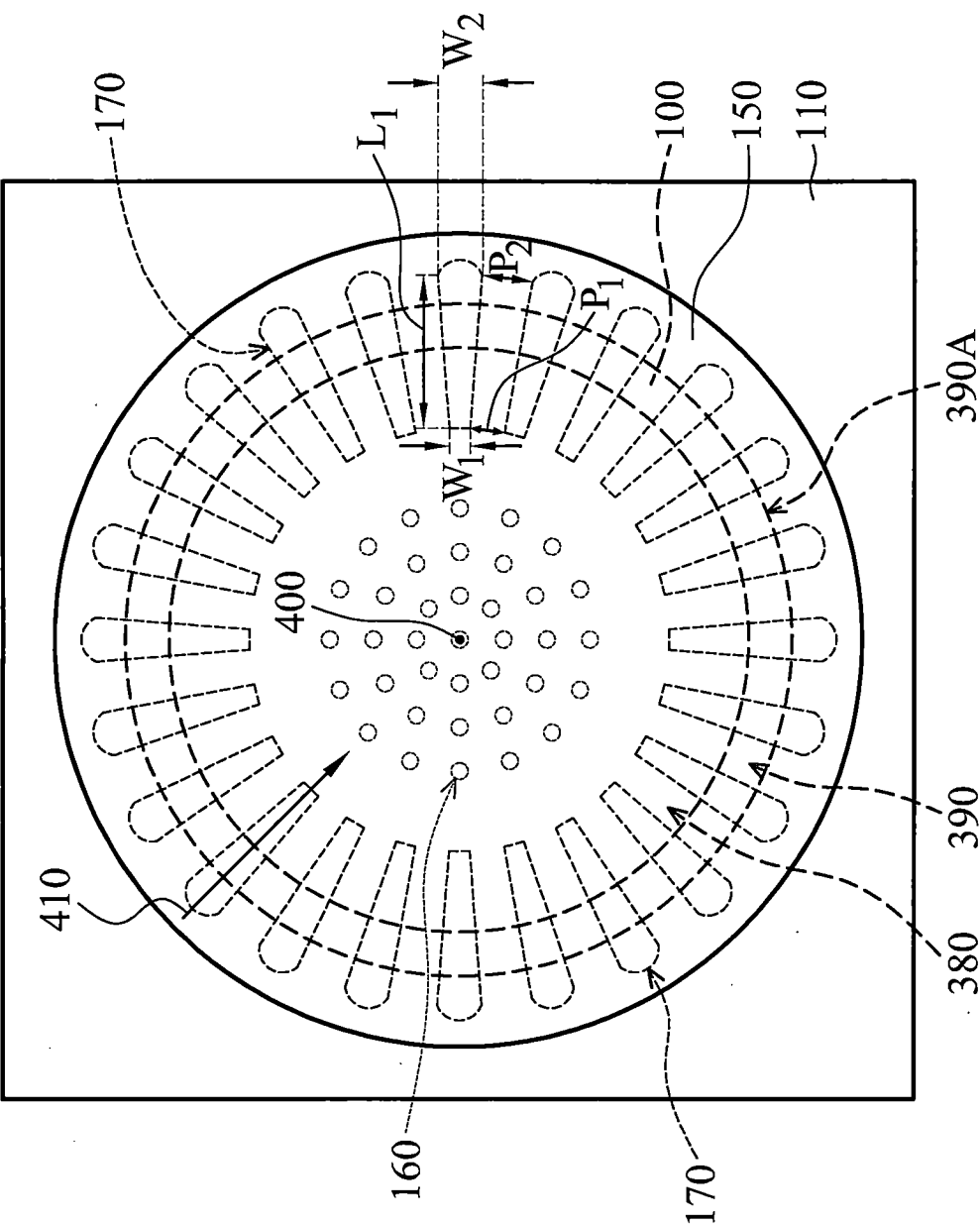
第2I圖



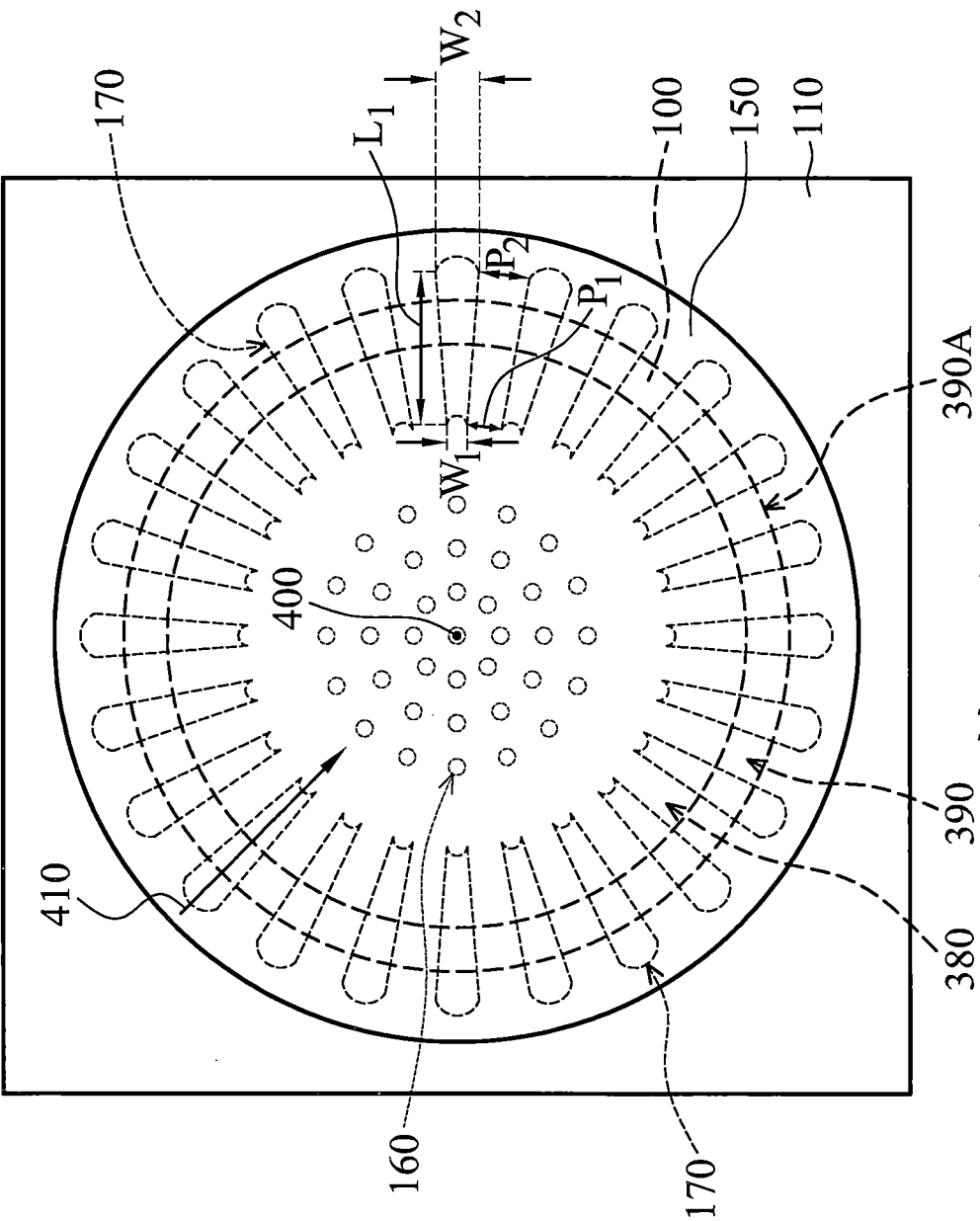
第2圖



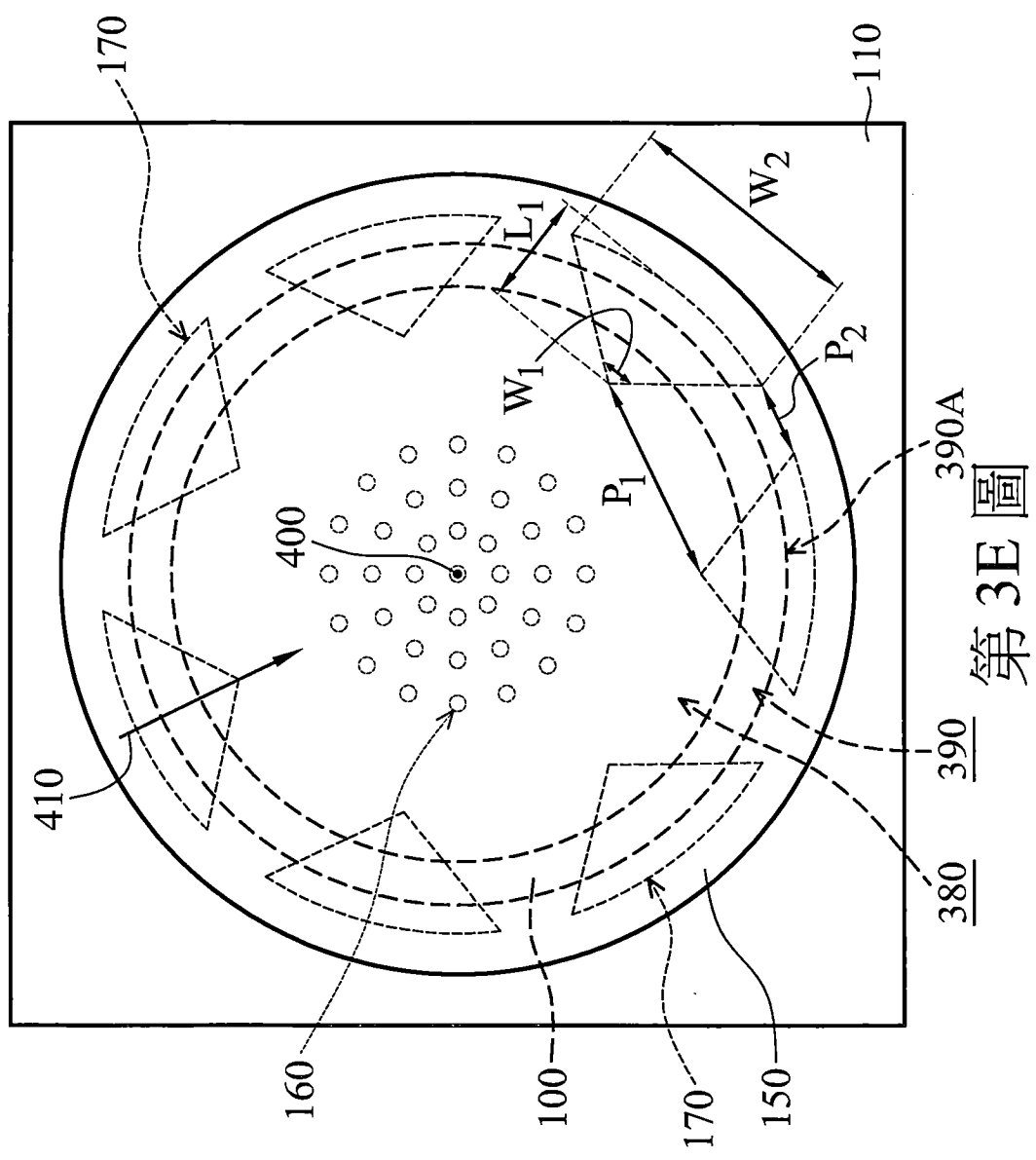
第3A圖



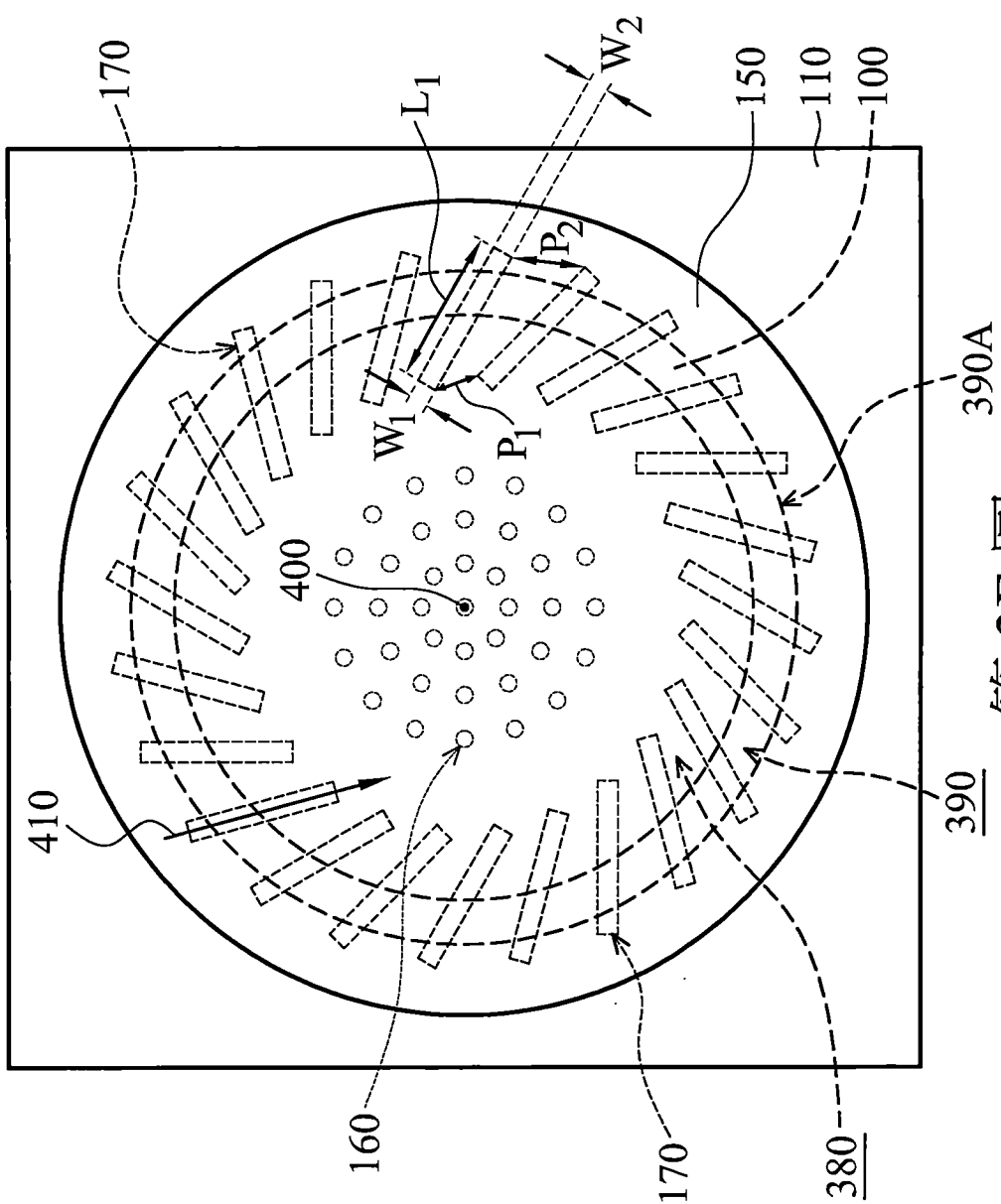
第3B圖



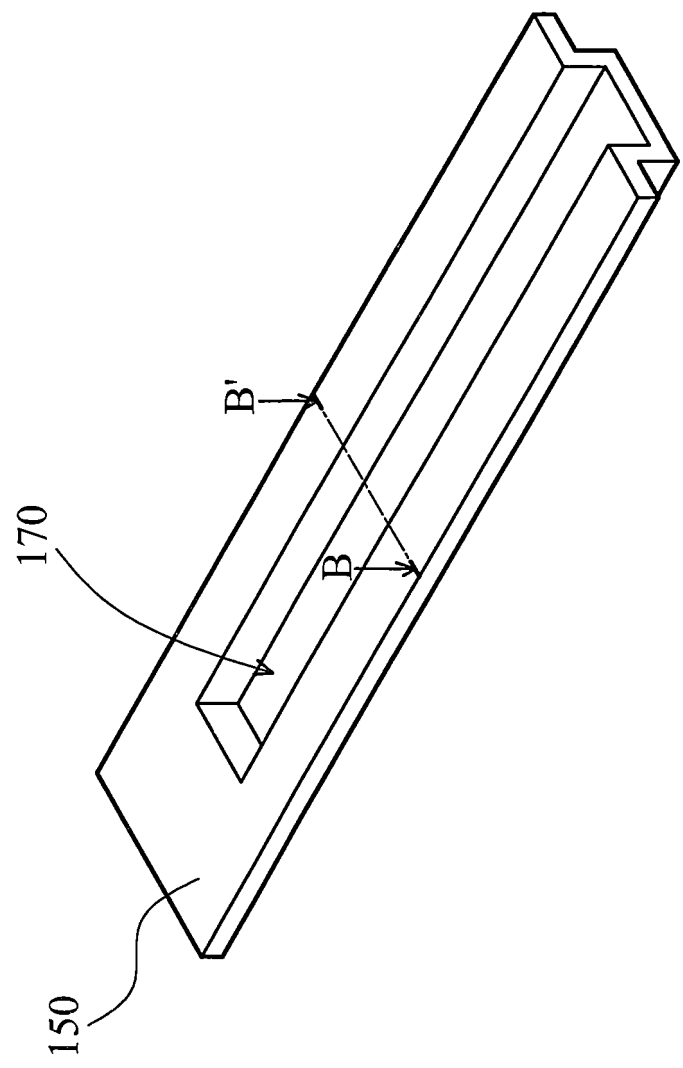
第3C圖



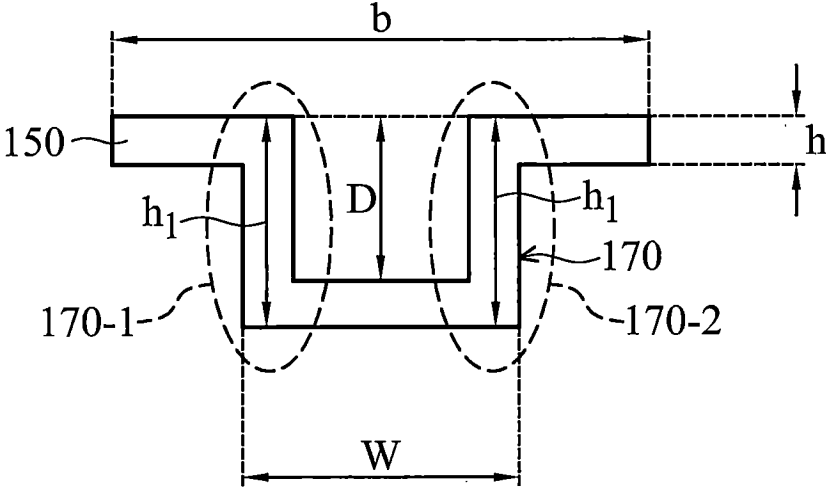
第3E圖



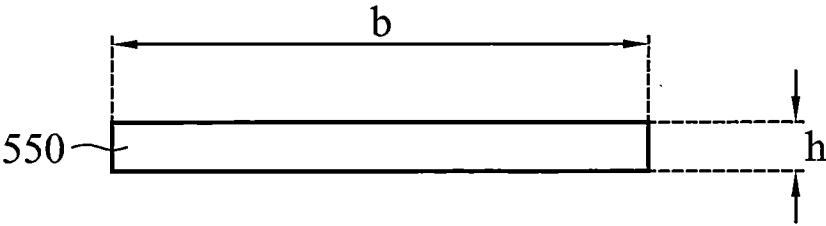
第3F圖



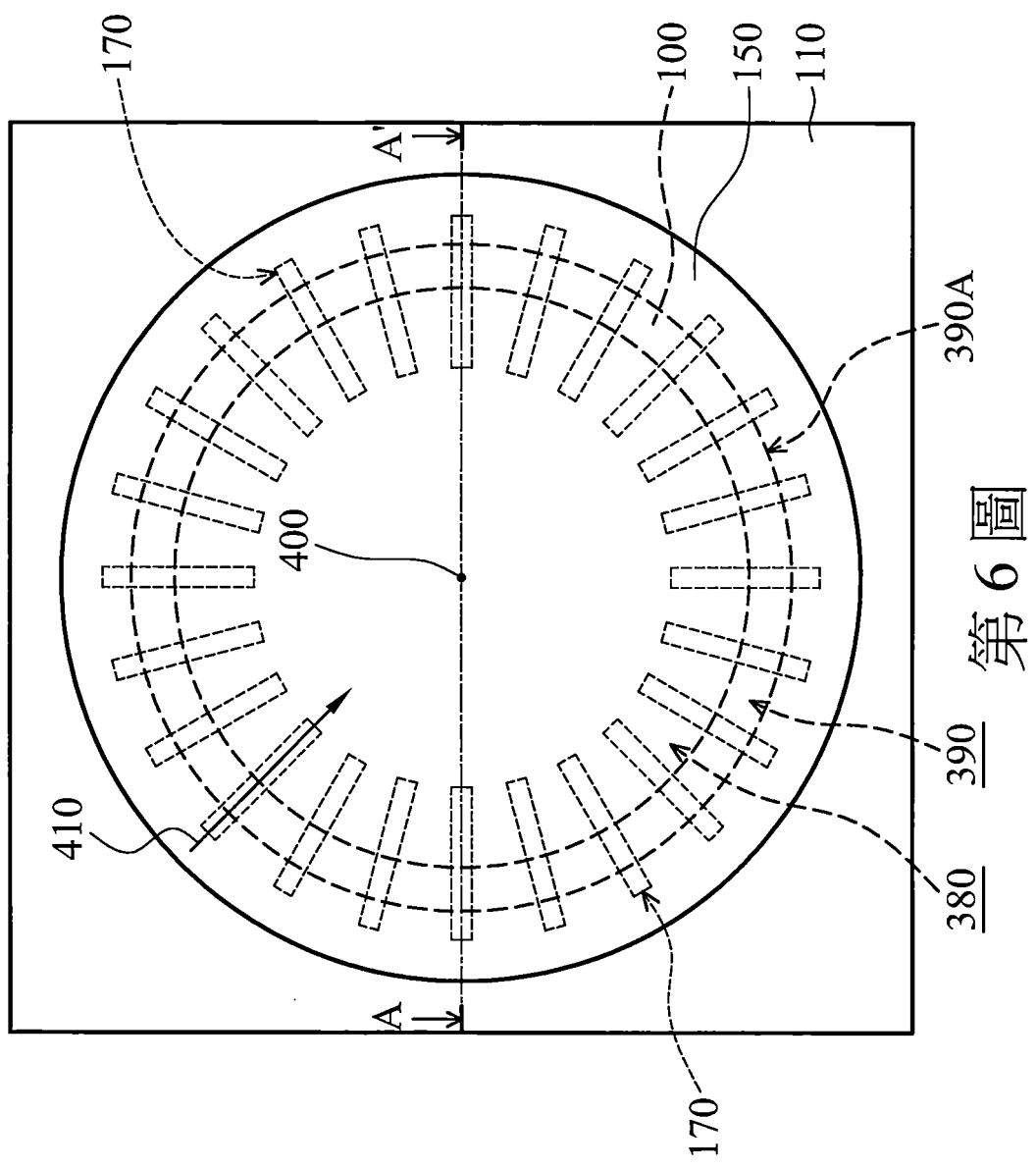
第 4 圖

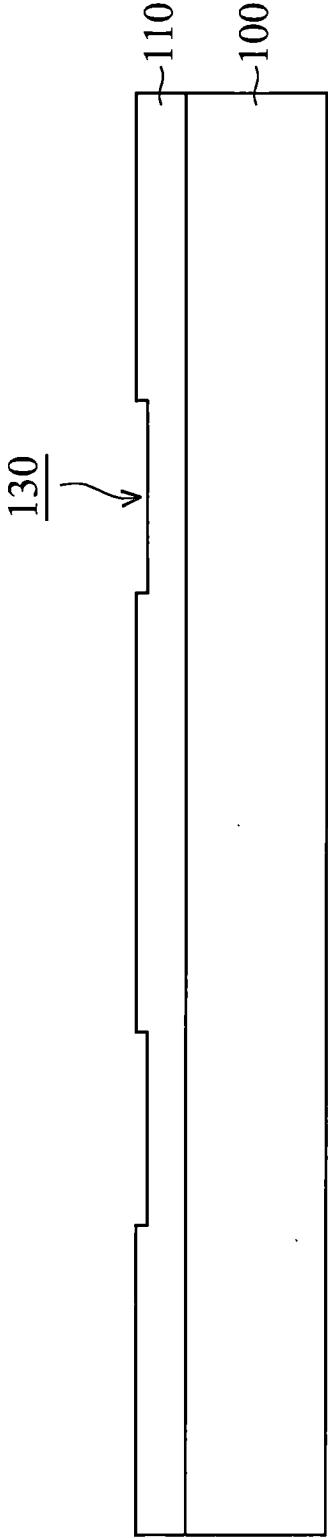


第 5A 圖

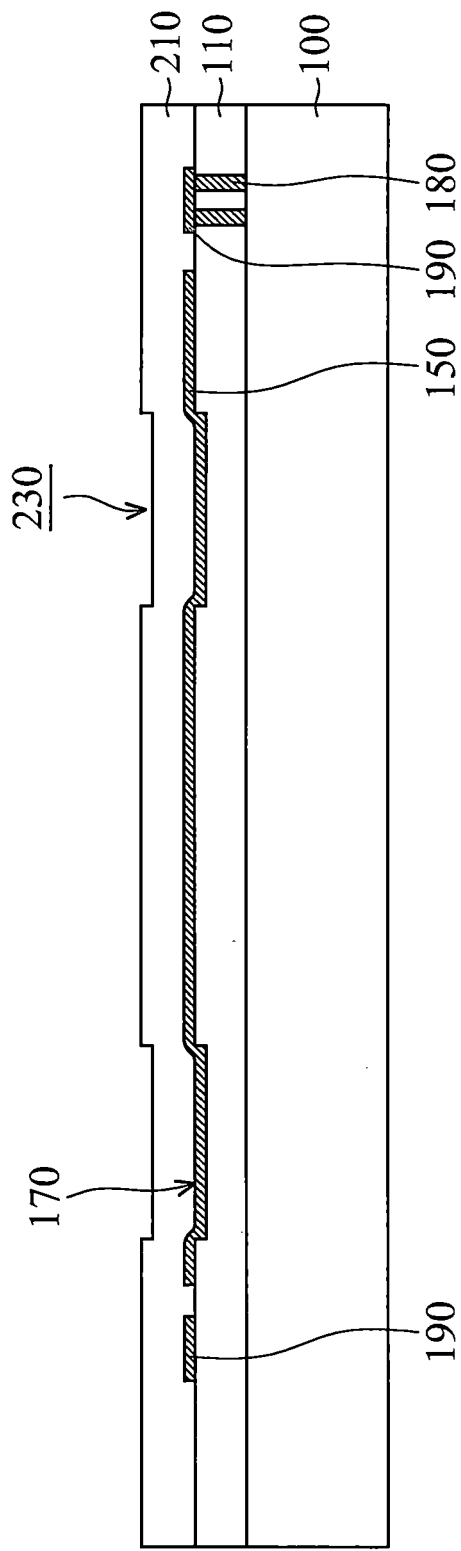


第 5B 圖

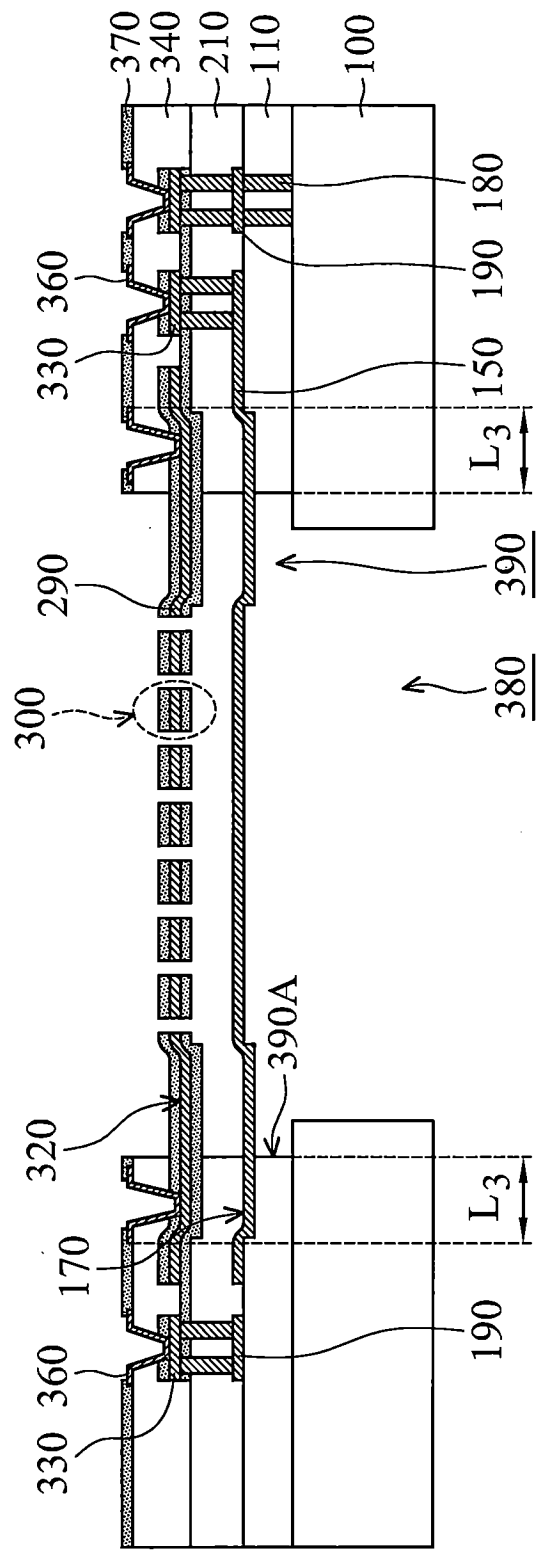




第7A圖



第 7B 圖



第7C圖