(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년02월01일
(11) 등록번호 10-1944864
(24) 등록일자 2019년01월28일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) *G11C 7/06* (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2012-0046357
(22) 출원일자 2012년05월02일
심사청구일자 2017년04월24일
(65) 공개번호 10-2012-0125170
(43) 공개일자 2012년11월14일
(30) 우선권주장
JP-P-2011-103713 2011년05월06일 일본(JP)
(56) 선행기술조사문헌
US20100244021 A1

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
토마츠 히로유키
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
코바야시 히데토모
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
시오노이리 유타카
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 11 항 심사관 : 윤석채

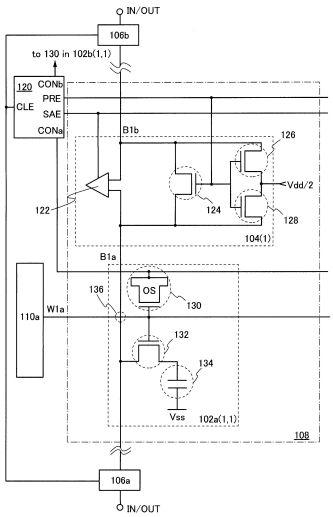
(54) 발명의 명칭 **반도체 장치**

(57) 요 약

본 발명은, 워드선의 부하를 증대시킴 없이 워드선에 생기는 노이즈를 저감한다.

적어도 하나의 스위칭 소자를 갖는 복수의 기억 소자가 매트릭스 형상으로 배치되고, 상기 기억 소자 각각에는 워드선과 비트선이 각각 접속되고, 상기 워드선에는 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터의 게이트(또는 소스 및 드레인)가 접속되고, 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터의 소스 및 드레인(또는 게이트)의 전위가 제어됨으로써 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터의 용량값의 제어를 행하는 반도체 장치로 한다. 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터는 와이드 갭 반도체로 제공되어 있으면 좋다.

대 표 도 - 도2



명 세 서

청구범위

청구항 1

반도체 장치에 있어서,

신호 생성 회로;

제 1 트랜지스터 및 제 2 트랜지스터;

상기 제 1 트랜지스터의 게이트에 전기적으로 접속된 워드선; 및

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된 비트선을 포함하고,

상기 제 2 트랜지스터의 게이트는 상기 워드선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인은 상기 신호 생성 회로에 전기적으로 접속되고,

상기 제 2 트랜지스터의 용량은 상기 신호 생성 회로로부터 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인으로의 제어 신호에 의해 가변되는, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

반도체 장치에 있어서,

신호 생성 회로;

제 1 트랜지스터 및 제 2 트랜지스터;

상기 제 1 트랜지스터의 게이트에 전기적으로 접속된 워드선; 및

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된 비트선을 포함하고,

상기 제 2 트랜지스터의 소스 및 드레인은 상기 워드선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 신호 생성 회로에 전기적으로 접속되고,

상기 제 2 트랜지스터의 용량은 상기 신호 생성 회로에 의해 제어되는 상기 제 2 트랜지스터의 상기 게이트의 전위에 따라 가변되는, 반도체 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

반도체 장치에 있어서,

신호 생성 회로;

각각이 제 1 트랜지스터와 제 2 트랜지스터를 포함하는 복수의 기억 소자;

상기 제 1 트랜지스터의 게이트에 전기적으로 접속된 워드선; 및

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된 비트선을 포함하고,

상기 제 2 트랜지스터의 게이트는 상기 워드선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인은 상기 신호 생성 회로에 전기적으로 접속되고,

상기 제 2 트랜지스터의 용량은 상기 신호 생성 회로로부터 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인으로의 제어 신호에 의해 가변되는, 반도체 장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

제 1 항 또는 제 15 항에 있어서,

상기 제 2 트랜지스터에 인접하는 제 3 트랜지스터; 및

배선을 더 포함하고,

상기 제 3 트랜지스터의 게이트는 상기 워드선에 전기적으로 접속되고,

상기 배선은 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인과, 상기 제 3 트랜지스터의 소스 및 드레인에 전기적으로 접속되는, 반도체 장치.

청구항 21

삭제

청구항 22

삭제

청구항 23

반도체 장치에 있어서,

신호 생성 회로;

각각이 제 1 트랜지스터와 제 2 트랜지스터를 포함하는 복수의 기억 소자;

상기 제 1 트랜지스터의 게이트에 전기적으로 접속된 워드선; 및

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된 비트선을 포함하고,

상기 제 2 트랜지스터의 소스 및 드레인은 상기 워드선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 신호 생성 회로에 전기적으로 접속되고,

상기 제 2 트랜지스터의 용량은 상기 신호 생성 회로에 의해 제어되는 상기 제 2 트랜지스터의 상기 게이트의 전위에 따라 가변되는, 반도체 장치.

청구항 24

제 1 항, 제 8 항, 제 15 항, 제 23 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터의 채널 형성 영역에는 소수 캐리어가 실질적으로 포함되지 않는, 반도체 장치.

청구항 25

제 1 항, 제 8 항, 제 15 항, 제 23 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터는 채널 형성 영역에 와이드 밴드 갭 반도체 재료를 포함하고,

상기 와이드 밴드 갭 반도체 재료의 밴드 갭은 2.0eV 이상 3.5eV 이하인, 반도체 장치.

청구항 26

제 1 항, 제 8 항, 제 15 항, 제 23 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터는 채널 형성 영역에 산화물 반도체 재료를 포함하는, 반도체 장치.

청구항 27

제 1 항, 제 8 항, 제 15 항, 제 23 항 중 어느 한 항에 있어서,

배선을 더 포함하고,

상기 배선은 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인에 전기적으로 접속되는, 반도체 장치.

청구항 28

삭제

청구항 29

제 15 항 또는 제 23 항에 있어서,

상기 복수의 기억 소자를 포함하는 제 1 그룹;

상기 복수의 기억 소자를 포함하는 제 2 그룹; 및

상기 비트선에 전기적으로 접속되며 감지 증폭기를 포함한 프리 차지 및 증폭 회로를 더 포함하고,

상기 프리 차지 및 증폭 회로는 상기 복수의 기억 소자를 포함하는 상기 제 1 그룹과, 상기 복수의 기억 소자를 포함하는 상기 제 2 그룹에 전기적으로 접속되고,

상기 제 1 그룹과 상기 제 2 그룹 각각이 포함하는 상기 복수의 기억 소자의 개수는 같은, 반도체 장치.

청구항 30

제 1 항, 제 8 항, 제 15 항, 제 23 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽에 접속된 용량 소자를 더 포함하고,

상기 용량 소자에 데이터가 기억되는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것이다. 본 명세서에 있어서 반도체 장치란, 반도체 소자 자체, 또는 반도체 소자를 포함한 것을 말하며, 이와 같은 반도체 소자로서 예를 들어, 박막 트랜지스터를 들 수 있다. 따라서, 액정 표시 장치 및 기억 장치 등도 반도체 장치에 포함되는 것이다.

배 경 기 술

[0002] 휘발성 메모리의 일종으로서 DRAM(Dynamic Random Access Memory)이 널리 알려져 있다.

[0003] 한편, 근년에 들어, 반도체 특성을 나타내는 금속 산화물(이하, 산화물 반도체라고 함)이 주목을 받고 있다. 산화물 반도체는 트랜지스터에 적용할 수 있다(특허문헌 1 및 특허문헌 2 참조).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본국 특개2007-123861호 공보

(특허문헌 0002) 일본국 특개2007-096055호 공보

발명의 내용

해결하려는 과제

[0005] DRAM으로 대표되는 기억 장치에는 복수의 소자가 매트릭스 형상으로 제공되어 있으며, 상기 복수의 소자에는 비트선과 워드선이 전기적으로 접속되어 있다. 비트선과 워드선은 각각 종횡(縱橫)으로 배치되어 있으므로, 이들은 교차한다. 비트선과 워드선이 교차하면, 이들이 교차된 부분에 기생 용량이 발생되어 워드선에 노이즈가 생기는 원인이 된다.

[0006] 이러한 노이즈 생성을 억제하기 위하여 워드선에 용량을 전기적으로 접속시키는 수단을 들 수 있다. 그러나, 워드선에 용량을 전기적으로 접속하면, 워드선의 부하가 증대되어 신호 지연의 원인이 된다.

[0007] 본 발명의 일 형태는 워드선의 부하를 증대시킴 없이 워드선에 생기는 노이즈를 저감하는 것을 과제로 한다.

과제의 해결 수단

[0008] 본 발명의 일 형태는, 적어도 하나의 스위칭 소자를 갖는 복수의 기억 소자가 매트릭스 형상으로 배치되고, 상기 기억 소자 각각에는 워드선과 비트선이 각각 전기적으로 접속되고, 상기 워드선에는 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터의 게이트가 전기적으로 접속되고, 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터의 소스 및 드레인의 전위가 제어됨으로써 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터의 용량값의 제어가 가능한 반도체 장치이다.

[0009] 본 발명의 일 형태는, 적어도 하나의 스위칭 소자를 갖는 복수의 기억 소자가 매트릭스 형상으로 배치되고, 상기 기억 소자 각각에는 워드선과 비트선이 각각 전기적으로 접속되고, 상기 워드선에는 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터의 소스 및 드레인이 전기적으로 접속되고, 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터의 게이트의 전위가 제어됨으로써 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터의 용량값의 제어가 가능한 반도체 장치이다.

[0010] 본 발명의 일 형태는, 적어도 하나의 스위칭 소자를 갖는 복수의 기억 소자가 매트릭스 형상으로 배치되고, 상기 기억 소자 각각에는 워드선과 비트선이 각각 전기적으로 접속되고, 상기 워드선에는 와이드 갭 반도체 트랜지스터의 게이트가 전기적으로 접속되고, 상기 와이드 갭 반도체 트랜지스터의 소스 및 드레인의 전위가 제어됨으로써 상기 와이드 갭 반도체 트랜지스터의 용량값의 제어가 가능한 반도체 장치이다.

[0011] 본 발명의 일 형태는, 적어도 하나의 스위칭 소자를 갖는 복수의 기억 소자가 매트릭스 형상으로 배치되고, 상기 기억 소자 각각에는 워드선과 비트선이 각각 전기적으로 접속되고, 상기 워드선에는 와이드 갭 반도체 트랜지스터의 소스 및 드레인이 전기적으로 접속되고, 상기 와이드 갭 반도체 트랜지스터의 게이트의 전위가 제어됨으로써 상기 와이드 갭 반도체 트랜지스터의 용량값의 제어가 가능한 반도체 장치이다.

[0012] 상기 구성의 반도체 장치에 있어서, 상기 와이드 갭 반도체 트랜지스터는, 밴드 갭이 2.0eV 이상 3.5eV 이하인 반도체 재료로 채널 형성 영역이 제공되어 있는 것이 바람직하다.

[0013] 상기 구성의 반도체 장치에 있어서 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터 또는 상기 와이드 갭 반도체 트랜지스터는, 산화물 반도체로 채널 형성 영역이 제공되어 있으면 좋다.

[0014] 상기 구성의 반도체 장치에 있어서, 상기 비트선에는 감지 증폭기를 갖는 프리 차지 및 증폭 회로가 전기적으로 접속되고, 상기 복수의 기억 소자는 상기 감지 증폭기를 중심으로 상기 비트선을 따라 같은 개수로 배치되는 것이 바람직하다. 이것은, 상기 복수의 기억 소자로부터 데이터를 판독함에 있어서 상기 감지 증폭기를 중심으로 같은 개수로 배치되어 있는 복수의 기억 소자의 차분을 취하도록 동작시킬 수 있게 되기 때문이다.

[0015] 상기 구성의 반도체 장치에 있어서 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터 또는 상기 와이드

갭 반도체 트랜지스터의 소스 및 드레인은, 배선층에 의하여 서로 접속될 뿐만 아니라, 인접하는 와이드 갭 반도체 트랜지스터의 드레인 및 소스와 접속되고, 상기 워드선을 따라 연속되어 제공되어 있는 것이 바람직하다. 이것은, 상기 소수 캐리어가 실질적으로 존재하지 않는 트랜지스터 또는 상기 와이드 갭 반도체 트랜지스터를 제작함에 있어서 트랜지스터 특성에 편차가 생긴 경우에도, 적어도 워드선을 따른 방향에서는 상기 트랜지스터의 트랜지스터 특성의 편차가 기억 소자의 동작에 영향을 미치는 것을 방지할 수 있기 때문이다.

[0016] 또한, 본 명세서에 있어서 '와이드 갭 반도체 트랜지스터'란, 밴드 갭이 넓은 반도체 재료(2.0eV 내지 3.5eV)로 채널 형성 영역이 제공된 트랜지스터이며, 소수 캐리어가 실질적으로 존재하지 않는 것으로 간주할 수 있는 트랜지스터(소수 캐리어가 실질적으로 존재하지 않는 트랜지스터)를 말한다. 이와 같은 '와이드 갭 반도체 트랜지스터'에 사용되는 반도체 재료로서는, 진성 캐리어 밀도가 실리콘보다 낮은 탄화 실리콘 또는 질화 갈륨 등의 화합물 반도체, 또는 산화 아연 등의 산화물 반도체 등을 들 수 있다. 예를 들어, 산화물 반도체를 채널 형성 영역에 포함한 트랜지스터(OS 트랜지스터라고도 함)에서는 소수 캐리어 밀도가 낮고, 소수 캐리어가 유기(誘起)되기 어렵다. 그러므로, OS 트랜지스터에서는 터널 전류가 발생되기 어렵고, 오프 전류가 낮다.

[0017] 또한, 도면에 있어서 '와이드 갭 반도체 트랜지스터'는 오프 전류가 매우 낮다는 것을 표현하기 위하여 일부를 점선으로 나타내기로 한다.

[0018] 또한, 본 명세서에 있어서 '원자' 또는 '분자'는 이온화되어 있어도 좋다.

발명의 효과

[0019] 본 발명의 일 형태에 따르면, 워드선의 부하를 증대시킴 없이 워드선에 생기는 노이즈를 저감할 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 형태인 반도체 장치에 대하여 설명한 도면.

도 2는 도 1의 일부에 대하여 설명한 도면.

도 3은 도 2의 동작에 대하여 설명한 도면.

도 4는 도 2에 있어서의 와이드 갭 반도체 트랜지스터(130)의 동작에 대하여 설명한 도면.

도 5는 적용할 수 있는 트랜지스터의 단면 개략도.

도 6(A) 내지 도 6(D)는 도 5에 도시된 트랜지스터의 제작 방법에 대하여 설명한 도면.

도 7(A) 내지 도 7(E)는 트랜지스터에 적용할 수 있는 산화물 반도체의 구조에 대하여 설명한 도면.

도 8(A) 내지 도 8(C)는 트랜지스터에 적용할 수 있는 산화물 반도체의 구조에 대하여 설명한 도면.

도 9(A) 내지 도 9(C)는 트랜지스터에 적용할 수 있는 산화물 반도체의 구조에 대하여 설명한 도면.

도 10(A) 및 도 10(B)는 와이드 갭 반도체 트랜지스터(130) 및 트랜지스터(132)의 상면도 및 단면도의 바람직한 일 형태를 도시한 도면.

도 11은 계산으로 얻어진 이동도의 게이트 전압 의존성에 대하여 설명한 도면.

도 12(A) 내지 도 12(C)는 계산으로 얻어진 드레인 전류와 이동도의 게이트 전압 의존성에 대하여 설명한 도면.

도 13(A) 내지 도 13(C)는 계산으로 얻어진 드레인 전류와 이동도의 게이트 전압 의존성에 대하여 설명한 도면.

도 14(A) 내지 도 14(C)는 계산으로 얻어진 드레인 전류와 이동도의 게이트 전압 의존성에 대하여 설명한 도면.

도 15(A) 및 도 15(B)는 계산에 사용한 트랜지스터의 단면 구조에 대하여 설명한 도면.

발명을 실시하기 위한 구체적인 내용

[0021] 이하에서는, 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않는 것이며, 본 발명의 취지 및 그 범위에서 벗어남 없이 그 형태 및 상세한 사항을 다양하게 변경할

수 있다는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에서 나타낸 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0022] 우선, 본 발명의 일 형태인 기억 장치의 일 구성예에 대하여 설명한다.

[0023] 도 1에 도시된 기억 장치(100)는 제 1 칼럼 디코더(106a)(Column Decoder)와, 제 2 칼럼 디코더(106b)와, 제 1 로우 디코더(110a)(Row Decoder)와, 제 2 로우 디코더(110b)와, 신호 생성 회로(120)와, 제 1 영역(112a)과, 제 2 영역(112b)을 갖는다.

[0024] 제 1 칼럼 디코더(106a) 및 제 2 칼럼 디코더(106b)는 비트선에 입력하는 신호를 제어하는 디코더 회로이다. 제 1 칼럼 디코더(106a) 및 제 2 칼럼 디코더(106b)는 외부 입출력 단자(도면에 IN/OUT으로 나타내어진 단자)에 전기적으로 접속되어 있다.

[0025] 또한, 제 1 칼럼 디코더(106a) 및 제 2 칼럼 디코더(106b)는 데이터의 입출력 및 비트선의 선택을 행하는 스위치를 갖는다.

[0026] 제 1 로우 디코더(110a) 및 제 2 로우 디코더(110b)는 워드선에 입력하는 신호를 제어하는 디코더 회로이다. 제 1 로우 디코더(110a) 및 제 2 로우 디코더(110b)는 외부 입출력 단자(도면에 IN/OUT으로 나타내어진 단자)에 전기적으로 접속되어 있다.

[0027] 신호 생성 회로(120)는, 적어도 프리 차지 및 증폭 회로(104)(1) 내지 (m), 제 1 칼럼 디코더(106a) 및 제 2 칼럼 디코더(106b)에 입력하는 신호를 생성하는 회로이다. 여기서 생성하는 신호는 CLE(Column Line Enable) 신호, SAE(Sense Amplifier Enable) 신호, PRE(PRecharge Enable) 신호, CON(CONtrol) 신호 등으로 불린다. 또한, 제 1 영역(112a) 측에 입력되는 CON 신호를 CONa신호라고 부르고, 제 2 영역(112b) 측에 입력되는 CON 신호를 CONb 신호라고 부른다. 또한, m은 1 이상의 자연수이다.

[0028] 제 1 영역(112a) 및 제 2 영역(112b)은 각각 n×m개의 기억 소자가 매트릭스 형상으로 제공된 영역이다. 따라서, 기억 장치(100)에는 2n×m개의 기억 소자가 매트릭스 형상으로 제공되어 있는 것이다. 또한, n은 1 이상의 자연수이다.

[0029] 기억 소자(102a)(x, y) 및 기억 소자(102b)(x, y)는 데이터를 기억하는 기능을 갖고, 동작에 필요한 회로를 갖는 소자이다. 또한, 기억 소자(102a)(x, y) 및 기억 소자(102b)(x, y)는 복수의 소자로 구성되어 있어도 좋다. 또한, x는 n 이하의 자연수이고, y는 m 이하의 자연수이다.

[0030] 상술한 바와 같이, 기억 소자(102a)는 영역(112a)에 n×m개 제공되어 있고, 기억 소자(102b)도 영역(112b)에 n×m개 제공되어 있다. 이와 같이, 기억 소자(102a)와 기억 소자(102b)는, 감지 증폭기(122)를 갖는 프리 차지 및 증폭 회로(104)(1) 내지 104(m)를 중심으로 비트선을 따라 같은 개수로 배치되어 있는 것이 바람직하다. 이것은, 기억 소자(102a) 및 기억 소자(102b)로부터 데이터를 판독함에 있어서, 감지 증폭기(122)를 중심으로 같은 개수로 배치되어 있는 기억 소자(102a) 및 기억 소자(102b)의 차분을 취하도록 동작시킬 수 있게 되기 때문이다.

[0031] 기억 소자(102a)(x, y)는 제 1 칼럼 디코더(106a)에 비트선을 통하여 전기적으로 접속되어 있고, 제 1 로우 디코더(110a)에 워드선을 통하여 전기적으로 접속되어 있다. 일례를 들어, 기억 소자(102a)(k, l)는 제 1 칼럼 디코더(106a)에 비트선 Bla를 통하여 전기적으로 접속되어 있고, 제 1 로우 디코더(110a)에 워드선 Wka를 통하여 전기적으로 접속되어 있다. 또한, k는 1 이상의 자연수이고, l은 1 이상의 자연수이다.

[0032] 기억 소자(102b)(x, y)는 제 2 칼럼 디코더(106b)에 비트선을 통하여 전기적으로 접속되어 있고, 제 2 로우 디코더(110b)에 워드선을 통하여 전기적으로 접속되어 있다. 일례를 들어, 기억 소자(102b)(k, l)는 제 2 칼럼 디코더(106b)에 비트선 Blb를 통하여 전기적으로 접속되어 있고, 제 2 로우 디코더(110b)에 워드선 Wkb를 통하여 전기적으로 접속되어 있다.

[0033] 다음에, 도 1의 일부에 착안하여 도 2를 참조하면서 기억 소자(102a)(1, 1)와, 프리 차지 및 증폭 회로(104)(1)에 대하여 자세히 설명한다. 또한, 도 2에 도시된 예는 어디까지나 일례이므로, 다른 형태의 기억 소자를 사용하여도 좋다.

[0034] 도 2는 도 1에 있어서의 영역(108)을 상세하게 도시한 도면이다.

[0035] 영역(108)은 기억 소자(102a)(1, 1)와, 프리 차지 및 증폭 회로(104)(1)를 갖는다.

[0036] 기억 소자(102a)(1, 1)는 와이드 갭 반도체 트랜지스터(130)와, 트랜지스터(132)와, 용량 소자(134)를 갖는다. 또한, 기억 소자(102a)(1, 1)에는 비트선 B1a와 워드선 W1a가 각각 전기적으로 접속되어 있다.

[0037] 기억 소자(102a)(1, 1)에서는, 워드선 W1a가 와이드 갭 반도체 트랜지스터(130)의 게이트와 트랜지스터(132)의 게이트에 전기적으로 접속되고, 비트선 B1a가 트랜지스터(132)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(132)의 소스 및 드레인 중 다른 쪽은 용량 소자(134)를 개재(介在)하여 저전위(Vss) 측 전원 전위선에 전기적으로 접속되고, 와이드 갭 반도체 트랜지스터(130)의 소스 및 드레인은 신호 생성 회로(120)에 전기적으로 접속되어 있다. 또한, 트랜지스터(132)와 용량 소자(134) 사이에서는 전하가 유지된다. 여기서, 신호 생성 회로(120)로부터는 제어 신호인 CONa 신호가 입력된다.

[0038] 와이드 갭 반도체 트랜지스터(130)로서는 산화물 반도체를 채널 형성 영역에 포함한 트랜지스터(OS 트랜지스터)를 들 수 있다.

[0039] 또한, 와이드 갭 반도체 트랜지스터(130)의 게이트가 신호 생성 회로(120)에 전기적으로 접속되고, 와이드 갭 반도체 트랜지스터(130)의 소스 및 드레인이 트랜지스터(132)의 게이트에 전기적으로 접속되어 있어도 좋다. 그러나, 후술하는 바와 같이, 와이드 갭 반도체 트랜지스터(130)와 트랜지스터(132)를 동일 공정으로 제작하는 경우에는, 이 구성보다 와이드 갭 반도체 트랜지스터(130)의 소스 및 드레인이 신호 생성 회로(120)에 전기적으로 접속되고, 와이드 갭 반도체 트랜지스터(130)의 게이트가 트랜지스터(132)의 게이트에 전기적으로 접속된 구성이 바람직하다. 이것은, 와이드 갭 반도체 트랜지스터(130)의 소스 및 드레인과 트랜지스터(132)의 게이트를 전기적으로 접속시키기 위한 가공(예를 들어, 이들을 물리적으로 접속시키기 위한 콘택트 홀의 형성) 등이 불필요하기 때문이다.

[0040] 트랜지스터(132)는 n채널형 트랜지스터이면 좋지만, 오프 전류가 낮은 트랜지스터로 하는 것이 바람직하다. 이것은, 트랜지스터(132)와 용량 소자(134) 사이에서 전하가 장시간에 걸쳐 유지되기 때문이다. 오프 전류가 낮은 트랜지스터로서는 OS 트랜지스터를 들 수 있다.

[0041] 용량 소자(134)는 2개의 도전층으로 절연층을 끼운 구성으로 하면 좋다. 예를 들어, 트랜지스터(132)가 박막 트랜지스터인 경우에는, 트랜지스터(132)의 소스 및 드레인이 되는 전극과, 게이트가 되는 전극으로 게이트 절연막을 끼운 구성으로 하면 좋다.

[0042] 또한, 기억 소자(102a)(1, 1)의 구성은 와이드 갭 반도체 트랜지스터(130)를 빼면 일반적인 DRAM의 구성과 같은 것이다. 또한, 트랜지스터(132)가 와이드 갭 반도체 트랜지스터이어도 좋다.

[0043] 프리 차지 및 증폭 회로(104)(1)는, 감지 증폭기(122)와, 트랜지스터(124)와, 트랜지스터(126)와, 트랜지스터(128)를 갖는다.

[0044] 프리 차지 및 증폭 회로(104)(1)에서는, 감지 증폭기(122)는 신호 생성 회로(120)와, 비트선 B1a 및 비트선 B1b에 전기적으로 접속되고, 비트선 B1a는 트랜지스터(124)의 소스 및 드레인 중 한쪽과, 트랜지스터(128)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 비트선 B1b는 트랜지스터(124)의 소스 및 드레인 중 다른 쪽과, 트랜지스터(126)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 트랜지스터(126)의 소스 및 드레인 중 다른 쪽과, 트랜지스터(128)의 소스 및 드레인 중 다른 쪽은 Vdd/2의 전위의 배선에 전기적으로 접속되고, 트랜지스터(124), 트랜지스터(126), 및 트랜지스터(128)의 게이트는 신호 생성 회로(120)에 전기적으로 접속되어 있다. 여기서, 신호 생성 회로(120)로부터 감지 증폭기(122)에는 SAE 신호가 입력되고, 신호 생성 회로(120)로부터 트랜지스터(124), 트랜지스터(126), 및 트랜지스터(128)의 게이트에는 PRE 신호가 입력된다.

[0045] 또한, PRE 신호 및 SAE 신호로서는, 복수의 프리 차지 및 증폭 회로(104)(1) 내지 (m) 모두에 동일한 신호가 입력된다.

[0046] 감지 증폭기(122)는 기억 소자(102a)로부터의 전압을 증폭하는 회로이다. 감지 증폭기(122)에는 차동형과 래치형 어느 것을 사용하여도 좋지만, 여기서는 입력과 출력에 같은 단자가 사용되는 래치형을 예시한다.

[0047] 트랜지스터(124), 트랜지스터(126), 및 트랜지스터(128)는 n채널형 트랜지스터이면 좋다. 트랜지스터(124), 트랜지스터(126), 및 트랜지스터(128)는 오프 전류가 낮은 트랜지스터로 하는 것이 바람직하다. 이것은, PRE 신호를 입력하고 있지 않을 때에 비트선 B1a 및 비트선 B1b를 완전히 부유 상태로 하기 위한 것이다. 오프 전류가 낮은 트랜지스터로서는 OS 트랜지스터를 들 수 있다.

[0048] 또한, 신호 생성 회로(120)는 제 1 칼럼 디코더(106a) 및 제 2 칼럼 디코더(106b)에 전기적으로 접속되어 있으

며, 신호 생성 회로(120)로부터 제 1 칼럼 디코더(106a) 및 제 2 칼럼 디코더(106b)에는 CLE 신호가 입력된다.

[0049] 또한, 신호 생성 회로(120)는 도 1에 도시된 바와 같이, 제 1 로우 디코더(110a) 및 제 2 로우 디코더(110b)에 전기적으로 접속되어 있어도 좋다. 다만, 도 2에서는 설명을 간략화하기 위하여 이것을 생략하였다.

[0050] 또한, 외부 입출력 단자(도면에 IN/OUT으로 나타내어진 단자)도 도 1에 도시된 바와 같이, 제 1 로우 디코더(110a) 및 제 2 로우 디코더(110b)에 전기적으로 접속되어 있어도 좋다. 다만, 도 2에서는 설명을 간략화하기 위하여 이것을 생략하였다.

[0051] 여기서, 비트선과 워드선이 교차하는 기생 용량 영역(136)에 착안하기로 한다. 비트선과 워드선이 교차함으로써 워드선에는 노이즈가 생긴다. 워드선에 노이즈가 생기면, 상기 노이즈에 의하여 비선택의 기억 소자(102a)가 선택되어 판독의 오동작이 일어난다. 또는, 노이즈의 고전압으로 기억 소자에 기억된 데이터가 파괴된다.

[0052] 이러한 노이즈 전반을 억제하기 위하여 워드선에 용량 소자를 전기적으로 접속시키는 수단을 들 수 있다. 그러나, 워드선에 용량 소자(예를 들어, 용량 소자(134))를 전기적으로 접속시키면, 신호 전달시의 워드선의 부하를 증대시켜 신호 지연의 원인이 된다.

[0053] 여기서, 노이즈 전반시에는 워드선에 전기적으로 접속된 상기 용량 소자가 용량으로서 기능하고, 신호 전달시에는 워드선에 전기적으로 접속된 상기 용량 소자가 용량으로서 기능하지 않는, 가변적 용량 소자이다. 또한, 용량 소자의 구성은 이것에 한정되지 않는다.

[0054] 그래서, 본 발명의 일 형태에서는 와이드 갭 반도체 트랜지스터(130)의 게이트를 워드선에 전기적으로 접속한다. 와이드 갭 반도체 트랜지스터(130)에서는 게이트가 워드선에 전기적으로 접속되어 있으며, 소스 및 드레인이 신호 생성 회로(120)에 전기적으로 접속되어 있다. 신호 생성 회로(120)는 와이드 갭 반도체 트랜지스터(130)의 소스 및 드레인에 제어 신호(CONa)를 입력한다.

[0055] 이와 같은 구성으로 하여, 워드선에 노이즈가 생겼을 때에는 제어 신호(CONa)를 입력하지 않음(또는 L레벨의 신호를 입력함)으로써, 와이드 갭 반도체 트랜지스터(130)를 용량 소자로서 동작시키고, 워드선이 신호를 전달할 때에는 제어 신호(CONa)를 입력함(또는 H레벨의 신호를 입력함)으로써, 와이드 갭 반도체 트랜지스터(130)가 용량 소자로서 동작하지 않도록 할 수 있다.

[0056] 이와 같은 구성은 용량으로서 기능하는 트랜지스터로서 와이드 갭 반도체 트랜지스터를 사용하기 때문에 가능한 것이다. 여기서 예를 들어, 와이드 갭 반도체 트랜지스터 대신에, 실리콘을 채널 형성 영역에 포함한 트랜지스터(Si 트랜지스터)가 사용되어 있으면, 제어 신호(CONa)를 입력하고 있지 않을(또는 L레벨의 신호를 입력하고 있을) 때에는 채널 형성 영역에 소수 캐리어가 축적되어, 와이드 갭 반도체 트랜지스터(130) 대신에 제공된 Si 트랜지스터를 용량으로서 충분히 기능시킬 수 없다. 따라서, 신호 전달시에 워드선에 전기적으로 접속된 상기 트랜지스터가 용량으로서 기능하지 않도록 동작시킬 수 없고, 신호 전달시의 워드선의 부하를 증대시켜 신호 지연의 원인이 된다.

[0057] 와이드 갭 반도체 트랜지스터(130)로서는 예를 들어, OS 트랜지스터를 들 수 있다.

[0058] 또한, 상술한 바와 같이, 트랜지스터(132)는 오프 전류가 낮은 트랜지스터로 하는 것이 바람직하다. 그리고, 오프 전류가 낮은 트랜지스터로서는 OS 트랜지스터를 들 수 있다. 따라서, 와이드 갭 반도체 트랜지스터(130)와 트랜지스터(132)는 양쪽 모두를 OS 트랜지스터로 하는 것이 바람직하다. 이것은, 동일한 기억 소자 내에 와이드 갭 반도체 트랜지스터(130)와 트랜지스터(132)를 동일한 공정으로 제작할 수 있기 때문이다.

[0059] 또한, 비트선 B1a 및 비트선 B1b에는 감지 증폭기(122)를 갖는 프리 차지 및 증폭 회로(104)(1) 내지 (m)가 전기적으로 접속되어 있지만, 감지 증폭기(122)로부터 비트선 B1a를 따라 제공된 기억 소자(102a)의 개수와, 비트선 B1b를 따라 제공된 기억 소자(102b)의 개수가 같은 것이 바람직하다. 이것은, 기억 소자(102a) 및 기억 소자(102b)로부터 데이터를 판독함에 있어서 감지 증폭기(122)를 중심으로 비트선 B1a 측에 제공된 기억 소자의 데이터와, 비트선 B1b 측에 제공된 기억 소자의 데이터의 차분을 취하고 판독 동작을 할 수 있기 때문이다.

[0060] 또한, 인접한 와이드 갭 반도체 트랜지스터(130)의 소스 및 드레인은 배선층(216)에 의하여 서로 접속될 뿐만 아니라, 인접하는 와이드 갭 반도체 트랜지스터의 드레인 및 소스와 접속되고, 워드선 W1a를 따라 연속되어 제공되어 있는 것이 바람직하다. 와이드 갭 반도체 트랜지스터(130)를 제작함에 있어서 트랜지스터 특성에 편차가 생긴 경우에도 적어도 워드선 W1a를 따른 방향에서는 와이드 갭 반도체 트랜지스터(130)의 트랜지스터 특성의 편차가 기억 소자(102a)의 동작에 영향을 미치는 것을 방지할 수 있기 때문이다. 와이드 갭 반도체 트랜지

스터(130)는 반드시 기억 소자(102a) 및 기억 소자(102b) 모두에 제공되어 있지 않아도 좋다.

[0061] 도 3은 도 2의 동작에 대하여 설명하는 도면이다. 트랜지스터(132)와 용량 소자(134) 사이에 전하가 유지되어 있는 경우의 동작에 대하여 설명하기로 한다.

[0062] 우선, H레벨의 CONa 신호를 입력하면서 H레벨의 PRE 신호를 입력한다(기간 t1). H레벨의 CONa 신호를 입력함으로써, 와이드 갭 반도체 트랜지스터(130)는 용량 소자로서 기능하지 않는다. H레벨의 PRE 신호를 입력하면, 비트선 B1a의 전위는 Vdd/2로 된다.

[0063] 다음에, H레벨의 PRE 신호 입력을 정지하여 L레벨로 한다(기간 t2). PRE 신호를 L레벨로 함으로써 비트선 B1a는 부유 상태로 된다. 여기서, 비트선 B1a의 전위는 Vdd/2로 유지된다.

[0064] 다음에, 워드선 W1a에 H레벨의 신호를 입력한다(기간 t3). 워드선 W1a에 H레벨의 신호를 입력함으로써 트랜지스터(132)가 온 상태로 되고, 여기서 와이드 갭 반도체 트랜지스터(130)는 용량 소자로서 기능하고 있지 않으므로, 와이드 갭 반도체 트랜지스터(130)에 기인한 워드선 W1a의 신호 전달 지연은 발생하지 않는다. 트랜지스터(132)와 용량 소자(134) 사이의 전하에 의하여 비트선 B1a가 서서히 고전위 또는 저전위로 된다.

[0065] 다음에, H레벨의 CONa 신호 입력을 정지하여 L레벨로 한다(기간 t4). 이것은, 와이드 갭 반도체 트랜지스터(130)를 용량 소자로서 기능시키기 위한 것이다.

[0066] 다음에, H레벨의 SAE 신호를 입력한다(기간 t5). H레벨의 SAE 신호를 입력함으로써 감지 증폭기(122)가 구동되고, 비트선 B1a의 전위가 일정(고전위 또는 저전위)하게 된다. 이 때, 비트선 B1a와 워드선 W1a 사이의 용량 결합으로 인하여 노이즈가 발생(점선으로 도시함)되지만, 와이드 갭 반도체 트랜지스터(130)를 용량 소자로서 기능시키고 있기(워드선 W1a의 전위와 제어 신호 CONa의 전위에 차이가 있음) 때문에, 노이즈 전반은 최소한으로 억제된다.

[0067] 그 후, H레벨의 CLE 신호를 입력한다(기간 t6). H레벨의 CLE 신호를 입력함으로써, 외부 입출력 단자(IN/OUT)로부터 기록 데이터가 비트선 B1a에 입력되고, 비트선 B1a는 기록 데이터의 전위로 된다. 그리고, 트랜지스터(132)와 용량 소자(134) 사이에 기록 데이터의 전위로 되도록 전하가 축적된다. 여기서, 기간 t5의 일정한 전위와 기록 데이터의 전위가 상이한 경우에는, 비트선 B1a와 워드선 W1a 사이의 용량 결합으로 인하여 노이즈가 발생(점선으로 도시함)되지만, 와이드 갭 반도체 트랜지스터(130)를 용량 소자로서 기능시키고 있기 때문에, 노이즈 전반은 최소한으로 억제된다.

[0068] 그리고, H레벨의 CLE 신호 입력을 정지하여 L레벨로 한다(기간 t7). CLE 신호를 L레벨로 함으로써 비트선 B1a는 부유 상태로 된다.

[0069] H레벨의 CONa 신호를 입력한다(기간 t8). 와이드 갭 반도체 트랜지스터(130)는 용량 소자로서 기능하지 않게 된다.

[0070] 그 후, 워드선 W1a에 입력하고 있는 H레벨의 신호를 정지하여 L레벨로 한다(기간 t9). 워드선 W1a에 입력하고 있는 신호를 L레벨로 하면, 트랜지스터(132)가 오프 상태로 된다. 여기서, 와이드 갭 반도체 트랜지스터(130)는 용량 소자로서 기능하고 있지 않으므로, 와이드 갭 반도체 트랜지스터(130)에 기인한 워드선 W1a의 신호 전달 지연은 발생하지 않는다.

[0071] 그 후, H레벨의 SAE 신호 입력을 정지하여 L레벨로 한다(기간 t10). SAE 신호를 L레벨로 함으로써 감지 증폭기(122)의 동작이 정지된다.

[0072] 그리고, H레벨의 PRE 신호를 입력한다(기간 t11). H레벨의 PRE 신호를 입력하면, 비트선 B1a의 전위는 Vdd/2로 된다.

[0073] 여기서, 와이드 갭 반도체 트랜지스터(130)가 용량으로서 기능하는 경우와 용량으로서 기능하지 않는 경우에 대하여 도 4를 참조하여 설명한다.

[0074] 도 4는 와이드 갭 반도체 트랜지스터(130)의 게이트 전압 V_{gs}와, 와이드 갭 반도체 트랜지스터(130)가 용량 소자로서 기능할 때의 용량값 C와의 관계를 나타낸 도면이다. 용량값 C는 와이드 갭 반도체 트랜지스터(130)의 게이트 전압 V_{gs}의 변화에 따라 곡선(140)으로 나타내어진 바와 같이 변화된다. 또한, 게이트 전압 V_{gs}란, 소스 전위를 기준으로 한 게이트 전위와의 전위차를 가리킨다.

[0075] 우선, CONa 신호가 H레벨일 때에 대하여 설명한다.

[0076] CONa 신호가 H레벨일 때, 워드선 W1a가 L레벨이면 와이드 갭 반도체 트랜지스터(130)에서는 V_{gs}<0으로 된다. 따라서, 포인트(142)에 있어서의 곡선(140)의 값이 와이드 갭 반도체 트랜지스터(130)가 용량 소자로서 기능할 때의 용량값으로 된다. 이 때, 와이드 갭 반도체 트랜지스터(130)에서는 용량값 C는 실질적으로 0으로 된다.

[0077] CONa 신호가 H레벨일 때, 워드선 W1a가 H레벨이면 와이드 갭 반도체 트랜지스터(130)에서는 V_{gs}=0으로 된다. 따라서, 포인트(144)에 있어서의 곡선(140)의 값이 와이드 갭 반도체 트랜지스터(130)가 용량 소자로서 기능할 때의 용량값으로 된다. 이 때, 와이드 갭 반도체 트랜지스터(130)에서는 용량값 C는 실질적으로 0으로 된다.

[0078] 다음에, CONa 신호가 L레벨일 때에 대하여 설명한다.

[0079] CONa 신호가 L레벨일 때, 워드선 W1a가 L레벨이면 와이드 갭 반도체 트랜지스터(130)에서는 V_{gs}=0으로 된다. 따라서, 포인트(144)에 있어서의 곡선(140)의 값이 와이드 갭 반도체 트랜지스터(130)가 용량 소자로서 기능할 때의 용량값으로 된다. 이 때, 와이드 갭 반도체 트랜지스터(130)에서는 용량값 C는 실질적으로 0으로 된다.

[0080] CONa 신호가 L레벨일 때, 워드선 W1a가 H레벨이면 와이드 갭 반도체 트랜지스터(130)에서는 V_{gs}>0으로 된다. 따라서, 포인트(146)에 있어서의 곡선(140)의 값이 와이드 갭 반도체 트랜지스터(130)가 용량 소자로서 기능할 때의 용량값으로 된다. 이 때, 와이드 갭 반도체 트랜지스터(130)에서는 용량값 C는 실질적으로 C1로 된다.

[0081] 따라서, CONa 신호가 L레벨이며 워드선 W1a가 H레벨일 때에 한하여 와이드 갭 반도체 트랜지스터(130)의 용량값이 존재한다. 즉, 와이드 갭 반도체 트랜지스터(130)가 용량으로서 기능하는 것이다. 따라서, 도 3의 기간 t3부터 기간 t7에 있어서 와이드 갭 반도체 트랜지스터(130)가 용량으로서 기능한다.

[0082] 또한, 본 발명에 있어서 트랜지스터는 특정의 구성의 것에 한정되지 않고, 다양한 구성의 것을 사용할 수 있다. 따라서, 트랜지스터는 다결정 실리콘으로 구성된 트랜지스터이어도 좋고, SOI(Silicon On Insulator) 기판에 제공된 트랜지스터이어도 좋다.

[0083] 또한, 상기 설명에서는 트랜지스터를 n채널형 트랜지스터로 하였지만, 이것에 한정되는 것이 아니므로, 적절히 p채널형 트랜지스터를 사용하여도 좋다.

[0084] 다음에, 본 발명에 적용할 수 있는 트랜지스터에 대하여 설명한다. 와이드 갭 반도체 트랜지스터로서는 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역에 포함한 트랜지스터를 들 수 있다. 와이드 갭 반도체 트랜지스터 이외의 트랜지스터로서는 반도체 기판에 제공된 트랜지스터를 들 수 있다.

[0085] 도 5는 본 발명에 적용할 수 있는 트랜지스터의 단면 구조의 개략의 일례를 도시한 도면이다. 도 5에 있어서는 반도체 기판에 제공된 트랜지스터 위에 와이드 갭 반도체 트랜지스터가 형성되어 있다. 반도체 기판에 제공된 트랜지스터는 p채널형 트랜지스터와 n채널형 트랜지스터 양쪽 모두를 포함하여도 좋고, 한쪽만이 제공되어도 좋다.

[0086] 반도체 기판에 제공된 p채널형 트랜지스터 및 n채널형 트랜지스터는 일반적인 방법으로 형성하면 좋다. 반도체 기판에 제공된 p채널형 트랜지스터 및 반도체 기판에 제공된 n채널형 트랜지스터를 형성한 후에, 이들 위에 와이드 갭 반도체 트랜지스터를 형성한다. 즉, p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200)을 피형성 기판으로서 하여, 상기 기판 위에 와이드 갭 반도체 트랜지스터를 형성한다. 와이드 갭 반도체 트랜지스터로서는 OS 트랜지스터를 들 수 있다.

[0087] 또한, p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200)은 소스 영역 및 드레인 영역으로서 기능하는 고농도 불순물 영역(201), 저농도 불순물 영역(202), 게이트 절연막(203), 게이트 전극(204), 및 층간 절연막(205)을 갖는다(도 5 참조).

[0088] OS 트랜지스터(210)는 p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200) 위에 제공된 산화물 반도체층(211)과, 산화물 반도체층(211)에 접하며 이격(離隔)되어 제공된 소스 전극(212a) 및 드레인 전극(212b)과, 산화물 반도체층(211)의 적어도 채널 형성 영역 위에 제공된 게이트 절연막(213)과, 산화물 반도체층(211)에 중첩하여 게이트 절연막(213) 위에 제공된 게이트 전극(214b)을 갖는다(도 6(D) 참조). 또한, 도시되어 있지 않지만, 전극(214a)과 게이트 전극(214b)은 전기적으로 접속되어 있고, 게이트 전극(204)과 전극(214a)은 전기적으로 접속되어 있다.

[0089] 층간 절연막(205)은 산화물 반도체층(211)의 하지 절연막으로서도 기능한다.

[0090] 층간 절연막(205)은 적어도 표면에 산소를 포함하고, 산소의 일부가 가열 처리에 의하여 탈리되는 절연성 산화

물로 형성하면 좋다. 산소의 일부가 가열 처리에 의하여 탈리되는 절연성 산화물로서는, 화학 양론비보다 많은 산소를 포함하는 것을 사용하는 것이 바람직하다. 이것은, 상기 가열 처리에 의하여 층간 절연막(205)에 접하는 산화물 반도체막에 산소를 공급할 수 있기 때문이다.

[0091] 화학 양론비보다 많은 산소를 포함하는 절연성 산화물로서 예를 들어, SiOx에서 x>2인 산화 실리콘을 들 수 있다. 다만, 이것에 한정되지 않으므로, 층간 절연막(205)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 질화 알루미늄, 산화 갈륨, 산화 하프늄, 또는 산화 이트륨 등으로 형성하여도 좋다.

[0092] 또한, 층간 절연막(205)은 복수의 막을 적층하여 형성되어 있어도 좋다. 층간 절연막(205)은 예를 들어, 질화 실리콘막 위에 산화 실리콘막이 형성된 적층 구조이어도 좋다.

[0093] 그런데, 화학 양론비보다 많은 산소를 포함하는 절연성 산화물에서는 산소의 일부가 가열 처리에 의하여 탈리되기 쉽다. 산소의 일부가 가열 처리에 의하여 탈리되기 쉬운 경우의 TDS 분석에 의한 산소의 탈리량(산소 원자에 환산한 값)은 1.0×10^{18}atoms/cm^3 이상, 바람직하게는 1.0×10^{20}atoms/cm^3 이상, 더 바람직하게는 3.0×10^{20}atoms/cm^3 이상이면 좋다.

[0094] 여기서, 상기 TDS 분석의 방법에 대하여 설명한다. TDS 분석에 있어서의 기체의 탈리량은 이온 강도의 시간 적분값에 비례한다. 그러므로, 산화물에 있어서의 이온 강도의 시간 적분값과 표준 시료의 기준값으로 기체의 탈리량을 계산할 수 있다. 표준 시료의 기준값이란, 어느 특정 원자를 포함하는 시료(표준 시료)에서의 스펙트럼의 적분값에 대한 원자 밀도의 비율이다.

[0095] 예를 들어, 소정의 밀도로 수소를 포함하는 실리콘 웨이퍼(표준 시료)의 이온 강도의 시간 적분값과 산화물의 이온 강도의 시간 적분값으로부터, 산화물의 산소 분자(O_2)의 탈리량(N_{O2})은 $N_{O2}=N_{H2}/S_{H2}\times S_{O2}\times\alpha$의 식으로 구할 수 있다.

[0096] N_{H2}는 표준 시료로부터 탈리된 수소 분자(H_2)를 밀도로 환산한 값이다. S_{H2}는 표준 시료의 수소 분자(H_2)의 이온 강도의 시간 적분값이다. 즉, N_{H2}/S_{H2}를 표준 시료의 기준값으로 한다. S_{O2}는 절연성 산화물의 산소 분자(O_2)의 이온 강도의 시간 적분값이다. α는 이온 강도에 영향을 미치는 계수이다. 상기 식의 상세한 내용에 대해서는 일본국 특개평06-275697호 공보를 참조하기 바란다.

[0097] 또한, TDS 분석에 의한 산소의 탈리량(산소 원자로 환산한 값)은 전자 과학 주식 회사(ESCO, Ltd.) 제작의 승온 탈리 분석 장치 EMD-WA1000S/W를 사용하여 표준 시료로서 1×10^{16}atoms/cm^{3}의 수소 원자를 포함하는 실리콘 웨이퍼를 사용하여 측정한 경우의 값을 나타낸 것이다.

[0098] 또한, TDS 분석에 있어서 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상기 계수 α는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량에 대해서도 산출할 수 있다.

[0099] 또한, N_{O2}는 산소 분자(O_2)의 탈리량이다. 그러므로, 산소 원자로 환산한 산소의 탈리량은 산소 분자(O_2)의 탈리량의 2배로 된다.

[0100] 층간 절연막(205)은 스퍼터링법 또는 CVD법 등으로 형성하면 좋지만, 바람직하게는 스퍼터링법을 사용하여 형성한다. 층간 절연막(205)으로서 산화 실리콘막을 형성하는 경우에는, 타깃으로서 석영(바람직하게는 합성 석영) 타깃, 스퍼터링 가스로서 아르곤 가스를 사용하면 좋다. 또한, 타깃으로서 실리콘 타깃, 스퍼터링 가스로서 산소를 포함하는 가스를 사용하여도 좋다. 또한, 산소를 포함하는 가스로서는, 아르곤 가스와 산소 가스의 혼합 가스이어도 좋고, 산소 가스만이어도 좋다.

[0101] 층간 절연막(205)을 형성한 후, 산화물 반도체층(211)이 될 산화물 반도체막을 형성하기 전에 제 1 가열 처리를 행한다. 제 1 가열 처리는 층간 절연막(205) 내에 포함된 물 및 수소를 제거하기 위한 공정이다. 제 1 가열 처리의 온도는 층간 절연막(205) 내에 포함된 물 및 수소가 탈리되는 온도(탈리량의 피크를 갖는 온도) 이상 p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200)이 변질되거나 변형되는 온도 미만으로 하면 좋으며, 바람직하게는 400℃ 이상 750℃ 이하로 하고, 나중에 행하는 제 2 가열 처리보다 낮은 온도로 하면 좋다.

[0102] 그리고, 산화물 반도체막을 형성한 후, 제 2 가열 처리를 행한다. 제 2 가열 처리는 층간 절연막(205)을 산소의 공급원으로 하여 산화물 반도체막에 산소를 공급하는 공정이다. 그러나, 제 2 가열 처리를 행하는 타이밍은

이것에 한정되지 않으므로, 산화물 반도체막을 가공하여 산화물 반도체층(211)을 형성한 후에 행하여도 좋다

[0103] 또한, 제 2 가열 처리는 질소 가스, 또는 헬륨, 네온, 또는 아르곤 가스 등의 희가스 분위기 중에서 행하고, 상기 분위기 중에 수소, 물, 수산기, 또는 수소화물 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소 가스, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0104] 또한, 제 2 가열 처리의 조건, 또는 산화물 반도체막 또는 산화물 반도체층(211)의 재료에 따라서는, 산화물 반도체막 또는 산화물 반도체층(211)이 결정화되어 미결정층 또는 다결정층이 될 경우도 있다. 예를 들어, 결정화율이 90% 이상 또는 80% 이상인 미결정층이 될 경우도 있다. 또한, 제 2 가열 처리의 조건, 또는 산화물 반도체막 또는 산화물 반도체층(211)의 재료에 따라서는, 결정 성분을 함유하지 않은 비정질이 될 경우도 있다. 또한, 비정질층 내에 미결정(결정 입경 1nm 이상 20nm 이하)이 혼재될 경우도 있다.

[0105] 또한, 제 2 가열 처리를 행함에 있어서 층간 절연막(205)은 산소 공급원이 된다.

[0106] 또한, 산화물 반도체막의 피형성면인 층간 절연막(205)의 평균 면 거칠기(Ra)는 0.1nm 이상 0.5nm 미만인 것이 바람직하다. 이것은, 산화물 반도체막이 결정성을 갖는 경우에 결정 방위를 일치시킬 수 있기 때문이다.

[0107] 또한, 여기서 평균 면 거칠기(Ra)란, JISB0601: 2001(ISO4287: 1997)로 정의된 중심선 평균 거칠기(Ra)를 측정면에 대하여 적용할 수 있도록 3차원으로 확장한 것을 말한다. 평균 면 거칠기(Ra)는 기준 면에서 지정 면까지의 편차의 절대값을 평균한 값으로 표현된다.

[0108] 여기서, 중심선 평균 거칠기(Ra)는, 거칠기 곡선으로부터 그 중심선 방향으로 측정 길이(L) 부분을 뽑아내 이 뽑힌 부분의 중심선 방향을 X축으로 하고, 세로 배율 방향(X축에 수직인 방향)을 Y축으로 하여, 거칠기 곡선을 Y=F(X)로 나타낼 때, 이하의 수학식 1로 구해진다.

[0109] [수학식 1]

$$R_a = \frac{1}{L}\int_0^L |F(X)|dX \qquad (1)$$

[0110]

[0111] 또한, 평균 면 거칠기(Ra)는, 측정 데이터가 가리키는 면인 측정 면을 Z=F(X, Y)로 나타낼 때, 기준 면에서 지정 면까지의 편차의 절대값을 평균한 값으로 표현되며, 이하의 수학식 2로 구해진다.

[0112] [수학식 2]

$$R_a = \frac{1}{S_0}\int_{Y_1}^{Y_2}\int_{X_1}^{X_2} |F(X,Y) - Z_0|dXdY \qquad (2)$$

[0113]

[0114] 여기서, 지정 면이란, 거칠기 계측의 대상이 되는 면이고, 좌표(X_1, Y_1)(X_1, Y_2)(X_2, Y_1)(X_2, Y_2)로 나타내어지는 4점으로 둘러싸인 직사각형의 영역이며, 지정 면이 이상적으로 평탄함을 가정한 경우의 면적은 S_0로 한다.

[0115] 또한, 기준 면이란, 지정 면의 평균 높이에서의, XY 평면에 평행한 면을 말한다. 즉, 지정 면의 높이의 평균값을 Z_0이라고 할 때, 기준 면의 높이도 Z_0으로 나타내어진다.

[0116] 상술한 바와 같이 층간 절연막(205)의 평균 면 거칠기를 0.1nm 이상 0.5nm 미만으로 하기 위해서는, 화학적 기계적 연마(Chemical Mechanical Polishing: CMP) 처리를 행하면 좋다. CMP 처리는 산화물 반도체막을 형성하기 전에 행하면 좋지만, 제 1 가열 처리 전에 행하는 것이 바람직하다.

[0117] 여기서, CMP 처리는 1회 이상 행하면 좋다. 복수 횟수로 나누어 CMP 처리를 행하는 경우에는, 높은 연마 레이트로 일차 연마를 행한 후에 낮은 연마 레이트로 마무리 연마를 행하는 것이 바람직하다.

[0118] 또한, 층간 절연막(205)을 평탄화하기 위해서는 CMP 처리 대신에 드라이 에칭 등을 행하여도 좋다. 여기서, 에칭 가스로서는 염소, 염화 붕소, 염화 실리콘, 또는 사염화 탄소 등의 염소계 가스, 사불화 탄소, 불화황, 또는

불화 질소 등의 불소계 가스 등을 사용하면 좋다.

[0119] 또한, 층간 절연막(205)을 평탄화하기 위해서는 CMP 처리 대신에 플라즈마 처리 등을 행하여도 좋다. 여기서, 플라즈마 처리에는 희가스를 사용하면 좋다. 이 플라즈마 처리에 의하여 피처리면에 불활성 가스의 이온이 조사되어, 스퍼터링 효과에 의하여 피처리면의 미세한 요철이 평탄화된다. 이와 같은 플라즈마 처리는 역 스퍼터링이라고도 불린다.

[0120] 또한, 층간 절연막(205)을 평탄화하기 위해서는 상기 처리 중 어느 것을 사용하여도 좋다. 예를 들어, 역 스퍼터링만을 행하여도 좋고, CMP 처리를 행한 후에 드라이 에칭을 행하여도 좋다. 다만, 산화물 반도체막의 피형성면인 층간 절연막(205)에 물 등을 혼입시키지 않기 위해서는 드라이 에칭 또는 역 스퍼터링을 사용하는 것이 바람직하다. 특히, 제 1 가열 처리를 행한 후에 평탄화 처리를 행하는 경우에는 드라이 에칭 또는 역 스퍼터링을 사용하는 것이 바람직하다.

[0121] 산화물 반도체층(211)은 예를 들어, 산화물 반도체막을 형성하고, 상기 산화물 반도체막 위에 에칭 마스크를 형성하고 에칭을 행함으로써 선택적으로 형성하면 좋다. 또는, 잉크젯법 등을 사용하여도 좋다.

[0122] 산화물 반도체막으로서는 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히, In과 Zn 양쪽 모두를 함유하는 것이 바람직하다. 또한, 갈륨(Ga)을 갖는 것이 바람직하다. 갈륨(Ga)을 가지면, 트랜지스터 특성의 편차를 저감할 수 있다. 이와 같이, 트랜지스터 특성의 편차를 저감할 수 있는 원소를 스테빌라이저라고 부른다. 스테빌라이저로서는 주석(Sn), 하프늄(Hf), 또는 알루미늄(Al)을 들 수 있다.

[0123] 또한, 이 이외의 스테빌라이저로서는 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu)을 들 수 있다. 이들 중 한 종류 또는 복수 종류를 가져도 좋다.

[0124] 또한, 산화물 반도체로서는 산화 인듐, 산화 주석, 산화 아연, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속 산화물인 Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 예시할 수 있다.

[0125] 또한, 여기서는 예를 들어, In-Ga-Zn계 산화물이란, In, Ga, 및 Zn을 주성분으로서 갖는 산화물을 의미하고, In, Ga, 및 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다.

[0126] 예를 들어, 원자비 In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 In-Ga-Zn계 산화물이나 그 조성 근방의 산화물을 사용할 수 있다. 또는, 원자비 In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 In-Sn-Zn계 산화물이나 이 조성 근방의 산화물을 사용하면 좋다.

[0127] 그러나, 본 발명의 일 형태에 있어서 사용할 수 있는 산화물 반도체막은 이들에 한정되는 것은 아니므로, 필요로 하는 반도체 특성(이동도, 임계값, 편차)에 따라 적절한 조성의 것을 사용하면 좋다. 필요로 하는 트랜지스터 특성(반도체 특성)에 따라, 캐리어 농도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리 및 밀도 등을 적절히 조정하면 좋다.

[0128] 예를 들어, In-Sn-Zn계 산화물에서는 비교적으로 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물에서도 벌크 내 결함 밀도를 저감함으로써 이동도를 향상시킬 수 있다.

[0129] 산화물 반도체는 단결정이어도 좋고, 비단결정이어도 좋다. 비단결정인 경우에는 비정질이어도 좋고, 다결정이어도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조이어도 좋다. 또는, 비(非)비정질이어도 좋다.

[0130] 또한, 상기 금속 산화물에는, 이들 화학 양론비에 대하여 산소를 과잉으로 포함시키는 것이 바람직하다. 산소를 과잉으로 포함시키면, 형성되는 산화물 반도체막의 산소 결손으로 인한 캐리어의 생성을 억제할 수 있다.

[0131] 또한, 일례로서 산화물 반도체막을 In-Zn계 금속 산화물로 형성하는 경우에는, 타깃의 조성을, 원자수비로,

In/Zn=1 내지 100, 바람직하게는 In/Zn=1 내지 20, 더 바람직하게는 In/Zn=1 내지 10으로 한다. Zn의 원자수비를 바람직한 상기 범위로 함으로써, 전계 효과 이동도를 향상시킬 수 있다. 여기서, 산소를 과잉으로 포함시키기 위하여 금속 산화물의 원자수비 In:Zn:O=X:Y:Z를, Z>1.5X+Y로 하는 것이 바람직하다.

[0132] 또한, 여기서 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이면 좋다. 타깃의 충전율을 높게 함으로써, 형성되는 산화물 반도체막을 치밀한 것으로 할 수 있다.

[0133] 또한, 산화물 반도체막에 적용할 수 있는 금속 산화물은, 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이면 좋다. 이와 같이, 밴드 갭이 넓은 금속 산화물을 사용하면 트랜지스터의 오프 전류를 저감할 수 있다.

[0134] 또한, 산화물 반도체막에는 수소가 포함된다. 이 수소는 수소 원자 이외에, 수소 분자, 물, 수산기, 또는 그 외의 수소화물로서 포함되는 경우도 있다. 산화물 반도체막에 포함되는 수소는 가능한 한 적은 것이 바람직하다.

[0135] 또한, 산화물 반도체막의 알칼리 금속 및 알칼리 토금속은 적게 하는 것이 바람직하고, 이들의 농도는 바람직하게는 1×10^{18} atoms/cm^3 이하, 더 바람직하게는 2×10^{16} atoms/cm^3 이하로 한다. 이것은, 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성할 경우가 있으며, 트랜지스터의 오프 전류를 높게 하는 원인이 되기 때문이다.

[0136] 또한, 산화물 반도체막의 형성 방법 및 두께는, 특별히 한정되지 않으므로, 제작하는 트랜지스터의 사이즈 등에 따라 결정하면 좋다. 산화물 반도체막의 형성 방법으로서는 예를 들어, 스퍼터링법, 분자선 에피택시법, 도포법, 인쇄법, 또는 펄스 레이저 증착법 등을 들 수 있다. 산화물 반도체막의 두께는, 3nm 이상 50nm 이하로 하면 좋다. 이것은, 50nm 이상으로 두껍게 하면 노멀리 온이 될 우려가 있기 때문이다. 또한, 트랜지스터의 채널 길이를 30㎛로 한 경우에는, 산화물 반도체막의 두께를 5nm 이하로 하면 단채널 효과를 억제할 수 있다.

[0137] 여기서는, 바람직한 일례로서 In-Ga-Zn계 금속 산화물 타깃을 사용하여 스퍼터링법으로 산화물 반도체막을 형성한다. 여기서, 스퍼터링 가스로서는 희가스(예를 들어, 아르곤 가스), 산소 가스, 또는 희가스와 산소 가스의 혼합 가스를 사용하면 좋다.

[0138] 또한, 산화물 반도체막을 형성할 때 사용하는 스퍼터링 가스로서는, 수소, 물, 수산기, 또는 수소화물 등이 제거된 고순도 가스를 사용하는 것이 바람직하다. 스퍼터링 가스를 고순도 가스로 하기 위해서는, 처리실 내벽 등에 부착된 가스를 제거하고, 산화물 반도체막을 형성하기 전에 p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200)을 가열 처리하면 좋다. 또한, 처리실에 도입하는 스퍼터링 가스를 고순도 가스로 하여도 좋고, 이 때, 아르곤 가스에서 순도는 9N(99.9999999%) 이상, 노점은 -121℃ 이하, 물은 0.1ppb 이하, 수소는 0.5ppb 이하로 하면 좋다. 산소 가스에 있어서는 순도는 8N(99.999999%) 이상, 노점은 -112℃ 이하, 물은 1ppb 이하, 수소는 1ppb 이하로 하면 좋다. 또한, p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200)을 가열하면서 고온으로 유지한 상태로 산화물 반도체막을 형성하면, 산화물 반도체막에 포함된 물 등의 불순물의 농도를 저감할 수 있다. 또한, 스퍼터링법을 적용함으로 인하여 산화물 반도체막에 혼입되는 손상을 적게 할 수 있다. 여기서, p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200)의 온도는 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하로 하면 좋다.

[0139] 또한, 산화물 반도체막에 산소를 과잉으로 포함시키기 위하여 이온 주입에 의하여 산소를 공급하여도 좋다.

[0140] 또한, 산화물 반도체막은 비정질 구조이어도 좋고, 결정 구조를 갖고 있어도 좋다. 결정 구조를 갖는 경우의 바람직한 일 형태로서, c축으로 배향된 결정성(C Axis Aligned Crystalline: CAAC) 산화물 반도체막을 들 수 있다. 산화물 반도체막을 CAAC 산화물 반도체막으로 함으로써 트랜지스터의 신뢰성을 높일 수 있다.

[0141] 또한, CAAC 산화물 반도체막이란, 결정이 c축으로 배향되며, ab면, 표면, 또는 계면의 방향에서 보면 삼각형 또는 육각형의 원자 배열을 갖고, c축에서는 금속 원자가 층 형상으로 배열되거나 또는 금속 원자와 산소 원자가 층 형상으로 배열되고, ab면(또는 표면, 또는 계면)에서는 a축 또는 b축의 방향이 상이한(c축을 중심으로 하여 회전된) 결정을 포함한 산화물 반도체막을 말한다.

[0142] 또한, 광의적으로는 CAAC 산화물 반도체막이란, 비단결정이며, 그 ab면에 수직인 방향에서 볼 때, 삼각형 또는 육각형, 또는 정삼각형 또는 정육각형의 원자 배열을 갖고, 또한 c축에 수직인 방향에서 볼 때, 금속 원자가 층 형상으로 배열된 상, 또는 금속 원자와 산소 원자가 층 형상으로 배열된 상을 포함한 산화물 반도체막을 말한다.

[0143] 또한, CAAC 산화물 반도체막은 단결정은 아니지만, 비정질만으로 형성되어 있는 것도 아니다. 또한, CAAC 산화물 반도체막은 결정화된 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분의 경계를 명확히 판별할 수 없어도 좋다.

[0144] 또한, CAAC 산화물 반도체막을 구성하는 산소의 일부가 질소로 치환되어 있어도 좋다. 또한, CAAC 산화물 반도체막을 구성하는 각각의 결정 부분의 c축은 일정 방향(예를 들어, CAAC 산화물 반도체막을 지지하는 기판 면 또는 CAAC 산화물 반도체막의 표면, 또는 계면 등에 수직인 방향)으로 일치되어 있어도 좋다. 또는, CAAC 산화물 반도체막을 구성하는 각각의 결정 부분의 ab면의 법선은 일정 방향(예를 들어, 기판 면, 표면, 또는 계면 등에 수직인 방향)이어도 좋다.

[0145] 또한, CAAC 산화물 반도체막은 그 조성 등에 따라, 도체이어도 좋고, 반도체이어도 좋고, 절연체이어도 좋다. 또한, CAAC 산화물 반도체막은 그 조성 등에 따라, 가시광에 대하여 투명하여도 좋고, 불투명하여도 좋다.

[0146] 이와 같은 CAAC 산화물 반도체막의 예로서, 막 형상으로 형성되고, 막 표면, 기판 면, 또는 계면에 수직인 방향에서 관찰하면 삼각형 또는 육각형의 원자 배열이 확인되고, 또한 그 막의 단면에 금속 원자 또는 금속 원자와 산소 원자(또는 질소 원자)의 층 형상 배열이 관찰되는 재료 등을 들 수 있다.

[0147] 이와 같은 CAAC 산화물 반도체막에 대하여 도 7(A) 내지 도 9(C)를 사용하여 상세하게 설명한다. 또한, 원칙적으로 도 7(A) 내지 도 9(C)에서는 상방향이 c축 방향인 것으로 하고, c축 방향에 수직인 면을 ab면으로 한다. 또한, 단지 상반부(上半分) 또는 하반부(下半分)이라고 하는 경우는 ab면을 경계로 하는 것이다. 또한, 도 7(A) 내지 도 7(E)에 있어서 동그라미로 둘러싸인 O는 4배위 O를 가리키고, 이중 동그라미로 둘러싸인 O는 3배위 O를 가리킨다.

[0148] 도 7(A)는 6배위의 인듐(이하 In이라고 함)을 1개와, In에 근접한 4배위의 산소(이하, 4배위의 O라고 함)를 6개 갖는 구조를 도시한 것이다. 여기서는 In 1개에 근접한 산소만을 도시한 구조를 서브 유닛이라고 부른다. 도 7(A)의 구조는 8면체 구조를 취하지만, 간략화를 위하여 평면 구조로 나타내었다. 또한, 도 7(A)의 상반부 및 하반부에는 각각 4배위의 O가 3개씩 있다. 도 7(A)에 도시된 서브 유닛은 전하가 0이다.

[0149] 도 7(B)는 5배위의 갈륨(이하 Ga라고 함)을 1개와, Ga에 근접한 3배위의 산소(이하, 3배위의 O라고 함)를 3개와, 근접한 4배위의 O를 2개 갖는 구조를 도시한 것이다. 3배위의 O는 모두 ab면에 존재한다. 또한, 도 7(B)의 상반부 및 하반부에는 각각 4배위의 O가 1개씩 있다. 또한, In도 5배위를 가지므로, 도 7(B)에 도시된 구조를 취할 수 있다. 도 7(B)에 도시된 서브 유닛은 전하가 0이다.

[0150] 도 7(C)는 4배위의 아연(이하 Zn이라고 함)을 1개와, Zn에 근접한 4배위의 O를 4개 갖는 구조를 도시한 것이다. 도 7(C)의 상반부에는 4배위의 O가 1개 있고, 하반부에는 4배위의 O가 3개 있다. 도 7(C)에 도시된 서브 유닛은 전하가 0이다.

[0151] 도 7(D)는 6배위의 주석(이하 Sn이라고 함)을 1개와, Sn에 근접한 4배위의 O를 6개 갖는 구조를 도시한 것이다. 도 7(D)의 상반부에는 4배위의 O가 3개 있고, 하반부에는 4배위의 O가 3개 있다. 도 7(D)에 도시된 서브 유닛은 전하가 +1이다.

[0152] 도 7(E)는 2개의 Zn을 포함한 서브 유닛을 도시한 것이다. 도 7(E)의 상반부에는 4배위의 O가 1개 있고, 하반부에는 4배위의 O가 1개 있다. 도 7(E)에 도시된 서브 유닛은 전하가 -1이다.

[0153] 여기서는, 서브 유닛 몇 개의 집합체를 1그룹이라고 부르며, 복수의 그룹으로 이루어진 1주기분을 1유닛이라고 부른다.

[0154] 여기서, 이들 서브 유닛끼리 결합하는 규칙에 대하여 설명한다. In의 상반부에 있는 3개의 O는 하방향으로 근접한 In 3개를 가지며, 하반부에 있는 3개의 O는 상방향으로 3개의 근접한 In를 갖는다. Ga의 상반부에 있는 1개의 O는 하방향으로 근접한 Ga 1개를 가지며, 하반부에 있는 1개의 O는 상방향으로 1개의 근접한 Ga를 갖는다. Zn의 상반부에 있는 1개의 O는 하방향으로 근접한 Zn 1개를 가지며, 하반부에 있는 3개의 O는 상방향으로 3개의 근접한 Zn를 갖는다. 이와 같이, 금속 원자의 상방향에 있는 4배위의 O의 개수와, 그 O의 하방향에 있는 근접한 금속 원자의 개수는 같고, 마찬가지로, 금속 원자의 하방향에 있는 4배위의 O의 개수와, 그 O의 상방향에 있는 근접 금속 원자의 개수는 같다. O는 4배위이므로 하방향에 있는 근접 금속 원자의 개수와, 상방향에 있는 근접 금속 원자의 개수의 합은 4로 된다. 따라서, 금속 원자의 상방향에 있는 4배위의 O의 개수와, 다른 금속 원자의 하방향에 있는 4배위의 O의 개수의 합이 4일 때, 금속 원자를 갖는 2종류의 서브 유닛끼리는 결합할 수 있다. 그 이유는 이하와 같다. 예를 들어, 6배위의 금속 원자(In 또는 Sn)가, 상반부에 있는 4배위의 O를 통

하여 결합하는 경우에는, 4배위의 O가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In)의 상반부에 있는 4배위의 O, 5배위의 금속 원자(Ga 또는 In)의 하반부에 있는 4배위의 O, 또는 4배위의 금속 원자(Zn)의 상반부에 있는 4배위의 O 중 어느 것과 결합하게 된다.

[0155] 이들의 배위수를 갖는 금속 원자는 c축 방향에서 4배위의 O를 통하여 결합한다. 또한, 이 이외에도, 층 구조의 합계의 전하가 0이 되도록 서브 유닛끼리 결합하여 1그룹을 구성한다.

[0156] 도 8(A)는 In-Sn-Zn계 층 구조를 구성하는 1그룹의 모델도를 도시한 것이다. 도 8(B)는 3개의 그룹으로 구성된 유닛을 도시한 것이다. 또한, 도 8(C)는 도 8(B)의 층 구조를 c축 방향에서 관찰한 경우의 배열을 도시한 것이다.

[0157] 도 8(A)에서는 간략화를 위하여 3배위의 O를 생략하였고, 4배위의 O는 개수만을 나타내었으며, 예를 들어 Sn의 상반부 및 하반부에는 각각 3개씩 4배위의 O가 있음을 동그라미 3으로 나타내었다. 마찬가지로, 도 8(A)에서 In의 상반부 및 하반부에는 각각 1개씩 4배위의 O가 있으며, 동그라미 1로 나타내었다. 또한, 마찬가지로, 도 8(A)에서, 하반부에 1개의 4배위의 O가 있고, 상반부에 3개의 4배위의 O가 있는 Zn과, 상반부에 1개의 4배위의 O가 있고, 하반부에 3개의 4배위의 O가 있는 Zn을 나타내었다.

[0158] 도 8(A)에 있어서, In-Sn-Zn계 층 구조를 구성하는 그룹은, 위에서 차례로 4배위의 O가 3개씩 상반부 및 하반부에 있는 Sn이, 4배위의 O가 1개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 3개의 4배위의 O가 있는 Zn과 결합하고, 그 Zn이 Zn의 하반부에 있는 1개의 4배위의 O를 통하여 4배위의 O가 3개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 1개의 4배위의 O가 있는 Zn 2개로 이루어진 서브 유닛과 결합하고, 이 서브 유닛의 하반부에 있는 1개의 4배위의 O를 통하여 4배위의 O가 3개씩 상반부 및 하반부에 있는 Sn과 결합하고 있는 구성이다. 이 그룹이 복수로 결합하여 1주기분인 유닛을 구성한다.

[0159] 여기서, 3배위의 O 및 4배위의 O의 경우, 결합 1개당 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들어, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn을 포함한 서브 유닛은 전하가 +1로 된다. 그러므로, Sn을 포함하는 층 구조를 형성하기 위해서는 전하 +1을 상쇄하는 전하 -1이 필요하게 된다. 전하 -1을 취하는 구조로서, 도 7(E)에 도시된 바와 같이, 2개의 Zn을 포함한 서브 유닛을 들 수 있다. 예를 들어, Sn을 포함한 서브 유닛 1개에 대하여 2개의 Zn을 포함한 서브 유닛이 1개 있으면, 전하가 상쇄되므로, 층 구조의 합계 전하를 0으로 할 수 있다.

[0160] 또한, In은 5배위 및 6배위 중 어느 쪽이나 취할 수 있다. 구체적으로는, 도 8(B)에 도시된 유닛으로 함으로써 In-Sn-Zn계 결정($In_2SnZn_3O_8$)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn계 결정의 층 구조는, $In_2SnZn_2O_7(ZnO)_m$(m은 0 또는 자연수임)라는 조성식으로 나타낼 수 있다. 또한, In-Sn-Zn계 결정은, m의 수가 큰 것이 바람직하다. 이것은, 결정성이 향상되기 때문이다.

[0161] 또한, 이 이외의 금속 산화물을 사용한 경우도 마찬가지이다. 예를 들어, 도 9(A)는 In-Ga-Zn계 결정의 층 구조를 구성하는 1그룹의 모델도를 도시한 것이다.

[0162] 도 9(A)에 있어서, In-Ga-Zn계 층 구조를 구성하는 그룹은, 위에서 차례로 4배위의 O가 3개씩 상반부 및 하반부에 있는 In이, Zn의 상반부에 있는 1개의 4배위의 O와 결합하고, 그 Zn이 Zn의 하반부에 있는 3개의 4배위의 O를 통하여, 4배위의 O가 1개씩 상반부 및 하반부에 있는 Ga와 결합하고, 그 Ga가 Ga의 하반부에 있는 1개의 4배위의 O를 통하여, 4배위의 O가 3개씩 상반부 및 하반부에 있는 In과 결합하고 있는 구성이다. 이 그룹이 복수 결합하여 1주기분인 유닛을 구성한다.

[0163] 도 9(B)는 3개의 그룹으로 구성된 유닛을 도시한 것이다. 또한, 도 9(C)는 도 9(B)의 층 구조를 c축 방향에서 관찰한 경우의 배열을 도시한 것이다.

[0164] 여기서, In(6배위 또는 5배위), Zn(4배위), 및 Ga(5배위)의 전하는, 각각 +3, +2, +3이므로, In, Zn 및 Ga 중 어느 것을 포함한 서브 유닛에서는, 전하가 0으로 된다. 따라서, 이 서브 유닛을 조합한 것이면 그룹의 총 전하는 항상 0으로 된다.

[0165] 또한, In-Ga-Zn계 결정의 층 구조를 구성하는 그룹은 도 9(A)에 도시된 그룹에 한정되지 않는다.

[0166] 여기서, CAAC 산화물 반도체막의 형성 방법에 대하여 설명한다.

[0167] 우선, 산화물 반도체막을 스퍼터링법 등으로 형성한다. 또한, p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200)을 고온으로 유지하면서 산화물 반도체막을 형성함으로써, 비정질 부분보다 결정 부분이

차지하는 비율을 크게 할 수 있다. 이 때, p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200)의 온도는 예를 들어, 150℃ 이상 450℃ 이하로 하면 좋고, 바람직하게는 200℃ 이상 350℃ 이하로 한다.

[0168] 여기서, 형성된 산화물 반도체막에 가열 처리를 행하여도 좋다. 이 가열 처리에 의하여 비정질 부분보다 결정 부분이 차지하는 비율을 크게 할 수 있다. 이 가열 처리를 행할 때 p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200)의 온도는 예를 들어, 200℃ 이상 p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판(200) 자체가 변질되거나 또는 변형되지 않을 정도의 온도 미만으로 하면 좋고, 바람직하게는 250℃ 이상 450℃ 이하로 하면 좋다. 이 가열 처리의 시간은 3분 이상으로 하면 좋고, 24시간 이하로 하는 것이 바람직하다. 이것은, 이 가열 처리의 시간을 길게 하면, 비정질 부분보다 결정 부분이 차지하는 비율을 크게 할 수 있는 반면, 생산성의 저하가 초래되기 때문이다. 또한, 이 가열 처리는 산화성 분위기 또는 불활성 분위기에서 행하면 좋지만, 이들에 한정되는 것은 아니다. 또한, 이 가열 처리는 감압하에서 행해져도 좋다.

[0169] 산화성 분위기는 산화성 가스를 포함하는 분위기이다. 산화성 가스로서는 예를 들어, 산소, 오존, 또는 아산화 질소 등을 들 수 있다. 산화성 분위기로부터는 산화물 반도체막에 포함되지 않는 것이 바람직한 성분(예를 들어, 물 및 수소)이 가능한 한 제거되는 것이 바람직하다. 예를 들어, 산소, 오존, 아산화 질소의 순도를 8N(99.999999%) 이상, 바람직하게는 9N(99.9999999%) 이상으로 하면 좋다.

[0170] 또한, 산화성 분위기에는, 희가스 등의 불활성 가스가 포함되어 있어도 좋다. 다만, 산화성 분위기에는, 10ppm 이상의 산화성 가스가 포함되어 있는 것으로 한다. 불활성 분위기에는, 불활성 가스(질소 가스 또는 희가스 등)가 포함되어 있고, 산화성 가스 등의 반응성 가스가 10ppm 미만으로 포함되어 있는 것으로 한다.

[0171] 또한, 모든 가열 처리는 RTA(Rapid Thermal Anneal) 장치를 사용하여 행하면 좋다. RTA 장치를 사용함으로써, 짧은 시간이면 높은 온도로 가열 처리를 행할 수 있다. 그러므로, 비정질 부분보다 결정 부분이 차지하는 비율이 큰 산화물 반도체막을 형성할 수 있고, 생산성 저하를 억제할 수 있다.

[0172] 다만, 모든 가열 처리에 사용되는 장치는 RTA 장치에 한정되지 않으므로, 예를 들어, 저항 발열체 등으로부터의 열 전도 또는 열 복사(輻射)에 의하여 피처리물을 가열하는 기구(機構)가 구비된 장치를 사용하면 좋다. 모든 가열 처리에 사용되는 가열 처리 장치로서, 예를 들어, 전기로나 GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치 등을 들 수 있다. 또한, LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프로부터 발해지는 광(전자기파)의 복사에 의하여, 피처리물을 가열하는 장치이다. 또한, GRTA 장치는 고온 가스를 열 매체로서 사용하여 피처리물을 가열하는 장치이다. 여기서, 고온 가스는 피처리물의 가열 온도보다 높은 것이 바람직하다.

[0173] 또한, 질소 농도가 1×10^{17}atoms/cm^3 이상 5×10^{19}atoms/cm^3 이하인 In-Ga-Zn계 금속 산화물을 사용하면, c축으로 배향한 육방정 결정 구조를 포함하는 금속 산화물막이 형성되고, 하나 또는 복수의 Ga 및 Zn을 갖는 층이 2층의 In-O의 결정면(인듐과 산소를 포함한 결정면) 사이에 배치된다.

[0174] 또한, In-Sn-Zn계 금속 산화물의 형성에는 예를 들어, In:Sn:Zn이 원자수비로 1:2:2, 2:1:3, 1:1:1, 또는 20:45:35인 타깃을 사용하면 좋다.

[0175] 상술한 바와 같이, CAAC 산화물 반도체막을 형성할 수 있다.

[0176] CAAC 산화물 반도체막은 비정질 구조의 산화물 반도체막과 비교하여, 금속과 산소의 결합의 질서성이 높다. 즉, 산화물 반도체막이 비정질 구조인 경우에는, 인접한 금속에 따라 금속 원자에 배위된 산소 원자의 개수가 상이하지만, CAAC 산화물 반도체막에서는, 금속 원자에 배위된 산소 원자의 개수는 거의 일정하게 된다. 그러므로, 미시적인 차원에서도 산소 결손이 거의 보이지 않으며, 수소 원자(수소 이온을 포함함)나 알칼리 금속 원자 등에 의한 전하의 이동이나 전기 전도성의 불안정성을 억제할 수 있다.

[0177] 따라서, CAAC 산화물 반도체막을 채널 형성 영역에 사용하여 트랜지스터를 제작하면, 트랜지스터에 광 조사 또는 바이어스-열 스트레스(BT)를 부가한 후에 생기는 트랜지스터의 임계값 전압의 변화를 억제할 수 있고, 안정된 전기적 특성을 갖는 트랜지스터를 제작할 수 있다.

[0178] 다음에, 산화물 반도체막 위에 에칭 마스크를 형성하여 에칭을 행함으로써, 산화물 반도체층(211)을 형성한다(도 6(A) 참조).

[0179] 그리고, 산화물 반도체층(211)에 접하며 이격되어 제공된 소스 전극(212a) 및 드레인 전극(212b)을 형성한다(도

6(B) 참조).

[0180] 소스 전극(212a) 및 드레인 전극(212b)은 예를 들어, 스퍼터링법을 사용하여 도전막(예를 들아, 금속막 또는 일 도전형의 불순물 원소가 첨가된 실리콘막 등)을 형성하고, 상기 도전막 위에 에칭 마스크를 형성하여 에칭을 행함으로써 선택적으로 형성하면 좋다. 또는, 잉크젯법 등을 사용하여도 좋다. 또한, 소스 전극(212a) 및 드레인 전극(212b)이 되는 도전막은 단층으로 형성하여도 좋고, 복수의 층을 적층하여 형성하여도 좋다. 예를 들어, Ti층으로 Al층을 협지(挾持)한 3층 적층 구조로 하면 좋다. 또한, 소스 전극(212a) 및 드레인 전극(212b)으로 되는 층은 신호선으로서도 기능한다.

[0181] 다음에, 산화물 반도체층(211)의 적어도 채널 형성 영역 위에 게이트 절연막(213)을 형성하고, 게이트 절연막(213)을 형성한 후에 개구부를 형성한다(도 6(C) 참조). 상기 개구부는 게이트 전극(204)과 중첩된 부분에 형성한다.

[0182] 게이트 절연막(213)으로서는 예를 들어, 스퍼터링법을 사용하여 절연성 재료(예를 들어, 질화 실리콘, 질화 산화 실리콘, 산화 질화 실리콘, 또는 산화 실리콘 등)막을 형성하면 좋다. 또한, 게이트 절연막(213)은 단층으로 형성하여도 좋고, 복수의 층을 적층하여 형성하여도 좋다. 여기서는 예를 들어, 질화 실리콘층 위에 산화 질화 실리콘층이 적층된 2층 적층 구조로 한다. 또한, 게이트 절연막(213)을 스퍼터링법으로 형성하면, 산화물 반도체층(211)에 수소 및 수분이 혼입되는 것을 방지할 수 있다. 또한, 게이트 절연막(213)을 절연성 산화물막으로 하면, 산소를 공급하여 산소 결손을 메울 수 있어 바람직하다.

[0183] 또한, "질화 산화 실리콘"이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것을 가리킨다. 또한, "산화 질화 실리콘"이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것을 가리킨다.

[0184] 여기서, 산화물 반도체막의 가공은 드라이 에칭으로 행하면 좋다. 드라이 에칭에 사용하는 에칭 가스로서는 예를 들어, 염소 가스 또는 3염화 붕소 가스와 염소 가스의 혼합 가스를 사용하면 좋다. 다만, 이것에 한정되지 않으므로, 웨트 에칭을 사용하여도 좋고, 산화물 반도체막을 가공할 수 있는 다른 수단을 사용하여도 좋다.

[0185] 게이트 절연막(213)은 적어도 산화물 반도체층(211)에 접하는 부분에 산소를 포함하고, 가열됨으로써 산소의 일부가 탈리되는 절연성 산화물로 형성하는 것이 바람직하다. 즉, 층간 절연막(205)의 재료의 예로서 열거한 것을 사용하는 것이 바람직하다. 게이트 절연막(213)의 산화물 반도체층(211)과 접하는 부분을 산화 실리콘으로 형성하면, 산화물 반도체층(211)에 산소를 확산시킬 수 있어 트랜지스터의 저저항화를 방지할 수 있다.

[0186] 또한, 게이트 절연막(213)으로서 하프늄 실리케이트(HfSiOx), 질소가 첨가된 하프늄 실리케이트(HfSixOyNz), 질소가 첨가된 하프늄 알루미네이트(HfAlxOyNz), 산화 하프늄, 산화 이트륨, 또는 산화 란탄 등의 high-k 재료를 사용하면, 게이트 누설 전류를 저감할 수 있다. 게이트 누설 전류란, 게이트 전극과, 소스 전극 또는 드레인 전극과의 사이에 흐르는 누설 전류를 말한다. 또한, 상기 high-k 재료로 형성된 층과, 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 및 산소 갈륨으로 형성된 층이 적층되어 있어도 좋다. 다만, 게이트 절연막(213)을 적층 구조로 하는 경우에도, 산화물 반도체층(211)에 접하는 부분은 절연성 산화물인 것이 바람직하다.

[0187] 게이트 절연막(213)은 스퍼터링법으로 형성하면 좋다. 또한, 게이트 절연막(213)의 두께는 1nm 이상 300nm 이하, 더 바람직하게는 5nm 이상 50nm 이하로 하면 좋다. 게이트 절연막(213)의 두께를 5nm 이상으로 하면 게이트 누설 전류를 특히 작게 할 수 있다.

[0188] 여기서, 추가로 불활성 가스 분위기하 또는 산소 가스 분위기하에서 제 3 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 행하여도 좋다. 제 3 가열 처리에 의해, 산화물 반도체층(211) 내에 남은 수소 또는 수분을 게이트 절연막으로 확산시킬 수 있다. 또한, 제 3 가열 처리를 행함으로써, 게이트 절연막(213)을 공급원으로서 산화물 반도체층(211)에 산소를 공급할 수 있다.

[0189] 또한, 여기서 제 3 가열 처리는 산화물 반도체층(211) 위에 게이트 절연막(213)을 형성한 후에 행하였지만, 타이밍은 이것에 한정되지 않는다. 전극(214a) 및 게이트 전극(214b), 또는 전극(214a) 및 게이트 전극(214b)이 되는 도전막을 형성한 후에 행하여도 좋다.

[0190] 또한, 여기서 산화물 반도체층(211)의 수소 농도는 5.0×10^{19} atoms/cm^3 이하, 바람직하게는 5.0×10^{18} atoms/cm^3 이하로 하면 좋다. 이와 같이, 수소 농도를 낮게 함으로써, 트랜지스터의 임계값 전압이 음 방향으로 시프트되는 것을 방지할 수 있다.

[0191] 또한, 산화물 반도체층(211)의 캐리어 농도는 $1.0\times10^{14}/cm^3$ 미만까지 작게 하는 것이 바람직하다. 캐리어 농도를 작게 하면, 오프 전류를 낮게 할 수 있다.

[0192] 다음에, 게이트 절연막(213) 위에 도전막을 형성하고, 상기 도전막 위에 에칭 마스크를 형성하여 에칭을 행함으로써, 전극(214a) 및 게이트 전극(214b)을 형성한다(도 6(D) 참조). 또한, 게이트 전극(214b)으로 되는 층은 적어도 주사선으로서 기능한다.

[0193] 전극(214a) 및 게이트 전극(214b)은, 소스 전극(212a) 및 드레인 전극(212b)과 같은 재료 및 방법으로 형성하면 좋다.

[0194] 또한, 도시되어 있지 않지만, 게이트 전극(214b)을 마스크로 하여, 산화물 반도체층(211)에 도펀트를 첨가하여 산화물 반도체층(211)에 소스 영역 및 드레인 영역을 형성하는 것이 바람직하다.

[0195] 여기서, 도펀트의 첨가는 이온 임플랜테이션법 또는 이온 도핑법으로 행하면 좋다. 또는, 도펀트를 포함한 가스 분위기 중에서 플라즈마 처리를 행함으로써 도펀트를 첨가하여도 좋다. 또한, 첨가하는 도펀트로서는 질소, 인, 또는 붕소 등을 사용하면 좋다.

[0196] 상술한 바와 같이, 도 5에 도시된, 반도체 기판에 제공된 트랜지스터 위에 와이드 갭 반도체 트랜지스터를 제작할 수 있다.

[0197] 그런데, 도 2에 도시된 바와 같이, CONa 신호는 워드선 W1a에 평행하게 제공된 배선에 입력된다. CONa 신호가 입력되는 배선은 도 10(A) 및 도 10(B)에 도시된 바와 같이 제공되어 있다.

[0198] 도 10(A)는 기억 소자(102a)(1, 1)와 기억 소자(102a)(1, 2)가 갖는 와이드 갭 반도체 트랜지스터(130)와 트랜지스터(132)의 상면도의 바람직한 형태를 도시한 것이다. 도 10(B)는 도 10(A)의 X1-X2선 단면도의 바람직한 형태를 도시한 것이다.

[0199] 와이드 갭 반도체 트랜지스터(130) 및 트랜지스터(132) 위에는 절연층(215)이 제공되어 있고, 절연층(215) 위에는 배선층(216)이 제공되어 있고, 와이드 갭 반도체 트랜지스터(130)의 소스 및 드레인은 절연층(215)에 제공된 개구부에서 배선층(216)에 전기적으로 접속되어 있다.

[0200] 와이드 갭 반도체 트랜지스터(130)의 게이트와, 트랜지스터(132)의 게이트는 워드선 W1a에 전기적으로 접속되어 있다. 트랜지스터(132)의 소스 및 드레인 중 한쪽은 비트선 B1a 또는 비트선 B2a에 전기적으로 접속되어 있다.

[0201] 도 10(A) 및 도 10(B)에 도시된 바와 같이, 와이드 갭 반도체 트랜지스터(130)의 소스 및 드레인은 배선층(216)에 의하여 서로 접속될 뿐만 아니라, 인접하는 와이드 갭 반도체 트랜지스터의 드레인 및 소스와 접속되고, 워드선 W1a를 따라 연속되어 제공되어 있는 것이 바람직하다. 와이드 갭 반도체 트랜지스터(130)는 기억 소자(102a)마다 제공되어 있지만, 이 트랜지스터 특성에 편차가 생긴 경우에도 적어도 워드선 W1a를 따른 방향에서는 와이드 갭 반도체 트랜지스터(130)의 트랜지스터 특성의 편차가 기억 소자(102a)의 동작에 영향을 미치는 것을 방지할 수 있기 때문이다.

[0202] 또한, 절연층(215)은 절연성 재료로 제공되면 좋고, 배선층(216)은 도전성 재료로 제공되면 좋다. 절연층(215)은 유전율이 낮은 재료(예를 들어, 산화 실리콘)로 제공되는 것이 바람직하다. 더 바람직하게는, 절연층(215)은 산화 실리콘보다 유전율이 낮은 재료로 제공되는 것이 바람직하다. 절연층(215)이 유전율이 낮은 재료로 제공됨으로써, 비트선 B1a 및 워드선 W1a와, 배선층(216)으로 제공된 배선과의 사이의 기생 용량을 저감할 수 있다.

[0203] 또한, PRE 신호를 입력하는 배선과 SAE 신호를 입력하는 배선도 비트선과 절연막을 개재하여 중첩되므로, 이들 배선도 배선층(216)으로 형성함으로써, 이들 배선과 비트선 사이의 기생 용량을 저감하는 것이 바람직하다. 다만, PRE 신호와 SAE 신호는 워드선의 신호와 비교하여 노이즈가 문제로 되지 않으므로, 반드시 이 구성에 한정되는 것은 아니다.

[0204] 또한, 상술한 바와 같이 제작한 와이드 갭 반도체 트랜지스터는, 채널 폭(1μm)당 오프 전류값을 실온 하에서 10aA/μm(1×10^{-17}A/μm) 이하, 또한 1aA/μm(1×10^{-18}A/μm) 이하, 또한 1zA/μm(1×10^{-21}A/μm) 이하, 또한 1yA/μm(1×10^{-24}A/μm) 이하로 하는 것이 가능하다.

[0205] 상술한 바와 같이, 와이드 갭 반도체 트랜지스터에는 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도

체를 사용한 트랜지스터에서는 전계 효과 이동도도 높게 할 수 있다.

[0206] 다만, 실제의 산화물 반도체를 사용한 트랜지스터의 전계 효과 이동도는 본래의 이동도보다 낮게 된다. 이동도 저하의 요인으로서는, 반도체 내부의 결함이나 반도체와 절연막 계면의 결함이 있다. Levinson 모델을 사용하면, 반도체 내부에 결함이 없음을 가정한 경우의 전계 효과 이동도를 이론적으로 도출할 수 있다.

[0207] 반도체 본래의 이동도를 μ_0로 하고, 측정되는 전계 효과 이동도를 μ로 하여 반도체 내에 어떠한 포텐셜 장벽(입계 등)이 존재하는 것으로 가정하면, 이하의 수학식 3으로 표현할 수 있다.

[0208] [수학식 3]

$$\mu = \mu_0 \exp(-\frac{E}{kT}) \qquad (3)$$

[0209]

[0210] 여기서, E는 포텐셜 장벽의 높이, k는 볼츠만 상수, T는 절대 온도를 나타낸 것이다. 또한, 포텐셜 장벽이 결함에서 유래한 것임을 가정하면, Levinson 모델로는 포텐셜 장벽은 이하의 수학식 4로 표현된다.

[0211] [수학식 4]

$$E = \frac{e^2 N^2}{8\varepsilon\, n} = \frac{e^3 N^2 t}{8\varepsilon\, C_{ox} V_g} \qquad (4)$$

[0212]

[0213] 여기서, e는 전기 소량을 나타내고, N은 채널 내의 단위 면적당 평균 결함 밀도를 나타내고, ε는 반도체의 유전율을 나타내고, n은 채널에 포함된 단위 면적당 캐리어수를 나타내고, C_{ox}는 단위 면적당의 용량을 나타내고, V_g는 게이트 전압을 나타내고, t는 채널의 두께를 나타낸 것이다. 또한, 두께 30nm 이하의 반도체층이면, 채널의 두께는 반도체층의 두께와 동일하여도 좋다.

[0214] 또한, 선형 영역에 있어서의 드레인 전류 I_d는 이하의 수학식 5로 표현된다.

[0215] [수학식 5]

$$I_d = \frac{W\mu\, V_g V_d C_{ox}}{L} \exp(-\frac{E}{kT}) \qquad (5)$$

[0216]

[0217] 여기서, L은 채널 길이, W는 채널 폭을 나타내며, L=W=10㎛이다. 또한, V_d는 드레인 전압을 나타낸 것이다. 상기 식의 양변을 V_g로 나누고 양변의 대수를 취하면, 하기 수학식 6이 얻어진다.

[0218] [수학식 6]

$$\ln(\frac{I_d}{V_g}) = \ln(\frac{W\mu\, V_d C_{ox}}{L}) - \frac{E}{kT} = \ln(\frac{W\mu\, V_d C_{ox}}{L}) - \frac{e^3 N^2 t}{8kT\,\varepsilon\, C_{ox} V_g} \qquad (6)$$

[0219]

[0220] 수학식 6의 우변은 V_g의 함수이다. 수학식 6으로부터 알 수 있듯이, 세로축을 $\ln(I_d/V_g)$, 가로축을 $1/V_g$로 하는 직선의 기울기로부터 결함밀도 N을 구할 수 있다. 즉, 트랜지스터의 I_d-V_g 특성으로부터 결함 밀도를 평가할 수 있다. 산화물 반도체로서 인듐(In), 주석(Sn), 아연(Zn)의 비율이 In:Sn:Zn=1:1:1인 것에서는 결함 밀도 N이 $1\times10^{12}/cm^2$ 정도이다.

[0221] 이와 같이 구한 결함 밀도 등을 바탕으로 수학식 3 및 수학식 4로부터 μ_0=120cm^2/Vs가 도출된다. 결함이 있는 In-Sn-Zn 산화물에서 측정되는 이동도는 40cm^2/Vs 정도이다. 그러나, 상기 도출된 결과로부터, 반도체 내부 및 반도체와 절연막 계면에 결합이 없는 경우의 산화물 반도체의 이동도 μ_0은 120cm^2/Vs로 된다.

[0222] 다만, 반도체 내부에 결함이 없어도 트랜지스터의 수송 특성은 채널과 게이트 절연물 계면에서의 산란으로 인한 영향을 받는다. 즉, 게이트 절연물 계면에서 x만큼 떨어진 장소에 있어서의 이동도 μ_1은 이하의 수학식 7로 표현된다.

[0223] [수학식 7]

$$\frac{1}{\mu_1}=\frac{1}{\mu_0}+\frac{D}{B}\exp\left(-\frac{x}{l}\right) \qquad (7)$$

[0224]

[0225] 여기서, D는 게이트 방향의 전계, B 및 l은 상수를 나타낸 것이다. B 및 l는 실제의 측정 결과로부터 구할 수 있으며, 상기 측정 결과로부터는, B=4.75×10^7 cm/s, l=10nm(계면 산란이 미치는 깊이)이다. D가 증가하면(즉, 게이트 전압이 높아지면), 수학식 7의 제 2 항이 증가되므로, 이동도 μ_1은 저하되는 것을 알 수 있다.

[0226] 도 11은 반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 사용한 트랜지스터의 이동도 μ_2를 계산한 결과를 도시한 것이다. 또한, 계산에는 디바이스 시뮬레이션 소프트웨어 Sentaurus Device(Synopsys.Inc. 제조)를 사용하고, 산화물 반도체의 밴드 갭을 2.8eV, 전자 친화력을 4.7eV, 비유전율을 15, 두께를 15nm로 하였다. 또한, 게이트의 일함수를 5.5eV, 소스의 일함수를 4.6eV, 드레인의 일함수를 4.6eV로 하였다. 또한, 게이트 절연물의 두께는 100nm, 비유전율은 4.1로 하였다. 채널 길이 및 채널 폭은 둘다 10㎛, 드레인 전압 V_d는 0.1V로 하였다.

[0227] 도 11에 도시된 바와 같이, 게이트 전압 1V 남짓에서 이동도 100cm^2/Vs 이상의 피크가 생기지만, 게이트 전압이 더욱 높아지면, 계면 산란이 커지고, 이동도가 저하된다. 또한, 계면 산란을 저감하기 위해서는, 상기 수학식 1 등을 나타내어 설명한 바와 같이, 반도체층 표면을 원자 레벨에서 평탄하게 하는 것(Atomic Layer Flatness)이 바람직하다.

[0228] 도 12(A) 내지 도 14(C)는, 이와 같은 이동도를 갖는 산화물 반도체를 사용하여 미세한 트랜지스터를 제작한 경우의 특성을 계산한 결과를 도시한 것이다. 여기서, 계산에 사용한 트랜지스터의 단면 구조를 도 15(A) 및 도 15(B)에 도시하였다. 도 15(A) 및 도 15(B)에 도시된 트랜지스터는 산화물 반도체층에 n^+의 도전형을 나타내는 반도체 영역(303a) 및 반도체 영역(303c)을 갖는다. 계산함에 있어서, 반도체 영역(303a) 및 반도체 영역(303c)의 저항률은 2×10^{-3}Ωcm로 하였다.

[0229] 도 15(A)에 도시된 트랜지스터는, 하지 절연물(301)과, 하지 절연물(301)에 매립되도록 형성되며 산화 알루미늄으로 이루어진 매립 절연물(302)과, 반도체 영역(303a), 반도체 영역(303c), 및 이들에 끼워지며 채널 형성 영역이 되는 진성의 반도체 영역(303b)과, 게이트(305)를 갖는다. 계산함에 있어서 게이트(305)의 폭은 33nm로 하였다.

[0230] 게이트(305)와 반도체 영역(303b) 사이에는 게이트 절연물(304)을 갖고, 또한 게이트(305)의 양측면에는 측벽 절연물(306a) 및 측벽 절연물(306b)을 갖고, 게이트(305)의 상부에는 게이트(305)와 다른 배선과의 단락을 방지하기 위한 절연물(307)을 갖는다. 측벽 절연물의 폭은 5nm으로 하였다. 또한, 반도체 영역(303a) 및 반도체 영역(303c)과 접하는 소스(308a) 및 드레인(308b)을 갖는다. 또한, 이 트랜지스터의 채널 폭은 40nm로 하였다.

[0231] 도 15(B)에 도시된 트랜지스터는, 하지 절연물(301)과, 산화 알루미늄으로 이루어진 매립 절연물(302)과, 반도체 영역(303a), 반도체 영역(303c), 및 이들에 끼워지며 채널 형성 영역이 되는 진성의 반도체 영역(303b)과, 게이트 절연물(304)과, 게이트(305)와, 측벽 절연물(306a) 및 측벽 절연물(306b)과, 절연물(307)과, 소스(308a) 및 드레인(308b)을 갖는다.

[0232] 도 15(A)에 도시된 트랜지스터와 도 15(B)에 도시된 트랜지스터의 차이점은, 측벽 절연물(306a) 및 측벽 절연물(306b) 직하의 반도체 영역의 도전형이다. 측벽 절연물(306a) 및 측벽 절연물(306b) 직하의 반도체 영역은, 도 15(A)에 도시된 트랜지스터에 있어서는 n^+ 도전형을 나타내는 영역이지만, 도 15(B)에 도시된 트랜지스터에 있어서는 진성의 반도체 영역이다. 즉, 도 15(B)에 도시된 트랜지스터에서는 반도체 영역(303a)(반도체 영역(303c))과 게이트(305)가 겹치지 않은 영역의 폭이 Loff 만큼 있다. 이 영역을 오프 셋 영역이라고 하며, 그 폭 Loff를 오프 셋 길이라고 한다. 오프 셋 길이는 측벽 절연물(306a)(측벽 절연물(306b))의 폭과 같다.

[0233] 계산에 사용하는 그 외의 파라미터는 상술한 바와 같다. 계산에는 디바이스 시뮬레이션 소프트웨어 Sentaurus Device(Synopsys.Inc. 제조)를 사용하였다. 도 12(A) 내지 도 12(C)는, 도 15(A)에 도시된 구조의 트랜지스터의 드레인 전류(Id, 실선으로 나타냄) 및 이동도(μ, 점선으로 나타냄)의 게이트 전압(Vg, 소스를 기준으로 한 게이트와의 전위차) 의존성을 나타낸 것이다. 드레인 전류 Id는 드레인 전압(소스를 기준으로 한 드레인과의 전위차)를 +1V로 하여 계산한 것이고, 이동도 μ는 드레인 전압을 +0.1V로 하여 계산한 것이다.

[0234] 게이트 절연막의 두께는 도 12(A)에서는 15nm로 하였고, 도 12(B)에서는 10nm로 하였고, 도 12(C)에서는 5nm로 하였다. 게이트 절연막이 얇아질수록, 특히 오프 상태에서의 드레인 전류 Id(오프 전류)가 현저하게 저하된다. 한편, 이동도 μ의 피크값이나 온 상태에서의 드레인 전류 Id(온 전류)에는 두드러진 변화가 없다. 게이트 전압 1V 전후에서 드레인 전류는 메모리 소자 등에 필요한 10μA를 넘었다.

[0235] 도 13(A) 내지 도 13(C)는, 도 15(B)에 도시된 트랜지스터에서 오프 셋 길이 Loff를 5nm로 한 경우의 드레인 전류 Id(실선으로 나타냄) 및 이동도 μ(점선으로 나타냄)의 게이트 전압 Vg 의존성을 나타낸 것이다. 드레인 전류 Id는 드레인 전압을 +1V로 하여 계산한 것이고, 이동도 μ는 드레인 전압을 +0.1V로 하여 계산한 것이다. 게이트 절연막의 두께는 도 13(A)에서는 15nm로 하였고, 도 13(B)에서는 10nm로 하였고, 도 13(C)에서는 5nm로 하였다.

[0236] 도 14(A) 내지 도 14(C)는, 도 15(B)에 도시된 트랜지스터에서 오프 셋 길이 Loff를 15nm로 한 경우의 드레인 전류 Id(실선으로 나타냄) 및 이동도 μ(점선으로 나타냄)의 게이트 전압 Vg 의존성을 나타낸 것이다. 드레인 전류 Id는 드레인 전압을 +1V로 하여 계산한 것이고, 이동도 μ는 드레인 전압을 +0.1V로 하여 계산한 것이다. 게이트 절연막의 두께는 도 14(A)에서는 15nm로 하였고, 도 14(B)에서는 10nm로 하였고, 도 14(C)에서는 5nm로 하였다.

[0237] 어느 것도 게이트 절연막이 얇아질수록 오프 전류가 현저하게 저하되는 한편, 이동도 μ의 피크값이나 온 전류에는 두드러진 변화가 없다.

[0238] 또한, 이동도 μ의 피크는 도 12(A) 내지 도 12(C)에서는 80cm^2/Vs 정도이지만, 도 13(A) 내지 도 13(C)에서는 60cm^2/Vs 정도, 도 14(A) 내지 도 14(C)에서는 40cm^2/Vs 정도로, 오프셋 길이 Loff가 증가할수록 저하된다. 또한, 오프 전류에도 같은 경향이 있다. 한편, 온 전류는 오프셋 길이(Loff)의 증가에 따라 감소되지만, 오프 전류의 저하와 비교하면 훨씬 완만하다. 또한, 어느 것도 게이트 전압 1V 전후에서 드레인 전류는 메모리 소자 등에 필요한 10μA를 넘었다.

[0239] 상술한 바와 같이, 와이드 갭 반도체로서 사용하는 산화물 반도체 트랜지스터는 매우 높은 이동도를 가질 수 있다.

[0240] 또한, 주사선 및 신호선으로서 기능하는 도전층 중 적어도 한쪽을 구리로 형성하면, 배선을 저저항으로 할 수 있어 바람직하다.

[0241] 또한, 여기서, 와이드 갭 반도체 트랜지스터로서 설명한 트랜지스터는 일례이므로, 와이드 갭 반도체 트랜지스터는 이것에 한정되지 않으며, 다양한 형태로 할 수 있다.

부호의 설명

[0242] 100: 기억 장치

102: 기억 소자

102a: 기억 소자

102b: 기억 소자

104: 프리 차지 및 증폭 회로

106a: 제 1 칼럼 디코더

106b: 제 2 칼럼 디코더

108: 영역

110a: 제 1 로우 디코더

110: 제 2 로우 디코더

112a: 제 1 영역

112b: 제 2 영역

120: 신호 생성 회로

122: 감지 증폭기

124: 트랜지스터

126: 트랜지스터

128: 트랜지스터

130: 와이드 갭 반도체 트랜지스터

132: 트랜지스터

134: 용량 소자

136: 기생 용량 영역

200: p채널형 트랜지스터 및 n채널형 트랜지스터가 제공된 반도체 기판

201: 고농도 불순물 영역

202: 저농도 불순물 영역

203: 게이트 절연막

204: 게이트 전극

205: 층간 절연막

210: 산화물 반도체층에 채널 형성 영역을 갖는 트랜지스터

211: 산화물 반도체층

212a: 소스 전극

212b: 드레인 전극

213: 게이트 절연막

214a: 전극

214b: 게이트 전극

215: 절연층

216: 배선층

301: 하지 절연물

302: 매립 절연물

303a: 반도체 영역

303b: 반도체 영역

303c: 반도체 영역

304: 게이트 절연물

305: 게이트

306a: 측벽 절연물

306b: 측벽 절연물

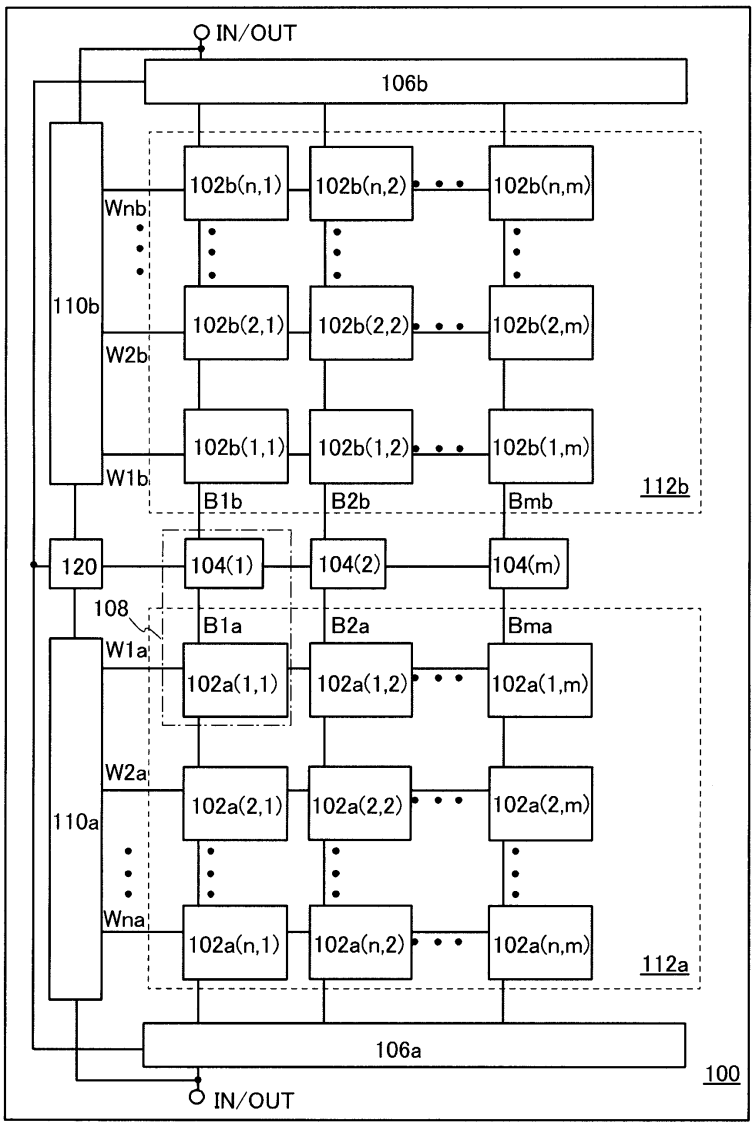
307: 절연물

308a: 소스

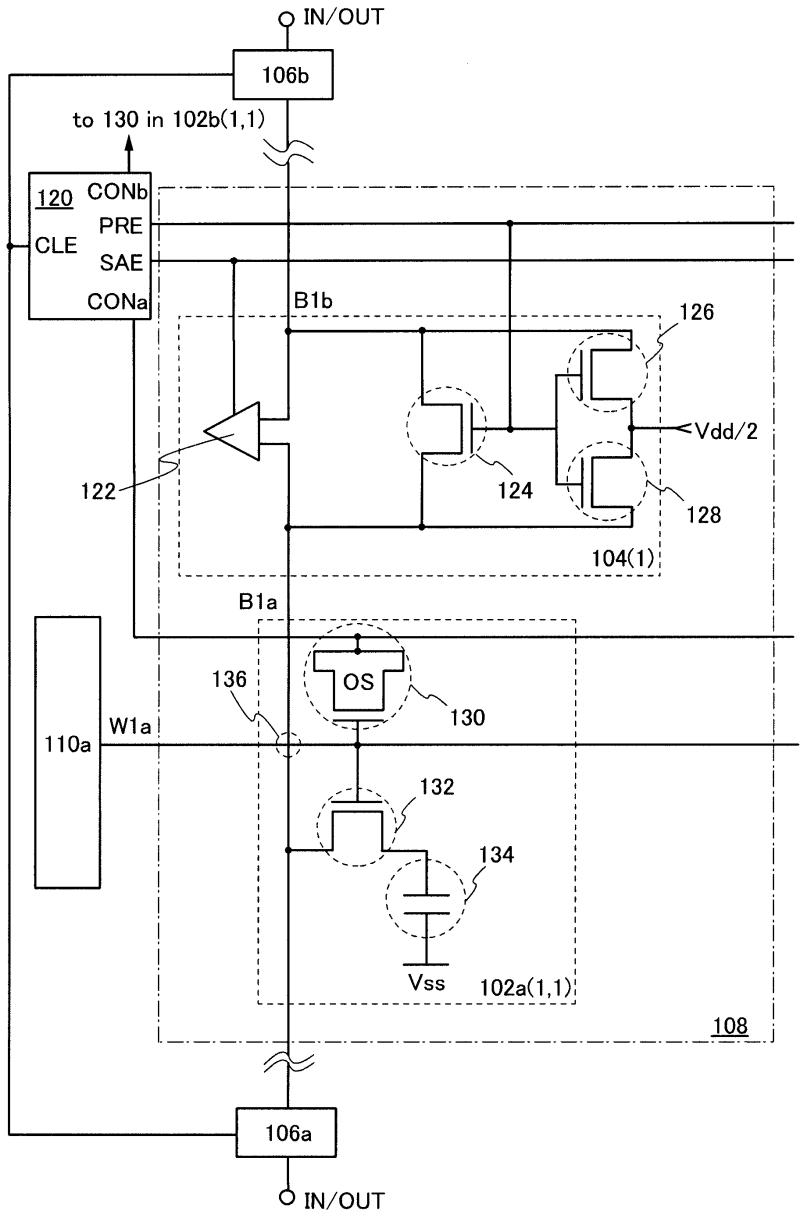
308b: 드레인

도면

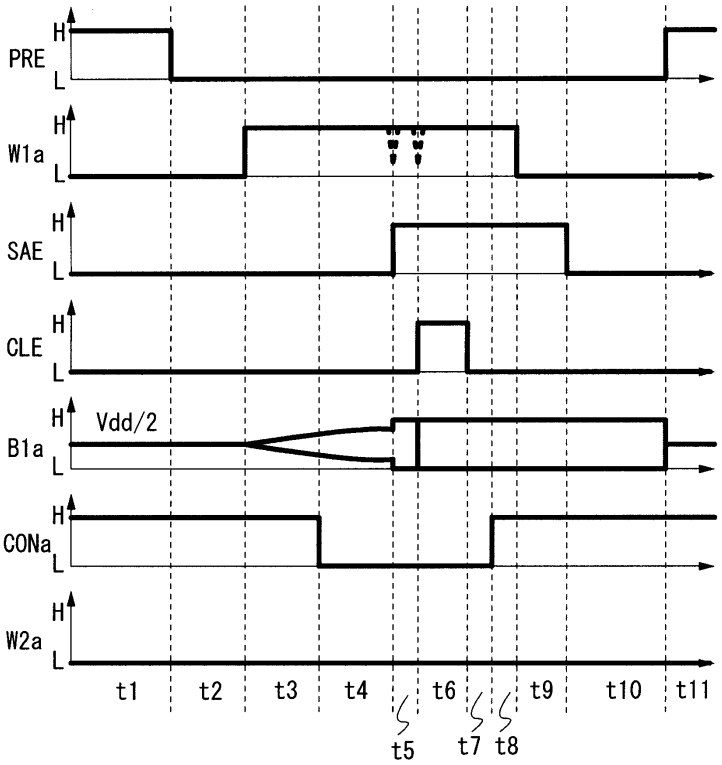
도면1



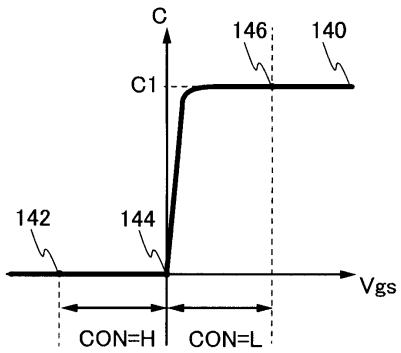
도면2


IN/OUT
106b
to 130 in 102b(1,1)
120
CONb
PRE
CLE
SAE
CONa
B1b
126
Vdd/2
122
124
128
104(1)
B1a
136
OS
130
110a
W1a
132
134
Vss
102a(1,1)
108
106a
IN/OUT

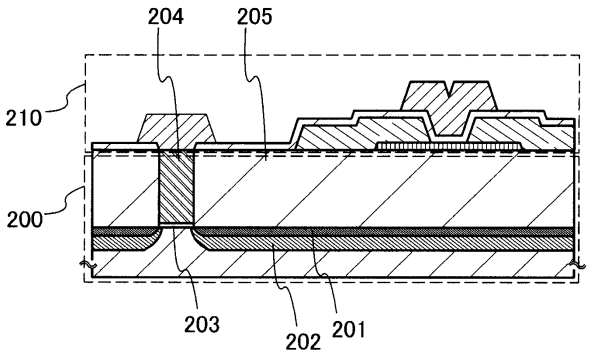
도면3


PRE
W1a
SAE
CLE
B1a
Vdd/2
CONa
W2a
H
L
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11

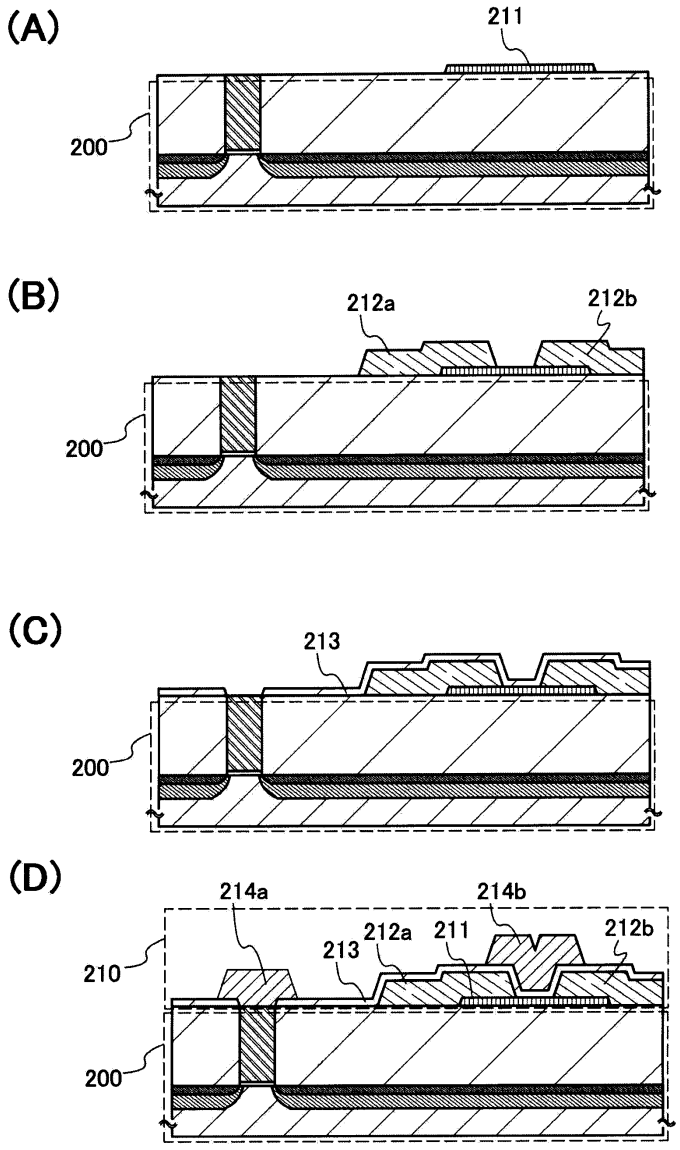
도면4


C
C1
146
140
142
144
Vgs
CON=H
CON=L

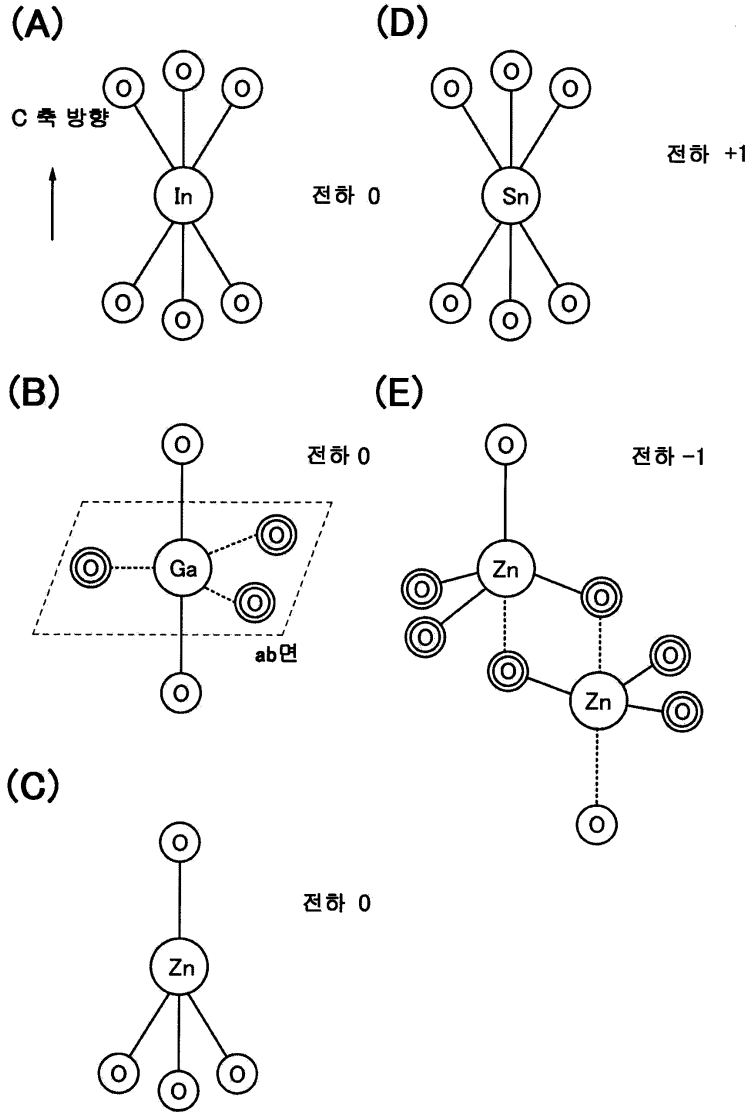
도면5


204
205
210
200
203
202
201

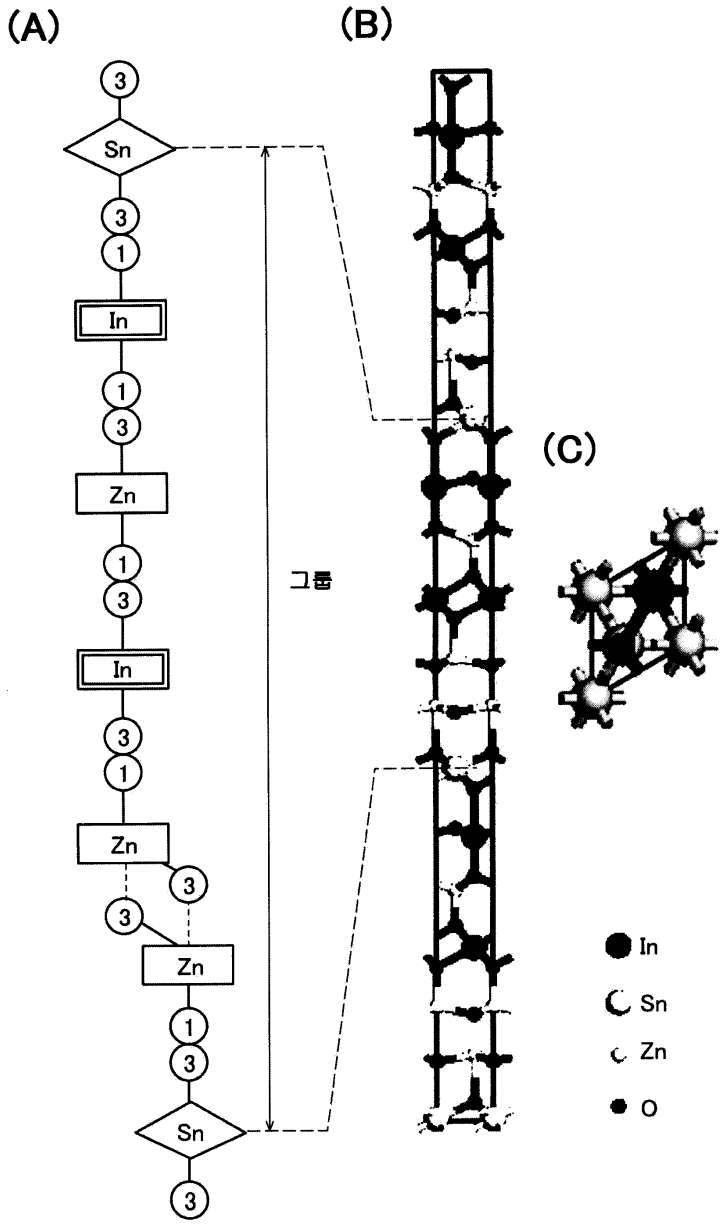
도면6


(A)
211
200
(B)
212a
212b
200
(C)
213
200
(D)
214a
214b
212a
211
212b
213
210
200

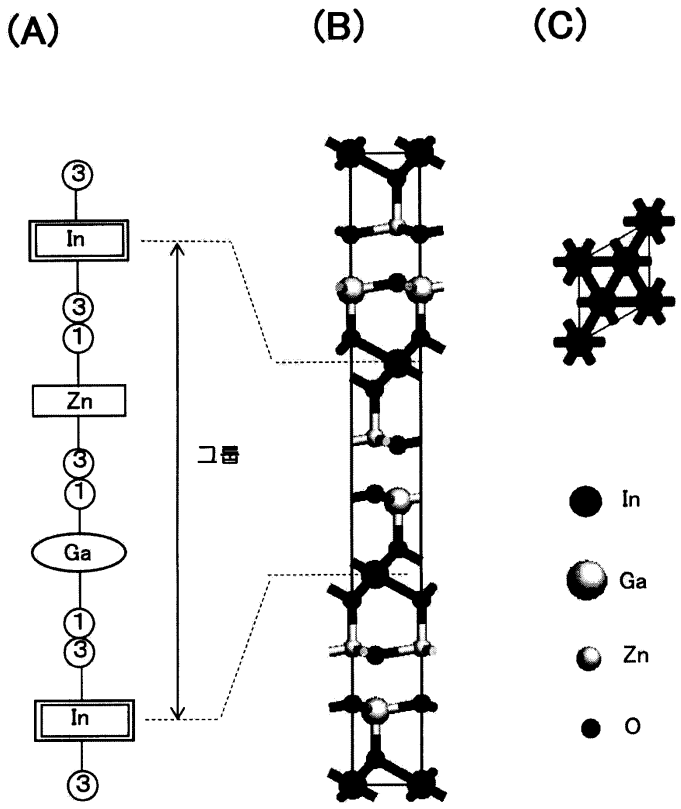
도면7



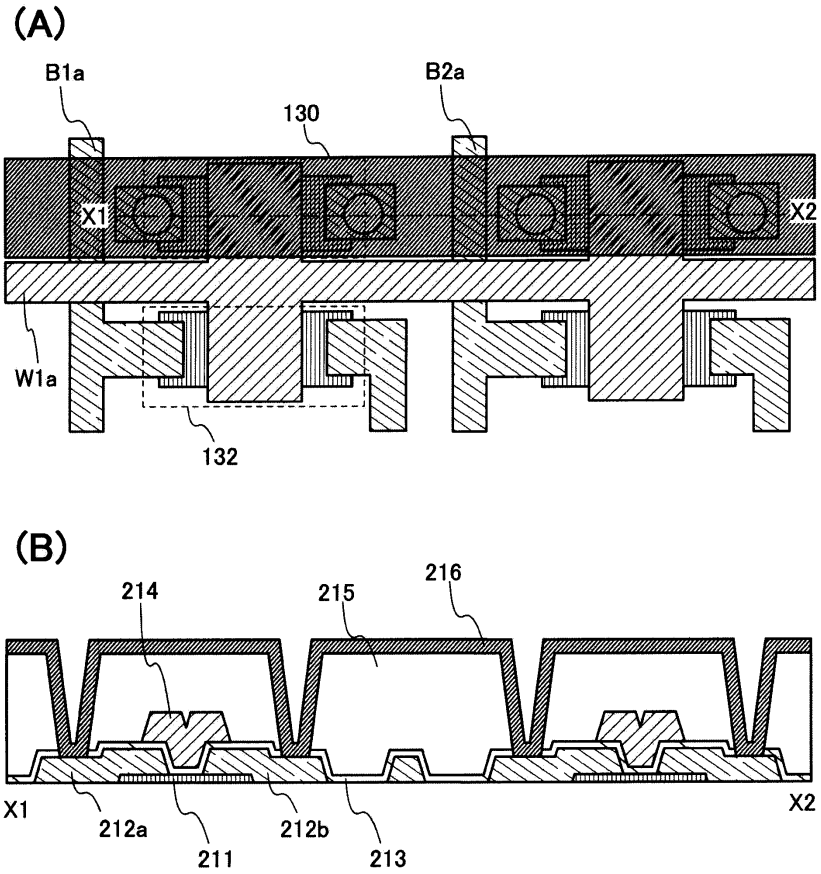
도면8



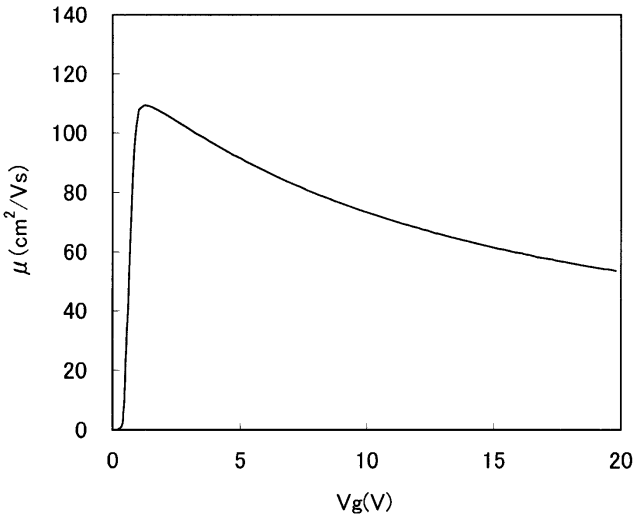
도면9



도면10

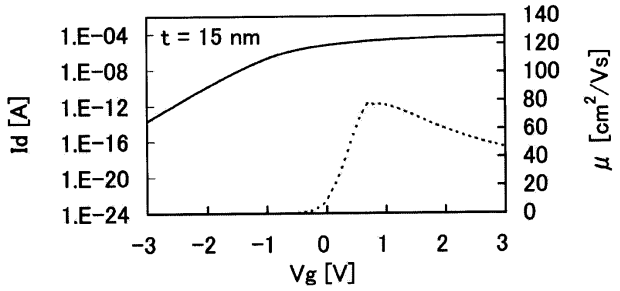

(A)
B1a
B2a
130
X1
X2
W1a
132
(B)
214
215
216
X1
X2
212a
211
212b
213

도면11

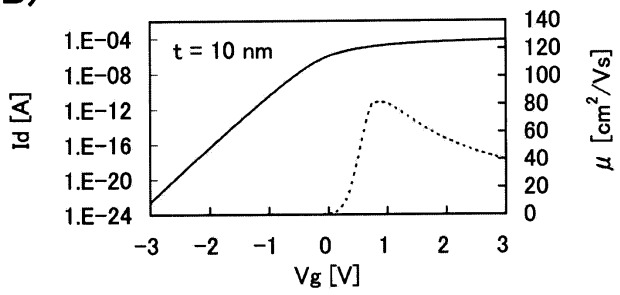

140
120
100
80
60
40
20
0
μ(cm²/Vs)
0
5
10
15
20
Vg(V)

도면12

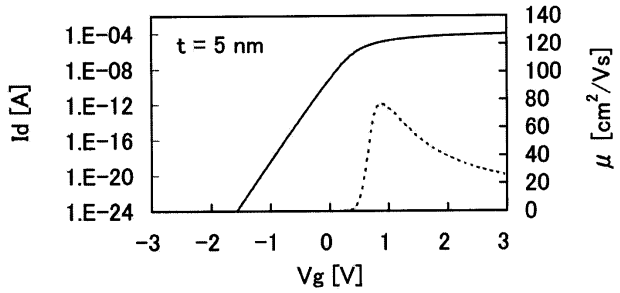
(A)


t = 15 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
−3 −2 −1 0 1 2 3
Vg [V]

(B)

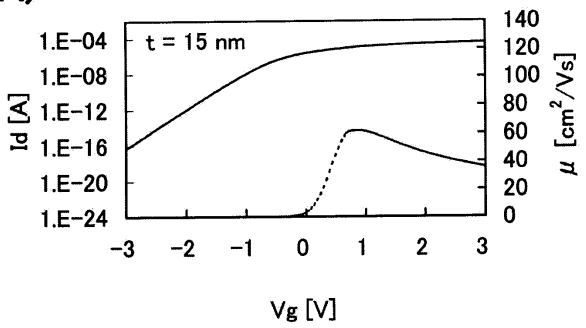

t = 10 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
−3 −2 −1 0 1 2 3
Vg [V]

(C)

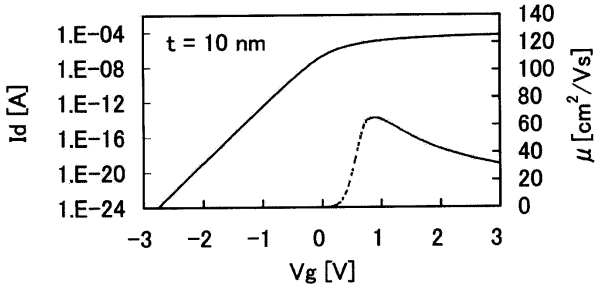

t = 5 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
−3 −2 −1 0 1 2 3
Vg [V]

도면13

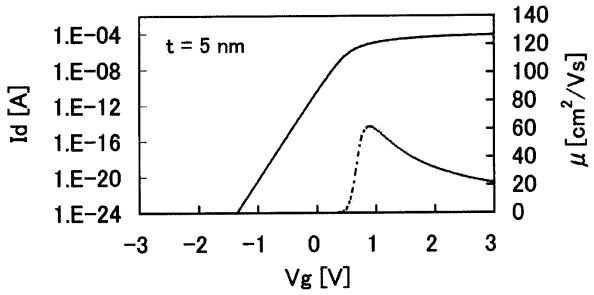
(A)


t = 15 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
-3
-2
-1
0
1
2
3
Vg [V]

(B)

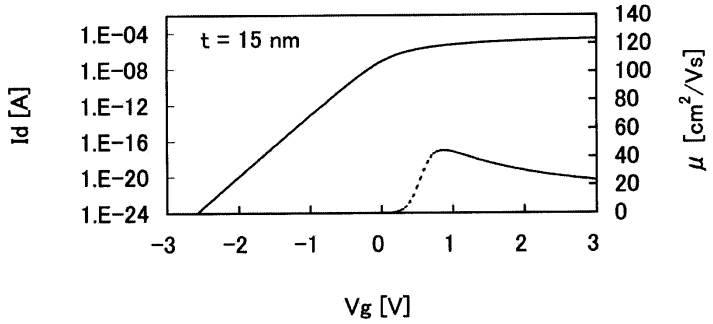

t = 10 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
-3
-2
-1
0
1
2
3
Vg [V]

(C)

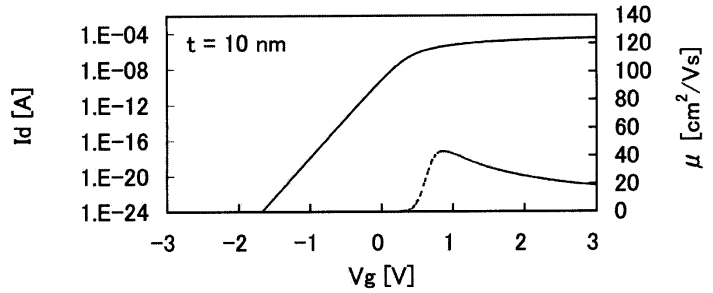

t = 5 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
-3
-2
-1
0
1
2
3
Vg [V]

도면14

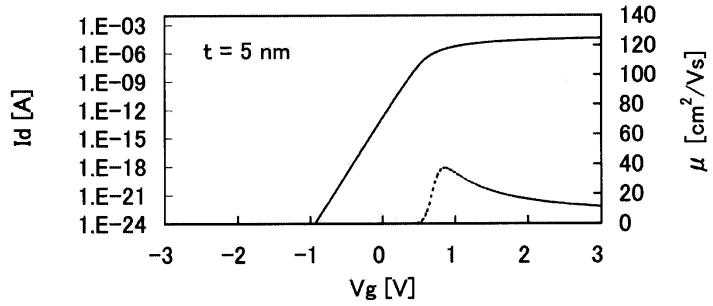
(A)


t = 15 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

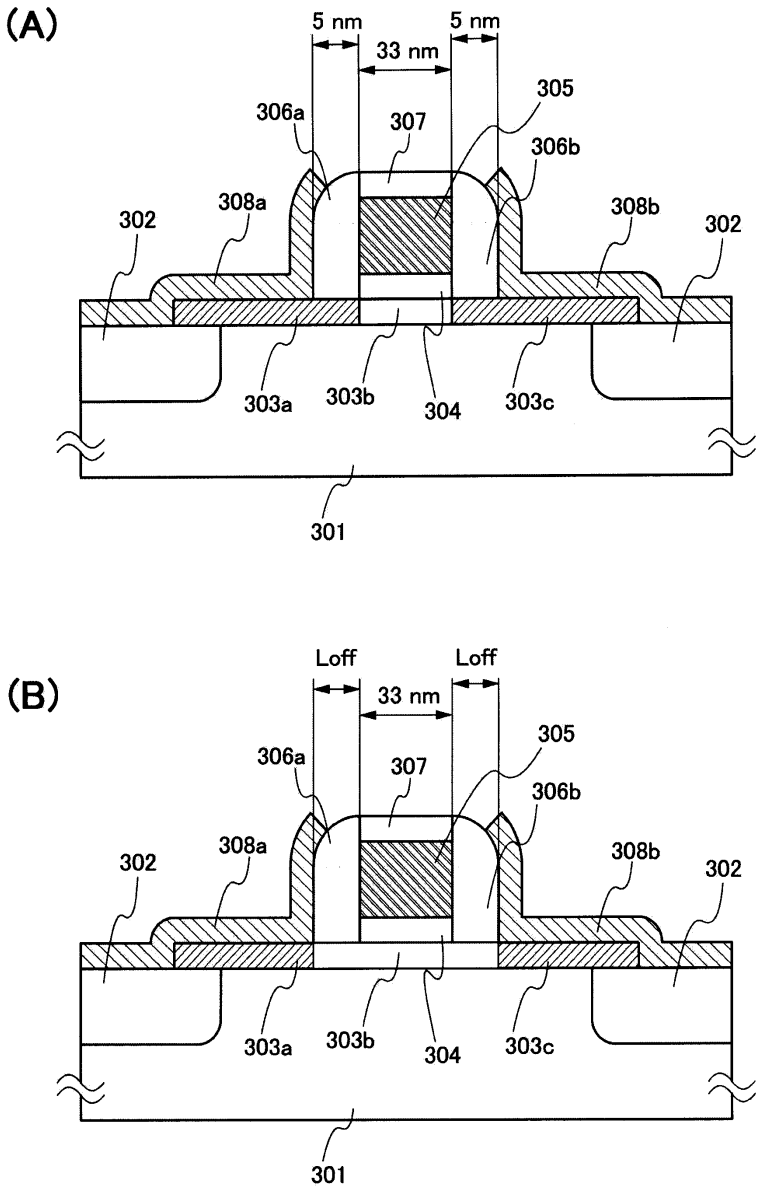
(B)


t = 10 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

(C)


t = 5 nm
Id [A]
1.E-03
1.E-06
1.E-09
1.E-12
1.E-15
1.E-18
1.E-21
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

도면15


(A)
5 nm
33 nm
5 nm
305
306a
307
306b
308a
308b
302
302
303a
303b
304
303c
301
(B)
Loff
33 nm
Loff
305
306a
307
306b
308a
308b
302
302
303a
303b
304
303c
301