



(12) 发明专利申请

(10) 申请公布号 CN 102034790 A

(43) 申请公布日 2011.04.27

(21) 申请号 200910178909.5

(22) 申请日 2009.09.28

(71) 申请人 联华电子股份有限公司
地址 中国台湾新竹科学工业园区

(72) 发明人 吴贵盛 翁彰键 黄紫娟

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 魏晓刚

(51) Int. Cl.

H01L 23/525(2006.01)

H01L 21/82(2006.01)

H01L 21/768(2006.01)

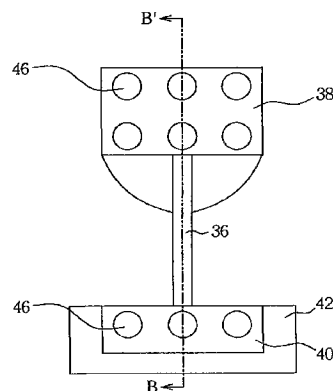
权利要求书 1 页 说明书 5 页 附图 4 页

(54) 发明名称

电熔丝结构及其制作方法

(57) 摘要

本发明优选实施例是公开一种电熔丝结构,包括:一熔丝本体设在一半导体基底表面上;一阳极电性连接熔丝本体的一端;以及一阴极电性连接熔丝本体的另一端,其中至少部分阴极上无任何硅化金属层。



1. 一种电熔丝结构,包括:
 - 一熔丝本体设在一半导体基底表面上;
 - 一阳极电性连接该熔丝本体的一端;以及
 - 一阴极电性连接该熔丝本体的另一端,其中至少部分该阴极上无任何硅化金属层。
2. 根据权利要求1所述的电熔丝结构,其中该阴极上完全无任何硅化金属层。
3. 根据权利要求1所述的电熔丝结构,其中部分该熔丝本体上无任何硅化金属层。
4. 根据权利要求1所述的电熔丝结构,其中该阳极上设有一硅化金属层。
5. 根据权利要求1所述的电熔丝结构,其中该熔丝本体的宽度是分别小于该阳极的宽度及该阴极的宽度。
6. 根据权利要求1所述的电熔丝结构,更包括多个接触插塞电连接该阴极与该阳极。
7. 一种制作电熔丝结构的方法,包括:
 - 提供一半导体基底,该半导体基底上具有一晶体管区以及一电熔丝区;
 - 形成一晶体管在该晶体管区的该半导体基底上;
 - 形成一熔丝本体、一阴极与一阳极在该电熔丝区的该半导体基底上;
 - 形成一硅化金属阻挡层(SAB)并至少部分覆盖该阴极表面;以及
 - 形成一硅化金属层在该晶体管区及部分该电熔丝区。
8. 根据权利要求7所述的方法,还包括利用该硅化金属阻挡层完全覆盖该阴极表面。
9. 根据权利要求7所述的方法,还包括利用该硅化金属阻挡层部分覆盖该熔丝本体。
10. 根据权利要求7所述的方法,还包括形成该硅化金属层在该晶体管区的该晶体管的源极/漏极区域。
11. 根据权利要求7所述的方法,还包括形成该硅化金属层在该电熔丝区的该阳极。
12. 根据权利要求7所述的方法,还包括形成该硅化金属层在该电熔丝区的部分该熔丝本体。
13. 根据权利要求7所述的方法,还包括形成该硅化金属层在该电熔丝区的部分该阴极。
14. 根据权利要求7所述的方法,还包括形成多个接触插塞连接该晶体管区及该电熔丝区的该硅化金属层。

电熔丝结构及其制作方法

技术领域

[0001] 本发明是关于一种电熔丝结构,特别是一种在阴极上不形成硅化金属层的电熔丝结构。

背景技术

[0002] 随着半导体制程的微型化以及复杂度的提高,半导体元件也变得更加容易受各式缺陷或杂质所影响,而单一金属连线、二极管或晶体管等的失效往往即构成整个芯片的缺陷。因此为了解决这个问题,现有技术便会在集成电路中形成一些可熔断的连接线(fusible links),也就是熔丝(fuse),以确保集成电路的可利用性。

[0003] 一般而言,熔丝是连接集成电路中的冗余电路(redundancy circuit),一旦检测发现部分电路具有缺陷时,这些连接线就可用于修复(repairing)或取代这些有缺陷的电路。另外,目前的熔丝设计更可以提供程式化(programming elements)的功能,以使各种客户可依不同的功能设计来程式化电路。而从操作方式来说,熔丝大致分为热熔丝和电熔丝(eFuse)两种。所谓热熔丝,是借由一激光切割(laser zip)的步骤来切断;至于电熔丝则是利用电致迁移(electro-migration)的原理使熔丝出现断路,以达到修补的效果或程式化的功能。此外,半导体元件中的电熔丝可为例如多晶硅电熔丝(poly efuse)、MOS 电容反熔丝(MOS capacitor anti-fuse)、扩散电熔丝(diffusion fuse)、接触插塞电熔丝(contact efuse)、接触插塞反熔丝(contact anti-fuse)等等。

[0004] 典型上,电熔丝的断开机制如图1所示,一电熔丝结构1的阴极与一熔断装置(blowing device)2的晶体管的漏极电连接,在电熔丝结构1的阳极上施加一电压 V_{fs} ,在晶体管的栅极施加一电压 V_g ,晶体管的源极接地。电流(I)由电熔丝结构1的阳极流向电熔丝结构1的阴极,电子流(e^-)由电熔丝结构1的阴极流向电熔丝结构1的阳极。进行熔断时所使用的电流有一段优选范围,电流太低时,所得的阻值太低,会使电性迁移不完整,而电流太高时,会导致电熔丝热破裂。

[0005] 传统电熔丝结构中的熔丝本体、阴极与阳极通常是由多晶硅材料所构成,且多晶硅材料上又设有硅化金属层与多个连接阴极与阳极的接触插塞。硅化金属层主要用来帮助各接触插塞与各电极之间形成良好的电性接触。阴极上所设置的接触插塞则提供足够的电子流至阴极,并流动至熔丝本体的多晶硅层及硅化金属层中,产生电致迁移现象,而使熔丝本体断开。一般对于45nm制程的电熔丝结构的熔断电流约介于9毫安培至14.5毫安培(mA)。然而,为了达到此电流量通常也需要较大尺寸的熔断装置(如MOS晶体管等),不但在制程上不易制作,也造成集成度无法降低。因此,如何提供一种可在较低电流下就达到电致迁移的电熔丝结构即为现今一重要课题。

发明内容

[0006] 因此本发明是公开一种电熔丝结构,以改良现今上述电熔丝结构所遭遇的缺点。

[0007] 本发明优选实施例是公开一种电熔丝结构,包括:一熔丝本体设在一半导体基底

表面上；一阳极电性连接熔丝本体的一端；以及一阴极电性连接熔丝本体的另一端，其中至少部分阴极上无任何硅化金属层 (silicide)。

[0008] 本发明另一实施例是公开一种制作电熔丝结构的方法，包括下列步骤。首先提供一半导体基底，且半导体基底上具有一晶体管区以及一电熔丝区。然后形成一晶体管在晶体管区的半导体基底上，并形成一熔丝本体、一阴极与一阳极在电熔丝区的半导体基底上。接着形成一硅化金属阻挡层 (SAB) 并至少部分覆盖该阴极表面，然后再形成一硅化金属层在晶体管区及部分电熔丝区。

附图说明

[0009] 图 1 为传统的一电熔丝装置的断开机制。

[0010] 图 2 为本发明优选实施例的一电熔丝结构的上视图。

[0011] 图 3 为图 2 中沿着切线 BB' 的截面示意图。

[0012] 图 4 至图 6 为本发明不同实施例的电熔丝结构的上视图。

[0013] 图 7 为本发明一实施例的电熔丝结构的上视图。

[0014] 图 8 至图 9 为本发明整合一 MOS 晶体管与一电熔丝结构的制程示意图。

[0015] 主要元件符号说明

[0016]	1 电熔丝结构	2 熔断装置
[0017]	30 半导体基底	31 绝缘层
[0018]	32 多晶硅层	34 硅化金属层
[0019]	36 熔丝本体	38 阳极
[0020]	40 阴极	42 硅化金属阻挡层
[0021]	46 接触插塞	50 半导体基底
[0022]	52、54 浅沟隔离结构	56 栅极电极
[0023]	58 栅极介电层	60 电熔丝图案层
[0024]	62、64 源极 / 漏极区域	
[0025]	66 侧壁子	68 硅化金属层
[0026]	70 介电层	
[0027]	72、74、76、78、80 接触插塞	
[0028]	82、84 金属内连线	86 区域
[0029]	88 区域	90 区域
[0030]	92 硅化金属阻挡层	
[0031]	102 晶体管区	104 电熔丝区

具体实施方式

[0032] 请参照图 2 及图 3，图 2 为本发明优选实施例之一的电熔丝结构的上视图，图 3 则为图 2 中沿着切线 BB' 的截面示意图。如图中所示，本发明主要先提供一半导体基底 30，接着在半导体基底 30 上形成一由碳硅氧氢化物 (SiCOH)、二氧化硅 (SiO₂) 或氮化硅 (Si₃N₄) 所构成的绝缘层 31。然后覆盖一多晶硅层 (图未示) 在半导体基底 30 上，并对多晶硅层进行一图案转移制程，例如利用一图案化光阻层当作掩膜去除部分多晶硅层，以在半导体基

底 30 的绝缘层 31 上形成一由图案化的多晶硅层 32 所构成的熔丝本体 (fuse element) 36 及连接熔丝本体 36 两端的阳极 38 与阴极 40。在本实施例中,熔丝本体 36 与阳极 38、阴极 40 虽优选由多晶硅材料所构成,并伴随熔丝本体 36 的图案化制程同时制备而得,但不局限于此,熔丝本体 36 与阳极 38、阴极 40 的材料又可包括任何导电材料,例如多晶硅、金属、或二者的组合,且可彼此相同或不同。

[0033] 接着进行一硅化金属 (silicide) 制程,例如先形成一由二氧化硅 (SiO_2)、氮化硅 (SiN) 或四乙基硅烷 (TEOS) 所构成的硅化金属阻挡层 (salicide block, SAB) 42 并覆盖至少部分阴极 40 表面,然后沉积一由钴、钛、镍、铂、钯或钼等所构成的金属层 (图未示) 在未被硅化金属阻挡层 42 所遮蔽的区域,如至少部分熔丝本体 36、阳极 38 与未被硅化金属阻挡层 42 所遮蔽的部分阴极 40 等区域。接着进行一快速升温退火制程,利用高温使金属层与多晶硅层 32 表面反应为一硅化金属层 34。最后再去除未反应的金属层。

[0034] 然后覆盖一介电层 (图未示) 在熔丝本体 36、阴极 40 与阳极 38 上并进行一光刻制程,去除部分的介电层,以在介电层中形成多个接触洞并暴露出部分阳极 38 与部分阴极 40。接着在接触洞中填入由钨、铝、铜、钽、氮化钽、钛或氮化钛等所构成的金属材料,以形成多个连接阳极 38 与阴极 40 的接触插塞 46。至此即完成本发明优选实施例的一电熔丝结构。

[0035] 值得注意的是,上述的硅化金属阻挡层 42 虽优选覆盖至少部分阴极 40 表面,但不局限于此,又可依照产品需求调整硅化金属阻挡层 42 的面积与位置,进而控制后续硅化金属层 34 所形成的所在位置。举例来说,可参照图 4 至图 6,图 4 至图 6 为本发明不同实施例将硅化金属阻挡层设在一电熔丝结构的上视图。举例来说,本发明的硅化金属阻挡层 42 所设置的位置可依照制程需求任意调整,例如可将硅化金属阻挡层 42 设在区域 86 (如图 4 所示)、区域 88 (如图 5 所示) 或区域 90 (如图 6 所示)。其中,区域 86 代表硅化金属阻挡层 42 仅覆盖阴极 40 中央的接触插塞 46 及部份的熔丝本体 36,因此硅化金属层 34 优选形成在阴极 40 两端的两个接触插塞 46 处及部分未被区域 86 所遮蔽的熔丝本体 36 与阳极 38 上。区域 88 代表硅化金属阻挡层 42 覆盖阴极 40 的所有接触插塞 46 与一部份的熔丝本体 36,因此硅化金属层 34 优选形成在部分未被区域 88 所遮蔽的熔丝本体 36 及整个阳极 38 上。区域 90 代表硅化金属阻挡层 42 仅覆盖阴极 40 的接触插塞 46 但未盖住任何熔丝本体 36 及阳极 38,因此硅化金属层 34 优选形成在整个熔丝本体 36 及阳极 38 上。

[0036] 由于设置在阳极 38 上的接触插塞 46 均是与金属硅化物层 34 相接触,而至少一设置在阴极 40 上的接触插塞 46 则是贯穿硅化金属阻挡层 42 并与多晶硅层 32 直接接触,因此电熔丝结构的阻值在阴极 40 处会较大,生热较多,温度提高,可有利于阴极 40 中直接接触多晶硅层 32 的接触插塞 46 的钨金属发生电致迁移以造成断开。依据本发明的优选实施例,利用此电熔丝结构仅需小于 9 毫安培的电流便可完全断开整个电熔丝结构,达到电致迁移的效果。此外,本发明的另一优点在于,由于阴极 40 靠近熔丝本体 36 的部分并无硅化金属层 34,故在熔断过程中,因无任何硅化金属从阴极 40 补充至熔丝本体 36,本发明可借此减少熔断熔丝所需的时间。

[0037] 其次,本实施例在阴极 40 端所形成的接触插塞 46 虽以单排三个为例,但接触插塞 46 的数量又可依据制程需求任意调整,例如可在阴极 40 端形成两排总数八个的接触插塞 46,如图 7 所示,并可如上述形成硅化金属阻挡层 42 的方法任意调整硅化金属阻挡层 42 所

遮蔽的位置,此实施例也属本发明所涵盖的范围。

[0038] 本发明上述实施例仅在半导体基底 30 上制作一电熔丝结构,但不局限于上述设计,本发明又可依照制程需求在制作电熔丝结构的同时整合 MOS 晶体管的制程,此设计也属本发明所涵盖的范围。请参照图 8 至图 9,图 8 至图 9 为本发明整合一 MOS 晶体管与一电熔丝结构的制程示意图。如图 8 所示,首先提供一半导体基底 50,其上定义有一晶体管区 102 以及一电熔丝区 104。然后进行一隔离 (isolation) 制程,以在晶体管区 102 及电熔丝区 104 之间的半导体基底 50 中形成一例如浅沟隔离 (STI) 的隔离结构 52,并同时电熔丝区 104 的半导体基底 50 中同时形成另一浅沟隔离 54。接着全面沉积一由氧化物所构成的介电层 (图未示) 在半导体基底 50 表面,并形成一由多晶硅所构成的栅极材料层 (图未示) 在介电层上。然后进行一光刻制程,去除部分的栅极材料层与介电层,以在晶体管区 102 的半导体基底 50 上形成一栅极电极 56 与设在其下的栅极介电层 58,并同时电熔丝区 104 的浅沟隔离 54 上形成一具有熔丝本体、阴极区块以及阳极区块的电熔丝图案层 60。本实施例的栅极材料层虽由多晶硅所构成,但不局限于此,栅极材料层又可由金属、金属与多晶硅上下堆叠等材料所构成,此均属本发明所涵盖的范围。

[0039] 然后形成一侧壁子 66 在晶体管区 102 的栅极电极 56 与电熔丝图案层 60 侧壁,并进行一离子注入制程,以在晶体管区 102 的侧壁子 66 两侧的半导体基底 50 中形成一源极 / 漏极区域 62/64。需注意的是,本实施例是以单一结构的侧壁子 66 及一源极 / 漏极区域 62/64 为例,但又可依制程需求在栅极电极 56 的侧壁上形成多层结构的侧壁子,并可同时搭配轻掺杂漏极的制作。举例来说,可先形成一偏位侧壁子在栅极电极侧壁,然后进行一轻掺杂离子注入,以在偏位侧壁子两侧的半导体基底中形成一轻掺杂漏极。接着在偏位侧壁子周围形成一主侧壁子,并进行一重掺杂离子注入,以在主侧壁子两侧的半导体基底中形成一源极 / 漏极区域。另外,形成偏位侧壁子、主侧壁子、轻掺杂漏极与源极 / 漏极区域的先后顺序又可依制程需求任意调整,而不局限于此。

[0040] 接着进行一硅化金属制程,例如先形成一由二氧化硅 (SiO₂) 或四乙基硅烷 (TEOS) 所构成的硅化金属阻挡层 (salicide block, SAB) 92 并覆盖晶体管区 102 不欲形成硅化金属层的区域,如栅极电极 56 与漏极 / 源极区域 62/64 以外的区域,以及电熔丝区 104 中电熔丝图案层 60 的至少部分阴极表面。然后覆盖一由钴、钛、镍、铂、钯或钼等所构成的金属层 (图未示) 在未被硅化金属阻挡层 92 所遮蔽的区域,并搭配进行一快速升温退火制程,以在晶体管区 102 的栅极电极 56 与源极 / 漏极区域 62/64 及电熔丝区 104 的熔丝本体、阳极与未被硅化金属阻挡层 92 所遮蔽的部分阴极上形成一硅化金属层 68,如图 9 所示。最后再去除未反应的金属层,以在晶体管区 102 完成一 MOS 晶体管以及在电熔丝区 104 完成一电熔丝结构。如上述实施例所提到,硅化金属层 68 优选设在至少部分熔丝本体及阳极上,且阴极上也可视制程需求设置部分硅化金属层 68,在此不另加赘述。

[0041] 然后沉积一由氧化物或氮化物所构成的介电层 70 覆盖在晶体管区 102 及电熔丝区 104。随后进行一光刻制程,去除部分介电层 70 以形成多个接触洞并暴露出 MOS 晶体管的栅极电极 56 顶部与源极 / 漏极区域 62、64 及电熔丝区 104 由多晶硅材料所构成的阴极与阳极端的部分硅化金属层 68。

[0042] 接着填入由钨、铝、铜、钼、氮化钼、钛或氮化钛等所构成的金属材料在接触洞中,以在晶体管区 102 及电熔丝区 104 分别形成多个贯穿介电层 70 并电性连接 MOS 晶体管与

电熔丝图案层 60 的接触插塞 72/74/76/78/80。其中,接触插塞 72/76/78/80 均直接接触相对应的硅化金属层 68,而接触插塞 74 则贯穿硅化金属阻挡层 92 并直接接触阴极中多晶硅层。然后可进行一金属内连线制程,例如形成一金属内连线 82 连接阴极上的接触插塞 74 与源极 / 漏极区域 62 上的接触插塞 76 以及一金属内连线 84 连接阳极上的接触插塞 72 与周边的逻辑电路。至此即完成本发明另一实施例的整合性 MOS 晶体管与电熔丝结构。

[0043] 以上所述仅为本发明的优选实施例,凡根据本发明所做的均等变化与修饰,均应属本发明的涵盖范围。

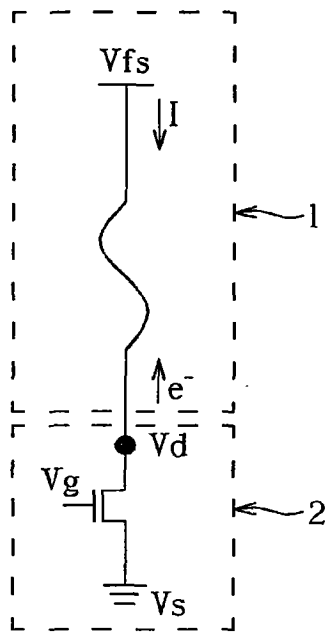


图 1

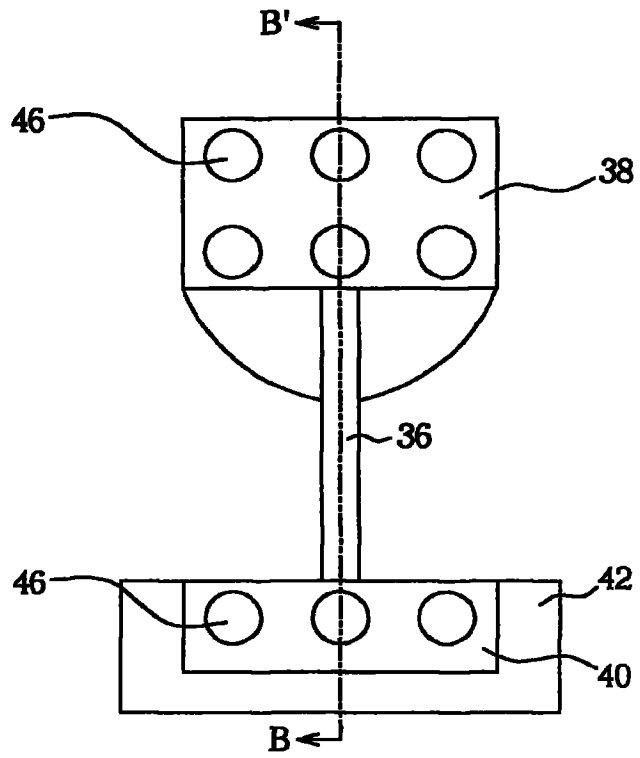


图 2

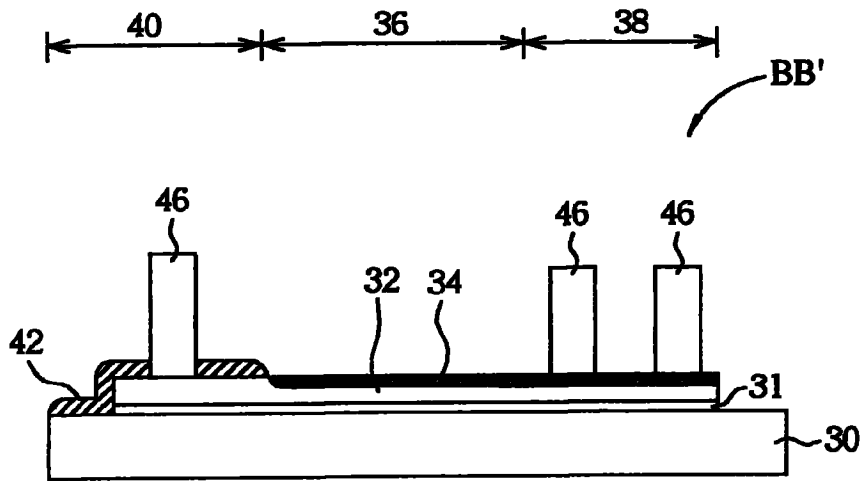


图 3

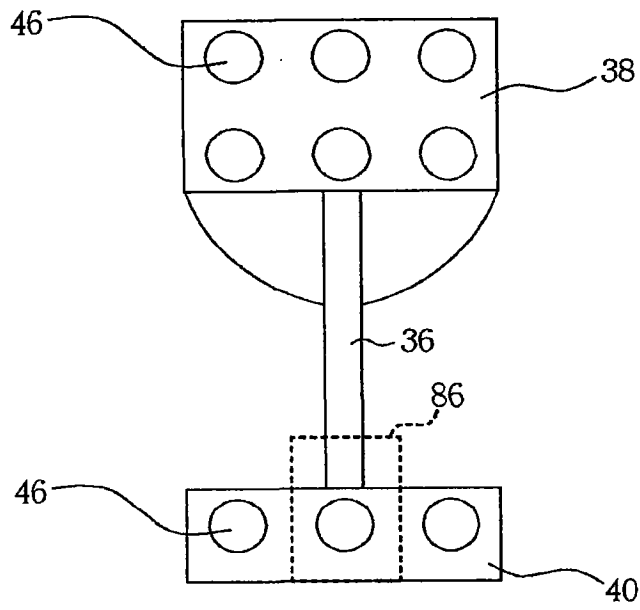


图 4

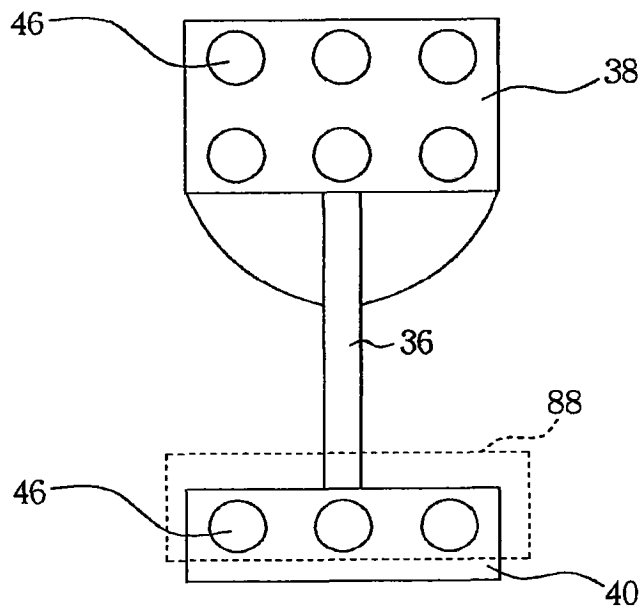


图 5

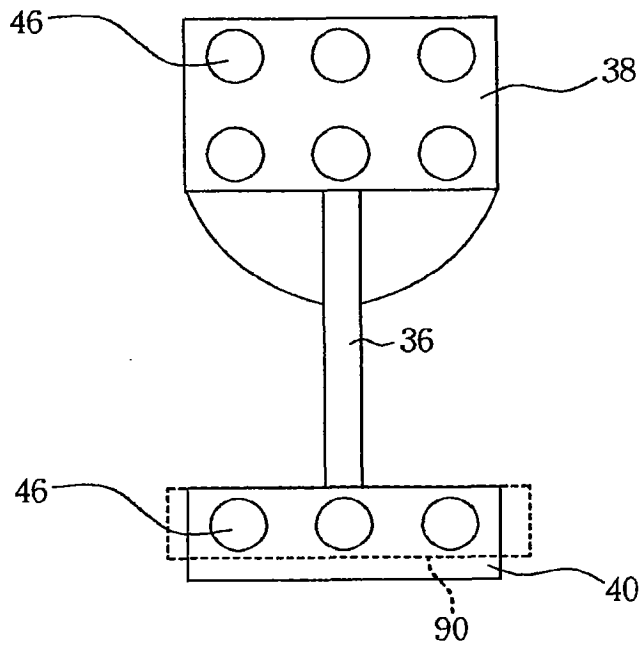


图 6

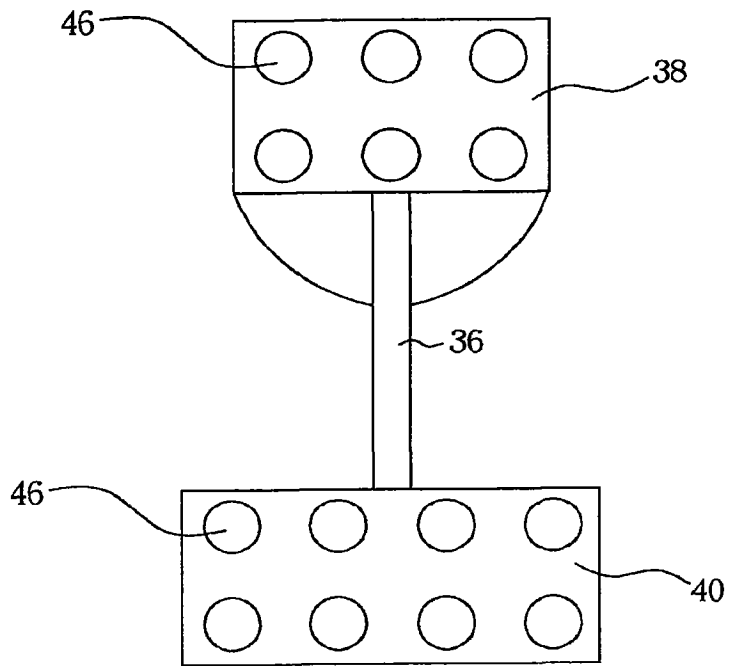


图 7

