(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0019641
(43) 공개일자 2025년02월10일

(51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) *H01L 21/56* (2006.01)
H01L 21/768 (2006.01) *H01L 23/00* (2006.01)
H01L 23/48 (2006.01) *H01L 23/498* (2006.01)
H01L 23/528 (2006.01) *H01L 25/065* (2025.01)
(52) CPC특허분류
H01L 23/5381 (2013.01)
H01L 21/76895 (2013.01)
(21) 출원번호 10-2024-7039751
(22) 출원일자(국제) 2023년05월18일
심사청구일자 없음
(85) 번역문제출일자 2024년11월28일
(86) 국제출원번호 PCT/US2023/022742
(87) 국제공개번호 WO 2023/239540
국제공개일자 2023년12월14일
(30) 우선권주장
17/835,861 2022년06월08일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
시에 벤춘
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
판데이 쉬레 크리쉬나
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인코리아나

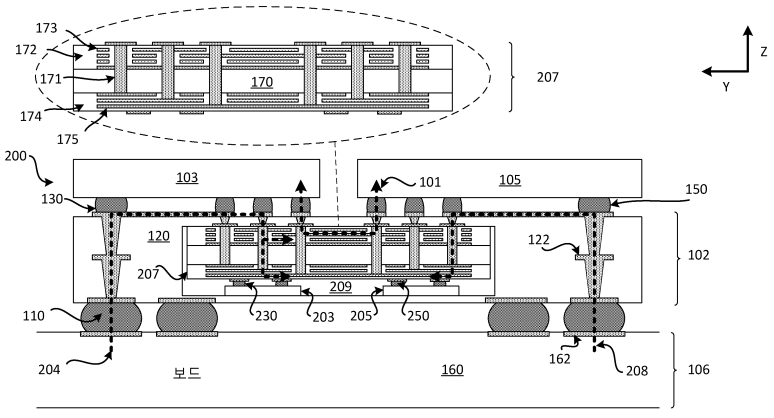
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 **후면 전력 분배 네트워크를 위해 구성된 브리지를 갖는 기판을 포함하는 패키지**

(57) 요 약

패키지는 기판, 기판 내에 위치된 브리지, 기판에 결합된 제1 집적 디바이스, 및 기판에 결합된 제2 집적 디바이스를 포함한다. 브리지는 브리지 기판; 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층; 상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부; 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층; 상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부; 및 상기 적어도 하나의 제1 브리지 유전체 층 및 상기 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부를 포함한다.

대 표 도 - 도2



단면 프로파일 뷰

(52) CPC특허분류
H01L 23/481 (2013.01)
H01L 23/49816 (2013.01)
H01L 23/5286 (2013.01)
H01L 23/5383 (2013.01)
H01L 23/5384 (2013.01)
H01L 23/5385 (2013.01)
H01L 24/16 (2013.01)
H01L 25/0655 (2023.08)
H01L 25/0657 (2023.08)

명 세 서

청구범위

청구항 1

패키지로서,

기판;

상기 기판 내에 위치된 브리지로서, 상기 브리지는:

브리지 기판;

상기 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층;

상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부;

상기 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층;

상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부; 및

상기 적어도 하나의 제1 브리지 유전체 층 및 상기 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부

를 포함하는, 상기 브리지;

상기 기판에 결합된 제1 집적 디바이스; 및

상기 기판에 결합된 제2 집적 디바이스를 포함하는, 패키지.

청구항 2

제1항에 있어서,

상기 적어도 하나의 제1 브리지 상호연결부는 입력/출력(I/O) 신호들을 위한 제1 전기 경로를 제공하도록 구성되고, 그리고

상기 적어도 하나의 제2 브리지 상호연결부는 전력을 위한 제2 전기 경로를 제공하도록 구성되는, 패키지.

청구항 3

제1항에 있어서,

상기 적어도 하나의 제1 브리지 상호연결부는 입력/출력(I/O) 신호들을 위한 제1 전기 경로를 제공하도록 구성되고, 그리고

상기 적어도 하나의 제2 브리지 상호연결부는 접지를 위한 제2 전기 경로를 제공하도록 구성되는, 패키지.

청구항 4

제3항에 있어서, 상기 적어도 하나의 제2 브리지 상호연결부는 전력을 위한 다른 전기 경로를 제공하도록 구성되는, 패키지.

청구항 5

제1항에 있어서, 상기 적어도 하나의 제2 브리지 상호연결부에 결합된 수동 디바이스를 더 포함하는, 패키지.

청구항 6

제5항에 있어서, 상기 수동 디바이스를 캡슐화하는 캡슐화 층을 더 포함하는, 패키지.

청구항 7

제5항에 있어서,

상기 브리지는 전면 및 후면을 포함하고, 그리고

상기 수동 디바이스는 상기 브리지의 상기 후면에 결합되는, 패키지.

청구항 8

제7항에 있어서,

상기 브리지는 전력을 위한 적어도 하나의 전기 경로를 제공하도록 구성되고, 그리고

상기 브리지를 통해 이동하는 상기 전력은 상기 브리지의 상기 후면을 통해 이동하는, 패키지.

청구항 9

제1항에 있어서, 상기 제1 집적 디바이스는 상기 브리지에 전기적으로 결합되도록 구성되는, 패키지.

청구항 10

제1항에 있어서, 상기 제1 집적 디바이스는 상기 기판 및 상기 브리지를 통해 상기 제2 집적 디바이스에 전기적으로 결합되도록 구성되는, 패키지.

청구항 11

제10항에 있어서, 입력 및/또는 출력(I/O) 신호는 상기 기판으로부터의 상호연결부들 및 상기 브리지로부터의 브리지 상호연결부들을 포함하는 전기 경로를 통해 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이를 이동하도록 구성되는, 패키지.

청구항 12

제1항에 있어서, 상기 제1 집적 디바이스는 제1 칩렛(chiplet)을 포함하고, 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 패키지.

청구항 13

제1항에 있어서,

상기 적어도 하나의 제1 브리지 상호연결부는 제1 두께를 포함하고,

상기 적어도 하나의 제2 브리지 상호연결부는 제2 두께를 가지며, 그리고

상기 제2 두께는 상기 제1 두께보다 큰, 패키지.

청구항 14

제13항에 있어서,

상기 제1 두께는 약 1 내지 2 마이크로미터의 제1 범위 내에 있고, 그리고

상기 제2 두께는 약 3 내지 6 마이크로미터의 제2 범위 내에 있는, 패키지.

청구항 15

디바이스로서,

패키지를 포함하고,

상기 패키지는:

기판;

상기 기판 내에 위치된 브리지로서, 상기 브리지는:

브리지 기판;

상기 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층;

상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부;

상기 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층;

상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부; 및

상기 적어도 하나의 제1 브리지 유전체 층 및 상기 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부

를 포함하는, 상기 브리지;

상기 기판에 결합된 제1 집적 디바이스; 및

상기 기판에 결합된 제2 집적 디바이스를 포함하는, 디바이스.

청구항 16

제15항에 있어서, 상기 제1 집적 디바이스는 상기 기판 및 상기 브리지를 통해 상기 제2 집적 디바이스에 전기적으로 결합되도록 구성되는, 디바이스.

청구항 17

제16항에 있어서, 입력 및/또는 출력(I/O) 신호는 상기 기판으로부터의 상호연결부들 및 상기 브리지로부터의 브리지 상호연결부들을 포함하는 전기 경로를 통해 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이를 이동하도록 구성되는, 디바이스.

청구항 18

제15항에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고, 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 디바이스.

청구항 19

제15항에 있어서, 상기 적어도 하나의 제2 브리지 상호연결부에 결합된 수동 디바이스를 더 포함하는, 디바이스.

청구항 20

제19항에 있어서, 상기 수동 디바이스를 캡슐화하는 캡슐화 층을 더 포함하는, 디바이스.

청구항 21

제19항에 있어서,

상기 브리지는 전면 및 후면을 포함하고, 그리고

상기 수동 디바이스는 상기 브리지의 상기 후면에 결합되는, 디바이스.

청구항 22

제21항에 있어서,

상기 브리지는 전력을 위한 적어도 하나의 전기 경로를 제공하도록 구성되고, 그리고

상기 브리지를 통해 이동하는 상기 전력은 상기 브리지의 상기 후면을 통해 이동하는, 디바이스.

청구항 23

제15항에 있어서,

상기 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기(personal digital assistant), 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스, 및 자동차 내

의 디바이스로 이루어진 그룹으로부터 선택되는, 디바이스.

청구항 24

패키지를 제조하기 위한 방법으로서,

기판을 제공하는 단계;

상기 기판 내에 브리지를 배치하는 단계로서, 상기 브리지는:

브리지 기판;

상기 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층;

상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부;

상기 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층;

상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부; 및

상기 적어도 하나의 제1 브리지 유전체 층 및 상기 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부

를 포함하는, 상기 기판 내에 브리지를 배치하는 단계;

상기 기판에 제1 집적 디바이스를 결합시키는 단계; 및

상기 기판에 제2 집적 디바이스를 결합시키는 단계를 포함하는, 패키지를 제조하기 위한 방법.

청구항 25

제24항에 있어서, 상기 패키지는 상기 적어도 하나의 제2 브리지 상호연결부에 결합된 수동 디바이스를 포함하는, 패키지를 제조하기 위한 방법.

청구항 26

제25항에 있어서, 상기 패키지는 상기 수동 디바이스를 캡슐화하는 캡슐화 층을 포함하는, 패키지를 제조하기 위한 방법.

청구항 27

제25항에 있어서,

상기 브리지는 전면 및 후면을 포함하고, 그리고

상기 수동 디바이스는 상기 브리지의 상기 후면에 결합되는, 패키지를 제조하기 위한 방법.

청구항 28

제27항에 있어서,

상기 브리지는 전력을 위한 적어도 하나의 전기 경로를 제공하도록 구성되고, 그리고

상기 브리지를 통해 이동하는 상기 전력은 상기 브리지의 상기 후면을 통해 이동하는, 패키지를 제조하기 위한 방법.

발명의 설명

기 술 분 야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2022년 6월 8일자로 미국 특허청에 출원된 정규 출원 제17/835,861호에 대해 우선권을 주장하고 그것의 이익을 주장하며, 그 정규 출원의 전체 내용은, 그의 전체가 아래에서 완전히 기재된 것처럼 그리고 모든 적용가능한 목적들을 위해 본 명세서에 참조에 의해 포함된다.

[0003] 기술분야

[0004] 다양한 특징들은 기판들 및 집적 디바이스들을 갖는 패키지들에 관한 것이다.

배 경 기 술

[0005] 패키지는 기판과 집적 디바이스들을 포함할 수 있다. 이러한 컴포넌트는 함께 결합되어 다양한 전기 기능을 수행할 수 있는 패키지를 제공한다. 더 양호한 성능의 패키지들을 제공하고 패키지들의 전체 크기를 감소시킬 지속적인 필요성이 존재한다.

발명의 내용

[0006] 개요

[0007] 다양한 특징들은 기판들 및 집적 디바이스들을 갖는 패키지들에 관한 것이다.

[0008] 일 예는 기판, 기판 내에 위치된 브리지(bridge), 기판에 결합된 제1 집적 디바이스, 및 기판에 결합된 제2 집적 디바이스를 포함하는 패키지(package)를 제공한다. 브리지는 브리지 기판; 브리지 기판의 제1 표면(surface)에 결합된 적어도 하나의 제1 브리지 유전체 층(dielectric layer); 상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부(interconnect); 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층; 상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부; 및 상기 적어도 하나의 제1 브리지 유전체 층 및 상기 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부를 포함한다.

[0009] 다른 예는 패키지를 포함하는 디바이스를 제공한다. 패키지는 기판, 기판 내에 위치된 브리지, 기판에 결합된 제1 집적 디바이스, 및 기판에 결합된 제2 집적 디바이스를 포함한다. 브리지는 브리지 기판, 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층, 상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부, 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층, 상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부, 및 상기 적어도 하나의 제1 브리지 유전체 층 및 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부를 포함한다.

[0010] 다른 예는 패키지를 제조하기 위한 방법을 제공한다. 그 방법은 기판을 제공한다. 방법은 기판 내에 브리지를 배치한다. 브리지는 브리지 기판, 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층, 상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부, 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층, 상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부, 및 상기 적어도 하나의 제1 브리지 유전체 층 및 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부를 포함한다. 방법은 제1 집적 디바이스를 기판에 결합시킨다. 방법은 제2 집적 디바이스를 기판에 결합시킨다.

도면의 간단한 설명

[0011] 다양한 특징들, 속성, 및 이점들은, 도면들과 함께 취해질 때, 아래에 기재된 상세한 설명으로부터 명백해질 수 있으며, 도면에서, 동일한 참조 부호들은 전반에 걸쳐 대응적으로 식별된다.

도 1은 브리지를 포함하는 기판을 포함하는 패키지의 예시적인 단면 프로파일 뷰를 예시한다.

도 2는 브리지를 포함하는 기판을 포함하는 패키지의 예시적인 단면 프로파일 뷰를 예시한다.

도 3은 브리지를 포함하는 기판을 포함하는 패키지의 예시적인 단면 프로파일 뷰를 예시한다.

도 4는 브리지를 포함하는 기판을 포함하는 패키지의 예시적인 단면 프로파일 뷰를 예시한다.

도 5는 브리지의 예시적인 단면 프로파일 뷰를 예시한다.

도 6은 브리지의 예시적인 단면 프로파일 뷰를 예시한다.

도 7은 브리지의 예시적인 단면 프로파일 뷰를 예시한다.

도 8a 내지 도 8f는 브리지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 9a 내지 도 9d는 브리지를 제조하기 위한 다른 예시적인 시퀀스를 예시한다.

도 10은 브리지를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 11a 내지 도 11d는 브리지를 포함하는 기판을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 12는 브리지를 포함하는 기판을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 13a 및 도 13b는 상호연결부들을 포함하는 기판을 제조하기 위한 예시적인 시퀀스를 예시한다.

도 14는 상호연결부들을 포함하는 기판을 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 15는 본 명세서에 설명되는 다이, 전자 회로, 집적 디바이스, IPD(integrated passive device), 수동 컴포넌트, 패키지, 및/또는 디바이스 패키지를 통합할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0012] 다음의 설명에서, 본 발명의 다양한 양상들의 완전한 이해를 제공하기 위해 특정한 세부 사항들이 제공된다. 그러나, 이러한 특정 세부 사항이 없이도 양태가 실시될 수 있다는 점이 당업자에 의해 이해될 것이다. 예컨대, 회로들은, 불필요하게 상세히 양태들을 불명료하게 하는 것을 회피하기 위해 블록 다이어그램들로 도시될 수도 있다. 다른 예시들에서, 잘-알려진 회로들, 구조들 및 기법들은 본 개시내용의 양태들을 불명료하게 하지 않기 위해 상세히 도시되지 않을 수도 있다.

[0013] 본 개시는 기판, 기판 내에 위치된 브리지, 기판에 결합된 제1 집적 디바이스, 및 기판에 결합된 제2 집적 디바이스를 포함하는 패키지를 설명한다. 브리지는 브리지 기판; 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층; 상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부; 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층; 상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부; 및 상기 적어도 하나의 제1 브리지 유전체 층 및 상기 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부를 포함한다. 수동 디바이스(passive device)가 기판 내에 위치할 수도 있다. 브리지는 제1 집적 디바이스와 제2 집적 디바이스 사이에 적어도 하나의 전기 경로(electrical path)를 제공하도록 구성될 수도 있다. 수동 디바이스는 브리지에 결합된다. 수동 디바이스는 브리지의 일부로 간주될 수도 있다. 캡슐화 층(encapsulation layer)이 브리지에 결합될 수도 있다. 캡슐화 층은 기판 내에 위치한다. 수동 디바이스는 브리지의 전력 분배 네트워크(power distribution network)에 결합될 수도 있다. 이하 추가로 설명되는 바와 같이, 패키지는 제1 집적 디바이스 및/또는 제2 집적 디바이스에 더 가깝게 위치되는 수동 디바이스를 제공하며, 이는 패키지를 작고 얇게 유지하면서, 향상된 패키지 성능을 제공하는 것을 돕는다.

[0014] **브리지를 갖는 기판을 포함하는 예시적인 패키지**

[0015] 도 1은 브리지를 갖는 기판을 포함하는 패키지(100)의 단면 프로파일 뷰를 도시한다. 브리지는 집적 디바이스들 사이에서 신호들을 위한 전기 경로들을 제공하도록 구성된다. 브리지는 전력 분배 네트워크(power distribution network; PDN)를 위한 전기 경로를 제공하도록 구성된다. 패키지(100)는 복수의 솔더(solder) 상호연결부들(110)을 통해 보드(106)에 결합된다. 보드(106)는 적어도 하나의 보드 유전체 층(160) 및 복수의 보드 상호연결부들(162)을 포함한다. 보드(106)는 PCB(printed circuit board)를 포함할 수 있다.

[0016] 패키지(100)는 기판(102), 집적 디바이스(103), 집적 디바이스(105) 및 브리지(107)를 포함한다. 집적 디바이스(103)는 제1 집적 디바이스일 수 있다. 집적 디바이스(105)는 제2 집적 디바이스일 수 있다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 기판(102)은 복수의 솔더 상호연결부들(110)을 통해 보드(106)에 결합된다. 복수의 솔더 상호연결부들(110)은 복수의 상호연결부들(122) 및 복수의 보드 상호연결부들(162)에 결합된다.

[0017] 집적 디바이스(103)는 복수의 솔더 상호연결부들(130)을 통해 기판(102)의 제1 표면(예를 들어, 최상부 표면)에 결합된다. 복수의 솔더 상호연결부들(130)은 집적 디바이스(103) 및 기판(102)의 복수의 상호연결부들(122)에 결합된다. 집적 디바이스(105)는 복수의 솔더 상호연결부들(150)을 통해 기판(102)의 제1 표면(예를 들어, 최상부 표면)에 결합된다. 복수의 솔더 상호연결부들(150)은 집적 디바이스(105) 및 기판(102)의 복수의 상호연결부들(122)에 결합된다.

[0018] 브리지(107)는 기판(102)에 위치된다. 기판(102)은 캐비티(cavity)(109)를 포함할 수 있다. 기판 내의 캐비티의 예가 적어도 도 11a에서 아래에 도시되고 설명된다. 브리지(107)는 기판(102)의 캐비티(109)에 위치할 수

있다. 브리지(107)는 집적 디바이스(103)와 집적 디바이스(105) 사이에 신호들을 위한 복수의 전기 경로들을 제공하도록 구성된다. 브리지(107)는 전력 분배 네트워크(PDN)를 위한 적어도 하나의 전기 경로를 제공하도록 구성된다. 브리지(107)는 전력을 위한 적어도 하나의 전기 경로를 제공하도록 구성된다. 브리지(107)는 접지(ground)를 위한 적어도 하나의 전기 경로를 제공하도록 구성된다. 브리지(107)는 전면(front side) 및 후면(back side)을 포함할 수 있다. 아래에서 더 설명되는 바와 같이, 브리지(107)는 브리지(107)의 후면을 통해 전력 및/또는 접지를 위한 적어도 하나의 전기 경로를 제공하도록 구성된다.

[0019] 적어도 도 2에서 후술되는 바와 같이, 적어도 하나의 수동 디바이스가 브리지(107)에 결합될 수 있다. 예컨대, 브리지(107)의 후면에 적어도 하나의 수동 디바이스가 결합될 수 있다. 브리지(107)에 결합된 수동 디바이스는 전력 및/또는 접지에 결합되도록 구성될 수 있다. 브리지(107)에 결합되는 수동 디바이스는 브리지(107)의 일부로 간주될 수 있다.

[0020] 브리지(107)는 브리지 기판(170), 적어도 하나의 브리지 유전체 층(172)(예를 들어, 적어도 하나의 제1 브리지 유전체 층), 적어도 하나의 브리지 유전체 층(174)(예를 들어, 적어도 하나의 제2 브리지 유전체 층), 복수의 브리지 상호연결부들(171), 복수의 브리지 상호연결부들(173)(예를 들어, 적어도 하나의 제1 브리지 상호연결부) 및 복수의 브리지 상호연결부들(175)(예를 들어, 적어도 하나의 제2 브리지 상호연결부)을 포함한다. 브리지 기판(170)은 실리콘 기판(예를 들어, 실리콘 브리지 기판)을 포함할 수 있다. 하지만, 브리지 기판(170)은 상이한 재료들을 포함할 수도 있다. 적어도 하나의 브리지 유전체 층(172)은 브리지 기판(170)의 제1 면(예를 들어, 전면, 상면)에 결합된다. 복수의 브리지 상호연결부들(173)은 적어도 하나의 브리지 유전체층(172) 내에 그리고 위에(예를 들어, 그 내에 그리고 그 위에) 위치된다. 복수의 브리지 상호연결부들(173)은 복수의 전면 브리지 상호연결부들일 수 있다. 적어도 하나의 브리지 유전체 층(172) 및 복수의 브리지 상호연결부들(173)은 브리지(107)의 전면의 일부로 간주될 수 있다. 적어도 하나의 브리지 유전체 층(174)은 브리지 기판(170)의 제2 면(예를 들어, 후면, 하면)에 결합된다. 복수의 브리지 상호연결부들(175)은 적어도 하나의 브리지 유전체층(174) 내에 그리고 위에(예를 들어, 그 내에 그리고 그 아래에) 위치된다. 적어도 하나의 브리지 유전체 층(174) 및 복수의 브리지 상호연결부들(175)은 브리지(107)의 후면의 일부로 간주될 수 있다. 복수의 브리지 상호연결부들(175)은 복수의 후면 브리지 상호연결부들일 수 있다. 복수의 브리지 상호연결부들(171)은 브리지(107)의 전면, 브리지 기판(170) 및/또는 후면을 통해 연장될 수 있다. 예를 들어, 복수의 브리지 상호연결부들(171)은 적어도 하나의 브리지 유전체 층(172), 브리지 기판(170) 및/또는 적어도 하나의 브리지 유전체 층(174)을 통해 (예를 들어, 부분적으로 또는 완전히) 연장될 수 있다. 복수의 브리지 상호연결부들(171)은 복수의 브리지 상호연결부들(173) 및 복수의 브리지 상호연결부들(175)에 결합될 수 있다. 복수의 브리지 상호연결부들(171)은 복수의 브리지 비아들(예를 들어, 브리지 비아 상호연결부들)을 포함할 수 있다.

[0021] 브리지(107)는 입력/출력 신호들, 전력 및/또는 접지를 위한 복수의 전기 경로들을 제공하도록 구성된다. 도 1은 브리지(107)가 제공하도록 구성될 수도 있는 3개의 예시적인 전기 경로를 도시한다. 브리지(107)는 3개 초과의 전기 경로들을 제공하도록 구성될 수도 있음을 유의한다. 따라서, 브리지(107)는 다른 전기 경로들을 제공하도록 구성될 수도 있다.

[0022] 도 1은 전기 경로(101), 전기 경로(104) 및 전기 경로(108)를 예시한다. 전기 경로(101)는 집적 디바이스(103)와 집적 디바이스(105) 사이의 전기 경로의 예이다. 전기 경로(101)는 집적 디바이스(103)와 집적 디바이스(105) 사이에 입력/출력(I/O) 신호들을 위한 전기 경로를 제공하도록 구성된다. 전기 경로(101)는 (i) 복수의 솔더 상호연결부들(130)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, (iii) 브리지(107)로부터의 적어도 하나의 브리지 상호연결부(예를 들어, 171, 173), (iv) 복수의 상호연결부들(122)로부터의 적어도 다른 상호연결부, 및 (v) 복수의 솔더 상호연결부들(150)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다. 전기 경로(101)는 브리지(107)의 전면을 통해 연장된다. 전기 경로(101)와 유사한 집적 디바이스(103)와 집적 디바이스(105) 사이의 복수의 전기 경로가 존재할 수 있음을 유의한다. 일 예에서, 브리지를 통해 연장되는 집적 디바이스(103)와 집적 디바이스(105) 사이의 전기 경로들은 각각 I/O 신호를 위한 전기 경로로서 구성될 수 있다.

[0023] 전기 경로(104)는 적어도 보드(106), 기판(102) 및 브리지(107)를 통해 연장되는 전기 경로의 예이다. 전기 경로(104)는 또한 집적 디바이스(103) 및/또는 집적 디바이스(105)로 연장될 수 있음을 유의한다. 일 예에서, 전기 경로(104)는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성된다. 전력은 집적 디바이스(103)에 제공될 수 있다. 다른 예에서, 전기 경로(104)는 접지를 위한 전기 경로를 제공하도록 구성된다. 전기 경로(104)는 (i) 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부, (ii) 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, (iii) 복수의 상호연결부들(122)로부터의

적어도 하나의 상호연결부, 및 (iv) 브리지(107)로부터의 적어도 하나의 브리지 상호연결부(예를 들어, 171, 173, 175)를 포함할 수 있다. 전기 경로(104)는 또한 복수의 솔더 상호연결부(130)로부터의 솔더 상호연결부를 포함할 수 있다. 전기 경로(104)는 또한 복수의 솔더 상호연결부(150)로부터의 솔더 상호연결부를 포함할 수 있다. 전기 경로(104)는 브리지(107)의 전면 및/또는 후면을 통해 연장될 수 있다. 일부 구현들에서, 보드(106), 기판(102) 및 브리지(107)를 통해 연장되는 복수의 전기 경로들이 존재할 수 있다. 전기 경로(104)는 브리지(107)의 전면 및/또는 브리지(107)의 후면을 통해 이동할 수 있다. 전기 경로(104)는 임의의 방향(예를 들어, 왼쪽에서 오른쪽, 오른쪽에서 왼쪽, 위 및/또는 아래)으로 연장될 수 있다. 전기 경로(104)를 통해 이동하는 하나 이상의 전류는 임의의 방향(예를 들어, 왼쪽에서 오른쪽, 오른쪽에서 왼쪽, 위 및/또는 아래)으로 이동할 수 있다. 이들 전기 경로들 중 하나는 접지를 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성될 수 있다.

[0024] 전기 경로(108)는 적어도 보드(106), 기판(102) 및 브리지(107)를 통해 연장되는 전기 경로의 예이다. 전기 경로(108)는 또한 집적 디바이스(103) 및/또는 집적 디바이스(105)로 연장될 수 있음을 유의한다. 일 예에서, 전기 경로(108)는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성된다. 전력은 집적 디바이스(103) 및/또는 집적 디바이스(105)에 제공될 수 있다. 다른 예에서, 전기 경로(108)는 접지를 위한 전기 경로를 제공하도록 구성된다. 전기 경로(108)는 (i) 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부, (ii) 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, (iii) 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, 및 (iv) 브리지(107)로부터의 적어도 하나의 브리지 상호연결부(예를 들어, 171, 173, 175)를 포함할 수 있다. 전기 경로(108)는 또한 복수의 솔더 상호연결부들(130)로부터의 솔더 상호연결부 및/또는 복수의 솔더 상호연결부들(150)로부터의 솔더 상호연결부를 포함할 수도 있다. 전기 경로(108)는 브리지(107)의 전면 및/또는 후면을 통해 연장될 수 있다. 일부 구현들에서, 보드(106), 기판(102) 및 브리지(107)를 통해 연장되는 복수의 전기 경로들이 존재할 수 있다. 전기 경로(108)는 브리지(107)의 전면 및/또는 브리지(107)의 후면을 통해 이동할 수 있다. 전기 경로(108)는 임의의 방향(예를 들어, 왼쪽에서 오른쪽, 오른쪽에서 왼쪽, 위 및/또는 아래)으로 연장될 수 있다. 전기 경로(108)를 통해 이동하는 하나 이상의 전류는 임의의 방향(예를 들어, 왼쪽에서 오른쪽, 오른쪽에서 왼쪽, 위 및/또는 아래)으로 이동할 수 있다. 이들 전기 경로들 중 하나는 접지를 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성될 수 있다.

[0025] 상기 설계 및/또는 구성에는 여러가지 장점이 있다. 첫째, 브리지(107)의 후면 내/상의 상호연결부들은 집적 디바이스(103) 및/또는 집적 디바이스(105)로의 전력 전달을 향상시키기 위해 더 많은 상호연결부들을 제공하는 것을 돕는다. 둘째, 접지를 위한 전기 경로로서 구성된 상호연결부들을 포함하는 브리지를 제공하는 것은 브리지(107)를 통해 이동하는 신호들의 신호 무결성(signal integrity)을 향상시키는데 도움이 되며, 이는 집적 디바이스(103) 및/또는 집적 디바이스(105)의 성능을 향상시키는데 도움이 된다.

[0026] 일부 구현들에서, 브리지(107)의 후면 상의 상호연결부들은 브리지(107)의 전면 상의 상호연결부들과 상이한 두께들을 가질 수도 있다. 예를 들어, (브리지(107)의 전면 내/상에 위치된) 복수의 브리지 상호연결부들(173)은 약 1 내지 2 마이크로미터의 제1 범위의 두께(예를 들어, 제1 두께)를 가질 수 있고, (브리지(107)의 후면 내/상에 위치된) 복수의 브리지 상호연결부들(175)은 (예를 들어, 약 3 내지 6 마이크로미터의 제2 범위의) 2 마이크로미터보다 큰 두께(예를 들어, 제2 두께)를 가질 수 있다. 복수의 브리지 상호연결부들(175)(예를 들어, 후면 금속 층들)의 두께의 증가는 전력의 전달을 향상시키는데 도움이 되고 브리지(107)를 가로지르는 IR 드롭을 감소시키는데 도움이 된다. 상기 언급된 두께는 본 개시에서 설명된 브리지의 임의의 브리지의 금속 층들 (예를 들어, M1, M2, M3, M4, M5, M6, M7) 및/또는 금속 평면의 두께를 지칭할 수 있다. 전술한 바와 같이, 일부 구현들에서, 기판(102)은 수동 디바이스를 포함할 수 있다. 도 2는 브리지 및 적어도 하나의 수동 디바이스를 갖는 기판을 포함하는 패키지(200)를 도시한다. 그 수동 디바이스는 전력 분배 네트워크에 결합될 수 있다. 수동 디바이스는 패키지, 집적 디바이스들, 기판 및/또는 브리지 내의 회로들에 대한 효과적인 디커플링을 제공하는 것을 돕도록 구성될 수 있다. 패키지(200)는 패키지(100)와 유사하며, 따라서 패키지(100)와 유사한 컴포넌트들을 포함할 수 있다.

[0027] 패키지(200)는 기판(102), 집적 디바이스(103), 집적 디바이스(105) 및 브리지(207)를 포함한다. 브리지(207)는 브리지(107)와 유사할 수 있다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한다. 기판(102)은 복수의 솔더 상호연결부들(110)을 통해 보드(106)에 결합된다. 복수의 솔더 상호연결부들(110)은 복수의 상호연결부들(122) 및 복수의 보드 상호연결부들(162)에 결합된다.

[0028] 집적 디바이스(103)는 복수의 솔더 상호연결부들(130)을 통해 기판(102)의 제1 표면(예를 들어, 최상부 표면)에

결합된다. 복수의 솔더 상호연결부들(130)은 집적 디바이스(103) 및 기판(102)의 복수의 상호연결부들(122)에 결합된다. 집적 디바이스(105)는 복수의 솔더 상호연결부들(150)을 통해 기판(102)의 제1 표면(예를 들어, 최상부 표면)에 결합된다. 복수의 솔더 상호연결부들(150)은 집적 디바이스(105) 및 기판(102)의 복수의 상호연결부들(122)에 결합된다.

[0029] 브리지(207)는 기판(102)에 위치된다. 기판(102)은 캐비티(209)를 포함할 수 있다. 브리지(207)는 기판(102)의 캐비티(209)에 위치할 수 있다. 캐비티(209)의 일부는 가스(예를 들어, 공기)로 충전될 수 있음에 유의한다. 브리지(207)는 집적 디바이스(103)와 집적 디바이스(105) 사이에 신호들을 위한 복수의 전기 경로들을 제공하도록 구성된다. 브리지(207)는 전력 분배 네트워크(PDN)를 위한 적어도 하나의 전기 경로를 제공하도록 구성된다. 브리지(207)는 전력을 위한 적어도 하나의 전기 경로를 제공하도록 구성된다. 브리지(207)는 접지를 위한 적어도 하나의 전기 경로를 제공하도록 구성된다. 브리지(207)는 전면 및 후면을 포함할 수 있다. 아래에서 더 설명되는 바와 같이, 브리지(207)는 브리지(207)의 후면을 통해 전력 및/또는 접지를 위한 적어도 하나의 전기 경로를 제공하도록 구성된다.

[0030] 패키지(200)는 또한 수동 디바이스(203) 및 수동 디바이스(205)를 포함한다. 수동 디바이스(203)는 제1 수동 디바이스일 수 있다. 수동 디바이스(205)는 제2 수동 디바이스일 수 있다. 수동 디바이스는 커패시터를 포함할 수 있다. 수동 디바이스(203) 및/또는 수동 디바이스(205)는 수동 다이(passive die)일 수 있다. 수동 디바이스(203)는 기판(102) 내에 위치할 수 있다. 수동 디바이스(205)는 기판(102) 내에 위치할 수 있다. 수동 디바이스(203)는 복수의 솔더 상호연결부들(230)을 통해 브리지(207)의 후면에 결합된다. 예를 들어, 수동 디바이스(203)는 복수의 솔더 상호연결부들(230)을 통해 브리지(207)의 브리지 상호연결부들(예를 들어, 175)에 결합될 수 있다. 수동 디바이스(205)는 복수의 솔더 상호연결부들(250)을 통해 브리지(207)의 후면에 결합된다. 예를 들어, 수동 디바이스(205)는 복수의 솔더 상호연결부들(250)을 통해 브리지(207)의 브리지 상호연결부들(예를 들어, 175)에 결합될 수 있다.

[0031] 도 2는 전기 경로(101), 전기 경로(204) 및 전기 경로(208)를 도시한다. 도 2의 전기 경로(101)는 도 1의 전기 경로(101)와 유사할 수 있다. 전기 경로(204)는 도 1의 전기 경로(104)와 유사할 수 있다. 전기 경로(208)는 도 1의 전기 경로(108)와 유사할 수 있다. 그러나, 아래에서 더 설명되는 바와 같이, 전기 경로(204)는 수동 디바이스(203)를 포함하고, 전기 경로(208)는 수동 디바이스(205)를 포함한다.

[0032] 전기 경로(204)는 적어도 보드(106), 기판(102), 브리지(207) 및 수동 디바이스(203)를 통해 연장되는 전기 경로의 예이다. 전기 경로(204)는 또한 집적 디바이스(103) 및/또는 집적 디바이스(105)로 연장될 수 있음을 유의한다. 일 예에서, 전기 경로(204)는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성된다. 전력은 집적 디바이스(103) 및/또는 집적 디바이스(105)에 제공될 수 있다. 다른 예에서, 전기 경로(204)는 접지를 위한 전기 경로를 제공하도록 구성된다. 전기 경로(204)는 (i) 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부, (ii) 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, (iii) 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, (iv) 브리지(207)로부터의 적어도 하나의 브리지 상호연결부(예를 들어, 171, 173, 175), 및 (v) 수동 디바이스(203)의 단자(예를 들어, 솔더 상호연결부(230), 상호연결부)를 포함할 수 있다. 전기 경로(204)는 또한 복수의 솔더 상호연결부들(130)로부터의 솔더 상호연결부 및/또는 복수의 솔더 상호연결부들(150)로부터의 솔더 상호연결부를 포함할 수도 있다. 전기 경로(204)는 브리지(207)의 전면 및/또는 후면을 통해 연장될 수 있다. 일부 구현들에서, 보드(106), 기판(102), 브리지(207) 및 수동 디바이스(203)를 통해 연장되는 복수의 전기 경로들이 존재할 수 있다. 이들 전기 경로들 중 하나는 접지를 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성될 수 있다.

[0033] 전기 경로(208)는 적어도 보드(106), 기판(102), 브리지(207) 및 수동 디바이스(205)를 통해 연장되는 전기 경로의 예이다. 전기 경로(208)는 또한 집적 디바이스(103) 및/또는 집적 디바이스(105)로 연장될 수 있음을 유의한다. 일 예에서, 전기 경로(208)는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성된다. 전력은 집적 디바이스(103) 및/또는 집적 디바이스(105)에 제공될 수 있다. 다른 예에서, 전기 경로(208)는 접지를 위한 전기 경로를 제공하도록 구성된다. 전기 경로(208)는 (i) 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부, (ii) 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, (iii) 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, (iv) 브리지(207)로부터의 적어도 하나의 브리지 상호연결부(예를 들어, 171, 173, 175), 및 (v) 수동 디바이스(205)의 단자(예를 들어, 솔더 상호연결부(250), 상호연결부)를 포함할 수 있다. 전기 경로(208)는 또한 복수의 솔더 상호연결부(130)로부터의 솔더 상호연결부 및/또는 복수의 솔더 상호연결부(150)로부터의 솔더 상호연결부를 포함할 수도 있다.

전기 경로(208)는 브리지(207)의 전면 및/또는 후면을 통해 연장될 수 있다. 일부 구현들에서, 보드(106), 기판(102) 및 브리지(207)를 통해 연장되는 복수의 전기 경로들이 존재할 수 있다. 이들 전기 경로들 중 하나는 접지를 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성될 수 있다.

[0034] 상기 설계 및/또는 구성에는 여러가지 장점이 있다. 첫째, 브리지(207)의 후면 내/상의 상호연결부들은 집적 디바이스(103) 및/또는 집적 디바이스(105)로의 전력 전달을 향상시키기 위해 더 많은 상호연결부들을 제공하는 것을 돕는다. 둘째, 접지를 위한 전기 경로로서 구성된 상호연결부들을 포함하는 브리지를 제공하는 것은 브리지(207)를 통해 이동하는 신호들의 신호 무결성을 향상시키는데 도움이 되며, 이는 집적 디바이스(103) 및/또는 집적 디바이스(105)의 성능을 향상시키는데 도움이 된다. 셋째, 수동 디바이스(203) 및/또는 수동 디바이스(205)는 기판(102)의 하부 표면에 결합되는 커패시터들에 비해 향상된 디커플링 능력들을 제공한다. 넷째, 집적 디바이스(들)에 더 가까운 수동 디바이스(203) 및/또는 수동 디바이스(205)는 전압 드룹(voltage droop)을 개선하는 것을 도울 수 있다.

[0035] 일부 구현들에서, 기계적으로 견고하고 안정적인 패키지를 제공하기 위해, 추가적인 재료들 및/또는 컴포넌트들이 패키지와 함께 제공될 수 있다. 도 3은 기판 내에 캡슐화 층(310)을 포함하는 패키지(300)를 도시한다. 패키지(300)는 패키지(200)와 유사하고, 따라서 패키지(200)와 유사한 컴포넌트들을 포함한다. 패키지(200) 및 그 컴포넌트들의 설명은 또한 패키지(300)에 적용 가능하다. 패키지(300)는 기판(102) 내에 위치된 캡슐화 층(310)을 포함한다. 캡슐화 층(310)은 기판(102)의 캐비티(209)에 위치될 수도 있다. 캐비티(209)는 가스(예를 들어, 공기)로 채워질 수도 있다.

[0036] 도 3은 수동 디바이스(203) 및 수동 디바이스(205)를 캡슐화하는 캡슐화 층(310)을 도시한다. 캡슐화 층(310)은 브리지(207)의 후면 및/또는 브리지(207)의 후면의 일부에 결합될 수 있다. 캡슐화 층(310)은 또한 브리지(207)를 캡슐화할 수 있다. 캡슐화 층(310)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(310)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(310)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다. 언더필과 같은 다른 재료들이 캡슐화 층(310) 대신에 또는 이와 조합하여 사용될 수 있음에 유의한다. 일부 구현들에서, 수동 디바이스(203), 수동 디바이스(205) 및/또는 캡슐화 층(310)은 브리지(207)의 일부로 간주될 수 있다. 캡슐화 층(310)은 브리지(207), 기판(102) 및/또는 패키지(300)에 대한 구조적 안정성을 제공하는 것을 돕는다.

[0037] 패키지(300)에 대한 가능한 전기 경로들은 도 1의 패키지(100), 도 2의 패키지(200)에 대해 설명된 전기 경로들, 또는 본 개시에서 설명된 임의의 전기 경로들과 유사할 수 있다.

[0038] 도 4는 직접 후면 결합을 갖는 브리지를 포함하는 패키지(400)를 도시한다. 패키지(400)는 패키지(300)와 유사하고, 따라서 패키지(300)와 유사한 컴포넌트들을 포함한다. 패키지(300) 및 그 컴포넌트들의 설명은 또한 패키지(400)에 적용 가능하다. 패키지(400)는 기판(102) 내에 위치된 브리지(207) 및 캡슐화 층(310)을 포함한다. 캡슐화 층(310)은 브리지(207)의 후면을 통해 적어도 하나의 전기 경로를 허용하도록 구성된 복수의 상호연결부들(412)을 포함한다. 캡슐화 층(310)은 기판(102)의 캐비티(209)에 위치될 수도 있다. 캐비티(209)는 가스(예를 들어, 공기)로 채워질 수도 있다. 일부 구현들에서, 캡슐화 층(310) 및/또는 복수의 상호연결부들(412)은 브리지(207)의 일부로 간주될 수도 있다. 일부 구현들에서, 캡슐화 층(310) 및/또는 복수의 상호연결부들(412)은 기판(102)의 일부로 간주될 수도 있다. 복수의 상호연결부들(412)은 복수의 관통 몰드 상호연결부(through mold interconnect)들을 포함할 수 있다. 복수의 상호연결부들(412)은 복수의 상호연결부들(122)에 결합될 수 있다. 복수의 상호연결부들(412)은 복수의 브리지 상호연결부들(171), 복수의 브리지 상호연결부들(173) 및/또는 복수의 브리지 상호연결부들(175)에 결합될 수도 있다. 복수의 상호연결부들(412)은 관통 몰드 비아(through mold via; TMV)들을 포함할 수 있다. 일부 구현들에서, 전력은 복수의 상호연결부들(412)을 포함하는 전기 경로를 통해 이동할 수 있다. 즉, 브리지(207)의 후면을 통해 전력이 진입할 수 있다. 복수의 상호연결부들(412)을 전력을 위한 전기 경로로서 사용하는 것은 전압 드룹을 개선하는데 도움이 될 수 있다.

[0039] 도 4는 전기 경로(101), 전기 경로(404), 전기 경로(408), 및 전기 경로(414) 및 전기 경로(418)를 예시한다. 도 4의 전기 경로(101)는 도 1의 전기 경로(101)와 유사할 수 있다.

[0040] 전기 경로(404)는 적어도 보드(106) 및 기판(102)을 통해 연장되는 전기 경로의 예이다. 전기 경로(404)는 또한 집적 디바이스(103)로 연장될 수 있다는 점에 유의한다. 일 예에서, 전기 경로(404)는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성된다. 전력은 집적 디바이스(103)에 제공될 수 있다.

다른 예에서, 전기 경로(404)는 접지를 위한 전기 경로를 제공하도록 구성된다. 전기 경로(404)는 (i) 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부, (ii) 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, 및 (iii) 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부를 포함할 수 있다. 전기 경로(404)는 또한 복수의 솔더 상호연결부(130)로부터의 솔더 상호연결부를 포함할 수 있다. 일부 구현들에서, 보드(106) 및 기판(102)을 통해 연장되는 복수의 전기 경로들이 존재할 수 있다. 이들 전기 경로들 중 하나는 접지를 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 입력/출력(I/O) 신호들을 위한 전기 경로를 제공하도록 구성될 수 있다.

[0041] 전기 경로(408)는 적어도 보드(106) 및 기판(102)을 통해 연장되는 전기 경로의 예이다. 전기 경로(408)는 또한 집적 디바이스(103)로 연장될 수 있다는 점에 유의한다. 일 예에서, 전기 경로(408)는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성된다. 전력은 집적 디바이스(105)에 제공될 수 있다. 다른 예에서, 전기 경로(408)는 접지를 위한 전기 경로를 제공하도록 구성된다. 전기 경로(408)는 (i) 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부, (ii) 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, 및 (iii) 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부를 포함할 수 있다. 전기 경로(408)는 또한 복수의 솔더 상호연결부(150)로부터의 솔더 상호연결부를 포함할 수 있다. 일부 구현들에서, 보드(106) 및 기판(102)을 통해 연장되는 복수의 전기 경로들이 존재할 수 있다. 이들 전기 경로들 중 하나는 접지를 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 입력/출력(I/O) 신호들을 위한 전기 경로를 제공하도록 구성될 수 있다.

[0042] 전기 경로(414)는 적어도 보드(106), 기판(102), 브리지(207) 및 수동 디바이스(203)를 통해 연장되는 전기 경로의 예이다. 전기 경로(414)는 또한 집적 디바이스(103)로 연장될 수 있다는 점에 유의한다. 일 예에서, 전기 경로(414)는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성된다. 전력은 집적 디바이스(103)에 제공될 수 있다. 다른 예에서, 전기 경로(414)는 접지를 위한 전기 경로를 제공하도록 구성된다. 전기 경로(414)는 (i) 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부, (ii) 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, (iii) 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, (iv) 복수의 상호연결부들(412)로부터의 적어도 하나의 상호연결부, (v) 브리지(207)로부터의 적어도 하나의 브리지 상호연결부(예를 들어, 171, 173, 175), 및 (v) 수동 디바이스(203)의 단자(예를 들어, 솔더 상호연결부(230), 상호연결부)를 포함할 수 있다. 전기 경로(414)는 또한 복수의 솔더 상호연결부(130)로부터의 솔더 상호연결부를 포함할 수 있다. 전기 경로(414)는 캡슐화 층(310) 및 브리지(207)의 후면을 통해 연장될 수 있다. 일부 구현들에서, 보드(106), 기판(102), 브리지(207) 및 수동 디바이스(203)를 통해 연장되는 복수의 전기 경로들이 존재할 수 있다. 이들 전기 경로들 중 하나는 접지를 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성될 수 있다.

[0043] 전기 경로(418)는 적어도 보드(106), 기판(102), 브리지(207) 및 수동 디바이스(203)를 통해 연장되는 전기 경로의 예이다. 전기 경로(418)는 또한 집적 디바이스(105)로 연장될 수 있다는 점에 유의한다. 일 예에서, 전기 경로(418)는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성된다. 전력은 집적 디바이스(105)에 제공될 수 있다. 다른 예에서, 전기 경로(418)는 접지를 위한 전기 경로를 제공하도록 구성된다. 전기 경로(418)는 (i) 복수의 보드 상호연결부들(162)로부터의 적어도 하나의 보드 상호연결부, (ii) 복수의 솔더 상호연결부들(110)로부터의 적어도 하나의 솔더 상호연결부, (iii) 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부, (iv) 복수의 상호연결부들(412)로부터의 적어도 하나의 상호연결부, (v) 브리지(207)로부터의 적어도 하나의 브리지 상호연결부(예를 들어, 171, 173, 175), 및 (v) 수동 디바이스(203)의 단자(예를 들어, 솔더 상호연결부(230), 상호연결부)를 포함할 수 있다. 전기 경로(418)는 또한 복수의 솔더 상호연결부(150)로부터의 솔더 상호연결부를 포함할 수 있다. 전기 경로(418)는 캡슐화 층(310) 및 브리지(207)의 후면을 통해 연장될 수 있다. 일부 구현들에서, 보드(106), 기판(102), 브리지(207) 및 수동 디바이스(203)를 통해 연장되는 복수의 전기 경로들이 존재할 수 있다. 이들 전기 경로들 중 하나는 접지를 위한 전기 경로를 제공하도록 구성될 수 있고, 이들 전기 경로들 중 다른 하나는 (전력 분배 네트워크의 일부로서) 전력을 위한 전기 경로를 제공하도록 구성될 수 있다.

[0044] 상기 설계 및/또는 구성에는 여러가지 장점이 있다. 첫째, 브리지(207)의 후면 내/상의 상호연결부들은 집적 디바이스(103) 및/또는 집적 디바이스(105)로의 전력 전달을 향상시키기 위해 더 많은 상호연결부들을 제공하는

것을 돕는다. 둘째, 접지를 위한 전기 경로로서 구성된 상호연결부들을 포함하는 브리지를 제공하는 것은 브리지(207)를 통해 이동하는 신호들의 신호 무결성을 향상시키는데 도움이 되며, 이는 집적 디바이스(103) 및/또는 집적 디바이스(105)의 성능을 향상시키는데 도움이 된다. 셋째, 수동 디바이스(203) 및/또는 수동 디바이스(205)는 기판(102)의 하부 표면에 결합되는 커패시터들에 비해 향상된 디커플링 능력들을 제공한다. 넷째, 집적 디바이스에 더 가까운 수동 디바이스(203) 및/또는 수동 디바이스(205)는 전압 드룹을 개선하는 것을 도울 수 있다. 다섯째, 캡슐화 층(310) 및/또는 브리지(207)의 후면을 통한 전기 경로는 수동 디바이스(203) 및 집적 디바이스에 더 직접적인 경로를 제공할 수 있어서, 회로의 향상된 디커플링 및/또는 집적 디바이스(예를 들어, 103, 105)에 대한 더 짧은 경로를 제공하는 것을 도울 수 있다.

[0045] 도 5는 브리지(207)의 예시적인 단면 프로파일 뷰를 도시한다. 도 5에 도시된 바와 같이, 브리지(207)는 브리지 기판(170), 적어도 하나의 브리지 유전체 층(172), 적어도 하나의 브리지 유전체 층(174), 복수의 브리지 상호연결부들(171), 복수의 브리지 상호연결부들(173) 및 복수의 브리지 상호연결부들(175)을 포함한다. 브리지 기판(170)은 실리콘 기판(예를 들어, 실리콘 브리지 기판)을 포함할 수 있다. 하지만, 브릿지 기판(170)은 상이한 재료들을 포함할 수도 있다. 적어도 하나의 브리지 유전체 층(172)은 브리지 기판(170)의 제1 면(예를 들어, 전면, 상면)에 결합된다. 복수의 브리지 상호연결부들(173)은 적어도 하나의 브리지 유전체층(172) 내에 그리고 위에(예를 들어, 그 내에 그리고 그 위에) 위치된다. 복수의 브리지 상호연결부들(173)은 복수의 전면 브리지 상호연결부들일 수 있다. 적어도 하나의 브리지 유전체 층(172) 및 복수의 브리지 상호연결부들(173)은 브리지(207)의 전면의 일부로 간주될 수 있다. 적어도 하나의 브리지 유전체 층(174)은 브리지 기판(170)의 제2 면(예를 들어, 후면, 하면)에 결합된다. 복수의 브리지 상호연결부들(175)은 적어도 하나의 브리지 유전체층(174) 내에 그리고 위에(예를 들어, 그 내에 그리고 그 아래에) 위치된다. 적어도 하나의 브리지 유전체 층(174) 및 복수의 브리지 상호연결부들(175)은 브리지(207)의 후면의 일부로 간주될 수 있다. 복수의 브리지 상호연결부들(175)은 복수의 후면 브리지 상호연결부들일 수 있다. 복수의 브리지 상호연결부들(171)은 브리지(207)의 전면, 브리지 기판(170) 및/또는 후면을 통해 연장될 수 있다. 예를 들어, 복수의 브리지 상호연결부들(171)은 적어도 하나의 브리지 유전체 층(172), 브리지 기판(170) 및/또는 적어도 하나의 브리지 유전체 층(174)을 통해 (예를 들어, 부분적으로 또는 완전히) 연장될 수 있다. 복수의 브리지 상호연결부들(171)은 복수의 브리지 상호연결부들(173) 및 복수의 브리지 상호연결부들(175)에 결합될 수 있다. 복수의 브리지 상호연결부들(171)은 복수의 브리지 비아들(예를 들어, 브리지 비아 상호연결부들)을 포함할 수 있다.

[0046] 복수의 브리지 상호연결부들(171)은 적어도 하나의 브리지 상호연결부(171a), 적어도 하나의 브리지 상호연결부(171b), 적어도 하나의 브리지 상호연결부(171c), 적어도 하나의 브리지 상호연결부(171d), 적어도 하나의 브리지 상호연결부(171e) 및 적어도 하나의 브리지 상호연결부(171f)를 포함한다. 복수의 브리지 상호연결부들(173)은 적어도 하나의 브리지 상호연결부(173a), 적어도 하나의 브리지 상호연결부(173b), 적어도 하나의 브리지 상호연결부(173c), 적어도 하나의 브리지 상호연결부(173d) 및 적어도 하나의 브리지 상호연결부(173e)를 포함한다. 복수의 브리지 상호연결부들(175)은 적어도 하나의 브리지 상호연결부(175a), 적어도 하나의 브리지 상호연결부(175b), 적어도 하나의 브리지 상호연결부(175c) 및 적어도 하나의 브리지 상호연결부(175d)를 포함한다.

[0047] 일부 구현들에서, 적어도 하나의 브리지 상호연결부(173a)는 입력/출력(I/O) 신호들을 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다. 일부 구현들에서, 적어도 하나의 브리지 상호연결부(173b)는 접지를 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다. 일부 구현들에서, 적어도 하나의 브리지 상호연결부(173c)는 입력/출력(I/O) 신호들을 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다. 일부 구현들에서, 적어도 하나의 브리지 상호연결부(173d)는 접지를 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다. 일부 구현들에서, 적어도 하나의 브리지 상호연결부(173e)는 접지를 위한 적어도 하나의 전기 경로, 전력을 위한 적어도 하나의 전기 경로 및/또는 입력/출력(I/O) 신호들을 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다.

[0048] 일부 구현들에서, 적어도 하나의 브리지 상호연결부(171e)는 접지를 위한 적어도 하나의 전기 경로, 전력을 위한 적어도 하나의 전기 경로 및/또는 입력/출력(I/O) 신호들을 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다.

[0049] 적어도 하나의 브리지 상호연결부(173a)는 적어도 하나의 브리지 상호연결부(173e)에 결합될 수 있다. 적어도 하나의 브리지 상호연결부(173e)는 패드 및/또는 비아를 포함할 수 있다. 적어도 하나의 브리지 상호연결부(173c)는 적어도 하나의 브리지 상호연결부(173e)에 결합될 수 있다. 적어도 하나의 브리지 상호연결부(173b)는 적어도 하나의 브리지 상호연결부(171b) 및/또는 적어도 하나의 브리지 상호연결부(171e)에 결합될 수 있다.

적어도 하나의 브리지 상호연결부(175b)는 적어도 하나의 브리지 상호연결부(171b) 및/또는 적어도 하나의 브리지 상호연결부(171e)에 결합될 수 있다. 적어도 하나의 브리지 상호연결부(173d)는 적어도 하나의 브리지 상호연결부(171a) 및/또는 적어도 하나의 브리지 상호연결부(171f)에 결합될 수 있다. 적어도 하나의 브리지 상호연결부(175c)는 적어도 하나의 브리지 상호연결부(171a) 및/또는 적어도 하나의 브리지 상호연결부(171f)에 결합될 수 있다. 도 7에서 추가로 설명되는 바와 같이, 일부 구현들은 전력, 접지 및/또는 I/O 신호들을 위해 상이한 경로들 및/또는 상이한 금속 평면들 및/또는 금속 층들을 사용할 수 있다. 도 5는 하나의 금속 층 또는 하나의 금속 평면이 I/O 신호들을 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있고, 다른 금속 층 또는 다른 금속 평면이 다른 I/O 신호들을 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있으며, 금속 층들 또는 금속 평면들 사이에 위치된 금속 층 또는 금속 평면이 접지를 위한 적어도 하나의 전기 경로를 제공하도록 구성되는 것을 예시한다. 이러한 금속 층 또는 접지를 위한 금속 층은, 상이한 금속 층들 또는 금속 평면들 상의 신호들뿐만 아니라, 동일한 금속 층 또는 금속 평면 상의 상이한 신호들을 격리시키는 것을 돕도록 구성된다.

[0050] 도 6은 브리지(207)의 예시적인 단면 프로파일 뷰를 도시한다. 도 6의 브리지(207)는 도 5의 브리지(207)와 유사하다. 그러나, 도 6의 브리지(207)는 또한 수동 디바이스(203), 수동 디바이스(205) 및 캡슐화 층(310)을 포함한다. 수동 디바이스(203)는 복수의 솔더 상호연결부들(230)을 통해 브리지(207)의 후면에 결합된다. 예를 들어, 수동 디바이스(203)는 복수의 솔더 상호연결부들(230)을 통해 적어도 하나의 브리지 상호연결부(175d)에 결합될 수 있다. 수동 디바이스(205)는 복수의 솔더 상호연결부들(250)을 통해 브리지(207)의 후면에 결합된다. 예를 들어, 수동 디바이스(205)는 복수의 솔더 상호연결부들(250)을 통해 적어도 하나의 브리지 상호연결부(175d)에 결합될 수 있다. 캡슐화 층(310)은 수동 디바이스(203) 및/또는 수동 디바이스(205)를 캡슐화할 수도 있다. 캡슐화 층(310)은 브리지(207)의 후면에 결합될 수 있다. 예를 들어, 캡슐화 층(310)은 적어도 하나의 브리지 유전체 층(174)의 후면 표면에 결합될 수 있다. 수동 디바이스(203), 수동 디바이스(205) 및/또는 캡슐화 층(310)은 브리지(207)의 일부로 간주되거나 간주되지 않을 수 있다.

[0051] 도 7은 브리지(707)의 예시적인 단면 프로파일 뷰를 도시한다. 브리지(707)는 도 6의 브리지(207)와 동일하거나 유사한 컴포넌트들을 포함한다. 따라서, 도 7의 브리지(707)는 도 5 및/또는 도 6의 브리지(207)와 유사할 수 있다. 그러나, 도 7의 브리지(707)는 전력, 접지 및 I/O 신호들을 위한 전기 경로들의 상이한 배열들 및/또는 구성들을 갖는다. 도 7에 도시된 바와 같이, 브리지(707)의 전면은 I/O 신호들, 전력 및 접지를 위한 전기 경로들을 제공하도록 구성된 상호연결부들을 포함하고, 브리지(707)의 후면은 전력 및/또는 접지를 위한 전기 경로들을 제공하도록 구성된다. 예를 들어, 브리지(707)의 전면의 (복수의 브리지 상호연결부들(173)로부터의) 금속 층의 적어도 일부는 I/O 신호들을 위한 전기 경로를 제공하도록 구성될 수 있고, 브리지(707)의 전면의 (복수의 브리지 상호연결부들(173)로부터의) 다른 금속 층의 적어도 일부는 접지를 위한 전기 경로를 제공하도록 구성될 수 있으며, 브리지(707)의 전면의 (복수의 브리지 상호연결부들(173)로부터의) 또 다른 금속 층의 적어도 일부는 전력을 위한 전기 경로를 제공하도록 구성될 수 있다. 유사하게, 브리지(707)의 후면의 (복수의 브리지 상호연결부들(175)로부터의) 금속 층의 적어도 일부는 접지를 위한 전기 경로를 제공하도록 구성될 수 있고, 브리지(707)의 후면의 (복수의 브리지 상호연결부들(175)로부터의) 다른 금속 층의 적어도 일부는 전력을 위한 전기 경로를 제공하도록 구성될 수 있다.

[0052] 집적 디바이스(예를 들어, 103, 105)는 다이(예를 들어, 반도체 베어(bare) 다이)를 포함할 수 있다. 집적 디바이스는 PMIC(power management integrated circuit)를 포함할 수 있다. 집적 디바이스는 애플리케이션 프로세서를 포함할 수 있다. 집적 디바이스는 모뎀을 포함할 수 있다. 집적 디바이스는 RF(radio frequency) 디바이스, 수동 디바이스, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, GaAs(gallium arsenide)계 집적 디바이스, SAW(surface acoustic wave) 필터들, BAW(bulk acoustic wave) 필터, LED(light emitting diode) 집적 디바이스, Si(silicon)계 집적 디바이스, SiC(silicon carbide)계 집적 디바이스, 메모리, 전력 관리 프로세서, 및/또는 이들의 조합들을 포함할 수 있다. 집적 디바이스(예를 들어, 103, 105)는 적어도 하나의 전자 회로(예를 들어, 제1 전자 회로, 제2 전자 회로 등...)를 포함할 수 있다. 집적 디바이스는 트랜지스터들을 포함할 수 있다. 집적 디바이스는 전기 컴포넌트 및/또는 전기 디바이스의 일 예일 수 있다. 일부 구현에서, 집적 디바이스는 칩렛(chiplet)일 수 있다. 칩렛은 다른 유형들의 집적 디바이스들에 대한 제조 프로세스들에 비해 더 양호한 수율들을 제공하는 프로세스를 사용하여 제조될 수 있으며, 이는 칩렛을 제조하는 전체 비용을 낮추는 것을 도울 수 있다. 상이한 칩렛들은 상이한 사이즈들 및/또는 형상들을 가질 수 있다. 상이한 칩셋들은 상이한 기능들을 제공하도록 구성될 수 있다. 상이한 칩셋들은 상이한 상호연결부 밀도들(예컨대 상이한 폭 및/또는 간격을 갖는 상호연결부들)을 가질 수 있다. 일부 구현들에서, 여러 개의 칩렛들은 하나 이상의 칩들(예컨대, 하나 이상의 집적 디바이스들)의 기능들을 수행하는 데 사용될 수 있다. 여러 기능을 수행하는 여러

칩렛을 사용하면 단일 칩을 사용하여 패키지의 모든 기능을 수행하는 것에 비해 패키지의 전체 비용을 줄일 수 있다.

[0053] 패키지(예를 들어, 100, 200, 300, 400)는 라디오 주파수(RF) 패키지로 구현될 수 있다. RF 패키지는 RFFE(radio frequency front end) 패키지일 수 있다. 패키지(예컨대, 100, 200, 300, 400)는 WiFi(Wireless Fidelity) 통신 및/또는 셀룰러 통신(예컨대, 2G, 3G, 4G, 5G)을 제공하도록 구성될 수 있다. 패키지(예를 들어, 100, 300)는 GSM(Global System for Mobile) 통신, UMTS(Universal Mobile Telecommunications System) 및/또는 LTE(Long-Term Evolution)를 지원하도록 구성될 수 있다. 패키지(예를 들어, 100, 300)는 서로 다른 주파수 및/또는 통신 프로토콜을 갖는 신호를 송신 및 수신하도록 구성될 수 있다.

[0054] 브리지를 포함하는 기판을 갖는 다양한 패키지들을 설명하였으므로, 브리지를 제조하기 위한 시퀀스가 이제 설명될 것이다.

[0055] **브리지를 제조하기 위한 예시적인 시퀀스**

[0056] 일부 구현들에서, 브리지를 제조하는 것은 여러 프로세스들을 포함한다. 도 8a 내지 도 8f는 브리지를 제공하거나 제조하기 위한 예시적인 시퀀스를 도시한다. 일부 구현들에서, 도 8a 내지 도 8f의 시퀀스는 브리지(207)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 8a 내지 도 8f의 프로세스는 본 개시에서 설명된 브리지들(예를 들어, 107, 707) 중 임의의 것을 제조하는 데 사용될 수도 있다.

[0057] 도 8a 내지 도 8f의 시퀀스는 브리지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확히 하기 위해 하나 이상의 스테이지들을 조합할 수도 있다는 점에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범위를 벗어나지 않으면서 교체 또는 대체될 수 있다.

[0058] 스테이지 1 은, 도 8a에 도시된 바와 같이, 브리지 기판(170)이 제공된 후의 상태를 예시한다. 브리지 기판(170)은 실리콘 기판을 포함할 수 있다.

[0059] 스테이지 2는 복수의 브리지 상호연결부들(873a)이 브리지 기판(170)의 제1 표면 위에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(873a)은 브리지 기판(170) 위에 형성될 수 있다. 복수의 브리지 상호연결부들(873a)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0060] 스테이지 3은 브리지 유전체 층(172a)이 브리지 기판(170)의 제1 표면 및 복수의 브리지 상호연결부들(873a) 위에 형성된 후의 상태를 예시한다. 디포지션(deposition) 및/또는 라미네이션(lamination) 프로세스가 브리지 유전체 층들(172a)을 형성하는 데 사용될 수 있다.

[0061] 스테이지 4는 복수의 브리지 상호연결부들(873b)이 브리지 유전체 층(172a) 위에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(873b)은 브리지 유전체 층(172a) 위에 형성될 수 있다. 복수의 브리지 상호연결부들(873b)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0062] 스테이지 5는, 도 8b에 도시된 바와 같이, 브리지 유전체 층(172b)이 복수의 브리지 상호연결부들(873b) 및 브리지 유전체 층(172a) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층들(172b)을 형성하는 데 사용될 수 있다.

[0063] 스테이지 6은 복수의 브리지 상호연결부들이 브리지 유전체 층(172b) 위에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(873c)은 브리지 유전체 층(172b) 위에 형성될 수 있다. 복수의 브리지 상호연결부들(873c)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0064] 스테이지 7은 브리지 유전체 층(172c)이 복수의 브리지 상호연결부들(873c) 및 브리지 유전체 층(172b) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층들(172c)을 형성하는 데 사용될 수 있다.

[0065] 스테이지 8은 복수의 브리지 상호연결부들이 브리지 유전체 층(172c) 위에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(873d)은 브리지 유전체 층(172c) 위에 형성될 수 있다. 복수의 브리지 상호연결부들(873d)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0066] 스테이지 9는, 도 8c에 도시된 바와 같이, 브리지 유전체 층(172d)이 복수의 브리지 상호연결부들(873d) 및 브리지 유전체 층(172c) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층들(172d)을 형성하는 데 사용될 수 있다.

[0067] 스테이지 10은 복수의 캐비티들(710)이 브리지 기판(170) 및 적어도 하나의 브리지 유전체 층(172)에 형성된 후의 상태를 예시한다. 브리지 유전체 층(172)은 브리지 유전체 층(172a, 172b, 172c 및/또는 172d)을 나타내고 그리고/또는 포함할 수 있다. 복수의 캐비티들(710)은 레이저 어블레이션(laser ablation) 프로세스를 이용하여 형성될 수 있다.

[0068] 스테이지 11은 브리지 기판(170) 및 적어도 하나의 브리지 유전체 층(172)을 통해 연장되는 복수의 브리지 상호연결부들(171) 이후의 상태를 예시한다. 복수의 브리지 상호연결부들(171)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0069] 스테이지 12는, 도 8d에 도시된 바와 같이, 복수의 브리지 상호연결부들이 브리지 기판(170)의 제2 표면 위에 형성된 후의 상태를 예시한다. 스테이지 12는 브리지가 플립되고 상호연결부들이 다른 표면 상에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(875a)은 브리지 기판(170)의 위에 (또는 브리지 기판의 배향에 따라 아래에) 형성될 수 있다. 복수의 브리지 상호연결부들(875a)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0070] 스테이지 13은 브리지 유전체 층(174a)이 브리지 기판(170)의 제2 표면 및 복수의 브리지 상호연결부들(875a) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층(174a)을 형성하는 데 사용될 수 있다.

[0071] 스테이지 14는 복수의 캐비티들(810)이 브리지 유전체 층(174a)에 형성된 후의 상태를 예시한다. 캐비티를 형성하기 위해 에칭 프로세스(예를 들어, 포토 에칭 프로세스)가 사용될 수 있다.

[0072] 스테이지 15는 복수의 브리지 상호연결부들(875b)이 브리지 유전체 층(174a) 위에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(875b)은 브리지 유전체 층(174a) 및 복수의 브리지 상호연결부들(875a) 위에 형성될 수 있다. 복수의 브리지 상호연결부들(875b)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0073] 스테이지 16은, 도 8e에 도시된 바와 같이, 브리지 유전체 층(174b)이 복수의 브리지 상호연결부들(875b) 및 브리지 유전체 층(174a) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층들(174b)을 형성하는 데 사용될 수 있다.

[0074] 스테이지 17은 복수의 브리지 상호연결부들(875c)이 브리지 유전체 층(174b) 위에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(875c)은 브리지 유전체 층(174b) 위에 형성될 수 있다. 복수의 브리지 상호연결부들(875c)이 형성되기 전에, 복수의 캐비티들이 상기 스테이지 14에서 설명된 바와 유사한 방식으로 브리지 유전체 층(174b)에 형성될 수 있다. 복수의 브리지 상호연결부들(875c)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0075] 스테이지 18은 브리지 유전체 층(174c)이 복수의 브리지 상호연결부들(875c) 및 브리지 유전체 층(174b) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층들(174c)을 형성하는 데 사용될 수 있다.

[0076] 스테이지 19는 복수의 브리지 상호연결부들(875d)이 브리지 유전체 층(174) 위에 형성된 후의 상태를 예시한다. 브리지 유전체 층(174)은 브리지 유전체 층(174a, 174b, 및/또는 174c)을 표현하고 그리고/또는 포함할 수 있다. 복수의 브리지 상호연결부들(875d)은 브리지 유전체 층(174) 위에 형성될 수 있다. 복수의 브리지 상호연결부들(875d)이 형성되기 전에, 복수의 캐비티들이 상기 스테이지 14에서 설명된 바와 유사한 방식으로 브리지 유전체 층(174c)에 형성될 수 있다. 복수의 브리지 상호연결부들(875d)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0077] 스테이지 20은, 도 8f에 도시된 바와 같이, 수동 디바이스(203) 및 수동 디바이스(205)가 복수의 브리지 상호연결부들(175)에 결합된 후의 상태를 예시한다. 수동 디바이스(203)는 복수의 솔더 상호연결부들(230)을 통해 복수의 브리지 상호연결부들(175)에 결합될 수 있다. 수동 디바이스(205)는 복수의 솔더 상호연결부들(250)을 통해 복수의 브리지 상호연결부들(175)에 결합될 수 있다. 수동 디바이스(203) 및/또는 수동 디바이스(205)를 결합하기 위해 솔더 리플로우 프로세스가 사용될 수 있다.

[0078] 스테이지 21은 캡슐화 층(310)이 형성된 후의 상태를 예시한다. 캡슐화 층(310)은 브리지(207)의 표면에 결합된다. 예를 들어, 캡슐화 층(310)은 적어도 하나의 브리지 유전체 층(174)에 결합된다. 캡슐화 층(310)은 수동 디바이스(203) 및/또는 수동 디바이스(205)를 캡슐화할 수도 있다. 캡슐화 층(310)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(310)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(310)은 압축 및 전사

몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다. 스테이지 21은 브리지 기판(170), 복수의 브리지 상호연결부들(171), 적어도 하나의 브리지 유전체 층(172), 복수의 브리지 상호연결부들(173), 적어도 하나의 브리지 유전체 층(174), 복수의 브리지 상호연결부들(175), 수동 디바이스(203), 수동 디바이스(205) 및 캡슐화 층(310)을 포함하는 브리지(207)의 예를 예시한다.

[0079] 도 8a 내지 도 8f는 브리지를 제조하기 위한 프로세스를 예시하며, 여기서 브리지의 전면이 제조되고, 이어서 브리지 기판에서의 브리지 상호연결부들이 제조되고, 이어서 브리지의 후면이 제조된다. 일부 구현들은 상이한 프로세스 및/또는 상이한 시퀀스를 사용하여 브리지를 제조할 수 있다. 예를 들어, 일부 구현들에서, 브리지의 전면 및 후면은 동시에 제조될 수 있고, 브리지의 전면, 브리지 기판 및 브리지의 후면으로부터 (예를 들어, 기판 비아들을 통해) 연장되는 브리지 상호연결부들이 제조될 수 있다.

[0080] **브리지를 제조하기 위한 예시적인 시퀀스**

[0081] 일부 구현들에서, 브리지를 제조하는 것은 여러 프로세스들을 포함한다. 도 9a 내지 도 9d는 브리지를 제공하거나 제조하기 위한 예시적인 시퀀스를 도시한다. 일부 구현들에서, 도 9a 내지 도 9d의 시퀀스는 브리지(207)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 9a 내지 도 9d의 프로세스는 본 개시에서 설명된 브리지들(예를 들어, 107, 707) 중 임의의 것을 제조하는 데 사용될 수도 있다.

[0082] 도 9a 내지 도 9d의 시퀀스가 기판을 제공 또는 제조하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 이상의 스테이지들을 조합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범위를 벗어나지 않으면서 교체 또는 대체될 수 있다. 도 9a 내지 도 9d는 브리지의 전면 및 후면이 동시에 제조되는 시퀀스를 예시할 수 있다.

[0083] 스테이지 1 은, 도 9a에 도시된 바와 같이, 브리지 기판(170)이 제공된 후의 상태를 예시한다. 브리지 기판(170)은 실리콘 기판을 포함할 수 있다.

[0084] 스테이지 2는 복수의 브리지 상호연결부들이 브리지 기판(170)의 제1 표면 위에 그리고 브리지 기판(170)의 제2 표면 위에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(873a)은 브리지 기판(170) 위에 (예컨대, 브리지 기판의 제1 표면 위에) 형성될 수 있고, 복수의 브리지 상호연결부들(875a)은 브리지 기판(170) 아래에 (예컨대, 브리지 기판의 제2 표면 아래에) 형성될 수 있다. 도금 프로세스는 복수의 브리지 상호연결부들(예를 들어, 873a, 875a)을 형성하는 데 사용될 수 있다.

[0085] 스테이지 3은 브리지 유전체 층(172a)이 브리지 기판(170)의 제1 표면 및 복수의 브리지 상호연결부들(873a) 위에 형성된 후의 상태를 예시한다. 스테이지 3은 또한, 브리지 유전체 층(174a)이 브리지 기판(170)의 제2 표면 및 복수의 브리지 상호연결부들(875a) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층들(예를 들어, 172a, 174a)을 형성하는 데 사용될 수 있다.

[0086] 스테이지 4는 복수의 브리지 상호연결부들이 브리지 유전체 층(172a) 위에 그리고 브리지 유전체 층(174a) 위에 형성된 후의 상태를 예시한다. 예를 들어, 복수의 브리지 상호연결부들(873b)은 브리지 유전체 층(172a) 위에 형성될 수 있고, 복수의 브리지 상호연결부들(875b)은 브리지 유전체 층(174a) 아래에 형성될 수 있다. 도금 프로세스는 복수의 브리지 상호연결부들(예를 들어, 873b, 875b)을 형성하는 데 사용될 수 있다.

[0087] 스테이지 5는, 도 9b에 도시된 바와 같이, 브리지 유전체 층(172b)이 복수의 브리지 상호연결부들(873b) 및 브리지 유전체 층(172a) 위에 형성된 후의 상태를 예시한다. 스테이지 5는 또한, 브리지 유전체 층(174b)이 복수의 브리지 상호연결부들(875b) 및 브리지 유전체 층(174a) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층들(예를 들어, 172b, 174b)을 형성하는 데 사용될 수 있다.

[0088] 스테이지 6은 복수의 브리지 상호연결부들이 브리지 유전체 층(172b) 위에 그리고 브리지 유전체 층(174b) 위에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(873c)은 브리지 유전체층(172b) 위에 형성될 수 있고, 복수의 브리지 상호연결부들(875c)은 브리지 유전체층(174b) 아래에 형성될 수 있다. 도금 프로세스는 복수의 브리지 상호연결부들(예를 들어, 873c, 875c)을 형성하는 데 사용될 수 있다.

[0089] 스테이지 7은 브리지 유전체 층(172c)이 복수의 브리지 상호연결부들(873c) 위에 형성된 후의 상태를 예시한다. 스테이지 7은 또한, 브리지 유전체 층(174c)이 복수의 브리지 상호연결부들(875c) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층들(예를 들어, 172c, 174c)을 형성하는 데 사용될 수 있다.

[0090] 스테이지 8은 복수의 브리지 상호연결부들이 브리지 유전체 층(172c) 위에 그리고 브리지 유전체 층(174c) 위에 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(873d)은 브리지 유전체층(172c) 위에 형성될 수 있고, 복수의 브리지 상호연결부들(875d)은 브리지 유전체층(174c) 아래에 형성될 수 있다. 도금 프로세스는 복수의 브리지 상호연결부들(예를 들어, 873d, 875d)을 형성하는 데 사용될 수 있다.

[0091] 스테이지 9는, 도 9c에 도시된 바와 같이, 브리지 유전체 층(172d)이 복수의 브리지 상호연결부들(873d) 및 브리지 유전체 층(172c) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층(예를 들어, 172d)을 형성하는 데 사용될 수 있다.

[0092] 스테이지 10은 복수의 캐비티들(710)이 브리지 기판(170), 적어도 하나의 브리지 유전체 층(172) 및/또는 적어도 하나의 브리지 유전체 층(174)에 형성된 후의 상태를 예시한다. 복수의 캐비티들(710)은 레이저 어블레이션 프로세스를 이용하여 형성될 수 있다. 브리지 유전체 층(172)은 브리지 유전체 층(172a, 172b, 172c 및/또는 172d)을 표현하고 그리고/또는 포함할 수 있다. 브리지 유전체층(174)은 브리지 유전체층(174a, 174b 및/또는 174c)을 표현하고 그리고/또는 포함할 수 있다.

[0093] 스테이지 11은 브리지 기판(170), 적어도 하나의 브리지 유전체 층(172) 및/또는 적어도 하나의 브리지 유전체 층(174)을 통해 연장되는 복수의 브리지 상호연결부들(171)이 형성된 후의 상태를 예시한다. 복수의 브리지 상호연결부들(171)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0094] 스테이지 12는, 도 9d에 도시된 바와 같이, 수동 디바이스(203) 및 수동 디바이스(205)가 복수의 브리지 상호연결부들(175)에 결합된 후의 상태를 예시한다. 수동 디바이스(203)는 복수의 솔더 상호연결부들(230)을 통해 복수의 브리지 상호연결부들(175)에 결합될 수 있다. 수동 디바이스(205)는 복수의 솔더 상호연결부들(250)을 통해 복수의 브리지 상호연결부들(175)에 결합될 수 있다. 수동 디바이스(203) 및/또는 수동 디바이스(205)를 결합하기 위해 솔더 리플로우 프로세스가 사용될 수 있다.

[0095] 스테이지 13은 캡슐화 층(310)이 형성된 후의 상태를 예시한다. 캡슐화 층(310)은 브리지(207)의 표면에 결합된다. 예를 들어, 캡슐화 층(310)은 적어도 하나의 브리지 유전체 층(174)의 표면에 결합될 수 있다. 캡슐화 층(310)은 수동 디바이스(203) 및/또는 수동 디바이스(205)를 캡슐화할 수도 있다. 캡슐화 층(310)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(310)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(310)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다. 스테이지 13은 브리지 기판(170), 복수의 브리지 상호연결부들(171), 적어도 하나의 브리지 유전체 층(172), 복수의 브리지 상호연결부들(173), 적어도 하나의 브리지 유전체 층(174), 복수의 브리지 상호연결부들(175), 수동 디바이스(203), 수동 디바이스(205) 및 캡슐화 층(310)을 포함하는 브리지(207)의 예를 예시한다.

[0096] **브리지를 제조하기 위한 방법의 예시적인 흐름도**

[0097] 일부 구현들에서, 브리지를 제조하는 것은 여러 프로세스들을 포함한다. 도 10은 브리지를 제공하거나 제조하기 위한 방법(1000)의 예시적인 흐름도를 도시한다. 일부 구현들에서, 도 10의 방법(1000)은 본 개시에서 설명된 브리지(207)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 방법(1000)은 본 개시에서 설명된 브리지들(예를 들어, 107, 707) 중 임의의 것을 제공 또는 제조하는 데 사용될 수도 있다.

[0098] 도 10의 방법(1000)은 브리지를 제공 또는 제조하기 위한 방법을 단순화 및/또는 명확히 하기 위해 하나 이상의 프로세스들을 조합할 수도 있다는 점에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0099] 방법은 (1005에서) 브리지 기판(예를 들어, 170)을 제공한다. 브리지 기판(170)은 실리콘 기판을 포함할 수 있다. 도 9a의 스테이지 1은 브리지 기판을 제공하는 예를 예시 및 설명한다.

[0100] 방법은 (1010에서) 브리지 상호연결부들(예를 들어, 173, 175) 및 브리지 유전체 층들(예를 들어, 172, 174)을 브리지 기판의 표면들 위에 형성한다. 예를 들어, 복수의 브리지 상호연결부들이 브리지 기판(170)의 제1 표면 및 브리지 기판(170)의 제2 표면 위에 형성될 수 있다. 복수의 브리지 상호연결부들(873a)은 브리지 기판(170) 위에 형성될 수 있고, 복수의 브리지 상호연결부들(875a)은 브리지 기판(170) 아래에 형성될 수 있다. 도금 프로세스는 복수의 브리지 상호연결부들(예를 들어, 873a, 875a)을 형성하는 데 사용될 수 있다. 다른 예에서, 브리지 유전체 층(172a)이 브리지 기판(170)의 제1 표면 및 복수의 브리지 상호연결부들(873a) 위에 형성될 수 있다. 다른 예에서, 브리지 유전체 층(174a)이 브리지 기판(170)의 제2 표면 및 복수의 브리지 상호연결부들(875a) 위에 형성될 수 있다. 디포지션 및/또는 라미네이션 프로세스가 브리지 유전체 층들(예를 들어, 172a,

174a)을 형성하는 데 사용될 수 있다. 상기 프로세스는 여러 브리지 상호연결부들 및/또는 브리지 유전체층들을 형성하기 위해 반복적으로 수행될 수 있다. 도 9a 내지 도 9c의 스테이지 2 내지 스테이지 9는 브리지 상호연결부들 및 브리지 유전체 층들을 형성하는 예들을 예시하고 설명한다.

[0101] 방법은 (1015에서) 브리지 기판(170), 적어도 하나의 브리지 유전체 층(172) 및/또는 적어도 하나의 브리지 유전체 층(174)에 복수의 캐비티들(예를 들어, 710)을 형성한다. 복수의 캐비티들(710)은 레이저 어블레이션 프로세스를 이용하여 형성될 수 있다. 복수의 캐비티들(710)은 적어도 하나의 브리지 유전체 층(172), 브리지 기판(170) 및/또는 적어도 하나의 브리지 유전체 층(174)을 통해 연장될 수 있다. 도 9c의 스테이지 10은 캐비티들을 형성하는 예를 예시 및 설명한다.

[0102] 방법은 (1020에서) 복수의 캐비티들(710)에 복수의 브리지 상호연결부들(예를 들어, 171)을 형성한다. 복수의 브리지 상호연결부들(171)은 적어도 하나의 브리지 유전체 층(172), 브리지 기판(170), 및/또는 적어도 하나의 브리지 유전체 층(174)을 통해 연장될 수 있다. 복수의 브리지 상호연결부들(171)을 형성하기 위해 도금 프로세스가 사용될 수 있다. 복수의 브리지 상호연결부들(171)은 복수의 브리지 상호연결부들(173) 및/또는 복수의 브리지 상호연결부들(175)에 결합될 수 있다. 도 9c의 스테이지 11은 브리지 상호연결부들을 형성하는 예를 예시하고 설명한다.

[0103] 방법은 (1025에서) 하나 이상의 수동 디바이스(들)(예를 들어, 203, 205)를 브리지 상호연결부들에 결합한다. 예를 들어, 수동 디바이스(203)는 복수의 솔더 상호연결부들(230)을 통해 복수의 브리지 상호연결부들(175)에 결합될 수 있고, 수동 디바이스(205)는 복수의 솔더 상호연결부들(250)을 통해 복수의 브리지 상호연결부들(175)에 결합될 수 있다. 수동 디바이스(203) 및/또는 수동 디바이스(205)를 결합하기 위해 솔더 리플로우 프로세스가 사용될 수 있다. 도 9d의 스테이지 12는 수동 디바이스들을 브리지 상호연결부들에 결합하는 예를 예시 및 설명한다.

[0104] 방법은 (1030에서) 캡슐화 층(예를 들어, 310)을 형성한다. 예를 들어, 캡슐화 층(310)은 브리지(207)의 표면에 결합될 수 있다. 캡슐화 층(310)은 수동 디바이스(203) 및/또는 수동 디바이스(205)를 캡슐화할 수도 있다. 캡슐화 층(310)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(310)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(310)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다. 도 9d의 스테이지 13은 캡슐화 층을 형성하는 예를 예시 및 설명한다.

[0105] 도 10의 방법(1000)은 도 8a 내지 도 8f에 설명된 방식으로 브리지를 제조하기 위해 수정될 수도 있음을 유의한다. 이러한 구현들에서, 방법은 브리지의 전면에 대한 브리지 유전체 층(들) 및 브리지 상호연결부들을 형성할 수 있고, 이어서 브리지 기판에 상호연결부들을 형성하고, 이어서 브리지의 후면에 대한 브리지 유전체 층(들) 및 브리지 상호연결부들이 형성된다. 일단 전면 및 후면 브리지 상호연결부들이 제조되고 나면, 수동 디바이스들이 브리지에 결합될 수 있고 캡슐화 층이 형성될 수 있다.

[0106] **브리지를 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0107] 일부 구현들에서, 패키지를 제조하는 것은 여러 프로세스들을 포함한다. 도 11a 내지 도 11d는 브리지를 포함하는 패키지를 제공하거나 제조하기 위한 예시적인 시퀀스를 도시한다. 일부 구현예들에서, 도 11a 내지 도 11d의 시퀀스는 패키지(400)를 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 11a 내지 도 11d의 프로세스는 본 개시에서 설명된 브리지를 포함하는 패키지들 중 임의의 패키지를 제조하는 데 사용될 수도 있다.

[0108] 도 11a 내지 도 11d 의 시퀀스는 브리지를 포함하는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확히 하기 위해 하나 이상의 스테이지들을 결합할 수도 있다는 것에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범위를 벗어나지 않으면서 교체 또는 대체될 수 있다.

[0109] 도 11a의 스테이지 1은 기판(102) 및 캐리어(1100)가 제공된 후의 상태를 도시한다. 기판(102)은 캐리어(1100)에 결합되고 그 위에 위치될 수 있다. 기판(102)은 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함할 수 있다. 도 13a 및 도 13b는 적어도 하나의 유전체 층 및 복수의 상호연결부들을 포함하는 기판을 제조하는 예를 예시한다.

[0110] 스테이지 2는, 기판(102)에 캐비티(209)가 형성된 후의 상태를 예시한다. 캐비티(209)를 형성하기 위해 레이저 어블레이션 프로세스 및/또는 에칭 프로세스가 사용될 수 있다. 캐비티(209)는 기판(102)을 통해(예를 들어, 부분적으로 또는 완전히) 연장될 수 있다(예를 들어, 기판(102)의 적어도 하나의 유전체 층(120)을 통해 연장된

다). 캐비티(209)를 통해 캐리어(1100)의 표면이 노출될 수 있다.

[0111] 스테이지 3은 브리지(207)가 캐비티(209) 내에 그리고 캐리어(1100) 위에 배치된 후의 상태를 도시한다. 캐비티(209) 내에 브리지(207)를 위치시키기 위해 픽 앤 플레이스(pick and place) 프로세스가 사용될 수 있다. 상이한 구현은 캐비티(209) 내에 상이한 브리지들(예를 들어, 107, 707)을 위치시킬 수 있다. 브리지(207)는 캡슐화 층을 포함하거나 포함하지 않을 수 있다. 브리지(207)는 하나 이상의 수동 디바이스들을 포함할 수 있거나 포함하지 않을 수 있다. 브리지(207)는 캐리어(1100) 위에 위치되고 및/또는 그에 결합될 수 있다.

[0112] 도 11b의 스테이지 4는 유전체 층(1120)이 브리지(207) 위에 형성된 후의 상태를 도시한다. 유전체 층(1120)은 적어도 하나의 유전체 층(120)과 유사할 수 있다. 유전체 층(1120)은 캐비티(209) 내에 위치하는 브리지(207)의 측면의 일부를 따라 형성될 수 있다. 유전체 층(1120)은 기판(102)의 캐비티(209)의 부분들을 채울 수도 있다. 일부 구현들에서, 캐비티(209)의 일부 부분들은 유전체 층(1120)으로 채워진다. 일부 구현들에서, 브리지(207)에 의해 점유되지 않은 캐비티(209) 내의 공간의 전부는 아니지만 대부분의 공간은 유전체 층(1120)으로 채워질 수 있다. 디포지션 및/또는 라미네이션 프로세스가 유전체 층(1120)을 형성하는 데 사용될 수 있다. 일부 구현들에서, 유전체 층(1120) 대신에, 캡슐화 층(310)과 유사한 캡슐화 층이 사용될 수 있다. 브리지(207) 위에 제공되는 캡슐화 층은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다.

[0113] 스테이지 5는 복수의 캐비티들(1121)이 유전체 층 (1120)에 형성된 후의 상태를 예시한다. 복수의 캐비티들(1121)을 형성하기 위해 레이저 어블레이션 프로세스 및/또는 에칭 프로세스(예를 들어, 리소그래피 프로세스)가 사용될 수 있다. 유전체 층(1120)은 유전체 층(120)의 일부로 간주될 수 있다. 따라서, 유전체 층(120)은 유전체 층(1120)을 포함할 수 있다. 복수의 캐비티들(1121)이 유전체 층(120)에 형성되는 것으로 고려될 수 있다. 복수의 캐비티들(1121)은 브지지(207)의 일부를 노출시킬 수도 있다. 예를 들어, 복수의 캐비티들(1121)은 브리지(207)의 브리지 상호연결부를 노출시킬 수 있다.

[0114] 스테이지 6은 복수의 브리지 상호연결부들(1123)이 적어도 하나의 유전체 층 (120) 및/또는 유전체 층 (1120) 위에 형성된 후의 것을 예시한다. 유전체 층(1120)은 적어도 하나의 유전체 층(120)의 일부로 간주될 수 있다. 복수의 브리지 상호연결부들(1123)은 복수의 상호연결부들(122) 및 브리지(207)의 브리지 상호연결부들(예를 들어, 173)에 결합될 수 있다. 복수의 브리지 상호연결부들(1123)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0115] 도 11c의 스테이지 7은 캐리어(1100)가 기판(102) 및 브리지(207)로부터 분리된 후의 상태를 도시한다. 캐리어(1100)는 기판(102) 및/또는 브리지(207)로부터 제거 및/또는 분리될 수 있다.

[0116] 스테이지 8은 복수의 캐비티들(1143)이 캡슐화 층(310)에 형성된 후의 상태를 예시한다. 복수의 캐비티들(1143)을 형성하기 위해 레이저 어블레이션 및/또는 에칭 프로세스가 사용될 수 있다.

[0117] 스테이지 9는 복수의 상호연결부들(1145)이 형성된 후의 상태를 예시한다. 복수의 상호연결부들(1145)은 캡슐화 층(310) 내에 그리고 그 위에 형성될 수 있다. 복수의 상호연결부들(1145)은 적어도 하나의 유전체 층(120) 위에 형성될 수 있다. 복수의 상호연결부들(1135)은 기판(102)의 일부로 간주되는 상호연결부들, 및/또는 브리지(207)의 일부로 간주되는 브리지 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(1145)의 일부 또는 전부는 복수의 상호연결부들(122)의 일부로 간주될 수도 있다.

[0118] 스테이지 10은 유전체 층(1160)이 적어도 하나의 유전체 층(120) 및/또는 캡슐화 층(310) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스는 유전체 층(1160)을 형성하는 데 사용될 수 있다. 유전체 층(1160)은 적어도 하나의 유전체 층(120)과 유사할 수 있다. 유전체 층(1160)은 적어도 하나의 유전체 층(120)의 일부로 간주될 수 있다.

[0119] 스테이지 11은 집적 디바이스들이 기판 (102)에 결합된 후의 상태를 예시한다. 예를 들어, 집적 디바이스(103)는 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 결합되고, 집적 디바이스(105)는 복수의 솔더 상호연결부들(150)을 통해 기판(102)에 결합된다. 솔더 리플로우 프로세스는 집적 디바이스들(예를 들어, 103, 105)을 기판(102)에 결합시키는 데 사용될 수 있다.

[0120] 스테이지 12는 복수의 솔더 상호연결부들(110)이 기판(102)에 결합된 후의 상태를 예시한다. 복수의 솔더 상호연결부들(110)은 기판(102)의 복수의 상호연결부들(122)에 결합된다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(110)을 기판(102)에 결합시키는 데 사용될 수 있다. 스테이지 12는 기판(102), 브리지(207), 집

적 디바이스(103) 및 집적 디바이스(105)를 포함하는 패키지(400)의 예를 도시할 수도 있다.

[0121] **브리지를 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도**

[0122] 도 12는 브리지를 포함하는 패키지를 제공하거나 제조하기 위한 방법(1200)의 예시적인 흐름도를 도시한다. 일부 구현들에서, 도 12의 방법(1200)은 본 개시에서 설명된 패키지(400)를 제공 또 제조하는 데 사용될 수 있다. 그러나, 방법(1200)은 본 개시에서 설명된 패키지들 중 임의의 패키지를 제공 또는 제조하는 데 사용될 수도 있다.

[0123] 도 12의 방법(1200)은 패키지를 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이상의 프로세스들을 조합할 수도 있다는 점에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0124] 그 방법은 (1205 에서) 적어도 하나의 유전체층(예컨대, 120) 및 복수의 상호연결부들(예컨대, 122) 을 포함하는 기판(예컨대, 102)을 제공한다. 기판(102)은 캐리어(1100)에 결합될 수 있다. 기판은 적층 기판일 수도 있다. 도 13a 및 도 13b는 적어도 하나의 유전체 층 및 복수의 상호연결부들을 포함하는 기판을 제조하는 예를 예시한다. 도 11a의 스테이지 1은 기판 및 캐리어를 제공하는 예를 예시 및 설명한다.

[0125] 방법은 (1210에서) 기판(102)에 캐비티(예를 들어, 209)를 형성한다. 캐비티(209)를 형성하기 위해 레이저 어블레이션 프로세스 및/또는 에칭 프로세스가 사용될 수 있다. 캐비티(209)는 기판(102)을 통해(예를 들어, 부분적으로 또는 완전히) 연장될 수 있다(예를 들어, 기판(102)의 적어도 하나의 유전체 층(120)을 통해 연장된다). 캐비티(209)를 통해 캐리어(1100)의 표면이 노출될 수도 있다. 도 11a의 스테이지 2는 기판에 캐비티를 형성하는 예를 예시 및 설명한다.

[0126] 방법은 (1215에서) 기판(102)의 캐비티(209) 내에 그리고 캐리어(1100) 위에 브리지(예를 들어, 207)를 배치한다. 기판(102)의 캐비티(209) 내에 브리지(207)를 위치시키기 위해 픽 앤 플레이스 프로세스가 사용될 수 있다. 상이한 구현은 캐비티(209) 내에 상이한 브리지들(예를 들어, 107, 207)을 배치할 수도 있다. 브리지(207)는 적어도 하나의 수동 디바이스를 포함할 수도 있고, 포함하지 않을 수도 있다. 브리지(207)는 캡슐화 층을 포함하거나 포함하지 않을 수 있다. 브리지(207)는 캐리어(1100) 위에 위치되고 및/또는 그에 결합될 수 있다. 도 11a의 스테이지 3은 기판의 캐비티 내에 브리지를 배치하는 예를 예시 및 설명한다.

[0127] 방법은 (1220에서) 유전체 층 및 상호연결부들(예를 들어, 브리지 상호연결부들)을 브리지 및/또는 기판 위에 형성한다. 예를 들어, 유전체 층(1120)이 브리지(207) 위에 형성될 수 있다. 유전체 층(1120)은 적어도 하나의 유전체 층(120)과 유사할 수 있다. 유전체 층(1120)은 캐비티(209) 내에 위치하는 브리지(207)의 측면의 일부를 따라 형성될 수 있다. 유전체 층(1120)은 기판(102)의 캐비티(209)의 부분들을 채울 수도 있다. 디포지션 및/또는 라미네이션 프로세스가 유전체 층(1120)을 형성하는 데 사용될 수 있다. 일부 구현들에서, 유전체 층(1120)은 캡슐화 층(310)과 유사한 캡슐화 층일 수 있다. 브리지(207) 위에 제공되는 캡슐화 층은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액체 몰딩 프로세스를 사용하여 제공될 수 있다.

[0128] 상호연결부들을 형성하는 것은 유전체 층에 캐비티들을 형성하는 것 및 도금 프로세스를 수행하는 것을 포함할 수 있다. 예를 들어, 유전체 층(1120)에는 복수의 캐비티들(1121)이 형성될 수 있다. 복수의 캐비티들(1121)을 형성하기 위해 레이저 어블레이션 프로세스 및/또는 에칭 프로세스(예를 들어, 리소그래피 프로세스)가 사용될 수 있다. 복수의 브리지 상호연결부들(1123)은 적어도 하나의 유전체 층(120) 및/또는 유전체 층(1120) 위에 형성될 수 있다. 유전체 층(1120)은 적어도 하나의 유전체 층(120)의 일부로 간주될 수 있다. 복수의 브리지 상호연결부들(1123)은 복수의 상호연결부들(122) 및 브리지(207)의 브리지 상호연결부들(예를 들어, 173)에 결합될 수 있다. 복수의 브리지 상호연결부들(1123)을 형성하기 위해 도금 프로세스가 사용될 수 있다.

[0129] 캐리어(1100)는 기판(102) 및 브리지(207)로부터 디커플링된다. 캐리어(1100)는 기판(102) 및/또는 브리지(207)로부터 제거 및/또는 분리될 수도 있다. 캡슐화 층(310)에는 다수의 캐비티들(1143)이 형성된다. 복수의 캐비티들(1143)을 형성하기 위해 레이저 어블레이션 및/또는 에칭 프로세스가 사용될 수 있다. 복수의 상호연결부들(1145)이 형성될 수도 있다. 복수의 상호연결부들(1145)은 캡슐화 층(310) 내에 그리고 그 위에 형성될 수 있다. 복수의 상호연결부들(1145)은 적어도 하나의 유전체 층(120) 위에 형성될 수 있다. 복수의 상호연결부들(1135)은 기판(102)의 일부로 간주되는 상호연결부들, 및/또는 브리지(207)의 일부로 간주되는 브리지 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(1145)의 일부 또는 전부는 복수의 상호연결부들(122)의 일부로 간주될 수도 있다. 유전체 층(1160)은 적어도 하나의 유전체 층(120) 및/또는 캡슐화 층(310) 위에 형성될 수 있다. 디포지션 및/또는 라미네이션 프로세스는 유전체 층(1160)을 형성하는 데 사용될 수 있다. 유전체

층(1160)은 적어도 하나의 유전체 층(120)과 유사할 수 있다. 유전체 층(1160)은 적어도 하나의 유전체 층(120)의 일부로 간주될 수 있다. 도 11b 내지 도 11c의 스테이지 4 내지 스테이지 10은 유전체 층(들)을 형성하고, 캐비티들을 형성하고 상호연결부들을 형성하는 예들을 예시한다.

[0130] 방법은 (1025에서) 적어도 하나의 집적 디바이스를 기판에 결합시킨다. 예를 들어, 집적 디바이스(103)는 복수의 솔더 상호연결부들(130)을 통해 기판(102)에 결합될 수도 있고, 집적 디바이스(105)는 복수의 솔더 상호연결부들(150)을 통해 기판(102)에 결합될 수도 있다. 솔더 리플로우 프로세스는 집적 디바이스들(예를 들어, 103, 105)을 기판(102)에 결합시키는 데 사용될 수 있다. 도 11d의 스테이지 11은 집적 디바이스들을 기판에 결합하는 예를 예시 및 설명한다.

[0131] 방법은 (1230에서) 복수의 솔더 상호연결부들을 기판에 결합시킨다. 예를 들어, 복수의 솔더 상호연결부들(110)이 기판(102)에 결합될 수 있다. 복수의 솔더 상호연결부들(110)은 기판(102)의 복수의 상호연결부들(122)에 결합될 수도 있다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(110)을 기판(102)에 결합시키는 데 사용될 수 있다. 도 11d의 스테이지 12는 솔더 상호연결부들을 기판에 결합시키는 예를 예시 및 설명한다.

[0132] **기판을 제조하기 위한 예시적인 시퀀스**

[0133] 일부 구현들에서, 기판을 제조하는 것은 여러 프로세스들을 포함한다. 도 13a 내지 13b는 기판을 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 13a 및 도 13b의 시퀀스는 기판(102)을 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 13a 및 도 13b의 프로세스는 본 개시에서 설명된 기판들 중 임의의 기판을 제조하기 위해 사용될 수도 있다.

[0134] 도 13a 및 도 13b의 시퀀스가 기판을 제공 또는 제조하기 위한 시퀀스를 단순화하고 그리고/또는 명확하게 하기 위해 하나 이상의 스테이지들을 조합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범위를 벗어나지 않으면서 교체 또는 대체될 수 있다.

[0135] 스테이지 1은, 도 13a에 도시된 바와 같이, 캐리어(1300)가 제공된 후의 상태를 예시한다. 시드(seed) 층(1301) 및 상호연결부들(1302)은 캐리어(1300) 위에 위치될 수 있다. 상호연결부들(1302)은 시드 층(1301) 위에 위치될 수 있다. 도금 프로세스 및 에칭 프로세스가 상호연결부들(1302)을 형성하는 데 사용될 수 있다. 일부 구현들에서, 캐리어(1300)에는 시드 층(1301) 및 상호연결부들(1302)을 형성하기 위해 패턴화된 금속 층이 제공될 수 있다. 상호연결부들(1302)은 복수의 상호연결부들(142)로부터의 상호연결부들 중 적어도 일부를 나타낼 수 있다.

[0136] 스테이지 2는 유전체 층(1320)이 캐리어(1300), 시드 층(1301) 및 상호연결부들(1302) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스는 유전체 층(1320)을 형성하는 데 사용될 수 있다. 유전체 층(1320)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1320)은 감광성 유전체(photo-imageable dielectric)를 포함할 수 있다. 그러나 상이한 구현들은 유전체 층에 대해 상이한 재료들을 사용할 수도 있다.

[0137] 스테이지 3은, 복수의 캐비티들(1310)이 유전체 층 (1320) 내에 형성된 후의 상태를 예시한다. 복수의 캐비티들(1310)은 에칭 프로세스 (예컨대, 포토 에칭 프로세스) 또는 레이저 프로세스를 사용하여 형성될 수도 있다.

[0138] 스테이지 4는 복수의 캐비티들(1310) 내에 그리고 그 위에 포함하는, 유전체 층(1320) 내에 그리고 그 위에 상호연결부들(1312)이 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다.

[0139] 스테이지 5는 유전체 층(1322)이 유전체 층(1320) 및 상호연결부들(1312) 위에 형성된 후의 상태를 예시한다. 디포지션 및/또는 라미네이션 프로세스는 유전체 층(1322)을 형성하는 데 사용될 수 있다. 유전체 층(1322)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1322)은 감광성 유전체를 포함할 수 있다. 그러나 상이한 구현들은 유전체 층에 대해 상이한 재료들을 사용할 수도 있다.

[0140] 스테이지 6은, 도 13b에 도시된 바와 같이, 복수의 캐비티들(1330)이 유전체 층(1322)에 형성된 후의 상태를 예시한다. 복수의 캐비티들(1330)은 에칭 프로세스 (예컨대, 포토 에칭 프로세스) 또는 레이저 프로세스를 사용하여 형성될 수도 있다.

[0141] 스테이지 7은 복수의 캐비티들(1330) 내에 그리고 그 위에 포함하는, 유전체 층(1322) 내에 그리고 그 위에 상

호연결부들(1314)이 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다.

[0142] 스테이지 8은 캐리어(1300)가 적어도 하나의 유전체 층(140) 및 시드 층(1301)으로부터 디커플링(예컨대, 분리, 제거, 그라인딩 아웃(grinding out))되고, 시드 층(1301)의 부분들이 제거(예컨대, 에칭 아웃(etching out))되어, 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함하는 기판(102)을 남긴 후의 상태를 예시한다.

[0143] **기판을 제조하기 위한 방법의 예시적인 흐름도**

[0144] 일부 구현들에서, 기판을 제조하는 것은 여러 프로세스들을 포함한다. 도 14는 기판을 제공 또는 제조하기 위한 방법(1400)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 14의 방법(1400)은 본 개시의 기판(들)을 제공 또는 제조하는 데 사용될 수 있다. 예를 들어 도 14의 방법(1400)은 기판(102)을 제조하는 데 사용될 수 있다.

[0145] 도 14의 방법(1400)은 기판을 제공 또는 제조하기 위한 방법을 단순화하고/하거나 명확하게 하기 위해 하나 이상의 프로세스들을 조합할 수도 있다는 점에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0146] 방법은 (1405에서) 캐리어(예를 들어, 1300)를 제공한다. 상이한 구현들은 캐리어(1300)에 대해 상이한 재료들을 사용할 수도 있다. 캐리어(1300)는 시드 층(예를 들어, 1301)을 포함할 수 있다. 시드 층(1301)은 금속(예를 들어, 구리)을 포함할 수 있다. 캐리어는 기판, 유리, 석영 및/또는 캐리어 테이프를 포함할 수 있다. 도 13a의 스테이지 1은 제공되는 시드 층을 갖는 캐리어의 예를 예시하고 설명한다.

[0147] 방법은 (1410에서) 캐리어(1300)와 시드층(1301) 위에 상호연결부들을 형성 및 패턴화한다. 금속 층은 상호연결부들을 형성하기 위해 패턴화될 수 있다. 도금 프로세스가 금속 층 및 상호연결부들을 형성하는 데 사용될 수 있다. 일부 구현들에서, 캐리어 및 시드 층은 금속 층을 포함할 수 있다. 금속 층은 시드 층 위에 위치되고 금속 층은 상호연결부들(예를 들어, 1302)을 형성하기 위해 패턴화될 수 있다. 도 13a의 스테이지 1은 시드 층 및 캐리어 위에 상호연결부들을 형성하고 패턴화하는 예를 예시하고 설명한다.

[0148] 방법은 (1415에서) 시드 층(1301), 캐리어(1300) 및 상호연결부들(1302) 위에 유전체 층(1320)을 형성한다. 디포지션 및/또는 라미네이션 프로세스는 유전체 층(1320)을 형성하는 데 사용될 수 있다. 유전체 층(1320)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1320)은 감광성 유전체를 포함할 수 있다. 유전체 층(1320)을 형성하는 것은 또한 유전체 층(1320)에 복수의 캐비티들(예를 들어, 1310)을 형성하는 것을 포함할 수 있다. 복수의 캐비티들은 에칭 프로세스 (예컨대, 포토 에칭) 또는 레이저 프로세스를 사용하여 형성될 수도 있다. 도 13a의 스테이지들 2 및 3은 유전체 층 및 유전체 층 내의 캐비티들을 형성하는 예를 예시하고 설명한다.

[0149] 방법은 (1420에서) 유전체 층 내부 및 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1312)은 유전체 층(1320) 내부 및 위에 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위 및/또는 내에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 또한 유전체 층의 캐비티들에 상호연결부들을 형성하는 것을 포함할 수 있다. 도 13a의 스테이지 4는 유전체 층 내에 그리고 위에 상호연결부들을 형성하는 예를 예시하고 설명한다.

[0150] 방법은 (1425에서) 유전체 층(1320) 및 상호연결부들(1312) 위에 유전체 층(1322)을 형성한다. 디포지션 및/또는 라미네이션 프로세스는 유전체 층(1322)을 형성하는 데 사용될 수 있다. 유전체 층(1322)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1322)은 감광성 유전체를 포함할 수 있다. 유전체 층(1322)을 형성하는 것은 또한 유전체 층(1322)에 복수의 캐비티들(예를 들어, 1330)을 형성하는 것을 포함할 수 있다. 복수의 캐비티들은 에칭 프로세스 (예컨대, 포토 에칭) 또는 레이저 프로세스를 사용하여 형성될 수도 있다. 도 13a 및 도 13b의 스테이지들 5 및 6은 유전체 층 및 유전체 층 내의 캐비티들을 형성하는 예를 예시하고 설명한다.

[0151] 방법은 (1430에서) 유전체 층 내부 및 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1314)은 유전체 층(1322) 내부 및 위에 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위 및/또는 내에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 또한 유전체 층의 캐비티들에 상호연결부들을 형성하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 포스트 상호연결부(post interconnect)들을 형성하는 것을 포함할 수 있다. 도

13b의 스테이지 7은 포스트 상호연결부들을 형성하는 것을 포함하여, 유전체 층 내에 그리고 위에 상호연결부들을 형성하는 예를 예시하고 설명한다.

[0152] 방법은 (1435에서) 시드 층(예를 들어, 1301)으로부터 캐리어(예를 들어, 1300)를 디커플링한다. 캐리어(1300)는 분리 및/또는 그라인드 오프(grinded off)될 수 있다. 방법은 또한 (1435에서) 시드 층(예를 들어, 1301)의 부분들을 제거할 수 있다. 에칭 프로세스는 시드층(1301)의 부분들을 제거하는 데 사용될 수 있다. 도 13b의 스테이지 8은 캐리어 디커플링 및 시드 층 제거의 예를 예시하고 설명한다.

[0153] **예시적인 전자 디바이스들**

[0154] 도 15는 전술된 디바이스, 집적 디바이스, IC(integrated circuit) 패키지, IC(integrated circuit) 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지, PoP(package-on-package), SiP(System in Package), 또는 SoC(System on Chip) 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예컨대, 모바일 폰 디바이스(1502), 랩톱 컴퓨터 디바이스(1504), 고정 로케이션 단말 디바이스(1506), 웨어러블 디바이스(1508), 또는 자동차 차량(1510)은 본 명세서에 설명된 바와 같은 디바이스(1500)를 포함할 수 있다. 디바이스(1500)는, 예컨대, 본 명세서에 설명된 디바이스들 및/또는 IC(integrated circuit) 패키지들 중 임의의 것일 수 있다. 도 15에 예시된 디바이스들(1502, 1504, 1506 및 1508) 및 차량(1510)은 단지 예시적인 것이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication systems) 유닛들, 휴대용 데이터 유닛들, 이를테면 개인 휴대 정보 단말들, GPS(global positioning system) 인에이블 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정된 위치 데이터 유닛들, 이를테면 미터 판독 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예컨대, 워치들, 안경), IoT(Internet of Things) 디바이스들, 서버들, 라우터들, 자동차들(예컨대, 자율주행 차량들)에 구현된 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 리트리브하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예컨대, 전자 디바이스들)의 그룹을 포함하는(그러나 이에 제한되지 않음) 디바이스(1500)를 특징으로 할 수 있다.

[0155] 도 1 내지 도 7, 도 8a 내지 도 8f, 도 9a 내지 도 9d, 도 10, 도 11a 내지 도 11d, 도 12, 도 13a 내지 도 13b, 및 도 14 내지 도 15에 예시된 컴포넌트들, 프로세스들, 특징들, 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 프로세스, 특징 또는 기능으로 재배열 및/또는 결합되거나, 몇몇 컴포넌트들, 프로세스들, 또는 기능들로 구현될 수도 있다. 부가적인 엘리먼트들, 컴포넌트들, 프로세스들, 및/또는 기능들은 또한, 본 개시내용을 벗어나지 않으면서 추가될 수 있다. 또한, 도 1 내지 도 7, 도 8a 내지 도 8f, 도 9a 내지 도 9d, 도 10, 도 11a 내지 도 11d, 도 12, 도 13a 내지 도 13b, 및 도 14 내지 도 15 및 본 개시내용에서의 그의 대응하는 설명은 다이들 및/또는 IC들로 제한되지 않는다는 것에 유의해야 한다. 일부 구현들에서, 도 1 내지 도 7, 도 8a 내지 도 8f, 도 9a 내지 도 9d, 도 10, 도 11a 내지 도 11d, 도 12, 도 13a 내지 도 13b, 및 도 14 내지 도 15 및 그의 대응하는 설명은 디바이스들 및/또는 집적 디바이스들을 제조, 생성, 제공, 및/또는 생산하기 위해 사용될 수 있다. 일부 구현들에서, 디바이스는 다이, 집적 디바이스, IPD(integrated passive device), 다이 패키지, IC(integrated circuit) 디바이스, 디바이스 패키지, IC(integrated circuit) 패키지, 웨이퍼, 반도체 디바이스, PoP(package-on-package) 디바이스, 열 소산 디바이스 및/또는 인터포저를 포함할 수 있다.

[0156] 본 개시내용의 도면들은 다양한 부분들, 컴포넌트들, 오브젝트들, 디바이스들, 패키지들, 집적 디바이스들, 집적 회로들, 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 표현할 수 있다는 것을 유의한다. 일부 예시들에서, 도면들은 실척이 아닐 수도 있다. 일부 예시들에서, 명확성의 목적을 위해, 모든 컴포넌트들 및/또는 부분들이 도시되지는 않을 수도 있다. 일부 예시들에서, 도면들 내의 다양한 부분들 및/또는 컴포넌트들의 포지션, 로케이션, 사이즈들, 및/또는 형상들은 예시적일 수 있다. 일부 구현들에서, 도면들 내의 다양한 컴포넌트들 및/또는 부분들은 선택적일 수 있다.

[0157] "예시적인"이라는 단어는 본원에서 "예, 예증 또는 예시로서 기능하는"을 의미하는 것으로 사용된다. "예시적인" 것으로서 본 명세서에 설명된 임의의 구현 또는 양태는 본 개시내용의 다른 양태들에 비해 반드시 바람직하거나 유리한 것으로서 해석될 필요는 없다. 유사하게, 용어 "양태들"은, 본 개시내용의 모든 양태들이 논의된 특징, 장점 또는 동작 모드를 포함한다는 것을 요구하지는 않는다. 용어 "결합된(coupled)"은, 2개의 오브젝트들 사이에서의 직접적인 또는 간접적인 결합(예컨대, 기계식 결합)을 지칭하기 위해 본 명세서에서 사용된다. 예컨대, 오브젝트 A가 오브젝트 B를 물리적으로 터치하고 오브젝트 B가 오브젝트 C를 터치하면, 오브젝트들 A 및 C는, 그들이 서로를 물리적으로 직접 터치하지 않더라도, 서로 결합된 것으로 여전히 고려될 수 있다. 오브젝트 B에 결합되는 오브젝트 A는 오브젝트 B의 적어도 일부와 결합될 수 있다. "전기적으로 결합된"이라는 용

어는 두 오브젝트 사이에 전류(예를 들어, 신호, 전력, 접지)가 이동될 수 있도록 두 오브젝트가 직접 또는 간접적으로 함께 연결되어 있음을 의미할 수 있다. 전기적으로 결합된 2개의 오브젝트들은 2개의 오브젝트들 사이에서 이동되는 전류를 가질 수 있거나 갖지 않을 수 있다. 용어들 "제1", "제2", "제3" 및 "제4"(및/또는 제4 초과의 임의의 용어)의 사용은 임의적이다. 설명된 컴포넌트들 중 임의의 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. 예컨대, 제2 컴포넌트로 지칭되는 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. "캡슐화하다(encapsulate)", "캡슐화하는"이라는 용어 및/또는 임의의 파생어는 오브젝트가 다른 오브젝트를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. 용어들 "최상부" 및 "최하부"는 임의적이다. 최상부 상에 위치된 컴포넌트는 최하부 상에 위치된 컴포넌트 위에 위치될 수 있다. 최상부 컴포넌트는 최하부 컴포넌트로 고려될 수 있고, 그 반대의 경우도 가능하다. 본 개시내용에서 설명된 바와 같이, 제2 컴포넌트 "위에" 위치된 제1 컴포넌트는, 최하부 또는 최상부가 어떻게 임의적으로 정의되는지에 의존하여, 제1 컴포넌트가 제2 컴포넌트의 위에 또는 아래에 위치된다는 것을 의미할 수 있다. 다른 예에서, 제1 컴포넌트는 제2 컴포넌트의 제1 표면 위에(예컨대, 위쪽에) 위치될 수 있고, 제3 컴포넌트는 제2 컴포넌트의 제2 표면 위에(예컨대, 아래에) 위치될 수 있으며, 여기서 제2 표면은 제1 표면의 반대쪽이다. 하나의 컴포넌트가 다른 컴포넌트 위에 위치되는 것의 맥락에서 본 출원에서 사용된 바와 같은 용어 "위에"는 다른 컴포넌트 상에 그리고/또는 다른 컴포넌트 내에 있는(예컨대, 컴포넌트의 표면 상에 있거나 또는 컴포넌트에 매립된) 컴포넌트를 의미하는 데 사용될 수 있다는 것을 추가로 유의한다. 따라서, 예컨대, 제2 컴포넌트 위에 있는 제1 컴포넌트는 (1) 제1 컴포넌트가 제2 컴포넌트 위에 있지만 제2 컴포넌트를 직접 터치하지 않는다는 것, (2) 제1 컴포넌트가 제2 컴포넌트 상에(예컨대, 그의 표면 상에) 있다는 것, 및/또는 (3) 제1 컴포넌트가 제2 컴포넌트 내에 있다는 것(예컨대, 그에 매립된다는 것)을 의미할 수 있다. 제2 컴포넌트 "내(in)"에 위치된 제1 컴포넌트는 제2 컴포넌트 내에 부분적으로 위치되거나, 제2 컴포넌트 내에 완전히 위치될 수 있다. 약 X 내지 XX의 값은 X와 XX를 포함하여 X 내지 XX 사이인 값을 의미할 수 있다. X 내지 XX 사이의 값(들)은 이산적이거나 연속적일 수 있다. 본 개시내용에서 사용된 바와 같이, 용어 "약 '값 X'" 또는 "대략 값 X"는 '값 X'의 10 퍼센트 내를 의미한다. 예컨대, 약 1 또는 대략 1의 값은 0.9 내지 1.1의 범위의 값을 의미할 것이다.

[0158] 일부 구현들에서, 상호연결부는 2개의 포인트들, 엘리먼트들 및/또는 컴포넌트들 사이의 전기 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 엘리먼트 또는 컴포넌트이다. 일부 구현들에서, 상호연결부는 트레이스(예를 들어, 트레이스 상호연결부), 비아(예를 들어, 비아 상호연결부), 패드(예를 들어, 패드 상호연결부), 필러, 금속화 층, 재배선 층, 및/또는 언더 범프 금속화(under bump metallization; UBM) 층/상호연결부를 포함할 수 있다. 일부 구현들에서, 상호연결부는 신호(예컨대, 데이터 신호), 접지 및/또는 전력에 대한 전기 경로를 제공하도록 구성될 수 있는 전기 전도성 재료를 포함할 수 있다. 상호연결부는 하나 초과의 엘리먼트 또는 컴포넌트를 포함할 수 있다. 상호연결부는 하나 이상의 상호연결부들에 의해 정의될 수 있다. 상호연결부는 하나 이상의 금속 층들을 포함할 수 있다. 상호연결부는 회로의 일부일 수 있다. 상이한 구현들은 상호연결부들을 형성하기 위해 상이한 프로세스들 및/또는 시퀀스들을 사용할 수 있다. 일부 구현들에서, CVD(chemical vapor deposition) 프로세스, PVD(physical vapor deposition) 프로세스, 스퍼터링 프로세스, 스프레이 코팅, 및/또는 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다.

[0159] 또한, 본 명세서에 포함된 다양한 개시내용들이 흐름도, 흐름 다이어그램, 구조 다이어그램, 또는 블록 다이어그램으로서 묘사된 프로세스로서 설명될 수 있다는 것을 유의한다. 흐름도가 동작들을 순차적인 프로세스로서 설명할 수 있지만, 동작들의 대부분은 병렬로 또는 동시에 수행될 수 있다. 또한, 동작들의 순서는 재배열될 수 있다. 프로세스는 그의 동작들이 완료될 때 종료된다.

[0160] 다음에서, 추가적인 예들이 본 개시내용의 이해를 용이하게 하기 위해 설명된다.

[0161] 양태 1: 기판; 상기 기판에 위치된 브리지, 상기 기판에 결합된 제1 집적 디바이스; 및 상기 기판에 결합된 제2 집적 디바이스를 포함하는 패키지. 상기 브리지는 브리지 기판; 상기 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층; 상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부; 상기 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층; 상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부; 및 상기 적어도 하나의 제1 브리지 유전체 층 및 상기 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부를 포함한다.

[0162] 양태 2: 양태 1의 패키지에 있어서, 상기 적어도 하나의 제1 브리지 상호연결부는 입력/출력(I/O) 신호들을 위한 제1 전기 경로를 제공하도록 구성되고, 상기 적어도 하나의 제2 브리지 상호연결부는 전력을 위한 제2 전기

경로를 제공하도록 구성되는, 패키지.

[0163] 양태 3: 양태 1의 패키지에 있어서, 상기 적어도 하나의 제1 브리지 상호연결부는 입력/출력(I/O) 신호들을 위한 제1 전기 경로를 제공하도록 구성되고, 상기 적어도 하나의 제2 브리지 상호연결부는 접지를 위한 제2 전기 경로를 제공하도록 구성되는, 패키지.

[0164] 양태 4: 양태 3의 패키지에 있어서, 상기 적어도 하나의 제2 브리지 상호연결부는 전력을 위한 다른 전기 경로를 제공하도록 구성되는, 패키지.

[0165] 양태 5: 양태 1 내지 양태 4의 패키지에 있어서, 상기 적어도 하나의 제 2 브리지 상호연결부에 결합된 수동 디바이스를 더 포함하는, 패키지.

[0166] 양태 6: 양태 5의 패키지에 있어서, 상기 수동 디바이스를 캡슐화하는 캡슐화 층을 추가로 포함하는, 패키지.

[0167] 양태 7: 양태 5 내지 양태 6의 패키지에 있어서, 상기 브리지는 전면 및 후면을 포함하고, 상기 수동 디바이스는 상기 브리지의 후면에 결합되는, 패키지.

[0168] 양태 8: 양태 7의 패키지에 있어서, 상기 브리지는 전력을 위한 적어도 하나의 전기 경로를 제공하도록 구성되고, 상기 브리지를 통해 이동하는 전력은 상기 브리지의 후면을 통해 이동하는, 패키지.

[0169] 양태 9: 양태 1 내지 양태 8의 패키지에 있어서, 상기 제 1 집적 디바이스는 브리지에 전기적으로 결합되도록 구성되는, 패키지.

[0170] 양태 10: 양태 1 내지 양태 9의 패키지에 있어서, 상기 제 1 집적 디바이스는 기판 및 브리지를 통해 제 2 집적 디바이스에 전기적으로 결합되도록 구성되는, 패키지.

[0171] 양태 11: 양태 10의 패키지에 있어서, 입력 및/또는 출력(I/O) 신호는 기판으로부터의 상호연결부들 및 브리지로부터의 브리지 상호연결부들을 포함하는 전기 경로를 통해 제1 집적 디바이스와 제2 집적 디바이스 사이를 이동하도록 구성되는, 패키지.

[0172] 양태 12: 양태 1 내지 양태 11의 패키지에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고, 제2 집적 디바이스는 제2 칩렛을 포함하는, 패키지.

[0173] 양태 13: 양태 1 내지 양태 12의 패키지에 있어서, 상기 적어도 하나의 제1 브리지 상호연결부는 제1 두께를 포함하고, 상기 적어도 하나의 제2 브리지 상호연결부는 제2 두께를 갖고, 제2 두께는 제1 두께보다 더 큰, 패키지.

[0174] 양태 14: 양태 13의 패키지에 있어서, 상기 제1 두께는 약 1 내지 2 마이크로미터의 제1 범위이고, 제2 두께는 약 3 내지 6 마이크로미터의 제2 범위인, 패키지.

[0175] 양태 15: 기판; 상기 기판에 위치된 브리지, 상기 기판에 결합된 제1 집적 디바이스; 및 상기 기판에 결합된 제2 집적 디바이스를 포함하는 패키지를 포함하는 디바이스. 상기 브리지는 브리지 기판; 상기 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층; 상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부; 상기 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층; 상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부; 및 상기 적어도 하나의 제1 브리지 유전체 층 및 상기 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부를 포함한다.

[0176] 양태 16: 양태 15의 디바이스에 있어서, 상기 제 1 집적 디바이스는 기판 및 브리지를 통해 제 2 집적 디바이스에 전기적으로 결합되도록 구성되는, 디바이스.

[0177] 양태 17: 양태 16의 디바이스에 있어서, 입력 및/또는 출력(I/O) 신호는, 기판으로부터의 상호연결부들 및 브리지로부터의 브리지 상호연결부들을 포함하는 전기 경로를 통해 제1 집적 디바이스와 제2 집적 디바이스 사이를 이동하도록 구성되는, 디바이스.

[0178] 양태 18: 양태 15 내지 양태 17의 디바이스에 있어서, 상기 제1 집적 디바이스는 제1 칩렛을 포함하고, 상기 제2 집적 디바이스는 제2 칩렛을 포함하는, 디바이스.

[0179] 양태 19: 양태 15 내지 양태 18의 디바이스에 있어서, 상기 적어도 하나의 제 2 브리지 상호연결부에 결합된 수동 디바이스를 더 포함하는, 디바이스.

[0180] 양태 20: 양태 19의 디바이스에 있어서, 상기 수동 디바이스를 캡슐화하는 캡슐화 층을 더 포함하는, 디바이스.

[0181] 양태 21: 양태 19 내지 양태 20의 디바이스에 있어서, 상기 브리지는 전면 및 후면을 포함하고, 상기 수동 디바이스는 상기 브리지의 후면에 결합되는, 디바이스.

[0182] 양태 22: 양태 21의 디바이스에 있어서, 상기 브리지는 전력을 위한 적어도 하나의 전기 경로를 제공하도록 구성되고, 상기 브리지를 통해 이동하는 전력은 상기 브리지의 후면을 통해 이동하는, 디바이스.

[0183] 양태 23: 양태 15 내지 양태 22의 디바이스에 있어서, 상기 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스, 및 자동차 내의 디바이스로 이루어진 그룹으로부터 선택되는, 디바이스.

[0184] 양태 24: 패키지를 제조하기 위한 방법. 그 방법은 기판을 제공한다. 방법은 기판에 브리지를 배치한다. 상기 브리지는 브리지 기판; 상기 브리지 기판의 제1 표면에 결합된 적어도 하나의 제1 브리지 유전체 층; 상기 적어도 하나의 제1 브리지 유전체 층에 위치된 적어도 하나의 제1 브리지 상호연결부; 상기 브리지 기판의 제2 표면에 결합된 적어도 하나의 제2 브리지 유전체 층; 상기 적어도 하나의 제2 브리지 유전체 층에 위치된 적어도 하나의 제2 브리지 상호연결부; 및 상기 적어도 하나의 제1 브리지 유전체 층 및 상기 브리지 기판을 통해 연장되는 적어도 하나의 브리지 상호연결부를 포함한다. 방법은 제1 집적 디바이스를 기판에 결합시킨다. 방법은 제2 집적 디바이스를 기판에 결합시킨다.

[0185] 양태 25: 양태 24의 방법에 있어서, 상기 패키지는 상기 적어도 하나의 제2 브리지 상호연결부에 결합된 수동 디바이스를 포함하는, 방법.

[0186] 양태 26: 양태 25의 방법에 있어서, 상기 패키지는 수동 디바이스를 캡슐화하는 캡슐화 층을 포함하는, 방법.

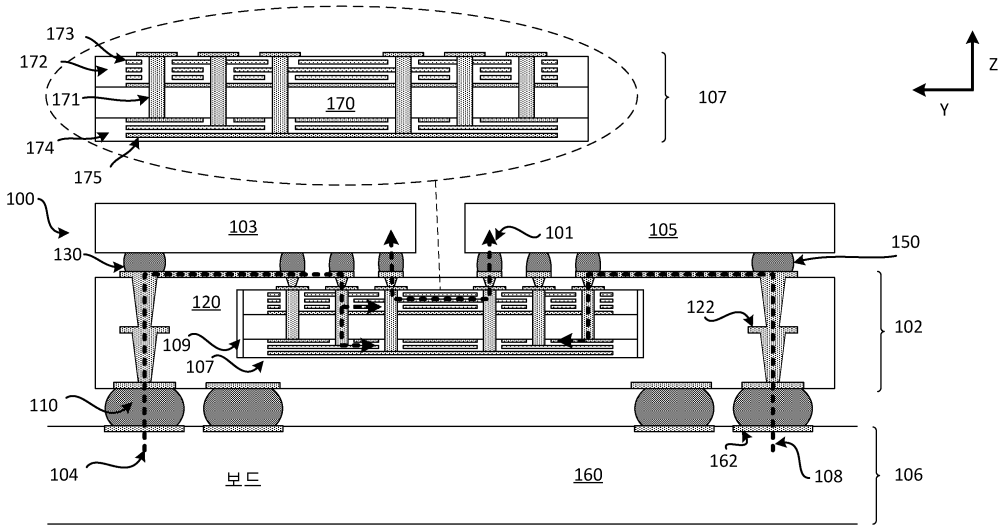
[0187] 양태 27: 양태 25 내지 양태 26의 방법에 있어서, 상기 브리지는 전면 및 후면을 포함하고, 상기 수동 디바이스는 브리지의 후면에 결합되는, 방법.

[0188] 양태 28: 양태 27의 방법에 있어서, 상기 브리지는 전력을 위한 적어도 하나의 전기 경로를 제공하도록 구성되고, 브리지를 통해 이동하는 전력은 상기 브리지의 후면을 통해 이동하는, 방법.

[0189] 본 명세서에 설명된 본 개시내용의 다양한 특징들은 본 개시내용을 벗어나지 않으면서 상이한 시스템들에서 구현될 수 있다. 본 개시내용의 전술한 양태들은 단지 예들일 뿐이며, 본 개시내용을 제한하는 것으로서 해석되지 않는다는 것을 유의해야 한다. 본 개시내용의 양태들의 설명은 청구항들의 범위를 제한하는 것이 아니라 예시적인 것으로 의도된다. 그러므로, 본 교시들은, 다른 타입들의 장치들에 용이하게 적용될 수 있으며, 많은 대안들, 변형들, 및 변경들은 당업자들에게 명백할 것이다.

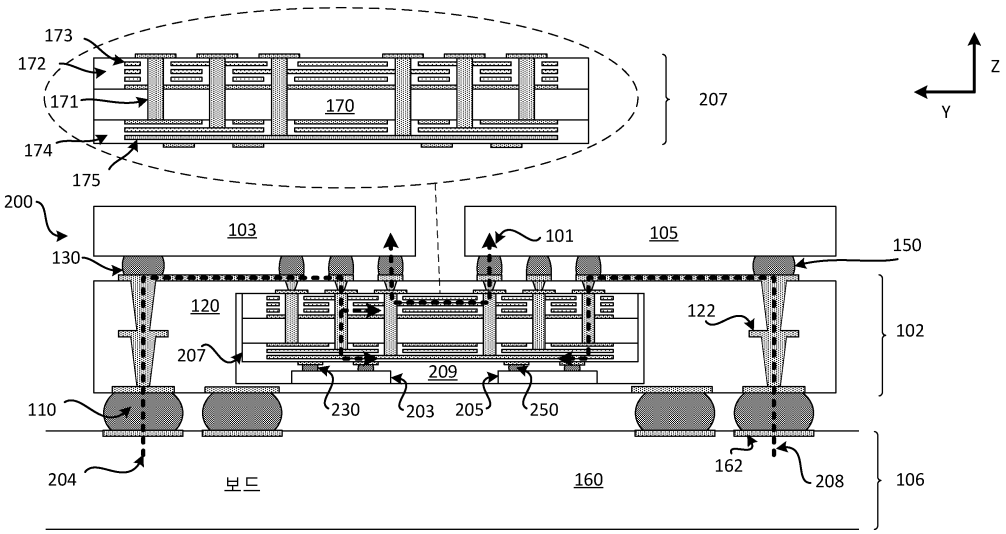
도면

도면1



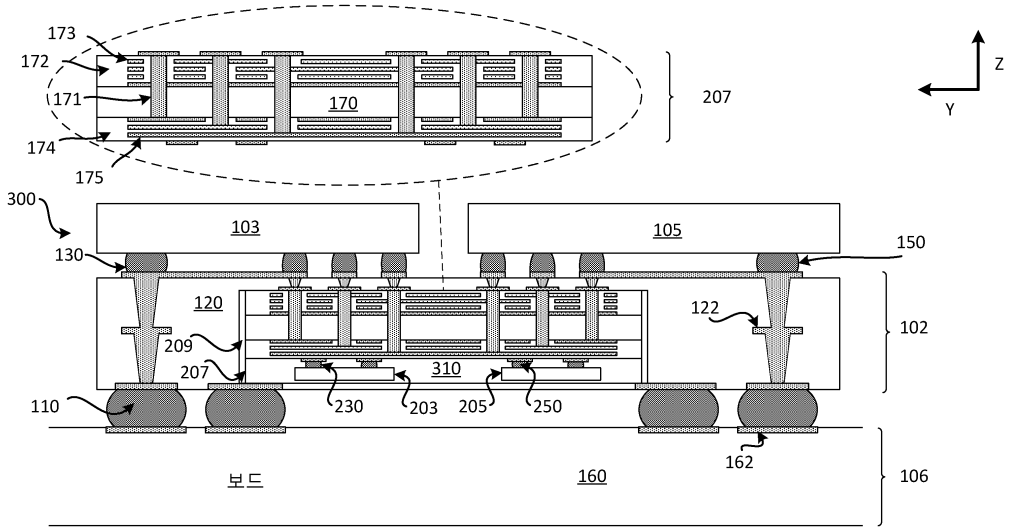
단면 프로파일 뷰

도면2



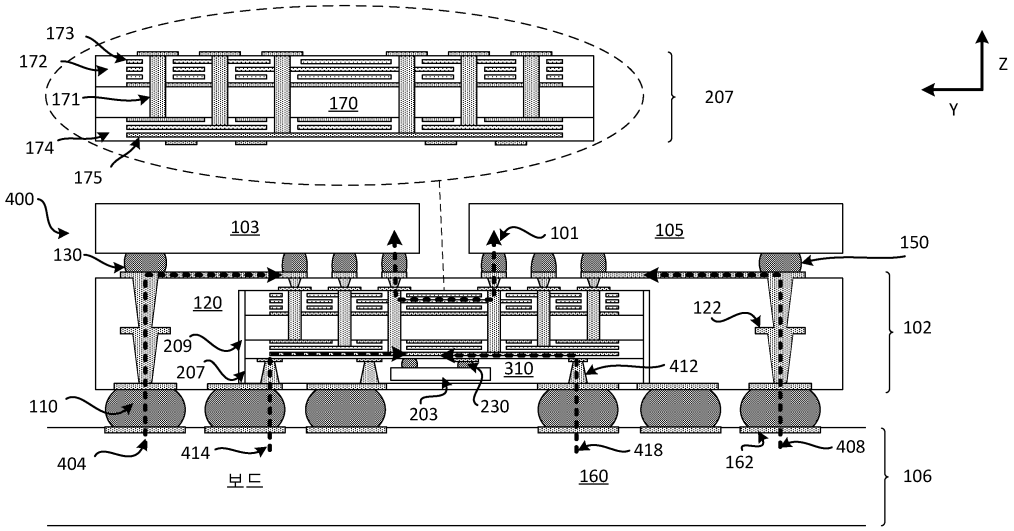
단면 프로파일 뷰

도면3



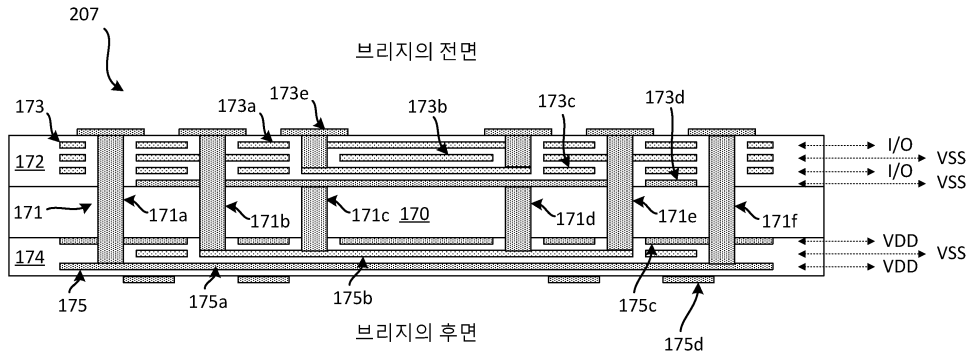
단면 프로파일 뷰

도면4



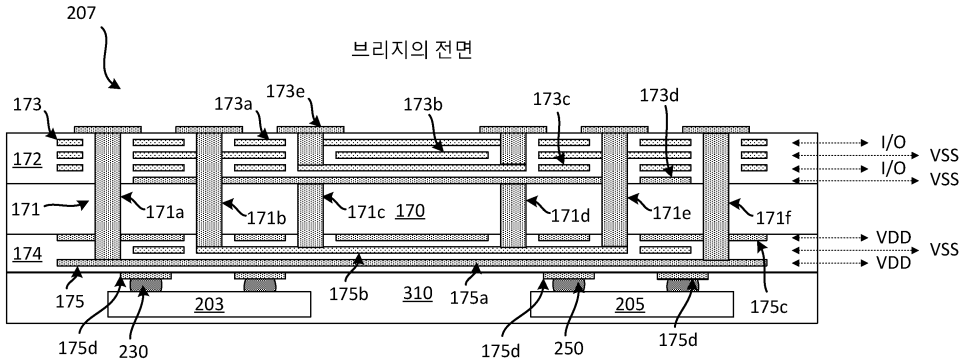
단면 프로파일 뷰

도면5



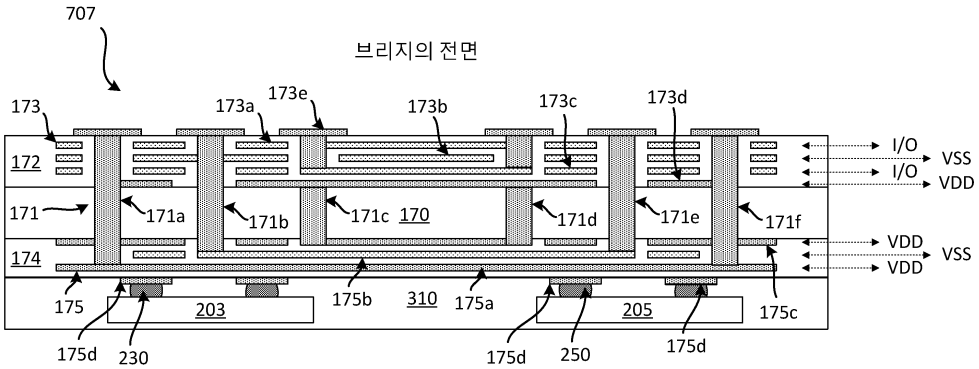
단면 프로파일 뷰

도면6



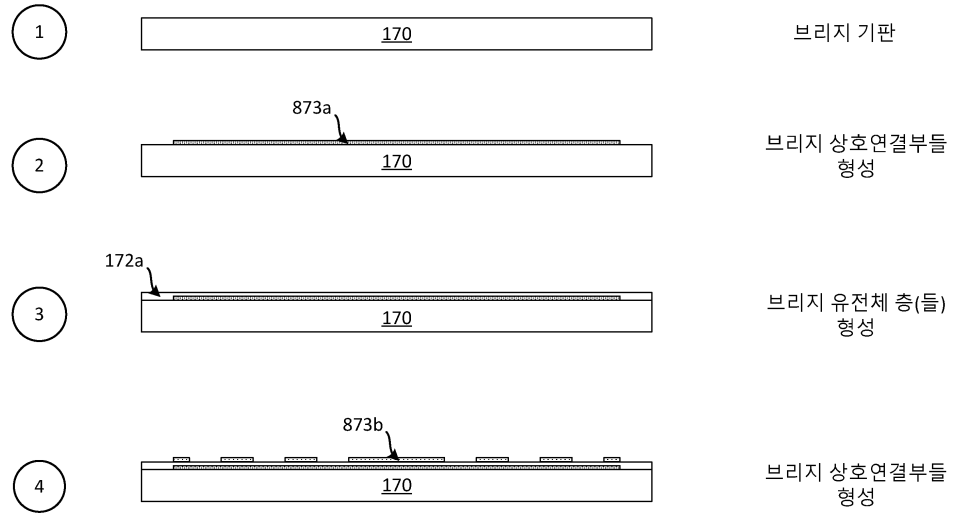
단면 프로파일 뷰

도면7

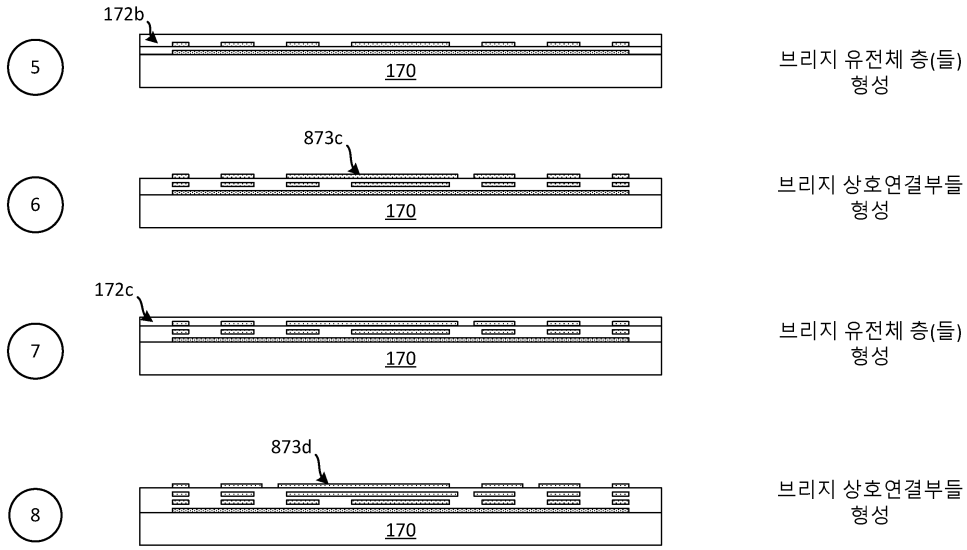


단면 프로파일 뷰

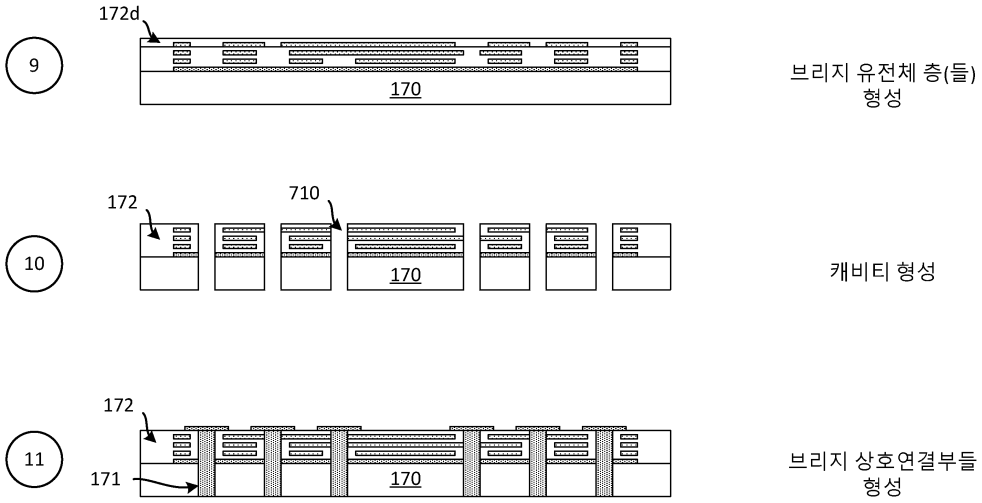
도면8a


1
170
브리지 기판
873a
2
170
브리지 상호연결부들 형성
172a
3
170
브리지 유전체 층(들) 형성
873b
4
170
브리지 상호연결부들 형성

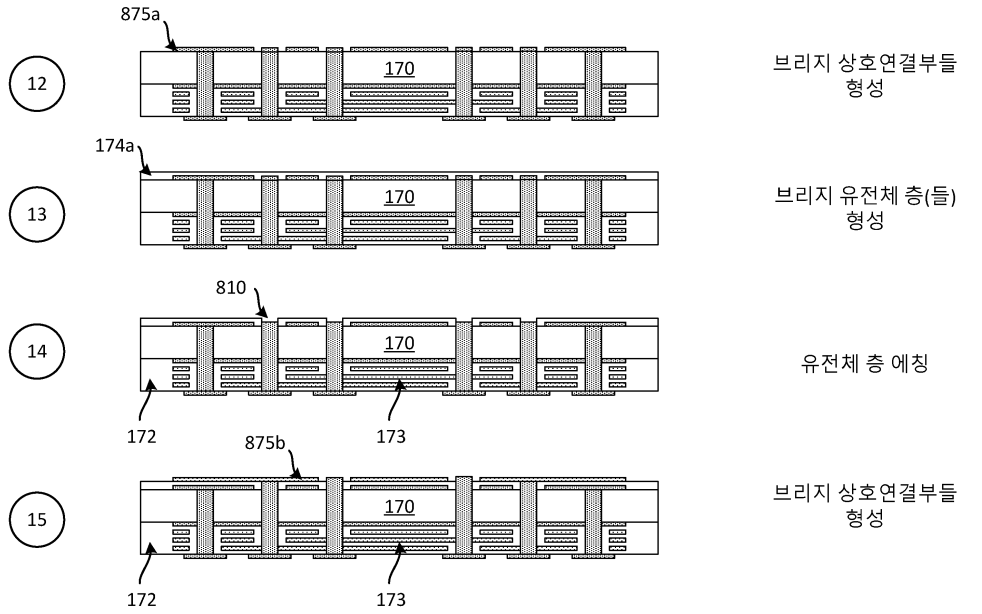
도면8b


172b
5
170
브리지 유전체 층(들) 형성
873c
6
170
브리지 상호연결부들 형성
172c
7
170
브리지 유전체 층(들) 형성
873d
8
170
브리지 상호연결부들 형성

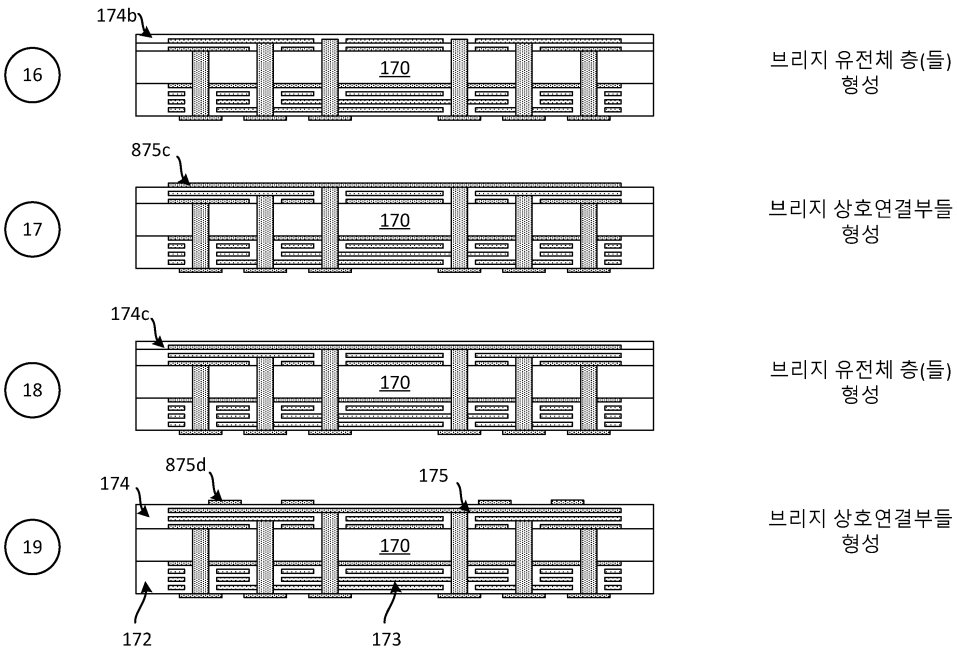
도면8c


9
172d
170
브리지 유전체 층(들) 형성
10
172
710
170
캐비티 형성
11
172
171
170
브리지 상호연결부들 형성

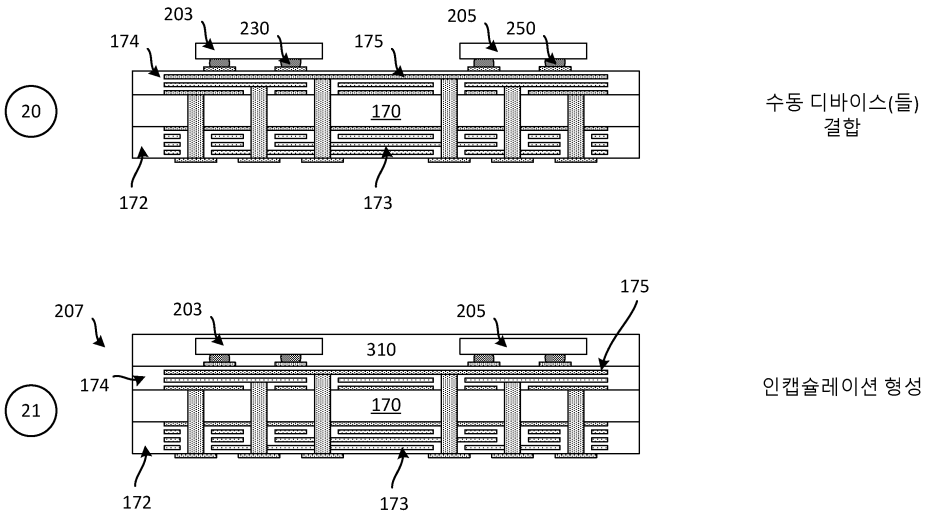
도면8d


12
875a
170
브리지 상호연결부들 형성
13
174a
170
브리지 유전체 층(들) 형성
14
810
170
172
173
유전체 층 에칭
15
875b
170
172
173
브리지 상호연결부들 형성

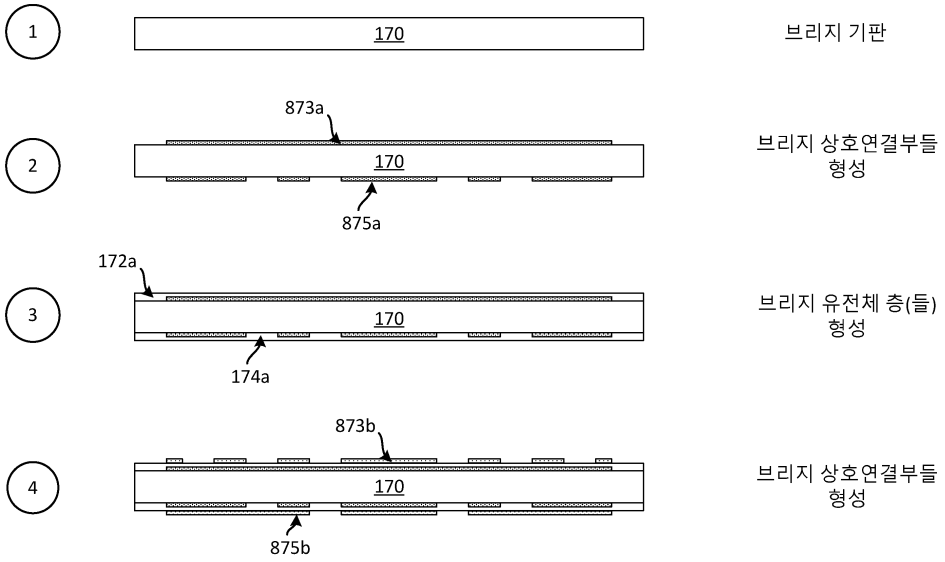
도면8e


16
174b
170
브리지 유전체 층(들) 형성
17
875c
170
브리지 상호연결부들 형성
18
174c
170
브리지 유전체 층(들) 형성
19
875d
174
175
170
172
173
브리지 상호연결부들 형성

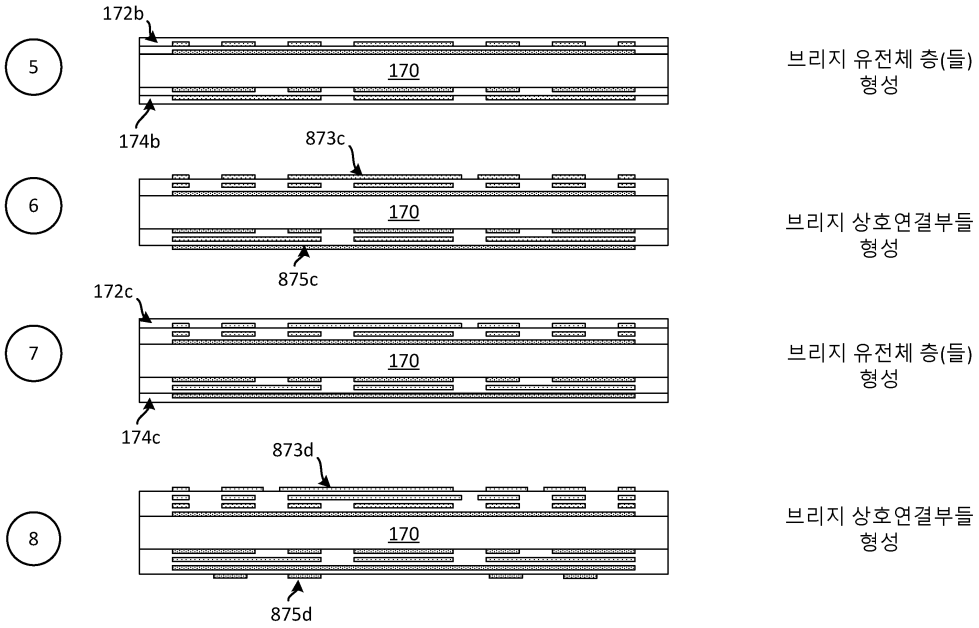
도면8f


20
203
230
174
175
205
250
170
172
173
수동 디바이스(들) 결합
21
207
203
205
175
310
174
170
172
173
인캡슐레이션 형성

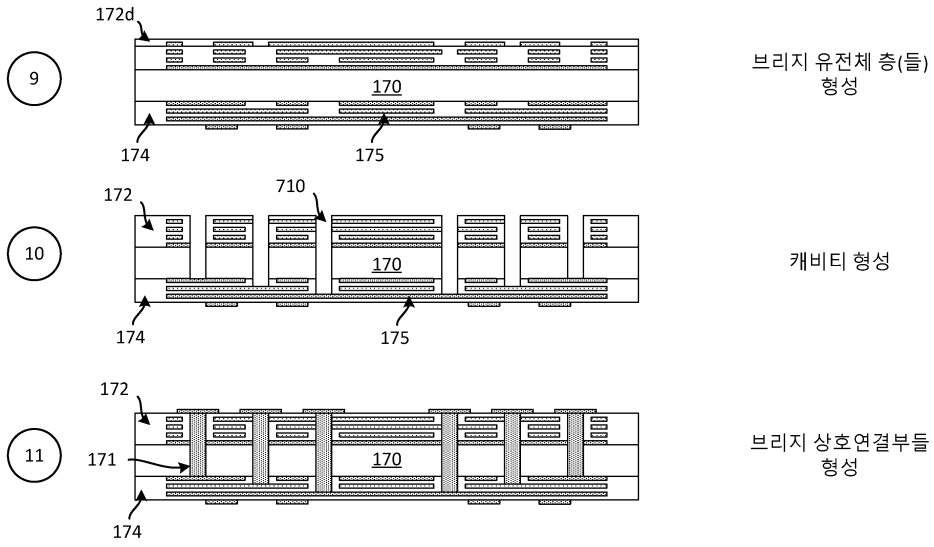
도면9a


1
170
브리지 기판
873a
2
170
875a
브리지 상호연결부들 형성
172a
3
170
174a
브리지 유전체 층(들) 형성
873b
4
170
875b
브리지 상호연결부들 형성

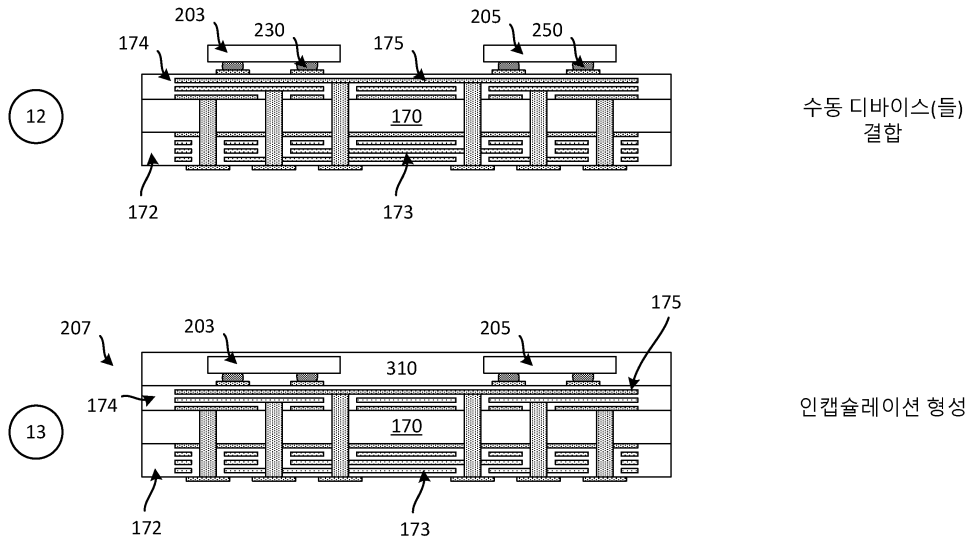
도면9b


172b
5
170
174b
브리지 유전체 층(들) 형성
873c
6
170
875c
브리지 상호연결부들 형성
172c
7
170
174c
브리지 유전체 층(들) 형성
873d
8
170
875d
브리지 상호연결부들 형성

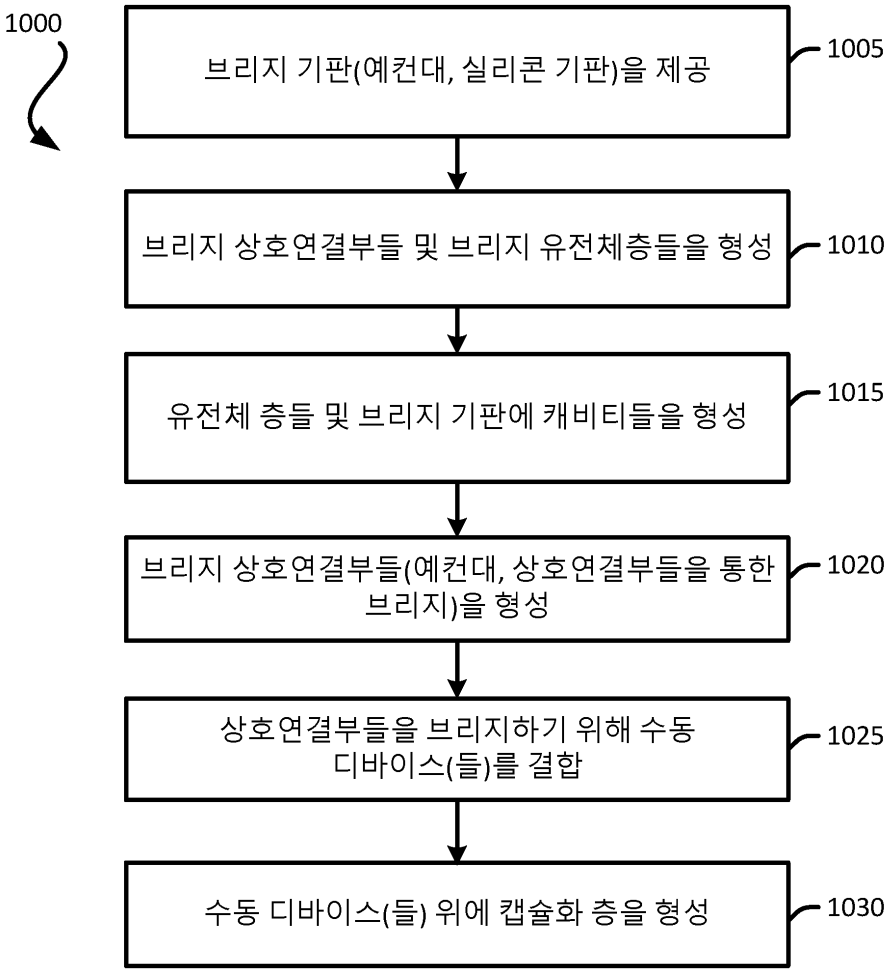
도면9c


9
172d
170
174
175
브리지 유전체 층(들) 형성
10
172
710
170
174
175
캐비티 형성
11
172
171
170
174
브리지 상호연결부들 형성

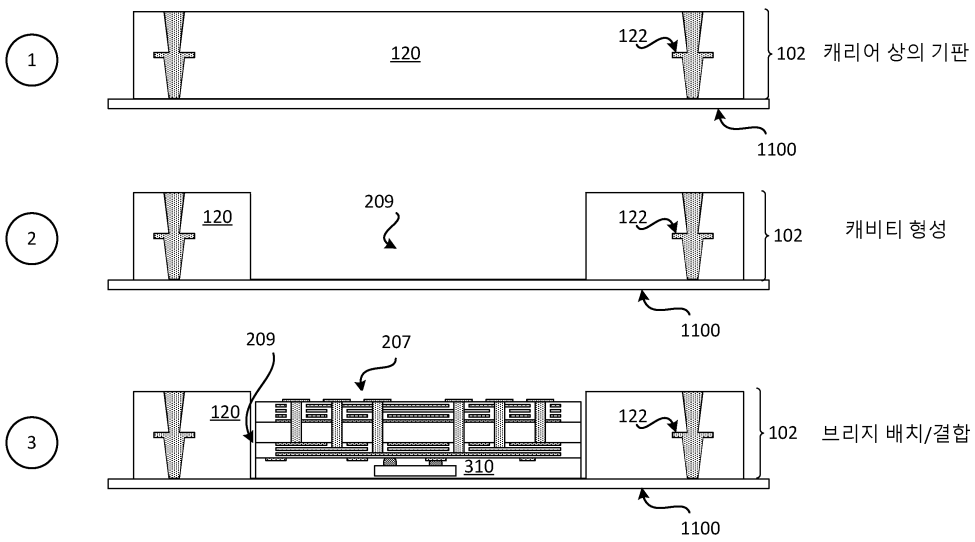
도면9d


12
203
230
174
175
205
250
170
172
173
수동 디바이스(들) 결합
13
207
203
205
175
310
174
170
172
173
인캡슐레이션 형성

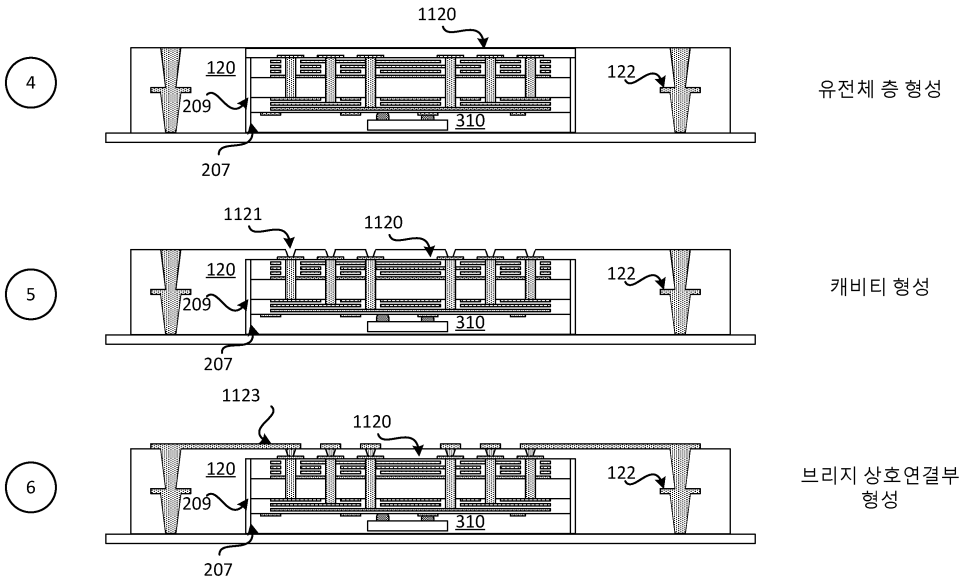
도면10


1000
브리지 기판(예컨대, 실리콘 기판)을 제공
1005
브리지 상호연결부들 및 브리지 유전체층들을 형성
1010
유전체 층들 및 브리지 기판에 캐비티들을 형성
1015
브리지 상호연결부들(예컨대, 상호연결부들을 통한 브리지)을 형성
1020
상호연결부들을 브리지하기 위해 수동 디바이스(들)를 결합
1025
수동 디바이스(들) 위에 캡슐화 층을 형성
1030

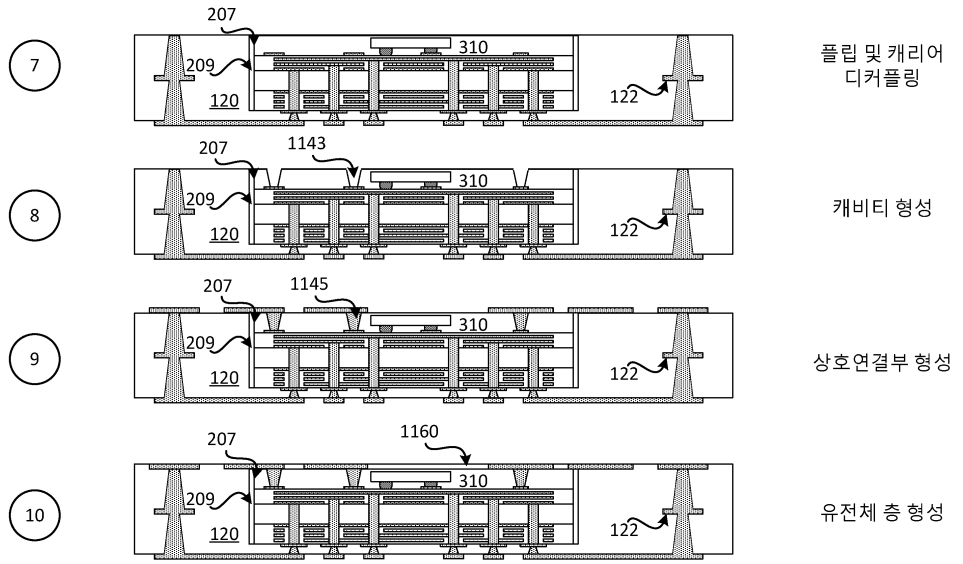
도면11a


1
120
122
102
캐리어 상의 기판
1100
2
120
209
122
102
캐비티 형성
1100
3
209
207
120
122
102
브리지 배치/결합
310
1100

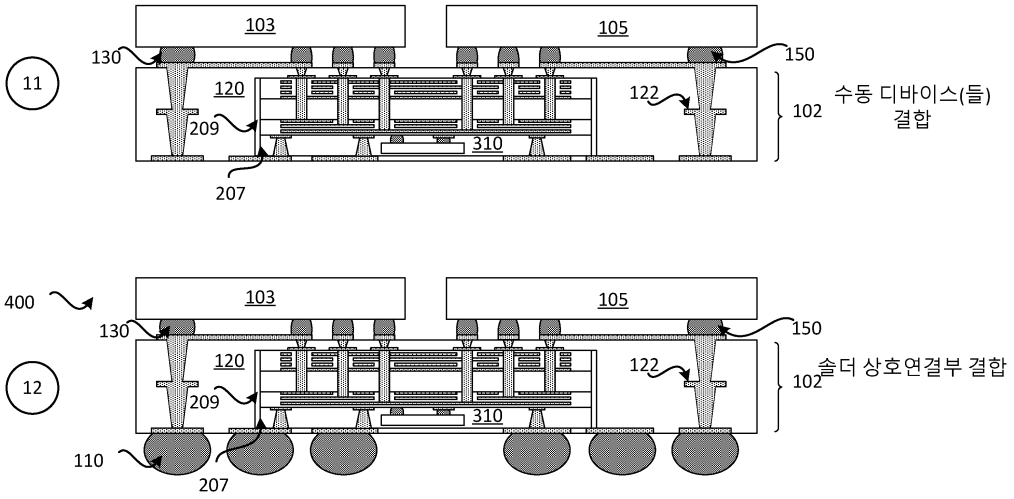
도면11b


4
1120
120
122
209
310
207
유전체 층 형성
5
1121
1120
120
122
209
310
207
캐비티 형성
6
1123
1120
120
122
209
310
207
브리지 상호연결부 형성

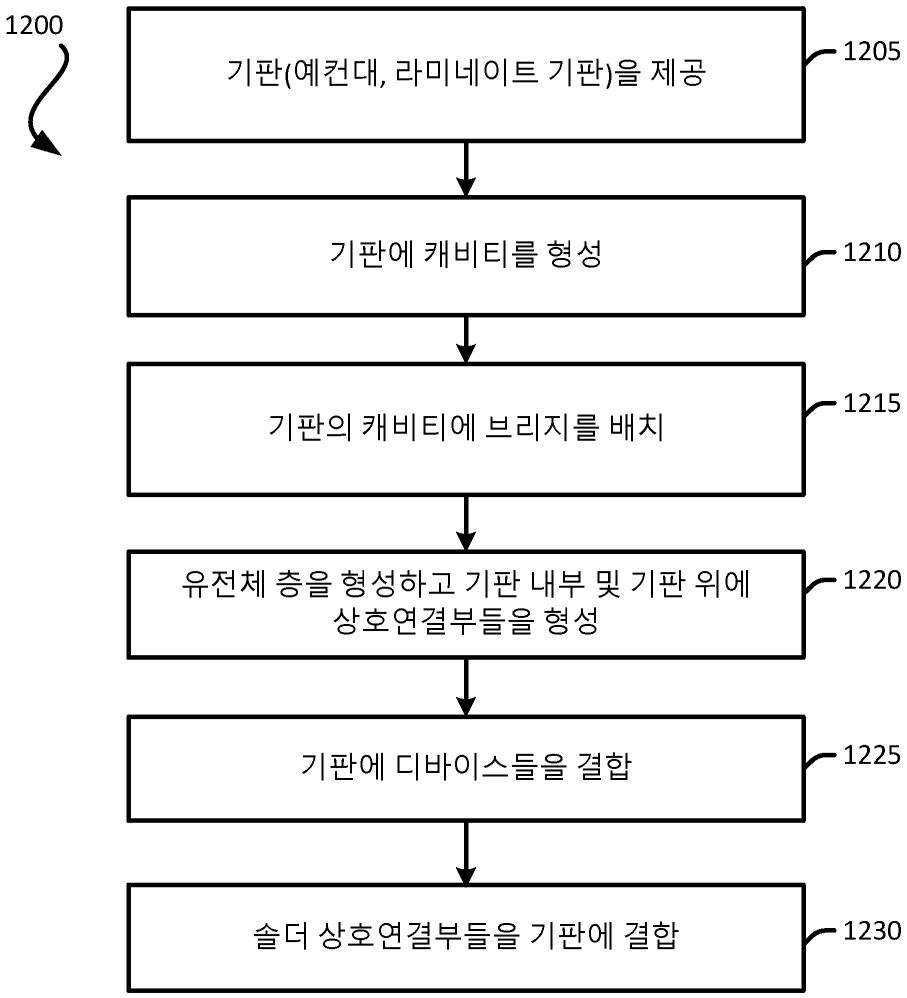
도면11c


7
207
209
310
120
122
플립 및 캐리어 디커플링
8
207
1143
209
310
120
122
캐비티 형성
9
207
1145
209
310
120
122
상호연결부 형성
10
207
1160
209
310
120
122
유전체 층 형성

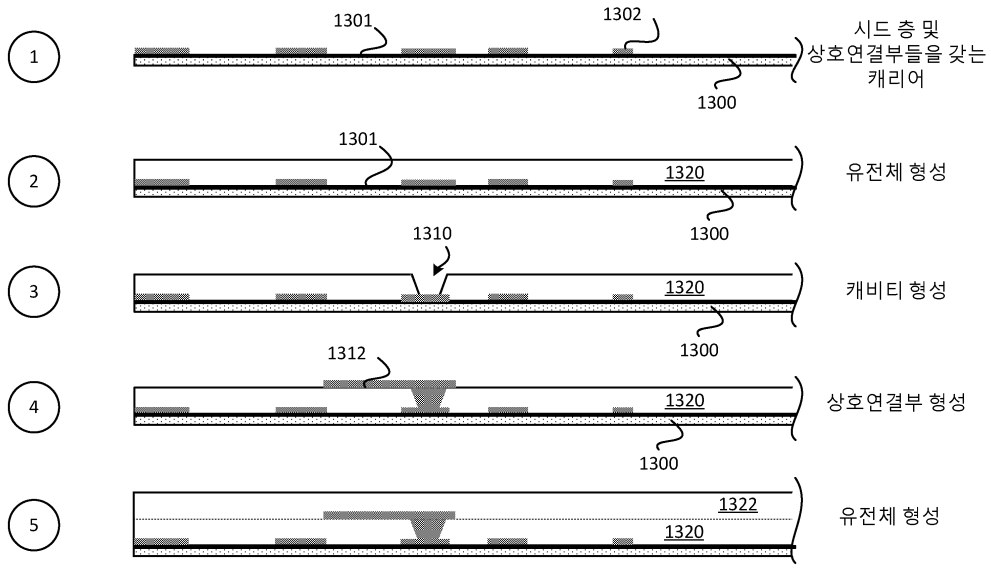
도면11d


11
103
105
130
150
120
122
209
310
102
수동 디바이스(들) 결합
207
400
12
110
솔더 상호연결부 결합

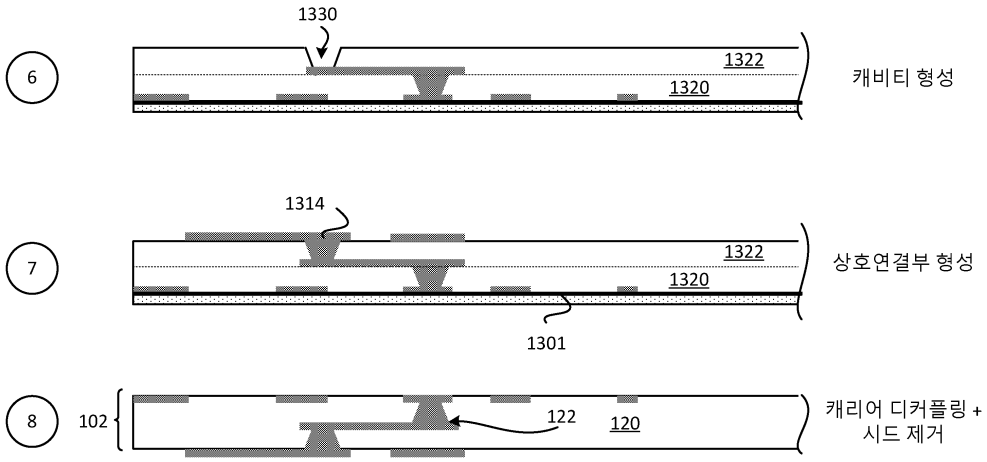
도면12


1200
기판(예컨대, 라미네이트 기판)을 제공
1205
기판에 캐비티를 형성
1210
기판의 캐비티에 브리지를 배치
1215
유전체 층을 형성하고 기판 내부 및 기판 위에 상호연결부들을 형성
1220
기판에 디바이스들을 결합
1225
솔더 상호연결부들을 기판에 결합
1230

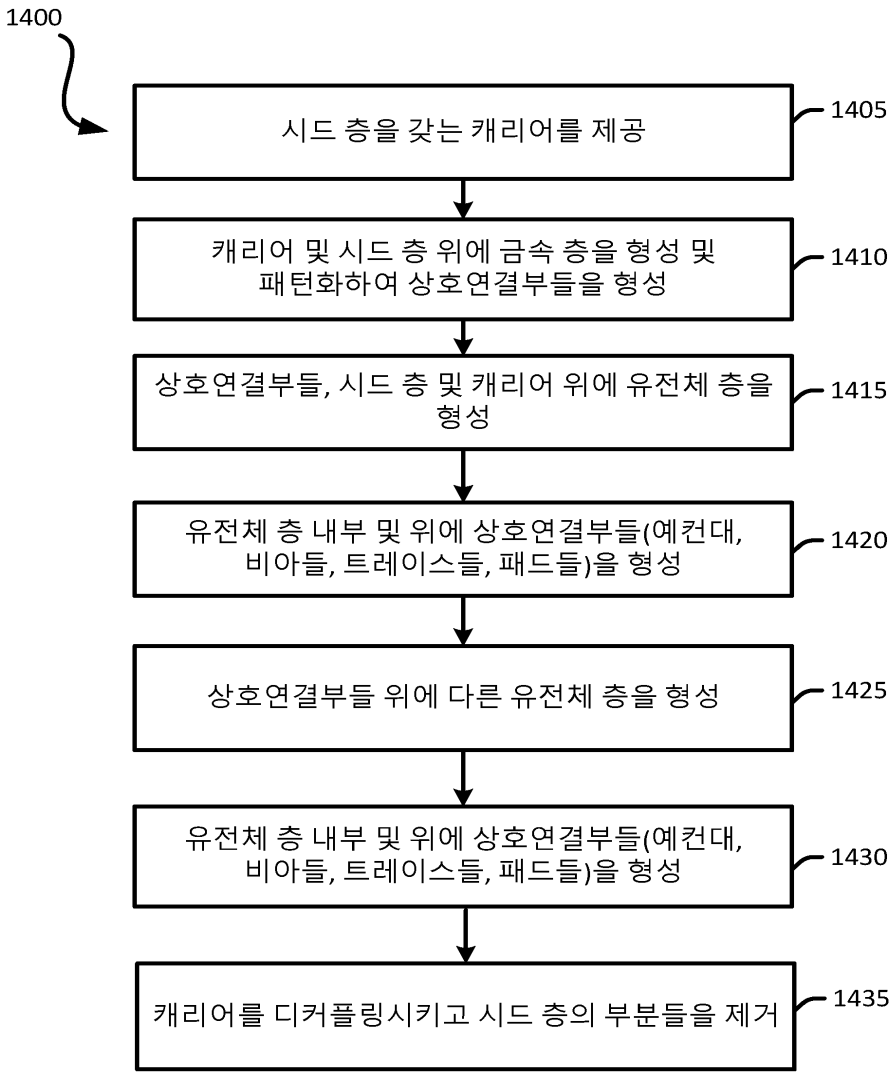
도면13a


1
1301
1302
1300
시드 층 및
상호연결부들을 갖는
캐리어
2
1301
1320
1300
유전체 형성
3
1310
1320
1300
캐비티 형성
4
1312
1320
1300
상호연결부 형성
5
1322
1320
유전체 형성

도면13b


6
1330
1322
1320
캐비티 형성
7
1314
1322
1320
1301
상호연결부 형성
8
102
122
120
캐리어 디커플링 +
시드 제거

도면14


1400
시드 층을 갖는 캐리어를 제공
1405
캐리어 및 시드 층 위에 금속 층을 형성 및 패턴화하여 상호연결부들을 형성
1410
상호연결부들, 시드 층 및 캐리어 위에 유전체 층을 형성
1415
유전체 층 내부 및 위에 상호연결부들(예컨대, 비아들, 트레이스들, 패드들)을 형성
1420
상호연결부들 위에 다른 유전체 층을 형성
1425
유전체 층 내부 및 위에 상호연결부들(예컨대, 비아들, 트레이스들, 패드들)을 형성
1430
캐리어를 디커플링시키고 시드 층의 부분들을 제거
1435

도면15

