



(12) 发明专利

(10) 授权公告号 CN 1914115 B

(45) 授权公告日 2014.07.09

(21) 申请号 200480041607.9

(22) 申请日 2004.10.20

(30) 优先权数据

10/777,326 2004.02.12 US

(85) PCT国际申请进入国家阶段日

2006.08.11

(86) PCT国际申请的申请数据

PCT/US2004/034658 2004.10.20

(87) PCT国际申请的公布数据

WO2005/081702 EN 2005.09.09

(73) 专利权人 罗伯特·博世有限公司

地址 德国斯图加特

(72) 发明人 马库斯·卢茨 阿龙·帕特里奇

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 蔡洪贵

(51) Int. Cl.

B81C 1/00(2006.01)

H01L 21/00(2006.01)

(56) 对比文件

US 2003/0049878 A1, 2003.03.13, 全文.

US 2002/0016058 A1, 2002.02.07, 全文.

US 2003/0173330 A1, 2003.09.18, 说明书第 [0035]-[0058] 段、附图 1-4、权利要求 1.

US 6635509 B1, 2003.10.21, 全文.

JOHN L. VOSSEN ET AL.. THIN FILM PROCESSES. ACADEMIC PRESS, 1978, 309-311.

审查员 杨捷斐

权利要求书2页 说明书11页 附图31页

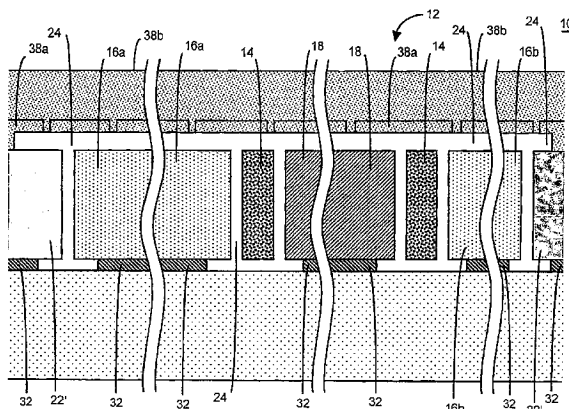
(54) 发明名称

微机电设备以及制造微机电设备的方法

(57) 摘要

这里描述和示出了很多发明。在一个方面,本发明涉及一种薄膜封装的 MEMS 以及制造或生产薄膜封装的 MEMS 的技术,所述 MEMS 包括集成的吸杂区域和 / 或增大的腔室体积,但是从机械结构和腔室的角度看却很少或没有导致总体尺寸的增大。集成的吸杂区域布置在腔室内并且能 (i)“捕获”从周围材料释放的杂质、原子和 / 或分子和 / 或 (ii) 降低和 / 或最小化杂质、原子和 / 或分子的不利影响 (例如,降低增大共振器质量的可能性,因为这将改变共振器的频率)。这样,本发明的薄膜晶片级包装的 MEMS 就在腔室内形成了相对稳定、压力受控的环境,以便例如提供对于机械结构更加稳定的预定、希望和 / 或选定的机械阻尼。

CN 1914115 B



1. 一种制造微机电设备的方法,该微机电设备具有布置于基片之上且处于腔室内的机械结构和周边区域,所述腔室至少部分地由薄膜封装结构所形成,该方法包括:

形成所述机械结构;

在所述腔室中沉积流体;

形成所述周边区域,所述周边区域中具有包括多个缝隙的吸杂区域,其中所述多个缝隙被布置在所述腔室中;和

通过沉积薄膜封装结构来密封该腔室;

其中,所述机械结构和所述周边区域形成在单层内,所述单层在基片之上延伸;以及所述机械结构、周边区域、以及吸杂区域布置在所述腔室的同一腔中。

2. 根据权利要求1的方法,其特征在于,机械结构包括布置在基片之上以及腔室内的至少一个固定电极和至少一个锚定区域,该方法还包括形成的所述至少一个固定电极中包括多个缝隙,和/或形成的所述至少一个锚定区域中包括多个缝隙。

3. 根据权利要求1或2的方法,其特征在于,通过沉积薄膜封装结构来密封腔室的步骤包括:

将牺牲层沉积在至少一部分机械结构和周边区域上或周围;

将第一封装层沉积在牺牲层之上;

形成至少一个穿过第一封装层以使得可以移除至少一部分牺牲层的孔口;

将与机械结构和周边区域并列的至少一部分牺牲层移除;和

将第二封装层沉积在孔口之上或之中以密封该腔室。

4. 根据权利要求3的方法,其特征在于,基片包括牺牲层,并且将至少一部分与机械结构和周边区域并列的沉积的牺牲层移除的步骤还包括将至少一部分布置在机械结构和周边区域缝隙下面的基片的牺牲层移除。

5. 根据权利要求3的方法,其特征在于,第二封装层是包括多晶硅、非晶硅、碳化硅、硅/锗、锗和/或砷化镓的半导体材料。

6. 根据权利要求4的方法,其特征在于,第二封装层是包括多晶硅、非晶硅、碳化硅、硅/锗、锗和/或砷化镓的半导体材料。

7. 根据权利要求3的方法,其特征在于,第一封装层包括多晶硅、非晶硅、锗、硅/锗、和/或砷化镓。

8. 一种微机电设备,包括:

基片;

布置在基片之上的机械结构,其中机械结构包括可动电极和固定电极;

布置在基片之上的周边区域;

布置在所述周边区域的预定部分中的吸杂区域,以及所述固定电极;

腔室;

薄膜封装结构,其布置在机械结构、周边区域和吸杂区域之上;

其中:

所述机械结构、周边区域和吸杂区域被布置在该腔室的同一腔中;

吸杂区域暴露于腔室中的流体;

所述周边区域中包括多个缝隙;

所述多个缝隙被布置在所述腔中；

所述薄膜封装结构密封该腔室；并且

所述机械结构和所述周边区域形成在单层内，所述单层在基片之上延伸。

9. 根据权利要求 8 的设备，其特征在于，薄膜封装结构包括第一和第二封装层。

10. 根据权利要求 9 的设备，其特征在于，第一封装层包括单晶硅、多晶硅、多孔多晶硅、非晶硅、碳化硅、氮化硅、硅 / 锗、锗或砷化镓。

11. 根据权利要求 9 或 10 的设备，其特征在于，第二封装层包括单晶硅、多晶硅、氮化硅、氧化硅、多孔硅、非晶硅、锗、硅 / 锗、砷化镓或碳化硅。

12. 根据权利要求 8 或 9 中的设备，其特征在于，吸杂区域包括位于周边区域和固定电极的部分中的多个缝隙。

13. 根据权利要求 8 或 9 中的设备，其特征在于，吸杂区域能捕获从包含在腔室内的材料中释放的杂质、原子或分子。

14. 根据权利要求 8 或 9 中的设备，其特征在于，机械结构为共振器。

## 微机电设备以及制造微机电设备的方法

### 技术领域

[0001] 本发明涉及微机电系统和 / 或纳米机电系统(下文中统称为“微机电系统”)以及用于制造微机电系统的技术;并且更具体地,在一个方面,用于制造或生产一种具有机械结构的微机电系统,该机械结构利用薄膜或晶片级封装技术封装在一个腔室内,并且包括集成的吸杂区域和 / 或改进体积的腔室。

### 背景技术

[0002] 微机电系统(“MEMS”),例如陀螺仪、共振器和加速计,利用微机械加工技术(即光刻和其它精密制造技术)来将机械部件减小到大致可与微电子学相比较的尺寸。MEMS 通常包括利用微机械技术从例如硅基片或者在硅基片上加工出来的机械结构。例如,参照图 1A, MEMS 共振器通常包括机械结构 12 以及包围机械结构 12 和 / 或与之邻接的周边区域 22,该机械结构 12 包括可动电极 14、固定电极 16a、16b 和 18、锚定部 20a 和 20b。

[0003] 尤其,在常规的 MEMS 中,固定电极和周边区域倾向于为实体或邻接结构(参见,例如,图 1A 和 1B 中的固定电极 16a 和周边区域 22)。在这一点上,机械结构通常由例如硅基片制造或者在硅基片上制造。硅基片置于绝缘层上,其中该绝缘层用作 MEMS 的牺牲层。在制造过程中,形成可动和固定电极、锚定部 20a 和 20b、以及周边区域 22 并且蚀刻或移除绝缘层的显著部以释放机械结构的可动电极。(参见,例如,美国专利 6,450,029 和 6,240,782)。这样,机械结构可用作例如共振器、加速计、陀螺仪或其它换能器(例如压力传感器、应变传感器、触觉感受器、磁性传感器和 / 或温度传感器)。尤其,固定电极和周边区域是在释放可动电极过程中很大程度上不受影响的实体和 / 或邻接结构。

[0004] 在制造机械结构之后,这些结构通常密封在一个腔室中。常规的 MEMS 将这些结构密封在例如密封的金属或陶瓷包装中。常规的 MEMS 还应用粘合封装技术从而一个具有容纳、接收或覆盖机械结构的腔室的半导体或玻璃状基片被粘合至其中形成机械结构的基片(参见,例如,美国专利 No. 6,146,917;No. 6,352,935;6,477,901 和 6,507,082)。

[0005] 这种常规的 MEMS 通常提供了相对大的体积并且通常包括吸杂材料以在操作期间“捕获”从例如硅基片中释放的杂质、原子和 / 或分子。这样,常规的 MEMS 在相当长的时间和操作条件之后在腔室内显示相对稳定的压力(例如,在倾向于诱导杂质、原子和 / 或分子释放出来的大范围操作温度之后操作)。

[0006] 另一种封装技术例如在机械结构的晶片级包装期间使用了利用微机械技术的薄膜方法。(参见,例如,国际专利申请公开 No. W001/77008A1 和 W001/77009A1)。相对于密封陶瓷包装和粘合封装技术,机械结构在晶片阶段被包装的常规 MEMS 倾向于具有较小的体积。另外,由于后续处理(通常在高温下)的缘故,薄膜晶片级包装的 MEMS 不能有效地应用吸杂材料来“捕获”从周围材料中释放的杂质、原子和 / 或分子。这样,常规的薄膜晶片级包装的 MEMS 在腔室内更易于出现压力不稳定性。这种不稳定性随着时间的过去和操作条件而增大(例如,在大范围的操作温度之后操作)。

[0007] 因而,尤其需要一种采用薄膜晶片级包装技术的 MEMS,其克服了与常规薄膜晶片

级包装技术的吸杂和体积限制相关的一个、一些或所有缺点。尤其还需要一种 MEMS, 其包括利用薄膜封装技术进行封装的机械结构, 其提高了吸杂能力和 / 或增大了包含机械结构的腔室的体积同时 MEMS 的总体尺寸却很少或没有增大。这样, 本发明的薄膜晶片级包装的 MEMS 在腔室内具有相对稳定、压力受控的环境以提供例如对机械结构更稳定的预定、希望和 / 或选定的机械阻尼。

### 发明内容

[0008] 这里描述和示出了很多发明。在第一个基本方面, 本发明是一种制造微机电设备的方法, 该微机电设备具有布置于基片之上且处于腔室内的机械结构和周边区域, 所述腔室至少部分地由薄膜封装结构所形成。该方法包括: 形成机械结构; 形成周边区域, 其中周边区域中包括多个缝隙; 和通过沉积薄膜封装结构来密封该腔室。

[0009] 在一个实施例中, 通过沉积薄膜封装结构来密封腔室的步骤可包括: 将牺牲层沉积在至少一部分机械结构和周边区域周围并将第一封装层沉积在牺牲层之上。此后, 至少一个孔口形成为穿过第一封装层(例如多晶硅、非晶硅、锗、硅 / 锗和 / 或砷化镓) 以使得可以移除至少一部分牺牲层。在从机械结构和周边区域移除至少一部分牺牲层之后, 将第二封装层(例如, 由多晶硅、非晶硅、碳化硅、硅 / 锗、锗和 / 或砷化镓所构成的半导体材料) 沉积在孔口之上或之中以密封该腔室。

[0010] 尤其, 该方法还包括将至少一部分布置在机械结构和周边区域缝隙下面的基片的牺牲层移除。

[0011] 本发明的这个方面的方法还可包括形成固定电极和 / 或锚定区域, 其中固定电极和 / 或锚定区域可包括多个缝隙。

[0012] 在又一实施例中, 本发明的方法还可包括形成其中包括多个缝隙的固定电极以及形成其中包括多个缝隙的锚定区域。另外, 通过沉积薄膜密封结构来密封腔室的步骤还可包括: 将牺牲层沉积在包括固定电极和锚定区域的机械结构以及包括缝隙的周边区域的至少一部分周围; 将第一封装层沉积在牺牲层上; 形成至少一个穿过第一封装层以使得能移除至少一部分牺牲层的孔口; 此后从机械结构移除至少一部分牺牲层, 包括从固定电极、锚定区域和周边区域中的缝隙中移除。在移除之后, 该方法还包括将第二封装层沉积在孔口之上或之中以密封该腔室。

[0013] 在另一个方面, 本发明是一种微机电设备, 包括: 基片; 布置在基片之上的机械结构; 布置在基片之上的周边区域, 其中周边区域包括多个缝隙; 以及薄膜封装结构, 其布置在机械结构和周边区域之上, 以部分地限定和密封出一个腔室。

[0014] 在某些实施例中, 微机电设备的薄膜封装结构可包括第一和第二封装层。在这一点上, 第一封装层可由多晶硅、多孔多晶硅、非晶硅、碳化硅、氮化硅、硅 / 锗、锗或砷化镓构成。而且, 第二封装层可由多晶硅、多孔多晶硅、非晶硅、锗、硅 / 锗、砷化镓、或碳化硅构成。

[0015] 机械结构还可包括多个固定电极, 其中固定电极中包括多个缝隙。实际上, 机械结构可包括多个锚定区域, 其中锚定区域中包括多个缝隙。

[0016] 机械结构可以是共振器, 其包括至少一个固定电极、锚定区域、以及至少一个物理地连接至锚定区域并邻近固定电极的可动电极, 并且其中固定电极和锚定区域包括多个缝隙。

[0017] 在又一方面,本发明是一种微机电设备,包括:基片;布置在基片之上的机械结构,其中机械结构包括可动和固定电极;布置在基片之上的周边区域;吸杂区域,其布置在周边区域和固定电极的预定部分中;以及腔室,其中机械结构、周边区域和吸杂区域至少部分地布置在该腔室中并且其中吸杂区域暴露于腔室中的流体。本发明这个方面的微机电设备还包括薄膜封装结构,其布置在机械结构、周边区域和吸杂区域之上,其中该封装结构密封该腔室。

[0018] 在一个实施例中,吸杂区域包括位于周边区域和固定电极的部分中的缝隙。在一个实施例中,吸杂区域能捕获从包含在腔室内的材料中释放的杂质、原子或分子。

[0019] 机械结构可以是共振器。在这个实施例中,薄膜封装结构包括第一和第二封装层。第一封装层可由多晶硅、多孔多晶硅、非晶硅、碳化硅、氮化硅、硅/锗、锗或砷化镓构成。第二封装层可由多晶硅、多孔多晶硅、非晶硅、锗、硅/锗、砷化镓、或碳化硅构成。

[0020] 再次,这里描述和示出了很多发明。发明内容部分并不是穷尽本发明的范围。此外,发明内容并不是要限制本发明并且不应以那样的方式解读。虽然在发明内容部分已经描述了本发明的某些实施例、特点、属性和优点,但是应当理解的是,从下面的说明书、附图和权利要求中本发明的很多其它的以及不同的和/或类似的实施例、特点、属性和/或优点将会很明显。

#### 附图说明

[0021] 在以下详细描述的过程中,将参照附图。这些附图示出了本发明的不同方面并且在适当的时候,在不同附图中示出类似结构、部件、材料和/或元件的附图标记进行类似地标记。应当理解的是,所述结构、部件、材料和/或元件除了详细示出之外的各种组合是可以预期的并且在本发明的范围之内。

[0022] 图 1A 示出了常规 MEMS 共振器的机械结构的俯视图,包括可动电极、固定电极、锚定部和周边区域;

[0023] 图 1B 是图 1 所示 MEMS 共振器的一部分周边区域和固定电极的横截视图(沿着图 1 中虚线 A-A' 剖面);

[0024] 图 2 示出了根据本发明一个实施例的 MEMS 共振器的机械结构的俯视图,使得周边区域被加工、构造和/或处理为提供增大的表面积并且腔室具有增大的体积;

[0025] 图 3A 是根据本发明的某些方面,图 2 所示 MEMS 共振器的一部分周边区域和固定电极的横截视图(沿着图 2 中虚线 A-A' 剖面);

[0026] 图 3B 是根据本发明的某些方面,图 2 所示 MEMS 共振器的一部分周边区域、固定电极和可动电极的横截视图(沿着图 2 中虚线 B-B' 剖面);

[0027] 图 4A-4F 示出了根据本发明的某些方面在采用示例性的薄膜封装技术制造图 2 所示 MEMS 的工艺中不同阶段时的横截视图(沿着图 2 中虚线 A-A' 剖面);

[0028] 图 5-10 示出了根据本发明示例性和不同实施例的 MEMS 共振器的机械结构的俯视图,使得周边区域和/或一个或多个固定电极被加工、构造和/或处理为提供增大的表面积并且腔室具有增大的体积;和

[0029] 图 11 是根据本发明的某些方面,图 10 所示 MEMS 共振器的一部分周边区域、固定电极和可动电极的横截视图(沿着图 10 中虚线 B-B' 剖面);

[0030] 图 12A-12C 示出了根据本发明的某些方面采用其它示范性封装技术制造图 2 所示 MEMS 的工艺中不同阶段时的横截视图(沿着图 2 中虚线 A-A` 剖面);

[0031] 图 13 是根据本发明一个方面如图 2 所示 MEMS 的横截视图(沿着图 2 中虚线 C-C` 剖面),包括用于锚定可动电极的一种示范性锚定技术;

[0032] 图 14 是根据本发明一个方面如图 2 所示 MEMS 的横截视图(沿着图 2 中虚线 B-B` 剖面),包括示例性的反静摩擦技术;

[0033] 图 15A-15E 示出了根据本发明一个方面的 MEMS 的横截视图(沿着图 2 中虚线 A-A` 剖面),其中示出了不同和示范性图案、形状和 / 或周边区域中缝隙、沟槽和 / 或切片的深度;

[0034] 图 16A 是根据本发明的一个方面的示范性 MEMS 的方框图,包括机械结构以及集成在共同基片上的处理和电路;和

[0035] 图 16B 和 16C 是根据本发明的某些方面的示范性 MEMS 的方框图,包括机械结构以及布置在分离的基片上的处理和电路。

### 具体实施方式

[0036] 这里描述和示出了多个发明。在一个方面,本发明涉及一种薄膜封装的 MEMS,以及用于制造或生产薄膜封装的 MEMS 的技术,其具有集成的吸杂区域和 / 或增大的腔室体积,从机械结构和腔室的角度看,这仅导致了 MEMS 总体尺寸的很少增大甚至没有增大。集成的吸杂区域布置在腔室内并且能(i)“捕获”从周围材料释放的杂质、原子和 / 或分子和 / 或(ii)降低和 / 或最小化杂质、原子和 / 或分子的不利影响(例如,降低增大共振器质量的可能性,因为这将改变共振器的频率)。这样,本发明的薄膜晶片级包装的 MEMS 就在腔室内形成了相对稳定、压力受控的环境,以便例如提供对于机械结构更加稳定的预定、希望和 / 或选定的机械阻尼。

[0037] 本发明在最终包装和 / 或完成 MEMS 之前利用薄膜结构将机械结构封装在腔室内。腔室内包含和 / 或容纳机械结构的环境提供了相对稳定的、受控的、预定的、希望的和 / 或选定的机械阻尼。在这一点上,腔室内的以及机械结构要在其中操作的流体(例如气体或蒸汽)的参数(例如压力)是相对稳定、受控、选定和 / 或设计的以便提供希望和 / 或预定的操作环境。

[0038] 参照图 2、3A 和 3B,在第一实施例中,薄膜晶片级包装的 MEMS 设备 10 包括增大的体积和 / 或集成的吸杂区域。在这一点上,周边区域 22` 的选定和 / 或预定部分被蚀刻、形成图案和 / 或移除以在周边区域 22` 中形成缝隙、沟槽和 / 或切片。周边区域 22` 中的缝隙、沟槽和 / 或切片增大了腔室 24 的体积。而且,腔室 24 内增大的表面积和 / 或表面提高了 MEMS10 的吸杂特性。在这一点上,吸杂区域 26 集成入 MEMS10 的腔室 24,并且在本实施例中,定位为邻近、临界和 / 或靠近机械结构 12。这样,在腔室 24 (其包含和 / 或容纳机械结构 12) 被“密封”时,腔室 24 的总体积更大(例如介于  $10\times$  至  $1000\times$  之间的相对增大)并且吸杂特性被增强(例如,形成图案的周边区域可以(1)便于后续高温处理步骤期间挥发性物质在周围固体中的扩散—这会使得腔室 24 内得到“更清洁”和 / 或更纯净的流体,和 / 或(2)由于腔室 24 内表面积增大的缘故降低了质量负荷出现在可动电极 14 上的可能性)。实际上,通过改进 MEMS10 的吸杂特性,温度变化就不大可能导致质量负荷(和质量蒸发),从

而降低了迟滞的可能性(例如由于温度所导致的共振器的频率响应中的迟滞变化)。这种迟滞会限制共振器缺失补偿的性能。

[0039] 参照图 4A-4F,一种制造或生产根据本发明的 MEMS10 的示例性方法可开始于利用公知的光刻和蚀刻技术在 SOI 基片 28 之中或之上形成和 / 或图案化出可动电极 14 (在图 4A-4F 的横截面中未示出)、固定电极 16a、16b 和 18、锚定部 20a 和 20b (在图 4A-4F 的横截面中未示出)、以及周边区域 22`。

[0040] 具体地,参照图 4A, MEMS10 形成于 SOI 基片 28 之中或之上。SOI 基片 28 包括第一基片层 30 (例如,半导体(比如硅)、玻璃或蓝宝石)、第一牺牲 / 绝缘层 32 和第一半导体层 34。在一个实施例中,SOI 基片 28 可以是利用公知技术制造的 SIMOX 晶片。在另一实施例中,SOI 基片 28 可以是具有第一半导体层 34 的常规 SOI 晶片。在这一点上,具有相对薄的第一半导体层 34 的 SOI 基片 28 可以利用大块硅晶片 (bulk silicon wafer) 制造,所述大块硅晶片被注入氧气并被氧气所氧化从而在单晶晶片表面之下形成相对薄的 SiO<sub>2</sub>。在本实施例中,第一半导体层 34 (例如单晶硅)置于第一牺牲 / 绝缘层 32 (即二氧化硅)上,所述第一牺牲 / 绝缘层 32 置于第一基片层 30 (即单晶硅)上。

[0041] 尤其,所有用来提供或制造 SOI 基片 28 的技术,无论是现在已知的还是后来开发的,都包含在本发明的范围内,例如利用标准或超规格(“厚”)晶片(未示出)的公知形成、光刻、蚀刻和 / 或沉积技术和 / 或粘合技术(即将两个标准晶片粘合起来,其中较低 / 底部晶片包括布置在其上的牺牲层(例如二氧化硅))并且较上 / 顶部晶片此后被减薄(磨削)并抛光以将机械结构接收在其中或其上)。

[0042] 在本实施例中,机械结构 12 置于第一牺牲 / 绝缘层 32 上,例如二氧化硅或氮化硅上(参见例如图 3B)。如上所述,机械结构 12 可利用公知的光刻、蚀刻和 / 或掺杂技术由公知的材料(例如比如硅、锗、锗化硅或砷化镓之类的半导体)形成。具体地,周边区域 22` 的选定部分被蚀刻、形成图案和 / 或移除以便在周边区域 22` 中形成缝隙、沟槽和 / 或切片。如下详细的描述,这些缝隙、沟槽和 / 或切片在封装之后给腔室 24 提供了额外的体积,同时增大了腔室 24 中的表面积,这样可改进 MEMS10 的吸杂特性。腔室 24 中额外的表面积可吸收扩散入腔室 24 和 / 或从腔室 24 中或附近的周围材料(例如从第一牺牲 / 绝缘层 32)释放出的任何反应物。

[0043] 尤其,虽然周边区域 22` 中的缝隙、沟槽和 / 或切片被示出为重复性的图案且延伸至第一牺牲 / 绝缘层 32 的表面,但是实际上在周边区域 22` 中可以采用任何图案、形状和 / 或深度的缝隙、沟槽和 / 或切片(参见,例如,图 15A-15E)。然而,有利地是在形成机械结构 12 其它部分(例如可动电极 14)的同一光刻和蚀刻工艺期间在周边区域 22` 中形成缝隙、沟槽和 / 或切片。这样,工艺步骤的数目可以减少和 / 或维持不变。

[0044] 在周边区域 22` 形成之后,可封装 MEMS10 以形成腔室 24 并限定包含在其中的大气。在这一点上, MEMS10 可利用常规的薄膜封装技术和结构来密封或封装。(参见,例如, W001/77008A1 和 W001/77009A1)。其它薄膜封装技术也是合适的。实际上,所有的薄膜封装技术,无论是已知的还是后来开发的,都包括在本发明的范围内。

[0045] 例如,可以使用 2003 年 6 月 4 日提交并分配给序列号 No. 10/455,555 的非临时专利申请“Microelectromechanical Systems Having Trench Isolated Contacts, and Methods of Fabricating Same (具有隔离接触的沟槽的微机电系统及其制造方法)”(下文

中称为“具有隔离接触的沟槽的微机电系统专利申请”)中所描述和示出的封装技术。具有隔离接触的沟槽的微机电系统专利申请所描述和示出的所有发明/实施例(包括,例如,封装和电绝缘技术)可与这里所描述和示出的发明一起实施。为了简洁的缘故,具有隔离接触的沟槽的微机电系统专利申请所描述和示出的与这里所描述和示出的发明一起实施的发明/实施例将不再赘述,而只是进行了概述。然而,应当特别说明的是,具有隔离接触的沟槽的微机电系统专利申请的全部内容,例如包括所有发明的特点、属性、选择、材料、技术和优点,都以参考的方式结合于此。

[0046] 参照图 4B,在周边区域 22` 中形成沟槽、缝隙和/或切片(以及机械结构 12 的其它方面,例如固定和可动电极 14、16a、16b 和 18(图 4B 中未示出))之后,在后续工艺过程中,包括示例性的封装工艺,可沉积和/或形成第二牺牲层 36,例如二氧化硅或氮化硅,来紧固、隔开和/或保护机械结构 12 以及周边区域 22`,机械结构包括可动电极 14(未示出)、固定电极 16a、16b(未示出)和 18(未示出)。

[0047] 参照图 4C、4D 和 4E,此后,第一封装层 38a 可沉积、形成和/或生长在第二牺牲层 36 上(参见图 4C)。沉积、形成和/或生长可以利用例如化学气相沉积(“CVD”)或外延工艺通过保形工艺或非保形工艺来进行。在一个实施例中,第一封装层 38a 在与第二牺牲层 36 重叠的区域中的厚度可以介于 0.1  $\mu\text{m}$  和 5.0  $\mu\text{m}$  之间。在蚀刻第二牺牲层 36 之后第一封装层 38a 上的外部环境应力和内应力会影响第一封装层 38a 的厚度。相对于可能会褶曲的压缩膜而言,稍微拉伸的膜自支撑得更好。

[0048] 第一封装层 38a 随后可被蚀刻以形成通道或孔口 40(参见图 4D)。在一个示例性实施例中,孔口 40 具有介于 0.1  $\mu\text{m}$  至 2  $\mu\text{m}$  之间的直径或孔隙尺寸。孔口 40 允许对第一和第二牺牲层 32 和 36 相应的至少选定部分进行蚀刻和/或移除(参见图 4E)。

[0049] 尤其,机械结构 12 的某些部分仍可保留为部分、大部分或完全地被第一和第二牺牲层 32 和 36 的部分所包围。例如,参照图 3A、3B 和 4E,在可动电极 14 从第一牺牲层/绝缘层 32 相应的下面柱(column)释放时(参见,例如图 3B),一部分第一牺牲/绝缘层 32 在蚀刻和移除第二牺牲层 36 之后仍将保留在固定电极 16a 的下面(参见,例如图 3A 和 4E)。而且,包围周边区域 22` 的第一和第二牺牲层 32 和 36 可全部和部分地移除。有利地是将所有的第一和第二牺牲层 32 和 36 从周边区域 22` 的缝隙、切片和/和沟槽中移除以增大吸杂特性以及腔室 24 的体积。

[0050] 因此,参照图 4E,利用公知的蚀刻技术和材料,蚀刻和移除第一牺牲/绝缘层 32 和第二牺牲层 36 以暴露出周边区域 22` 的缝隙、切片和/和沟槽。例如,在一个实施例中,其中层 32 和 36 由二氧化硅构成,利用公知的湿蚀刻技术和缓冲的 HF 混合物(即缓冲的氧化蚀刻)或者公知的使用 HF 蒸汽(水或酒精基的蒸汽或使用无水的 HF 气体)的蒸汽蚀刻技术来移除/蚀刻选定部分。在另一实施例中,其中层 32 和 36 由氮化硅构成,利用磷酸移除/蚀刻选定部分。

[0051] 应当说明的是,存在着:(1)很多适合于层 32 和/或 36 的材料(例如,二氧化硅、氮化硅以及掺杂质或未掺杂质的玻璃状材料,例如磷硅酸盐(“PSG”)或硼磷硅酸盐(“BPSG”)以及旋涂式玻璃(“SOG”)),(2)很多适合的/相关的蚀刻剂(例如缓冲的氧化蚀刻剂、磷酸以及碱金属类氢氧化物,比如 NaOH 和 KOH),以及(3)很多适合的蚀刻或移除技术(例如,湿的、等离子体、蒸汽或干的蚀刻),以消除、移除和/或蚀刻层 32 和/或 36。因此,

用于消除、移除和 / 或蚀刻的所有材料、蚀刻剂和蚀刻技术及其变化,无论是已知的还是后来开发的,都包括在本发明的范围内。

[0052] 参照图 4F,在移除包围周边区域 22` 的缝隙、切片和 / 或沟槽的(全部或至少部分)层 32 和 / 或 36 之后,可沉积、形成和 / 或生长第二封装层 38b。第二封装层 38b 可以是例如硅基材料(例如多晶硅或锗化硅),其利用例如外延、溅射或 CVD 基反应器(例如 APCVD、LPCVD 或 PECVD)来沉积。沉积、形成和 / 或生长可以通过保形工艺或非保形工艺进行。材料可以与第一封装层 38a 相同或不同。

[0053] 在“密封”腔室 24 之后和 / 或在沉积或形成第二封装层 38b 之后,腔室 24 内流体的状态(例如压力)可以利用常规技术和 / 或利用 2003 年 3 月 20 日申请并分配给序列号 No. 10/392,528 的名称为“Electromechanical System having a Controlled Atmosphere, and Method of Fabricating Same (具有受控气氛的微机电系统及其制造方法)”的非临时专利申请(下文中称为“具有受控气氛的微机电系统专利申请”)所描述和示出的技术来确定。为了简洁的缘故,具有受控气氛的微机电系统专利申请中描述和示出的关于对腔室 24 内的气氛进行控制的所有发明在这里将不再重复。然而,具有受控气氛的微机电系统专利申请中描述和示出的发明 / 实施例(包括例如在封装期间对腔室中的流体压力进行控制)可以与这里所描述和示出的发明一起实施。然而,要特别说明的是,具有受控气氛的微机电系统专利申请的全部内容,包括例如所有发明的特点、属性、变化、材料、技术和优点,以参考的方式结合于此。

[0054] 参照图 5-10,在其它实施例中,固定电极 16a、16b 和 / 或 18 的一部分也可以被形成图案、蚀刻和 / 或移除以形成缝隙、沟槽和 / 或切片。这样,可以在不增大 MEMS10 总体尺寸的前提下调节和 / 或改变腔室 24 的体积。另外,也可以改变吸杂特性。

[0055] 例如,参照图 6,固定电极 16a`、16b` 和 / 或 18`、和 / 或周边区域 22` 的一部分被形成图案、蚀刻和 / 或移除以形成缝隙、沟槽和 / 或切片。在这个实施例中,腔室 24 的体积可大于图 2 所示 MEMS10 中腔室 24 的体积。而且,图 6 所示 MEMS10 的吸杂特性也可以得到改进,其原因是例如额外的表面积方便了后续高温处理步骤期间挥发性物质在周围固体中的扩散——这将在腔室 24 内产生“更清洁”和 / 或更纯净的流体(从挥发性物质的角度看)。

[0056] 此外,在某一实施例中,有利的是将吸杂区域 26 结合或集成入与可动电极 14 并列的某一区域中。参照图 10 和 11,在这个实施例中,固定电极 18` 被形成图案、蚀刻和 / 或移除以形成缝隙、沟槽和 / 或切片。这种缝隙、沟槽和 / 或切片位于腔室 24 内并靠近或邻近可动电极 14。这样,在腔室 24 被“密封”时,腔室 24 的总体积变大并且吸杂特性得到改进(例如,因为增大了腔室 24 内的表面积,形成图案的固定电极 18` 可显著地减少可动电极 14 上质量负荷的可能性)。如上所述,通过改进 MEMS10 的吸杂特性,温度变化引起质量负荷(和质量蒸发)的可能性变小。通过减少质量负荷的可能性,MEMS10 不易于发生迟滞现象,这种迟滞现象会限制共振器缺失补偿的性能。

[0057] 如上所述, MEMS10 利用任何薄膜封装技术来制造,无论是已知的还是后来开发的。例如,本发明可采用 2003 年 6 月 4 日申请并分配给序列号 No. 10/454,867 的名称为“Microelectromechanical Systems, and Method of Encapsulating and Fabricating Same (微机电系统及其封装和制造方法)”的非临时专利申请(下文中称为“微机电系统及封装方法专利申请”)所描述和示出的封装技术。在这一点上,根据本发明的 MEMS10 的任何

和所有实施例都可以利用微机电系统及封装方法专利申请所描述和示出的技术来封装。此外,根据本发明的 MEMS10 还可以包括或应用如微机电系统及封装方法专利申请所描述和示出的将接触区域和 / 或场区域(field area)与其它导电材料电绝缘的技术。为了简洁的缘故,微机电系统及封装方法专利申请的与这里所描述和示出的发明一起实施的封装和隔绝技术将不再重复。然而,要特别说明的是,微机电系统及封装方法专利申请的全部内容,包括例如所有实施例和 / 或发明的特点、属性、变化、材料、技术和优点,以参考的方式结合于此。

[0058] 例如,参照图 2、12A 和 12B,根据本发明的 MEMS10 可以利用由可渗透或半渗透的材料(例如,溅射非晶硅或多孔 CVD 和 / 或外延沉积的多晶硅,厚度介于  $0.1\mu\text{m}$  和  $2\mu\text{m}$  之间)构成的第一封装层 38a 进行封装。蚀刻或移除层 32 和 36 的工艺可以通过构成层 38a 的可渗透或半渗透材料来执行。此后,当在第一封装层 38a 上沉积、形成和 / 或生长第二封装层 38b (例如,厚度介于  $5\mu\text{m}$  和  $25\mu\text{m}$  之间的多晶硅)时,材料会迁移到、填充和 / 或占据第一封装层 38a 的孔隙。在此情况下,相对小的材料在第二封装层 38b 的沉积、形成和 / 或生长期期间可沉积在腔室 24 内结构的表面上。这样,腔 24 可被朝着第一封装层 38a 的上表面“密封”或封装。

[0059] 尤其,参照图 2、12A 和 12C,构成第一封装层 38a 的材料也可以利用退火工艺被致密化从而“封闭”和“密封”腔室 24。也就是说,在这个实施例,在蚀刻和 / 或移除牺牲层 32 和 36 之后,对机械结构 12 进行热处理会使得层 38a 的材料致密化从而密封或封装腔室 24。这样,可以无需第二封装层 38b 来密封腔室 24。

[0060] 固定电极 16a、16b 和 18,以及锚定部 20a 和 20b,可采用任何形式的锚定技术,无论是已知的还是后来开发的。例如,本发明可采用 2003 年 7 月 25 日申请并分配给序列号 No. 10/627, 237 的名称为“具有 SOI 基片的微机电系统的锚定部及其制造方法”的非临时专利申请(下文中称为“微机电系统的锚定部专利申请”)所描述和示出的封装技术。在这一点上,参照图 13,根据本发明的 MEMS10 的任何和所有实施例都可以利用微机电系统的锚定部专利申请所描述和示出的锚定部 42 锚定质 SOI 基片 28。为了简洁的缘故,微机电系统的锚定部专利申请的与这里所描述和示出的发明一起实施的锚定技术将不再赘述。然而,要特别说明的是,微机电系统的锚定部专利申请的全部内容,包括例如所有实施例和 / 或发明的特点、属性、变化、材料、技术和优点,以参考的方式结合于此。

[0061] 有利的是与本发明的 MEMS10 一起采用抗粘附(anti-stiction)技术以进一步改进 MEMS10 的操作和 / 或可靠性。例如,本发明的 MEMS 可包括或采用 2003 年 10 月 31 日申请并分配给序列号 No. 10/698, 258 的名称为“薄膜和晶片粘合封装的微机电系统的抗粘附技术”的非临时专利申请(下文中称为“微机电系统的抗粘附技术专利申请”)所描述和示出的抗粘附技术。在这一点上,参照图 14,在一个实施例中,在封装 MEMS 之后,抗粘附通道 44 如微机电系统的抗粘附技术专利申请所述那样形成于封装层和 / 或基片中。抗粘附通道 44 提供了通向腔室 24 的“通路”,所述腔室包含机械结构 12 的部分或全部电极 14、16a 和 16b。此后,如微机电系统的抗粘附技术专利申请中详细描述的那样,抗粘附流体(例如气体或蒸汽)通过抗粘附通道 44 被引入腔室 24。抗粘附流体可沉积在一个、一些或全部电极 14、16a 和 16b 上从而在所述电极上提供抗粘附层(例如单层涂层或自动装配的单层)和 / 或释放分子。这样,机械结构 12 就具有了适合的抗粘附特性。

[0062] 在引入和 / 或应用抗粘附流体之后, 抗粘附通道可利用塞子 46 密封、封盖、堵塞和 / 或封闭以限定和控制腔室 24 内的机械阻尼环境。在这一点上, 密封、封盖和 / 或封闭腔室在腔室 24 内形成了包含和 / 或容纳机械结构 12 的环境。这个环境提供了对于机械结构 12 预定、希望和 / 或选定的机械阻尼以及适合的密封性。机械结构 12 将在其中操作的最终封装流体(例如气体或蒸汽)的参数(例如压力)可以被控制、选定和 / 或设计来提供希望和 / 或预定的操作环境, 例如请求在具有受控气氛的微机电系统专利申请中所描述和示出的技术。

[0063] 尤其, 根据本发明的 MEMS10 的任何和所有实施例可包括和 / 或结合微机电系统的抗粘附技术专利申请所描述和示出的抗粘附技术。为了简洁的缘故, 微机电系统的抗粘附技术专利申请的与这里所描述和示出的发明一起实施的抗粘附技术将不再赘述。然而, 要特别说明的是, 微机电系统的抗粘附技术专利申请的全部内容, 包括例如所有实施例和 / 或发明的特点、属性、变化、材料、技术和优点, 以参考的方式结合于此。

[0064] 这里描述和示出了很多发明。随后已经描述和示出了发明的某些实施例、特点、材料、构造、属性和优点, 但是应当理解的是, 从说明书、附图和权利要求书中, 本发明的很多其它的, 以及不同的和 / 或类似的实施例、特点、材料、构造、属性、结构和优点将会很明显。这样, 这里所描述和示出的发明的实施例、特点、材料、构造、属性、结构和优点并不是穷尽的并且应当理解的是, 本发明的这些其它的, 类似的以及不同的实施例、特点、材料、构造、属性、结构和优点也处于本发明的范围内。

[0065] 例如, 如上所述, 虽然固定电极 16a`、16b` 和 / 或 18`, 和 / 或周边区域 22` 中的缝隙、沟槽和 / 或切片示出为重复性的图案并延伸至第一牺牲 / 绝缘层 32 的表面, 但是可以采用任何图案、形状和 / 或深度的缝隙、沟槽和 / 或切片。(参见, 例如图 15A-15C 和 15E)。然而, 可能有利的是在形成机械结构 12 其它部分(例如可动电极 14) 的同一光刻和蚀刻工艺期间在固定电极 16a`、16b` 和 / 或 18`, 和 / 或周边区域 22` 中形成缝隙、沟槽和 / 或切片。这样, 工艺步骤的数目可以减少和 / 或不增加。尤其, 由于通过使用较小缝隙(较小缝隙的蚀刻比较宽的缝隙慢)给吸杂区域带来了微负荷效应, 图 15A-15C 和 15E 所述特点, 例如可以利用一个光刻和蚀刻工艺来获得。

[0066] 应当指出的是, 本发明可在包括微机械加工的机械结构和处理和 / 或控制电路的 MEMS 中实施。参照图 16A, 在一个示例性实施例中, MEMS10 包括置于例如 SOI 基片 28 上的微机械加工的机械结构 12。这个实施例的 MEMS10 还包括处理和 / 或控制电路 48 以与微机械加工的机械结构 12 相互作用, 例如处理和分析由微机械加工的机械结构 12 所产生的信息, 和 / 或控制或监视其操作。

[0067] 在一个其中机械结构 12 为 MEMS 共振器的实施例中, 处理和 / 或控制电路可包括如名称为“频率和 / 或相位补偿的微机电振荡器”的非临时专利申请所描述和示出的补偿和控制电路, 该专利申请于 2004 年 1 月 9 日申请并分配给序列号 No. 10/754, 985 (下文中称为“频率和 / 或相位补偿的微机电振荡器专利申请”)。该申请所描述和示出的 MEMS 共振器可在频率和 / 或相位补偿的微机电振荡器专利申请中所描述和示出的 MEMS 中实施, 其中 MEMS 共振器的输出被频率和 / 或相位补偿以提供高度准确的、稳定的、可控的、可编程的、可限定的和 / 或可选择的输出信号。为了简洁的缘故, 频率和 / 或相位补偿的微机电振荡器专利申请的与这里所描述和示出的发明一起实施的发明将不再赘述。然而, 要特别说明的

是,频率和 / 或相位补偿的微机电振荡器专利申请的全部内容,包括例如所有发明的特点、属性、变化、材料、技术和优点,以参考的方式结合于此。

[0068] 尤其,参照图 16B 和 16C,微机械加工的机械结构 12 和处理和 / 或控制电路 48 可以布置在分开的基片上,也就是 28a 和 28b。这个实施例的 MEMS10 包括制造在分开的基片上的机械结构 12 和处理和 / 或控制电路 48,其中利用将位于基片 28a 和 28b 上的结合片电地互连的互连导线 50 进行各种信号的交换。

[0069] 如上所述,本发明的 MEMS 可采用名称为具有隔离接触的沟槽的微机电系统及其制造方法的非临时专利申请所描述和示出的封装技术。而且,本发明的 MEMS 还可包括或采用具有隔离接触的沟槽的微机电系统及其制造方法专利申请中所描述和示出的将接触区域和 / 或场区域与其它导电材料电绝缘的技术。为了简洁的缘故,微机电系统及其封装方法专利申请的与这里所描述和示出的发明一起实施的封装和隔离技术就不再重复。再次特别指出的是,具有隔离接触的沟槽的微机电系统及其制造方法专利申请的全部内容,包括例如所有实施例和 / 或发明的特点、属性、变化、材料、技术和优点,以参考的方式结合于此。

[0070] 权利要求中的术语“沉积”尤其意味着利用例如反应器(例如外延、溅射或 CVD 基反应器(例如 APCVD、LPCVD 或 PECVD))沉积、引起、形成和 / 或生长一层材料。所有用于沉积各种层和 / 或材料的沉积技术,无论是已知的还是后来开发的,都包括在本发明的范围内。

[0071] 虽然已经就包括微机械结构或元件的微机电系统描述了本发明的示例性实施例,但是本发明并不限于此。而是,这里所述的发明也适用于其它机电系统,包括例如纳米机电系统。因而,本发明涉及依照将机械部件的尺寸减小到大致可与微电子学相比较的制造技术(比如光刻和其它精密制造技术)制成的机电系统,例如陀螺仪、共振器、温度传感器和 / 或加速计。

[0072] 此外, MEMS10 可包括多个微机械加工的机械结构,例如一个或多个换能器(例如应变传感器、触觉传感器、磁性传感器和 / 或温度传感器),和 / 或共振器。实际上,所述一个或多个换能器和 / 或共振器的机械结构本身可包括在腔室 24 内垂直和 / 或横向堆叠和 / 或互连的多层。(参见,例如,图 11A-11C 的微机械加工的机械结构,以及微机电系统及其封装方法专利申请的图 11D 中的机械结构、接触区域和埋入触点;如上所述,微机电系统及其封装方法专利申请的全部内容,包括例如所有实施例和 / 或发明的特点、属性、变化、材料、技术和优点,以参考的方式结合于此。)这些实施例的机械结构可利用一个或多个工艺步骤来制造以提供垂直和 / 或横向堆叠的有源元件,和 / 或互连的多个有源层。

[0073] 最后,还应当指出的是,虽然已经结合 SOI 描述了本发明,但是其它基片也是适合的。例如,第一半导体层可以是元素周期表中第 IV 栏的材料,例如硅、锗、碳;也可以是它们的组合,例如锗化硅或碳化硅;也可以是 III-V 族化合物,例如磷化镓、磷化镓铝,或者其它 III-V 族组合物;也可以是 III、IV、V 或 VI 材料的组合,例如氮化硅、二氧化硅、碳化铝或氧化铝;也可以是金属的硅化物、锗化物和碳化物,例如硅化镍、硅化钴、碳化钨或者磷化锗铂;也可以是掺杂的,包括掺磷、砷、锑、硼或铝的硅或锗、碳,或者类似于锗化硅的组合物;也可以是具有各种晶体结构的这些材料,包括单晶、多晶、纳米晶或非晶的;也可以是晶体结构的组合,例如具有单晶和多晶结构区域(无论是掺杂或不掺杂的)。实际上,第一半导体层也可以是金属或金属型材料(在此情况下将是第一导体层布置在第一基片层上)。尤其,

---

机械结构可由与上述针对第一半导体层相同的材料构成。

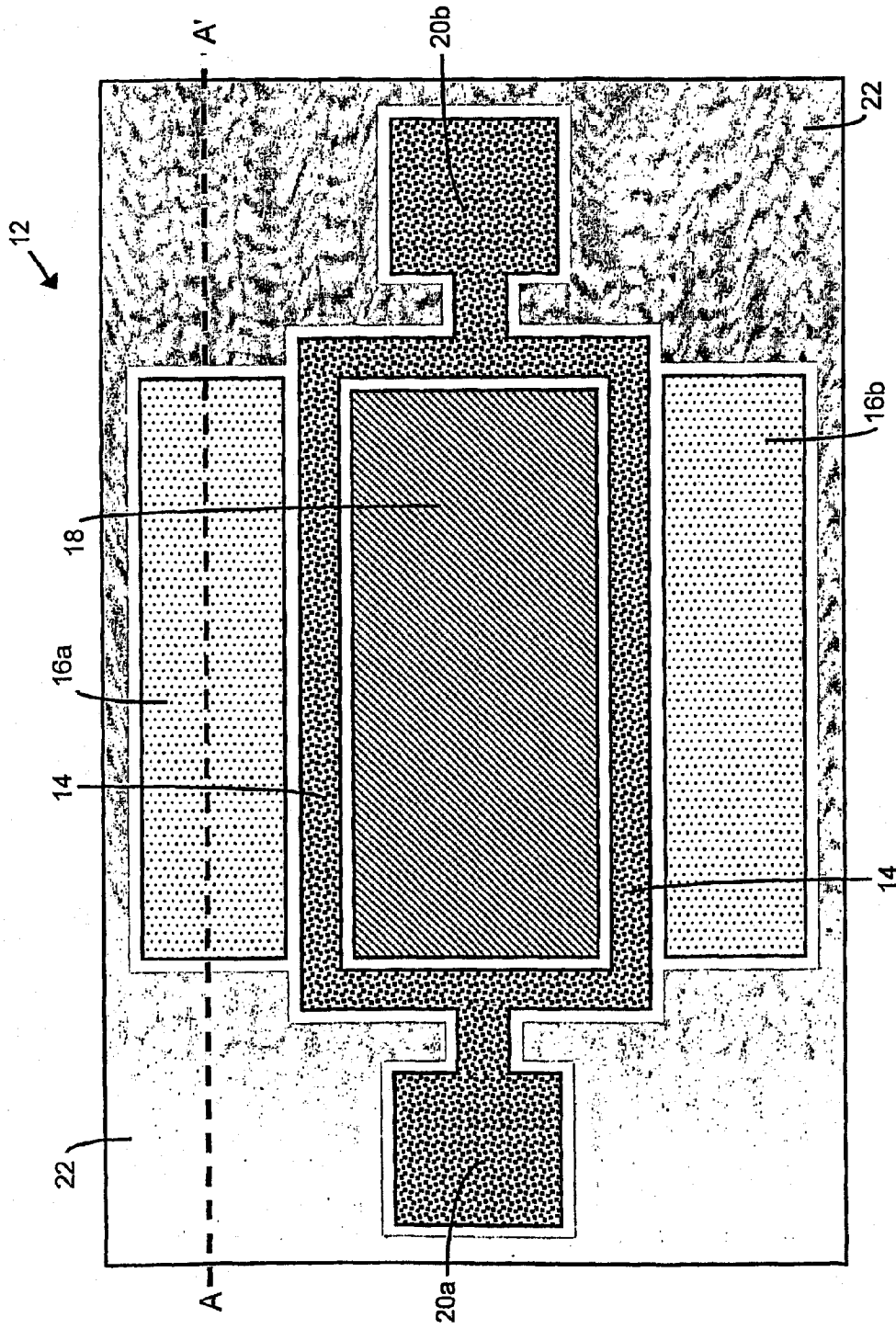


图1A  
(现有技术)

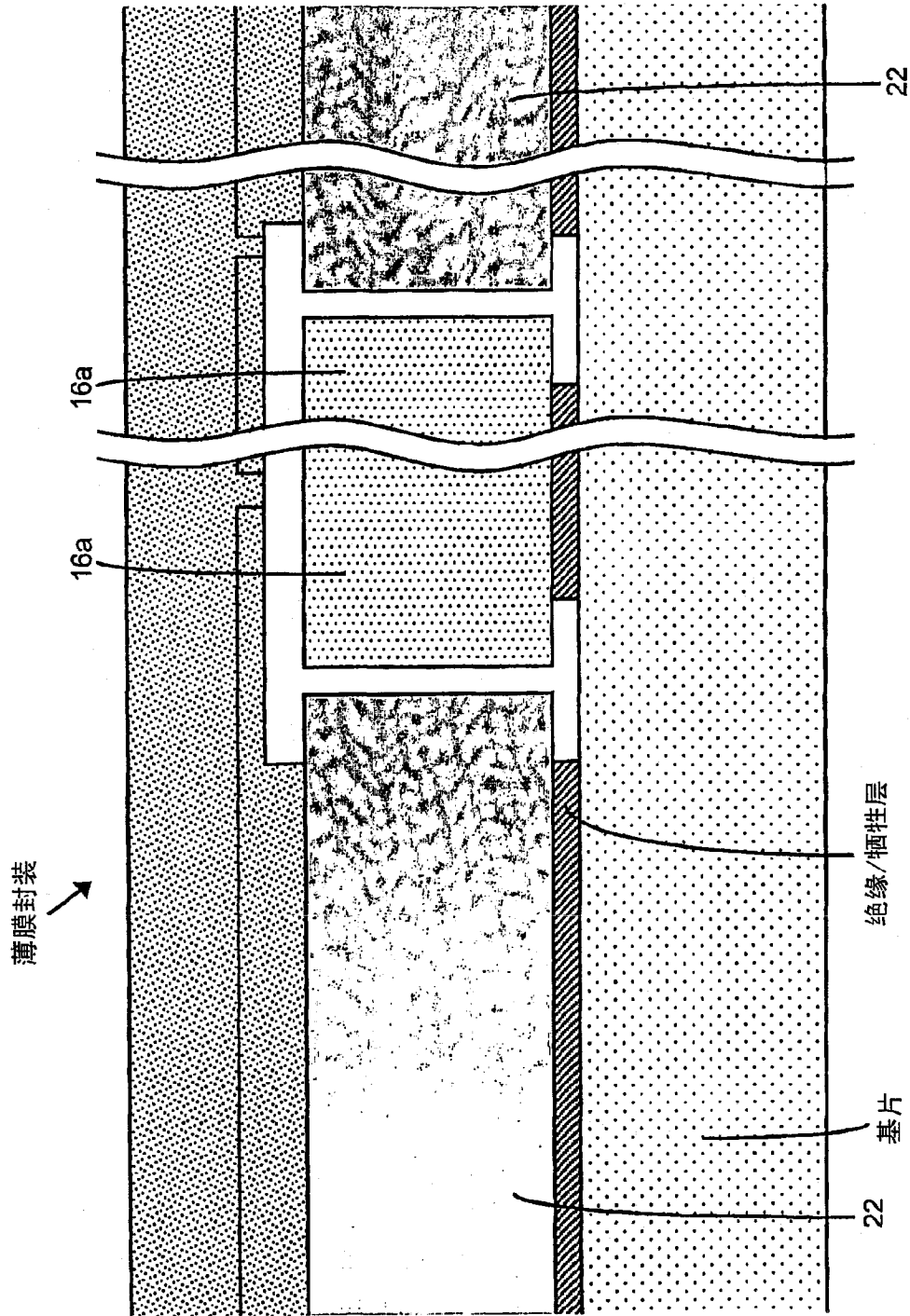


图1B  
(现有技术)

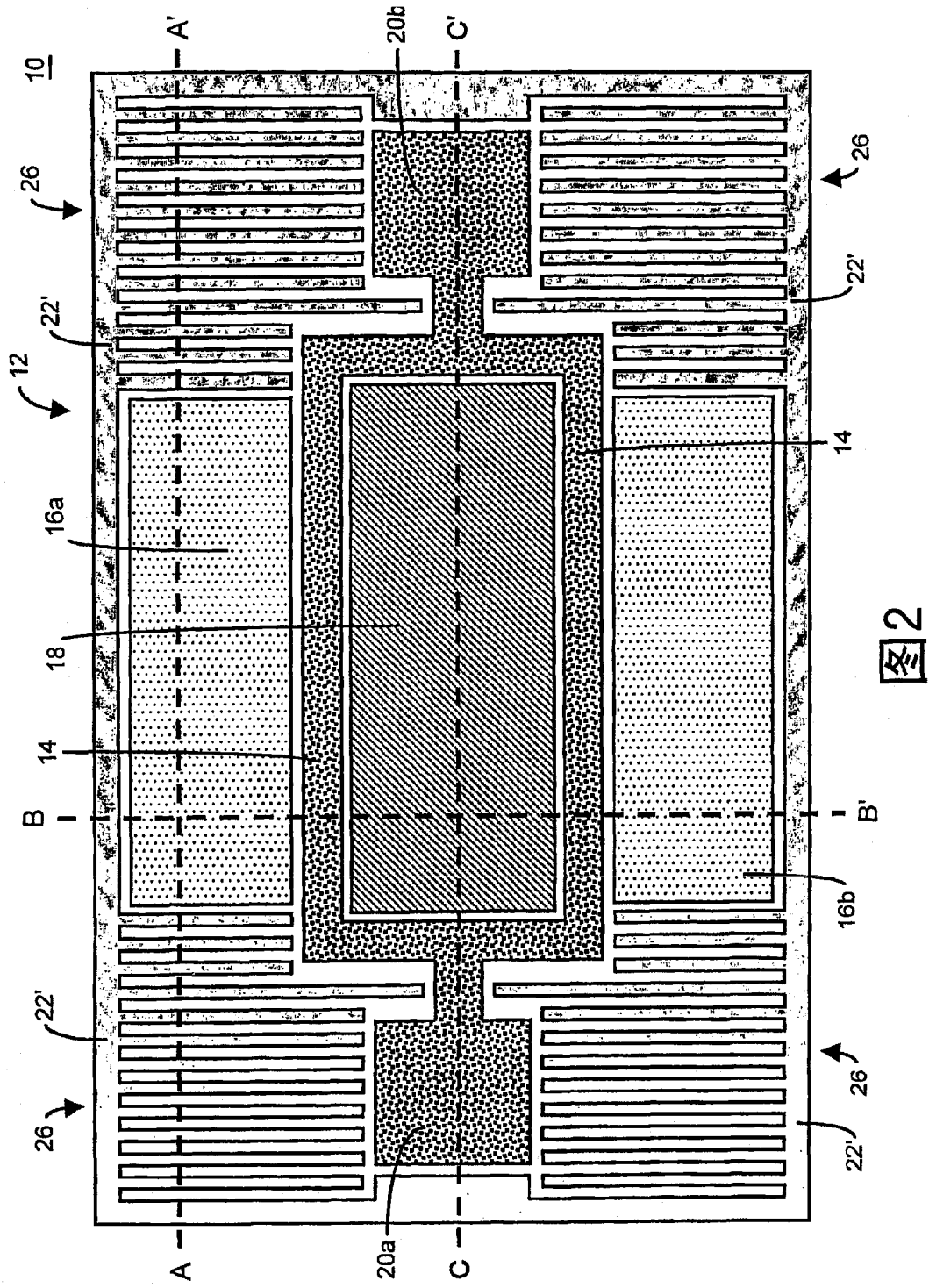


图2

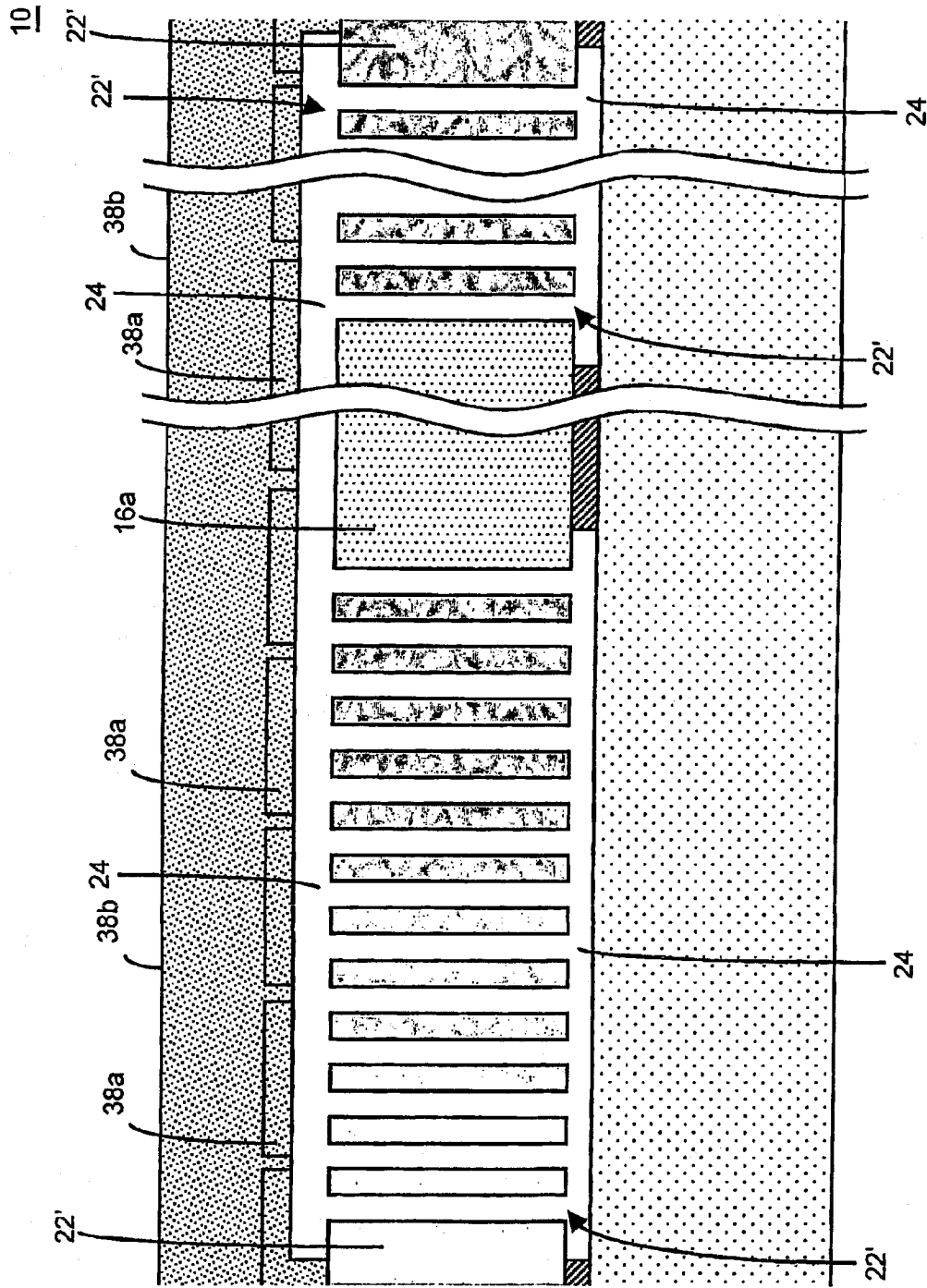


图 3A

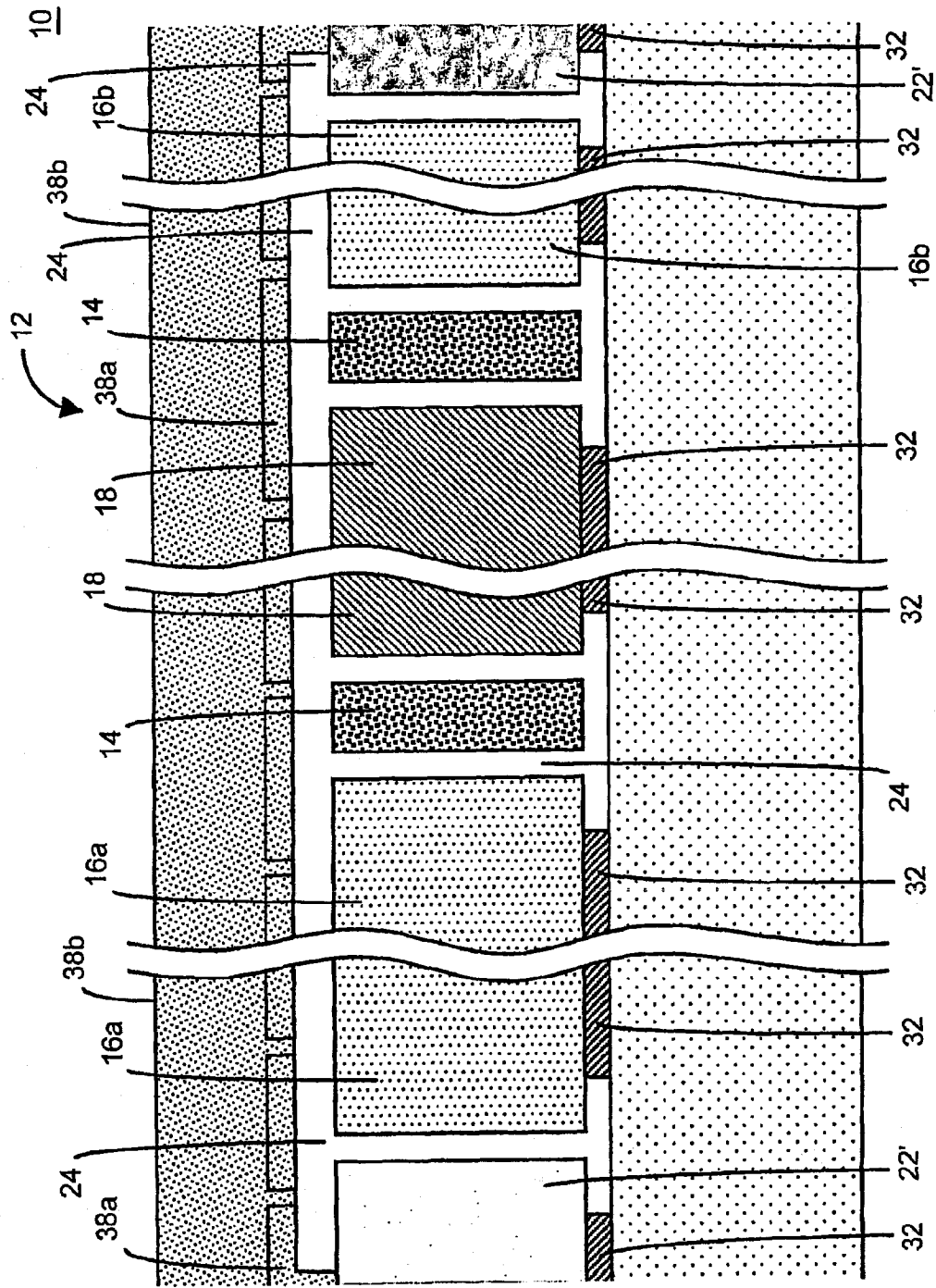


图 3B

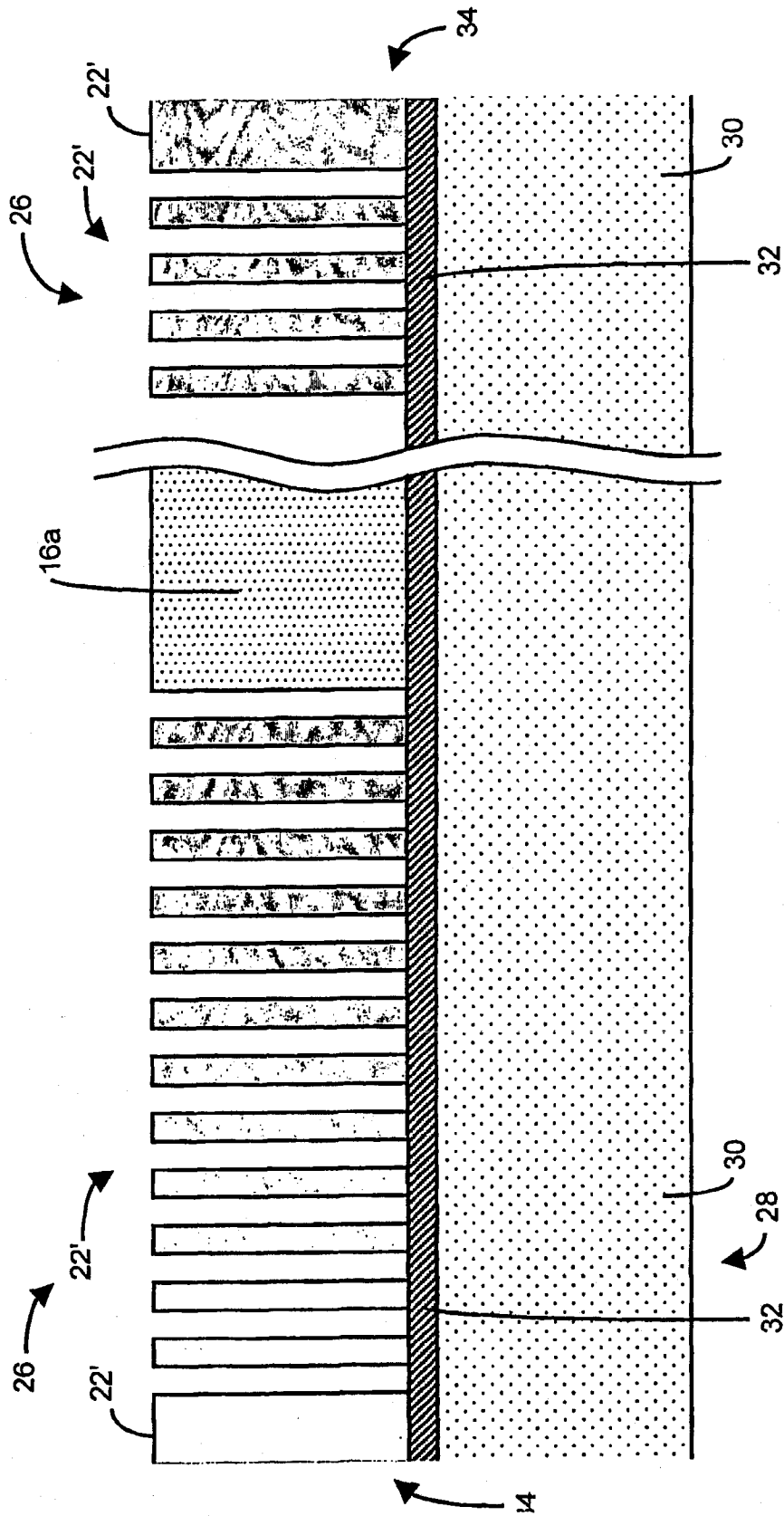


图4A

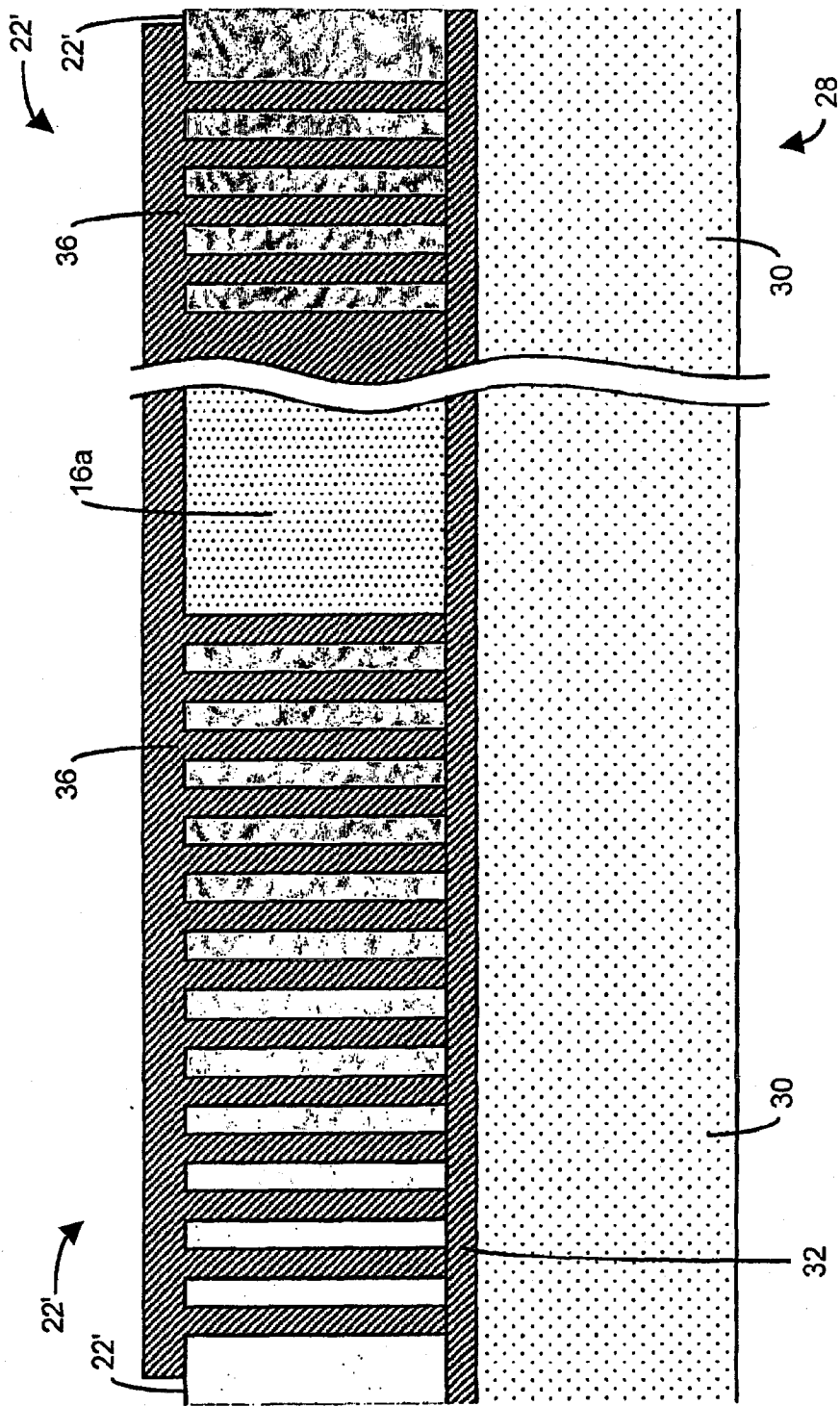


图 4B

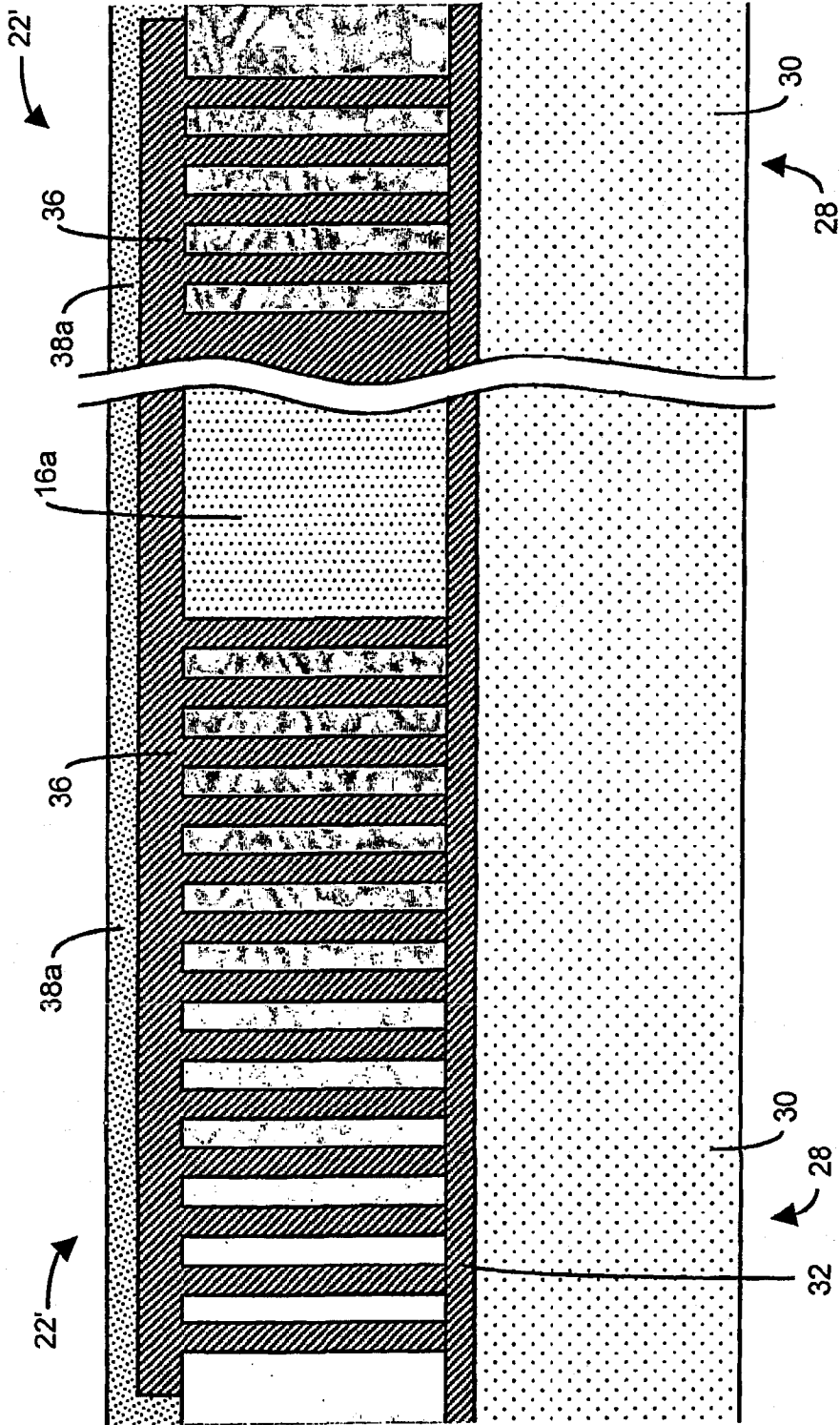


图4C

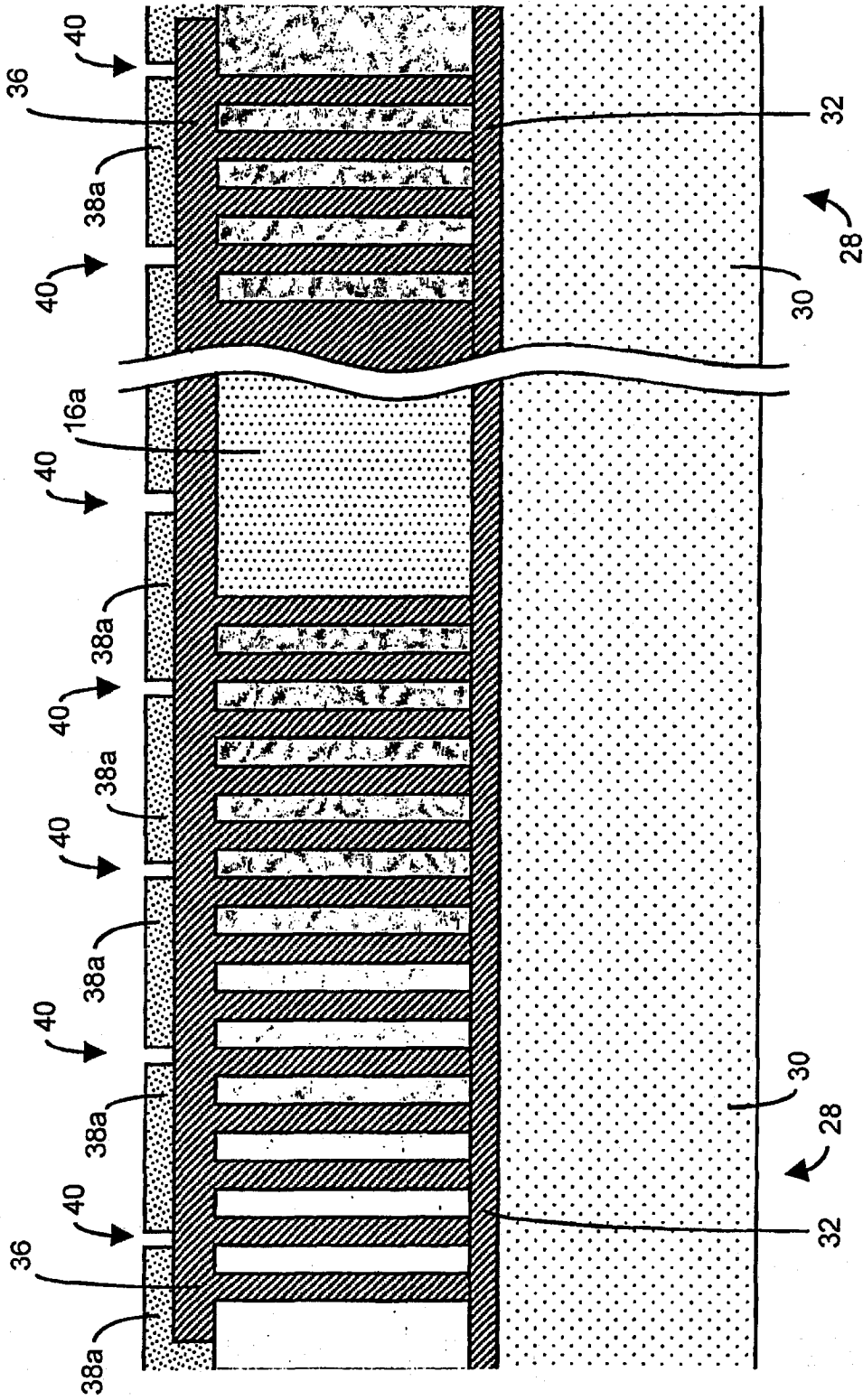


图4D



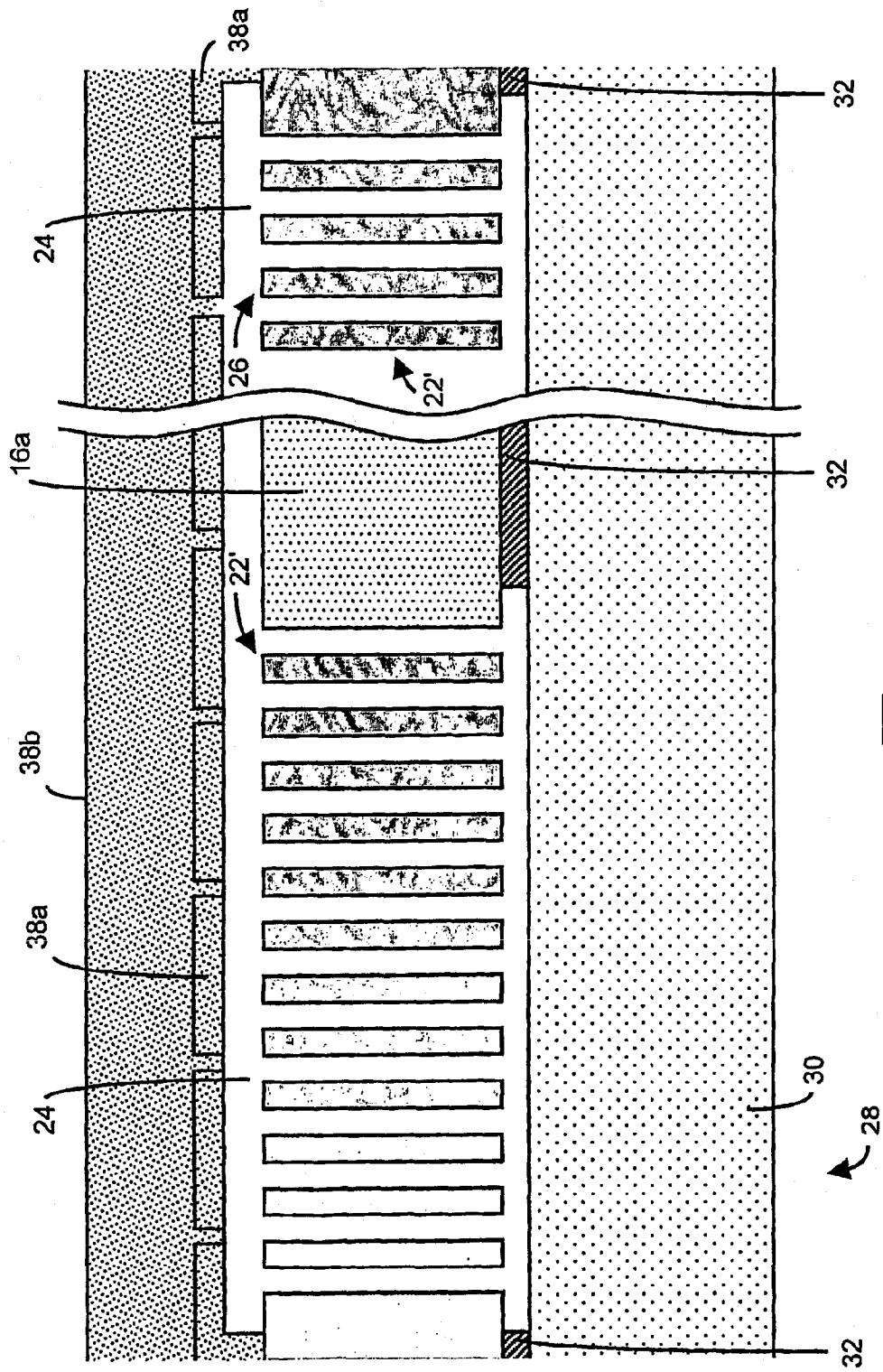


图4F

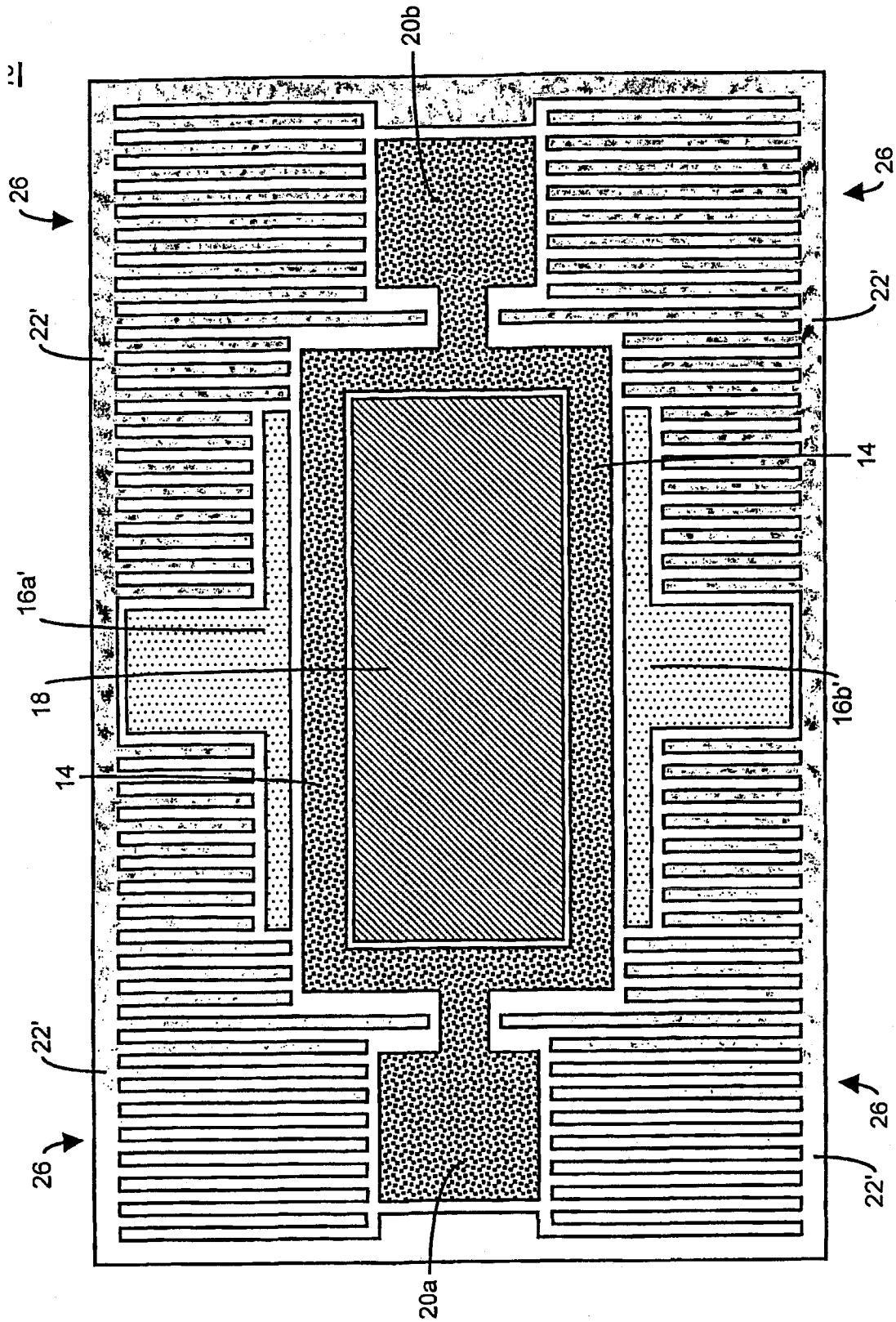


图5

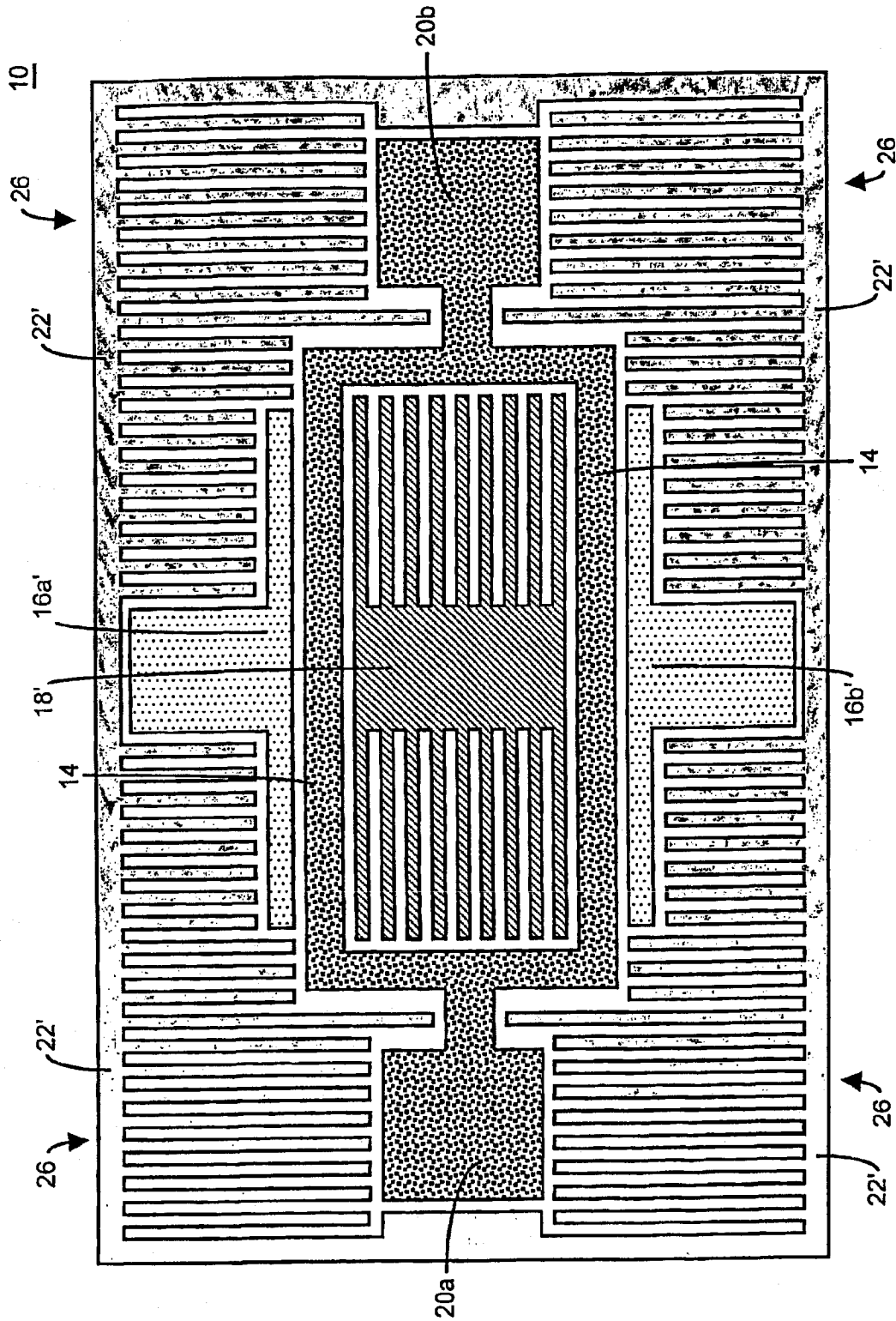


图6

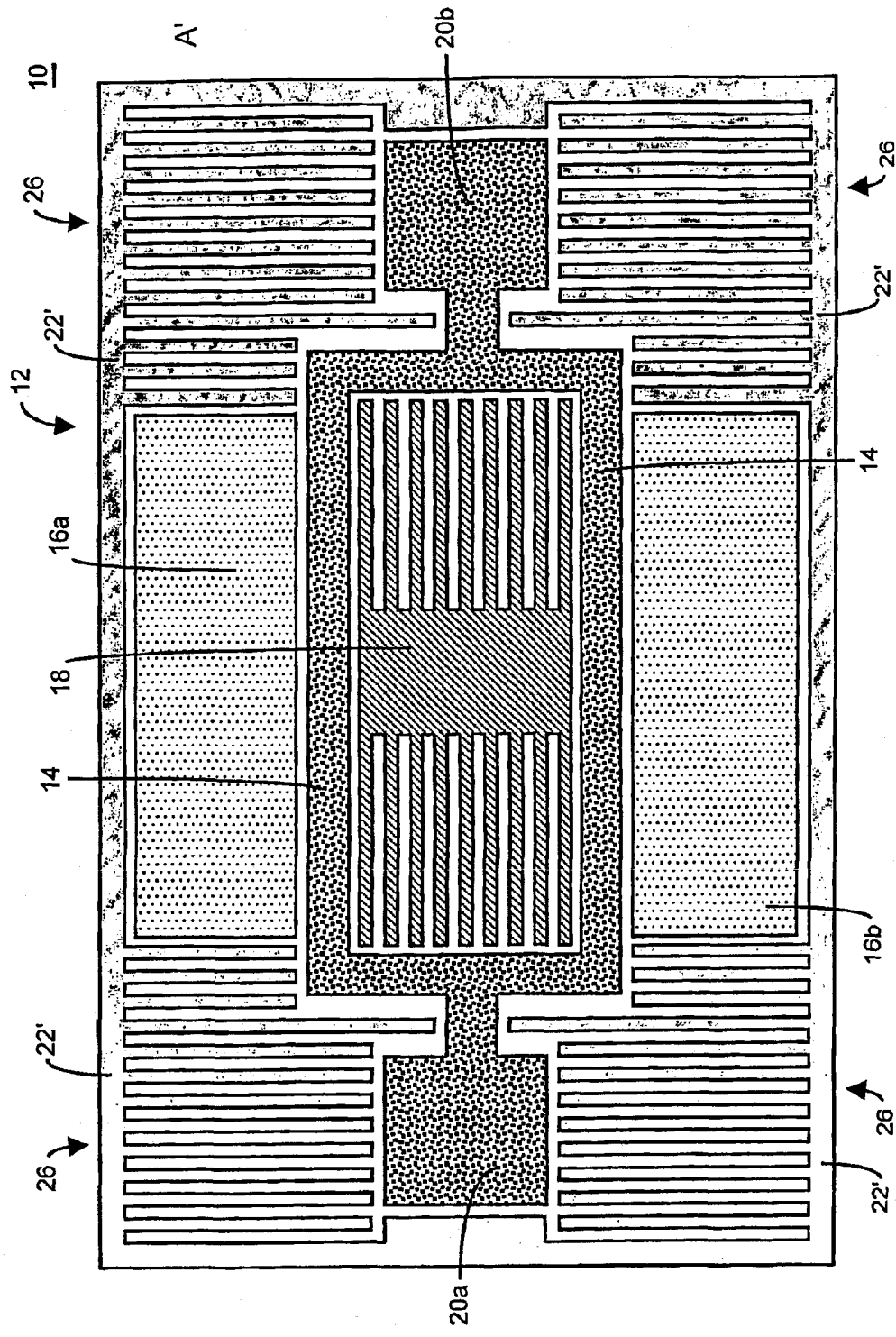
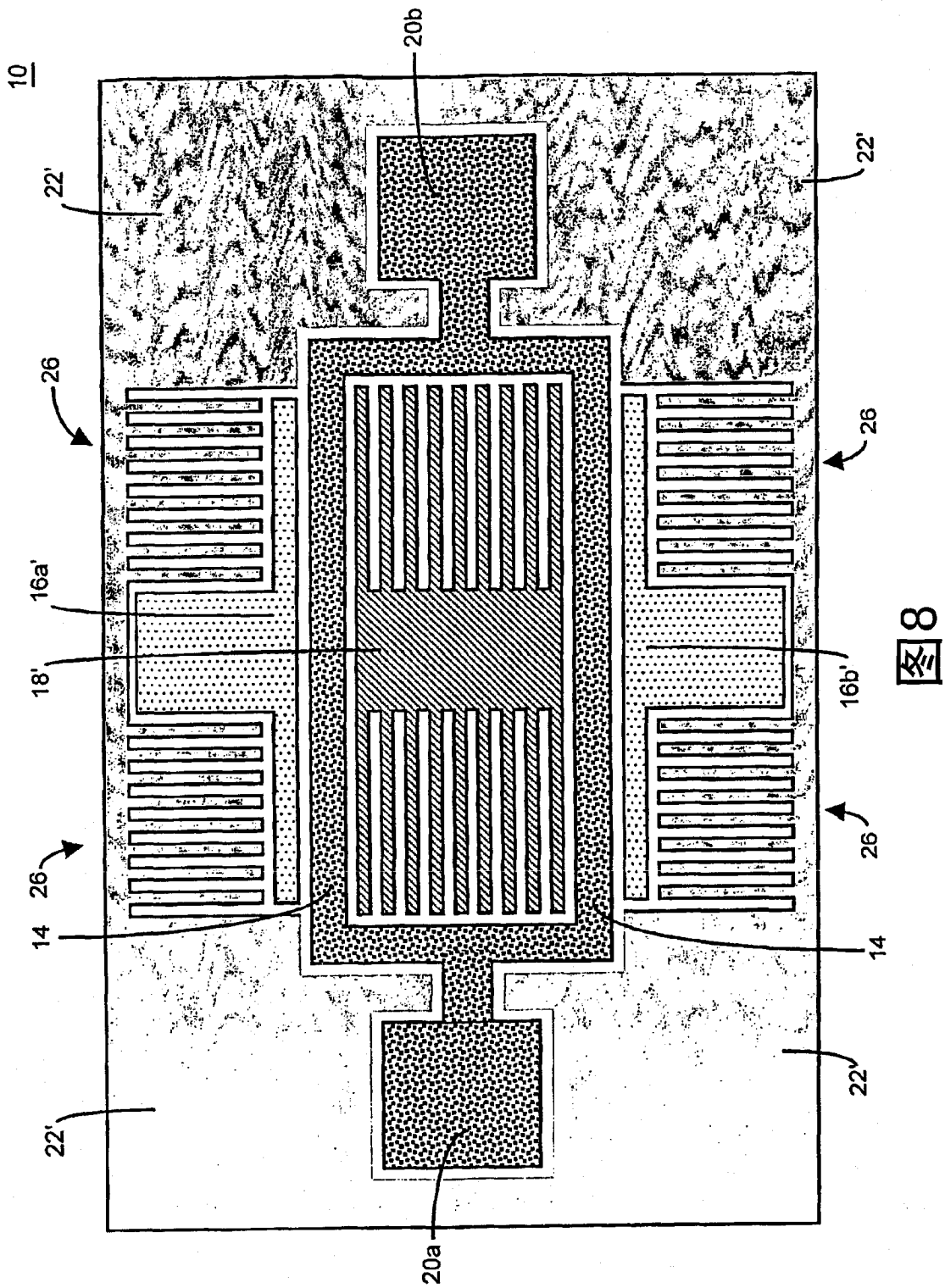


图7



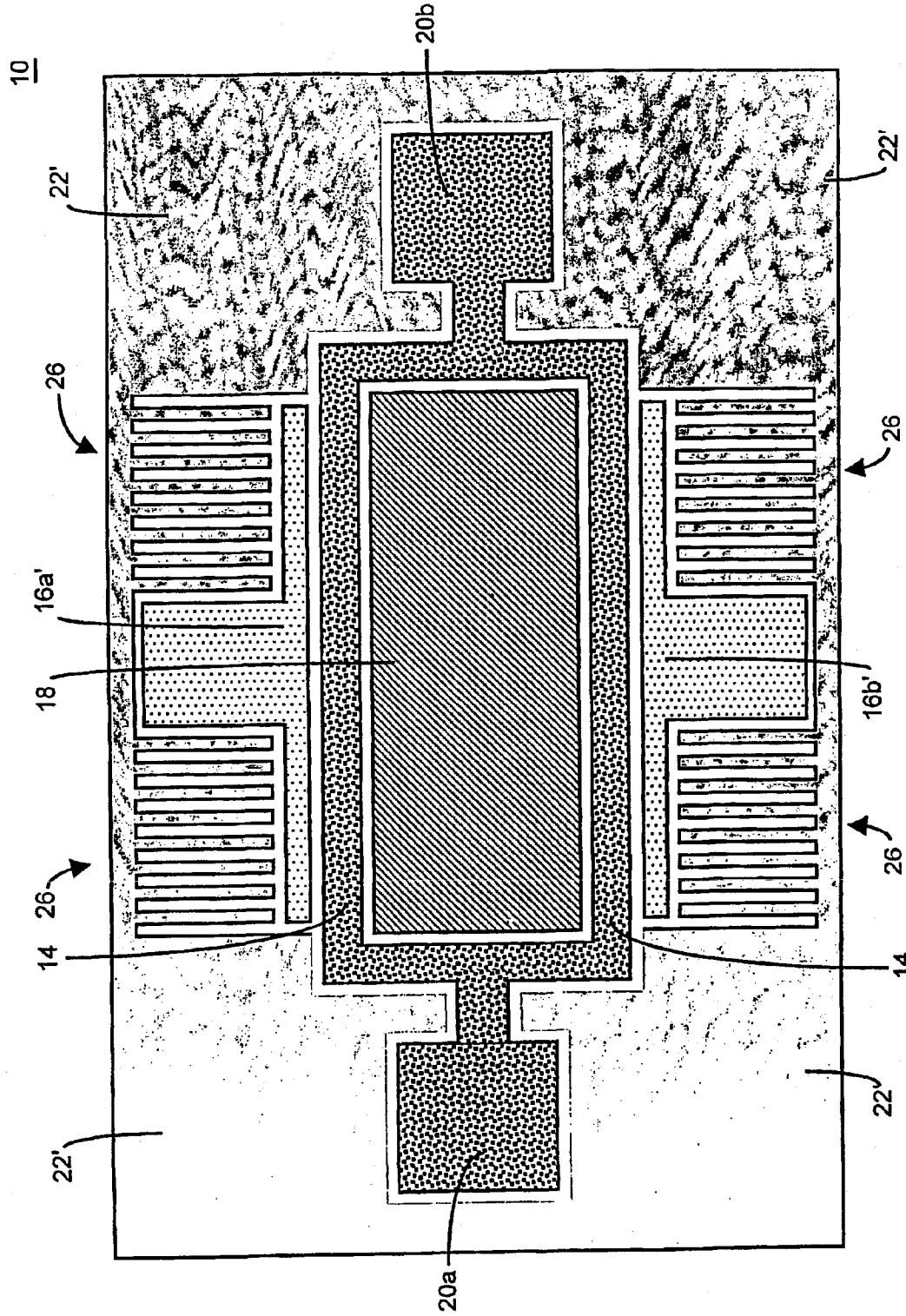


图9

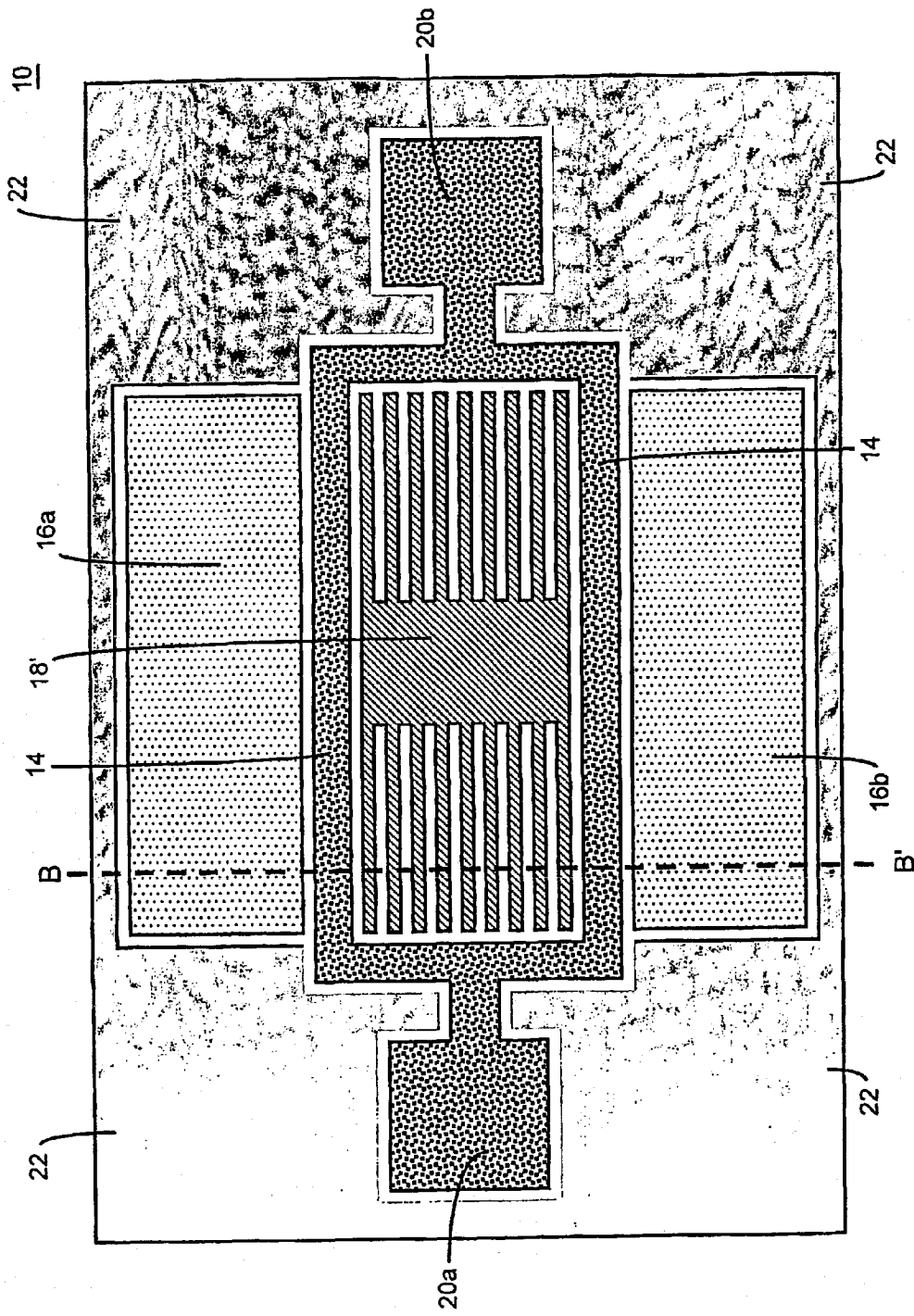


图10

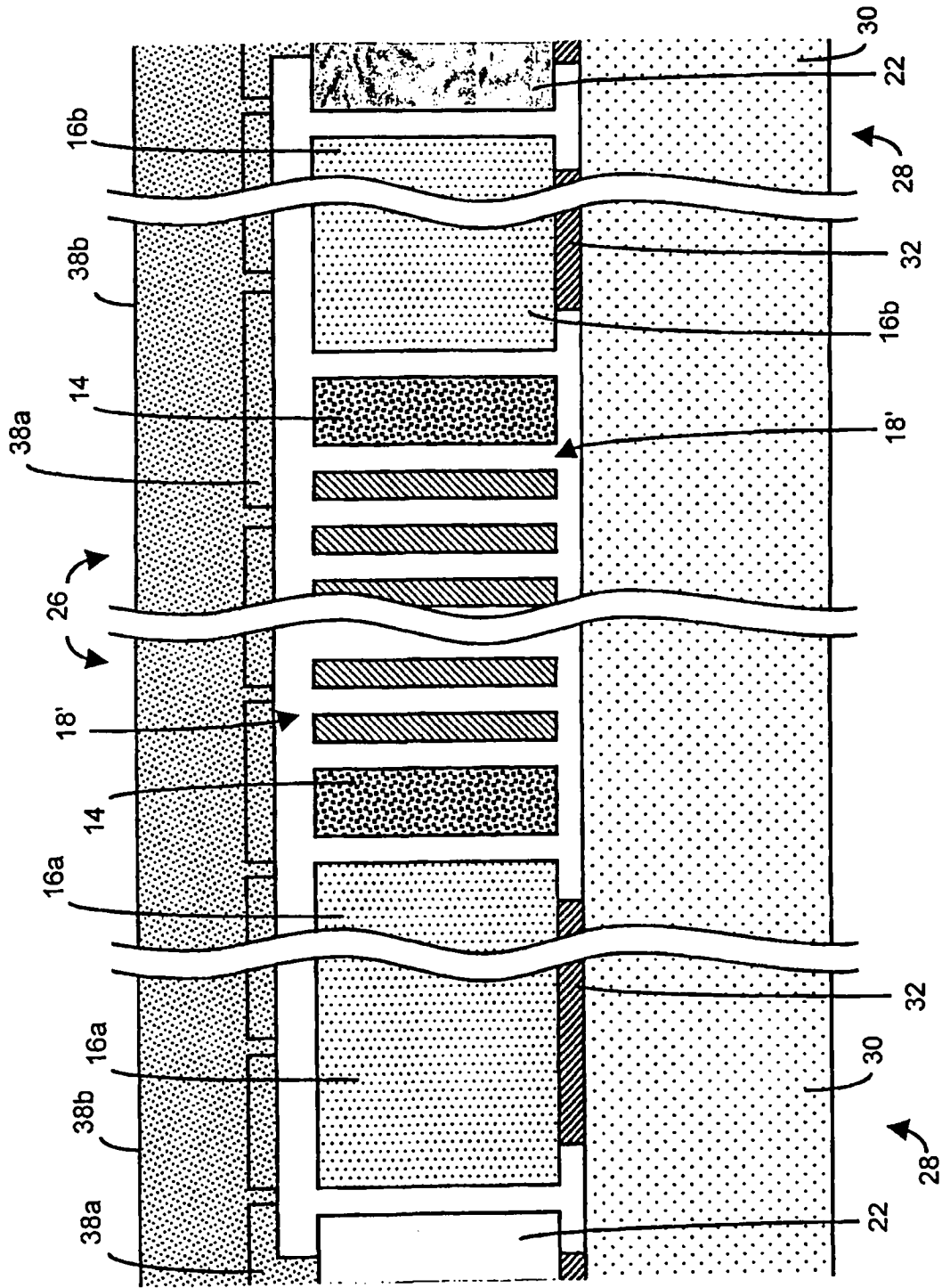


图11

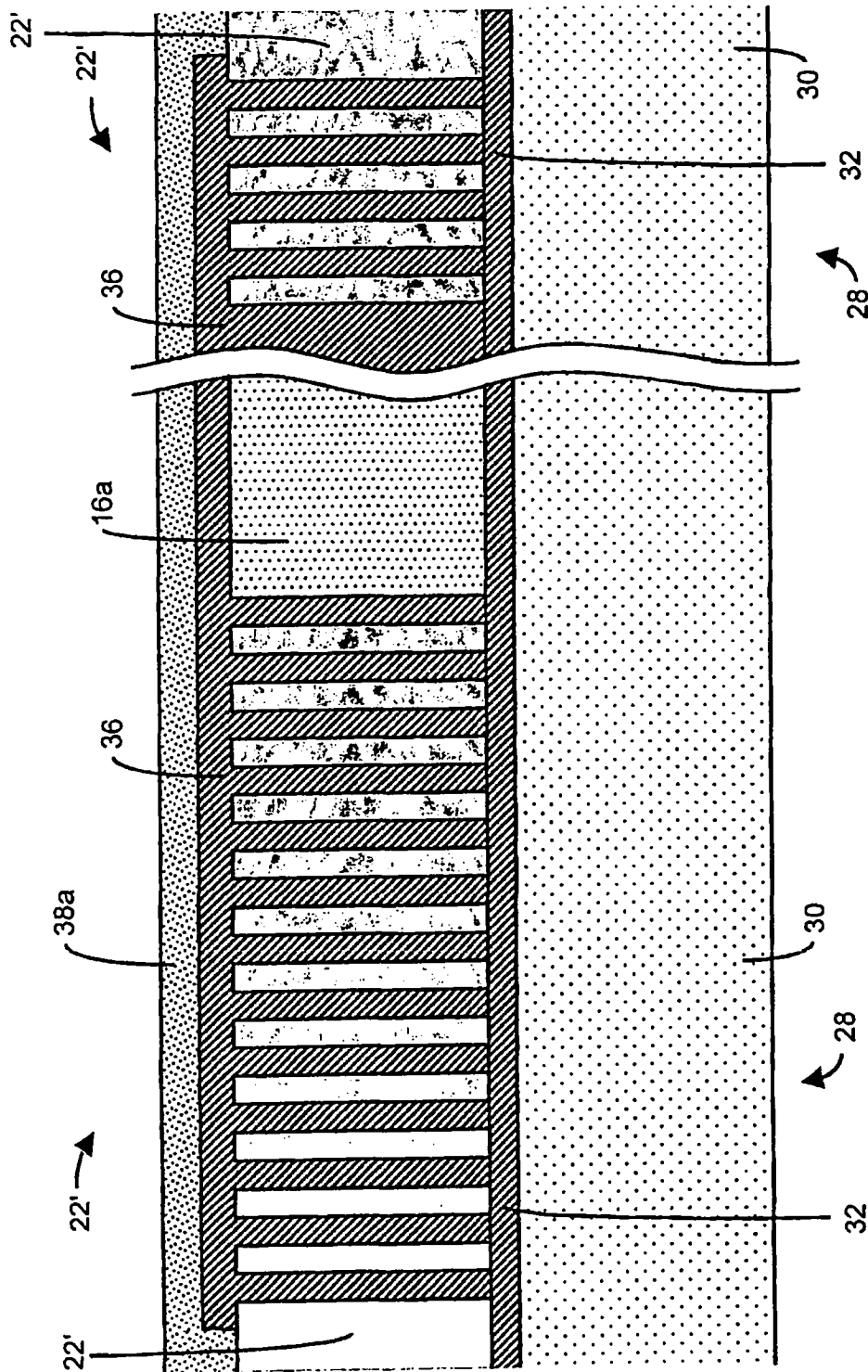


图12A

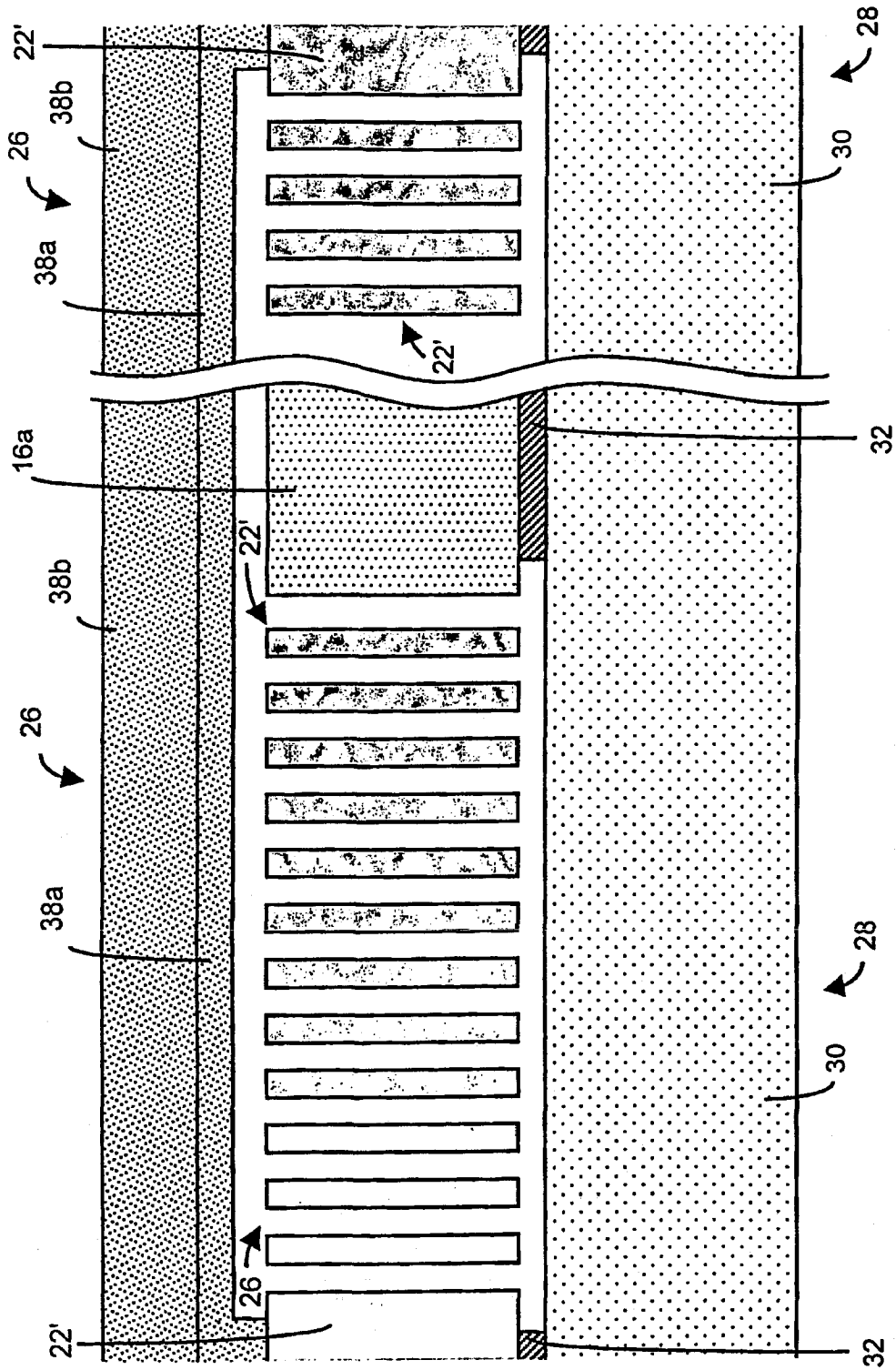


图12B

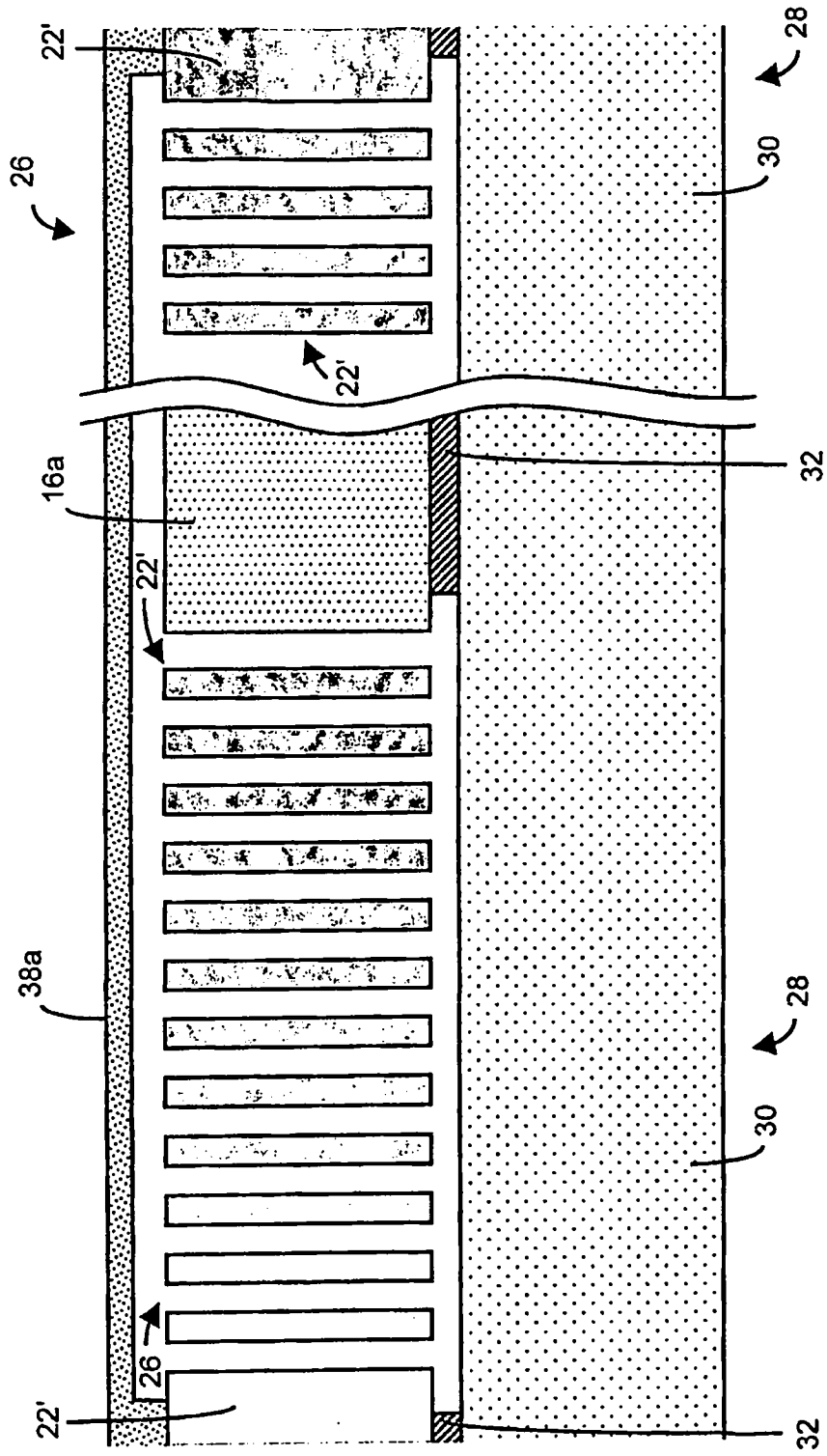


图12C

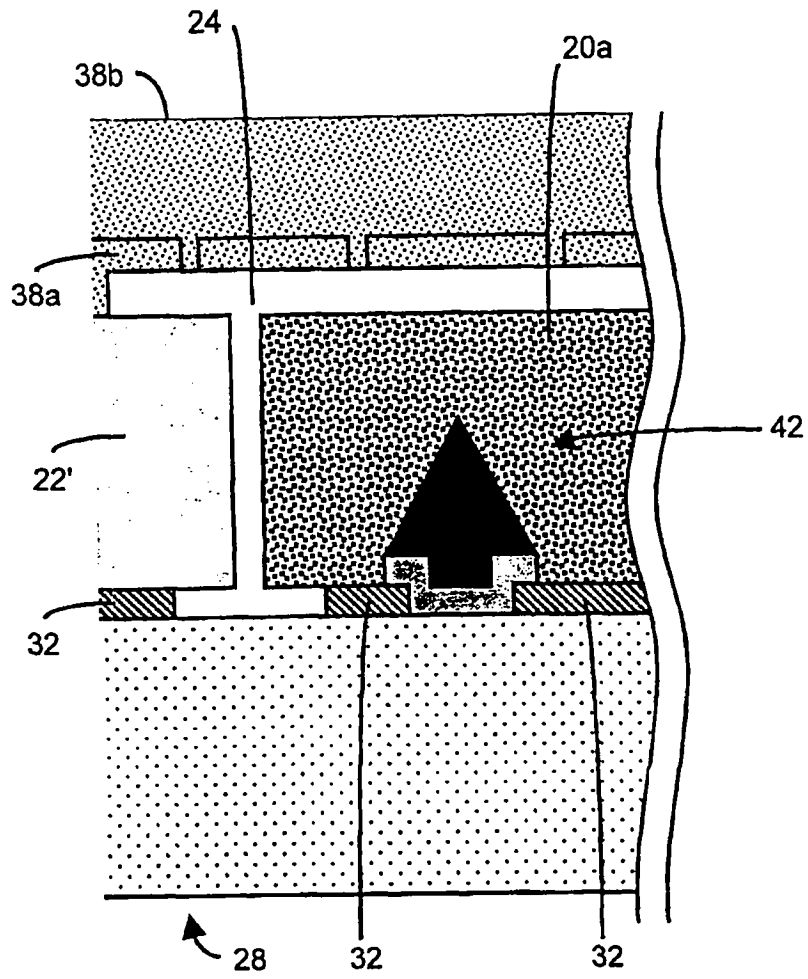


图13



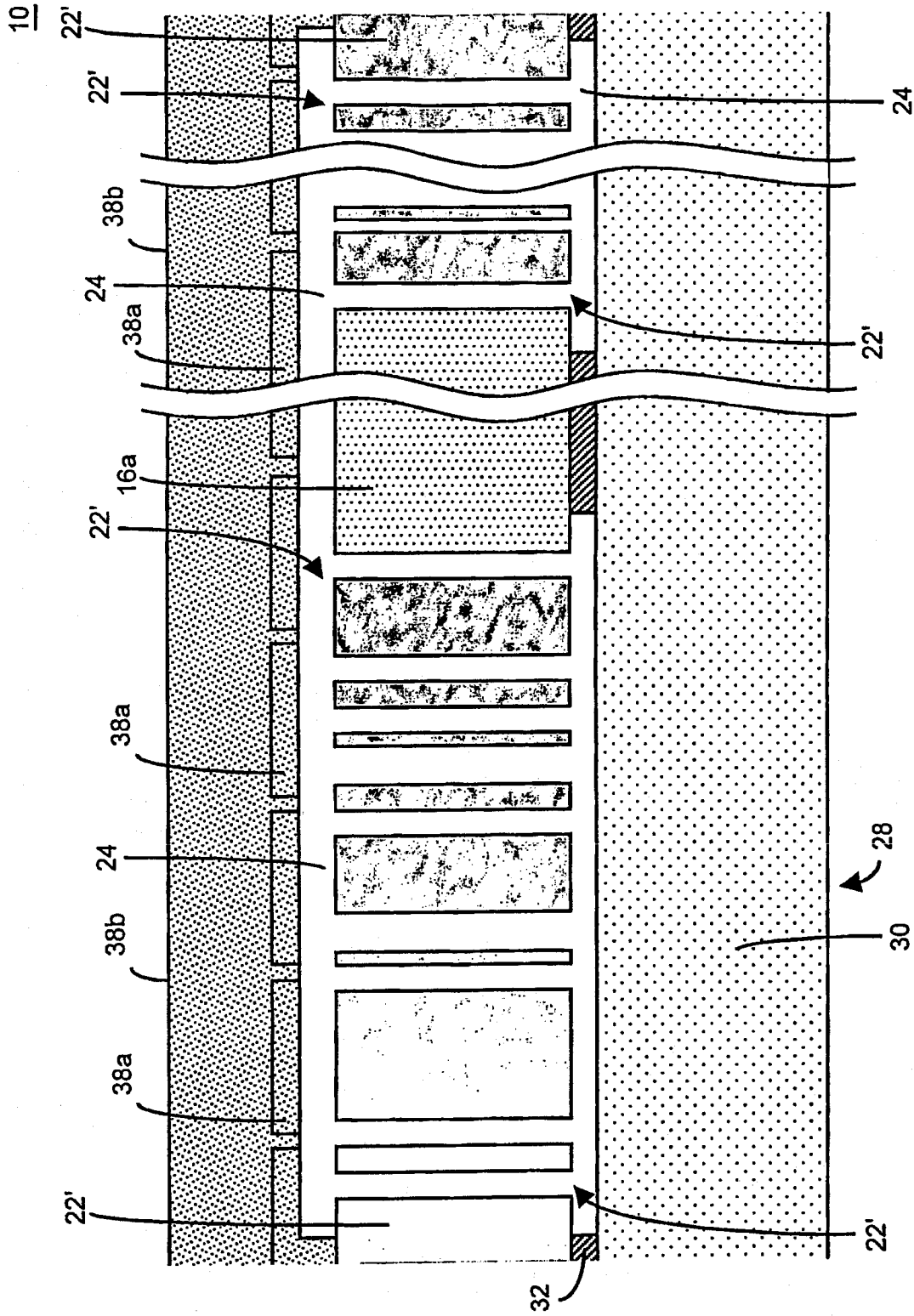


图15A

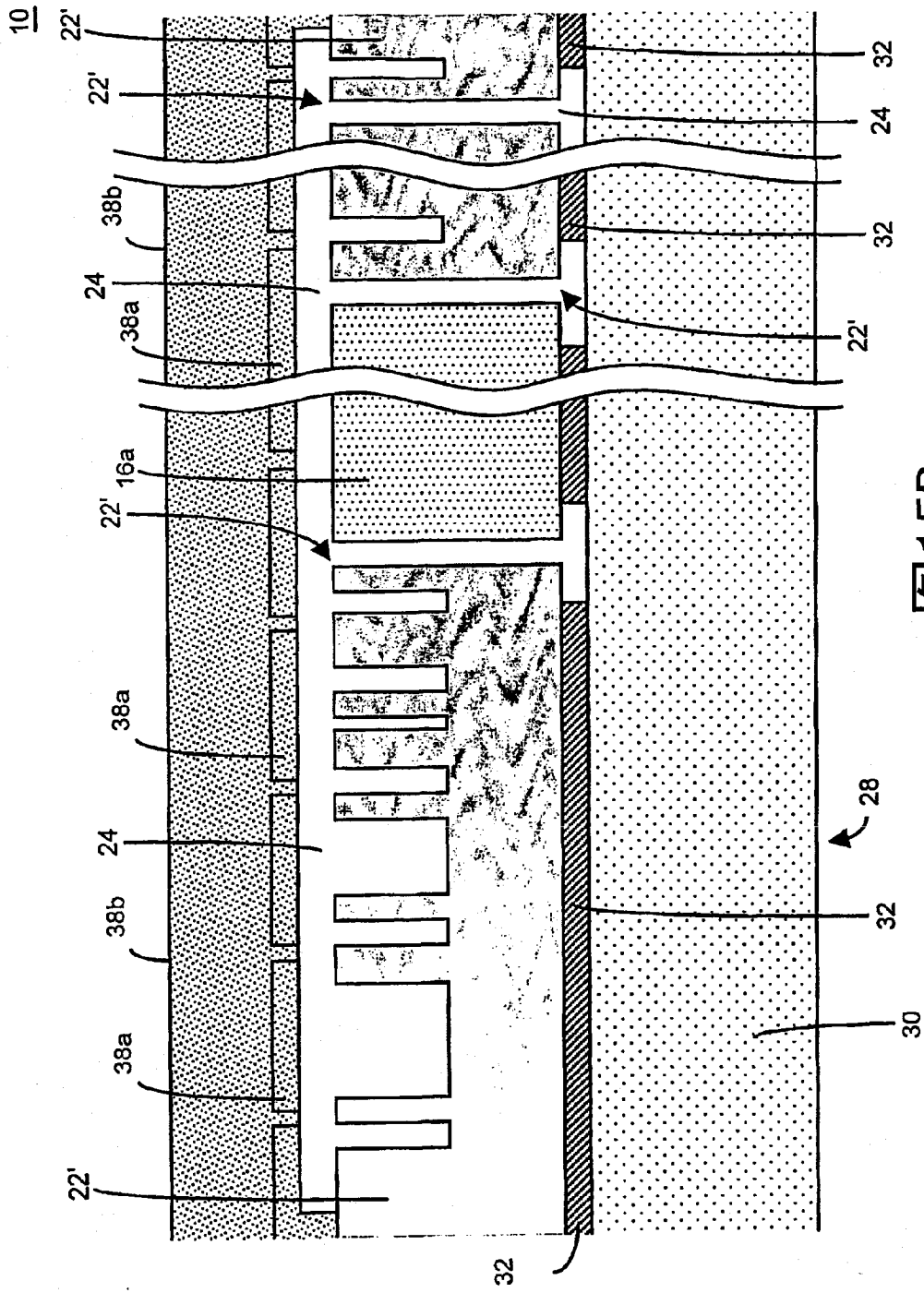


图15B

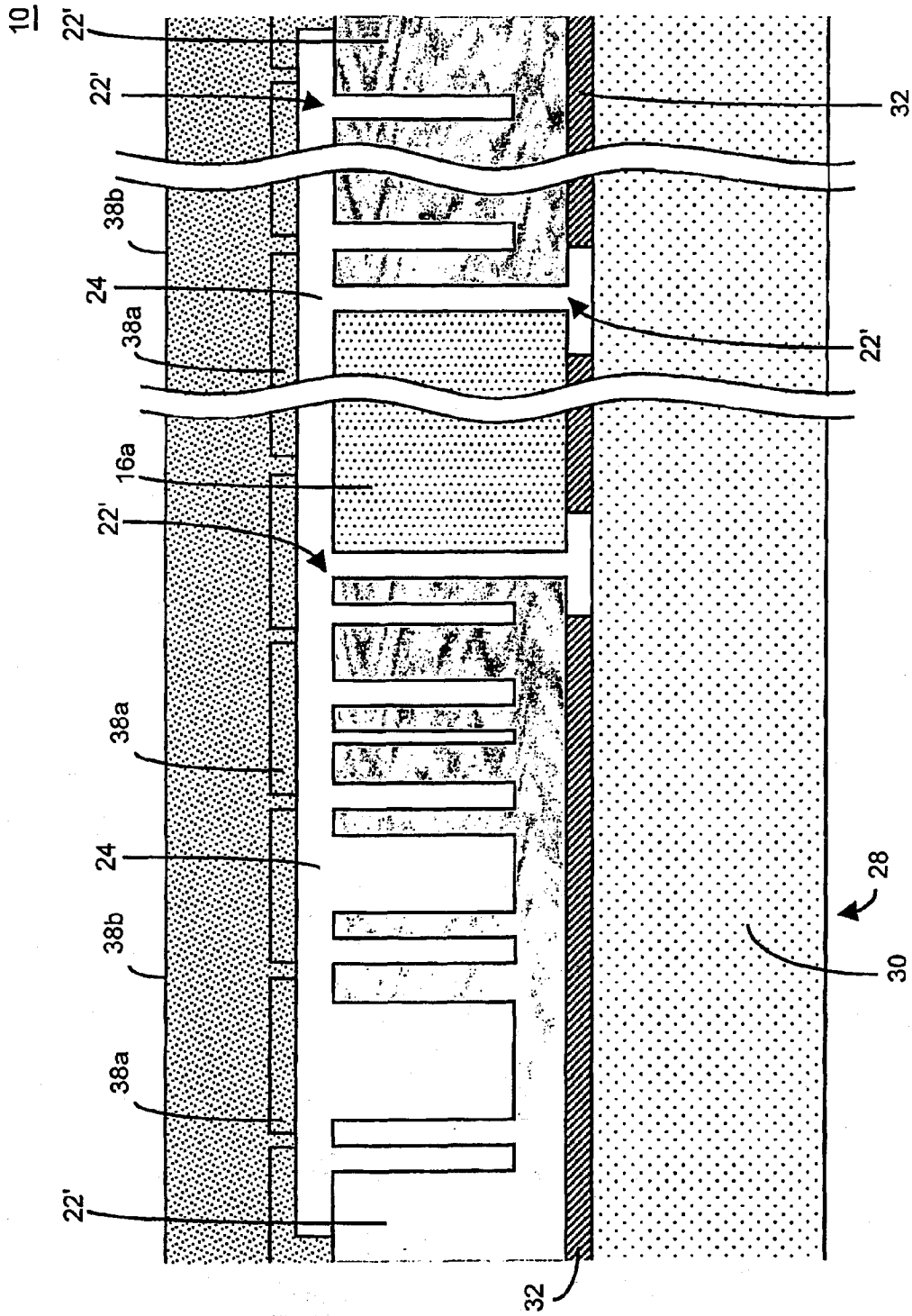


图15C

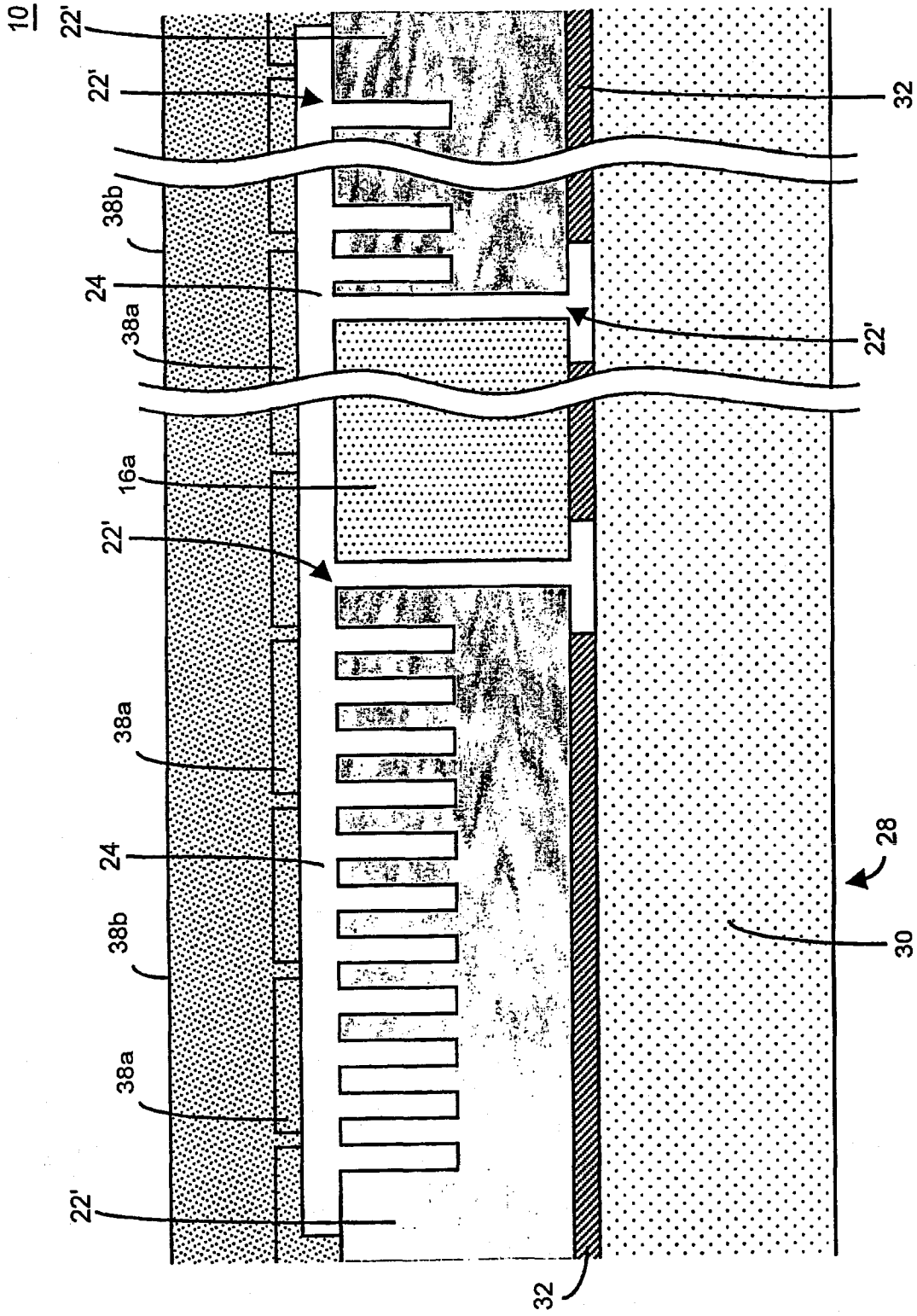


图15D



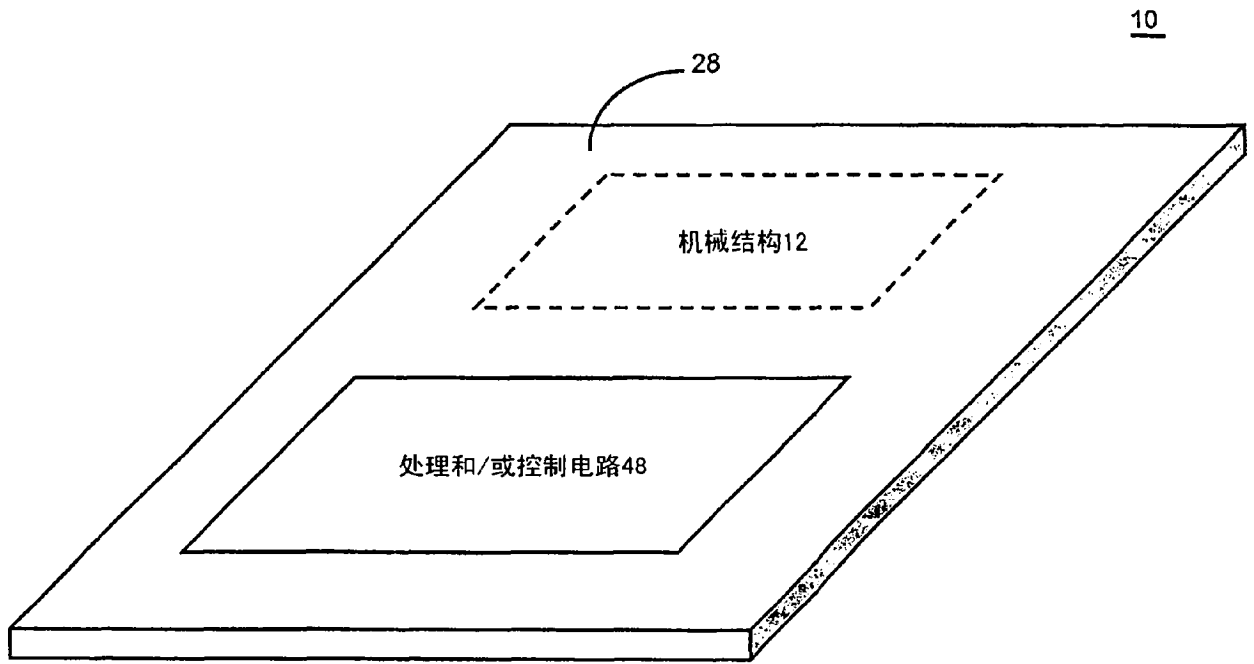


图16A

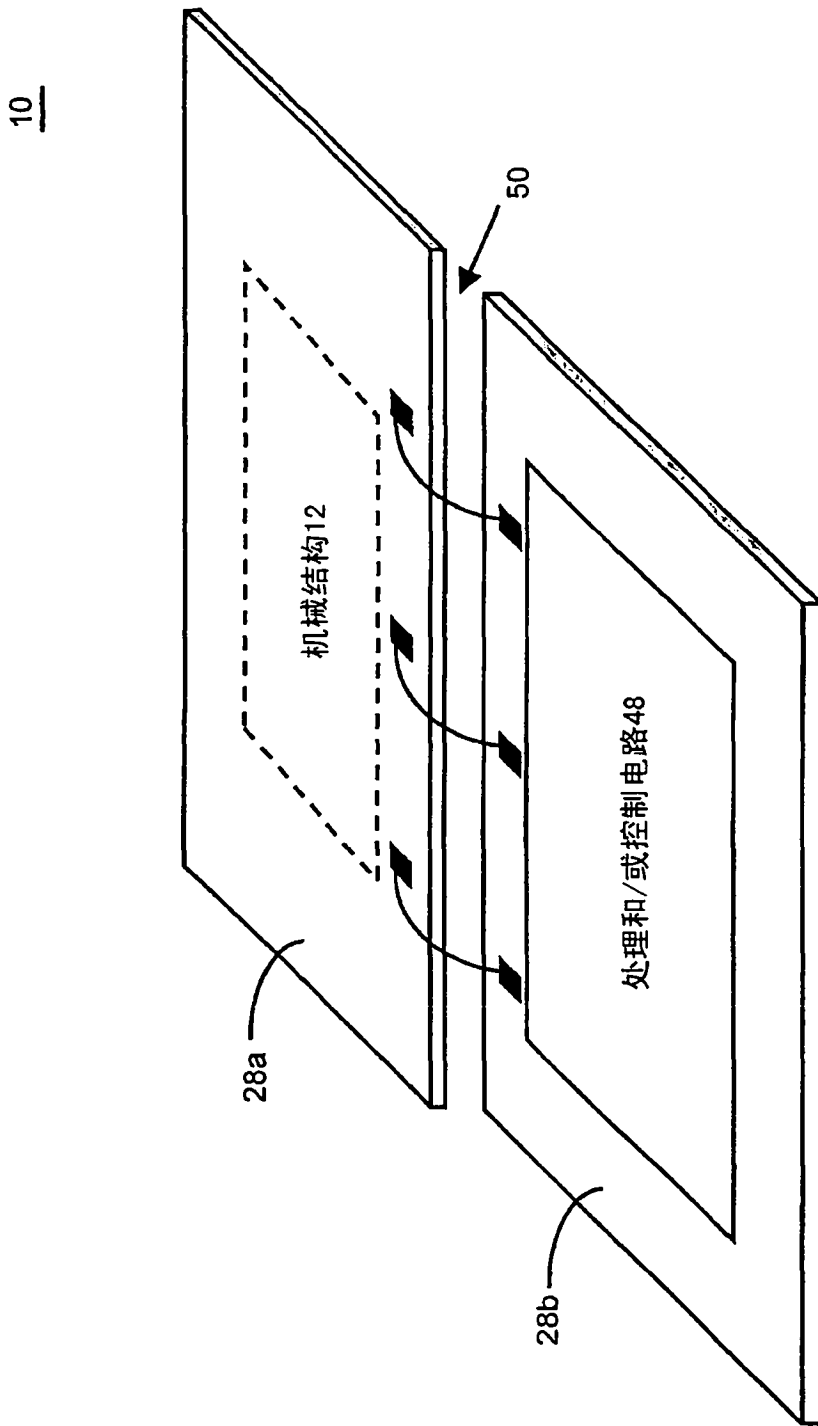


图16B

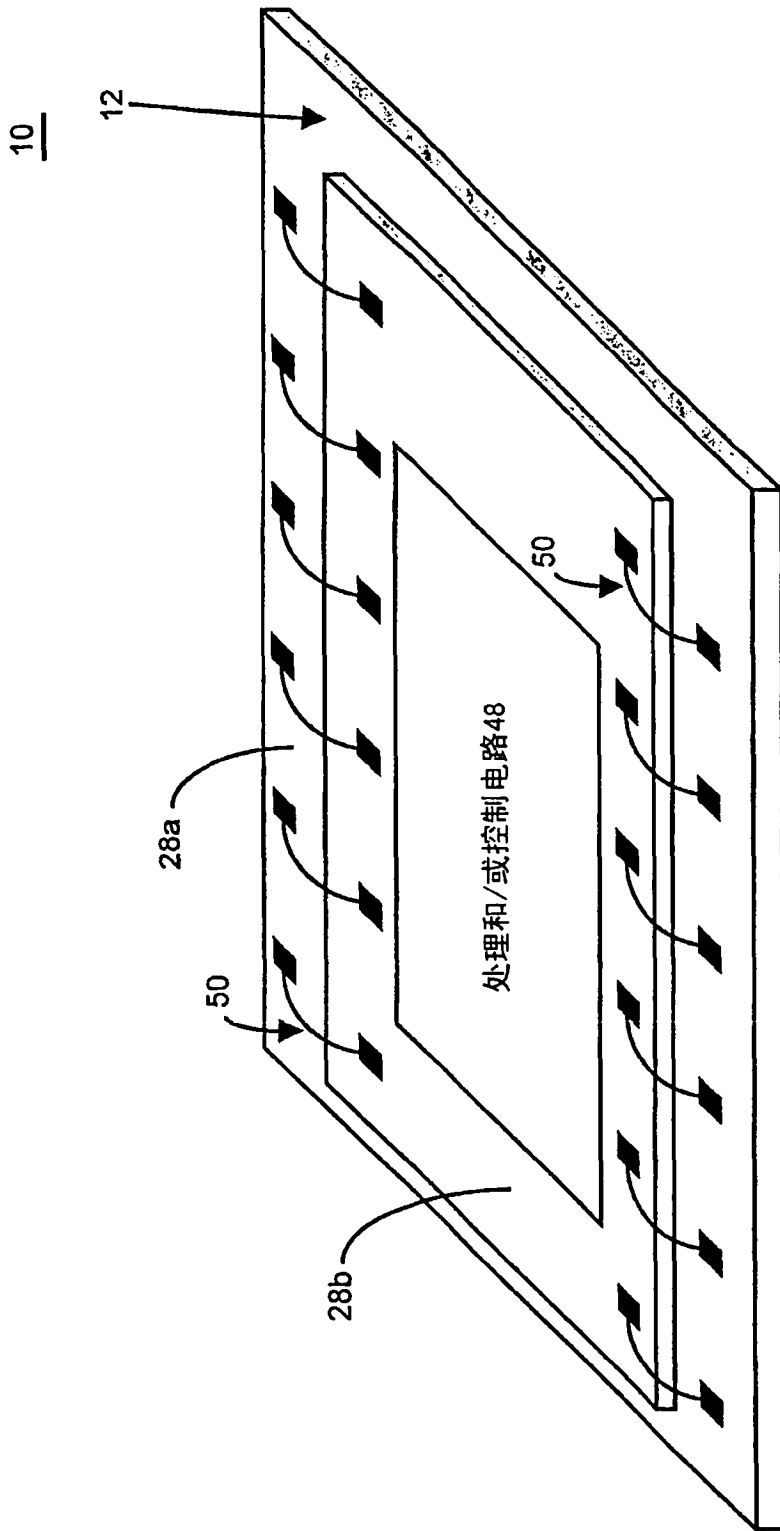


图16C