



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월20일

(11) 등록번호 10-1562010

(24) 등록일자 2015년10월14일

(51) 국제특허분류(Int. Cl.)

G06F 13/40 (2006.01) H01R 13/00 (2006.01)

(21) 출원번호 10-2013-7027975

(22) 출원일자(국제) 2012년03월30일

심사청구일자 2015년03월31일

(85) 번역문제출일자 2013년10월23일

(65) 공개번호 10-2014-0029413

(43) 공개일자 2014년03월10일

(86) 국제출원번호 PCT/US2012/031350

(87) 국제공개번호 WO 2012/138550

국제공개일자 2012년10월11일

(30) 우선권주장

13/079,912 2011년04월05일 미국(US)

(56) 선행기술조사문헌

JP2009081073 A

(73) 특허권자

어드밴스드 마이크로 디바이시즈, 인코포레이티드

미국 캘리포니아 94088-3453 서니베일 피.오.박스
3453 원 에이엠디 플레이스

(72) 발명자

빙기 라비 비.

미국 텍사스 78739 오스틴 티에라 린다 레인 8108

램 라셔 에이치.

미국 텍사스 78749 오스틴 몬차 패스 6813

(뒷면에 계속)

(74) 대리인

박장원

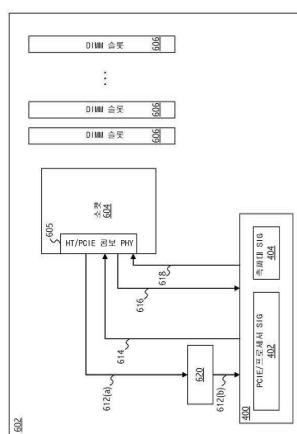
전체 청구항 수 : 총 14 항

심사관 : 고재용

(54) 발명의 명칭 플렉시블 확장성 시스템 아키텍처를 위한 슬롯 설계

(57) 요약

장치는 제1 커넥터 부분을 수용하도록 동작하는 제1 풋프린트 부분 및 제2 커넥터 부분을 수용하도록 동작하는 제2 풋프린트 부분을 포함하는 커넥터 풋프린트를 포함하는 인쇄 회로 기판을 포함한다. 제1 풋프린트 부분은 제1 통신 링크 유형에 부합하고 제1 및 제2 풋프린트 부분은 공동으로 제2 통신 링크 유형에 부합한다. 인쇄 회로 기판은 제1 풋프린트 부분 및 제1 디바이스 풋프린트에 결합된 제1 도전성 트레이스를 포함한다. 제1 도전성 트레이스는 제1 및 제2 통신 링크 유형 중 선택된 하나에 따라 선택적으로 구성 가능하다. 인쇄 회로 기판은 제2 풋프린트 부분 및 제1 디바이스 풋프린트에 결합된 제2 도전성 트레이스를 포함한다. 그 장치의 적어도 하나의 실시예에 있어서, 제1 통신 링크 유형은 AC-결합형이고 제2 통신 링크 유형은 DC-결합형이다.

대 표 도 - 도6

692

614

612(a)

612(b)

612

(72) 발명자

탈버트 제이슨 알.

미국 텍사스 78741 오스틴 선리지 드라이브 #1210
2900

허리 프라빈드 케이.

미국 텍사스 78727 오스틴 월 로저스 레인 13521

톰헨리 브라이언 이.

미국 텍사스 78738 오스틴 윈드스웨트 드라이브
2214

스테인바치 앤드류 더블유.

미국 텍사스 78746 오스틴 원터 파크 로드 1900

그루거 제프 에이치.

미국 텍사스 78733 오스틴 엘더 썬클 805

명세서

청구범위

청구항 1

장치로서,

인쇄 회로 기판 및 커넥터를 포함하여 구성되고, 상기 인쇄 회로 기판은:

상기 인쇄 회로 기판의 제1 표면 상의 전기적 컨택들의 패턴 - 상기 패턴은 제1 부분 및 제2 부분을 포함하고, 상기 제1 부분은 제1 커넥터 부분을 수용하도록 동작하고 및 상기 제2 부분은 제2 커넥터 부분을 수용하도록 동작하며, 상기 제1 부분은 제1 통신 링크 유형에 부합하고 상기 제1 및 제2 부분은 공동으로 제2 통신 링크 유형에 부합함 - 과;

상기 제1 부분 및 제1 디바이스 풋프린트(footprint)에 결합된 제1 도전성 트레이스(conductive trace) - 상기 제1 도전성 트레이스는 상기 제1 및 제2 통신 링크 유형 중 선택된 하나에 따라 선택적으로 구성 가능함 - 와; 그리고

상기 제2 부분 및 상기 제1 디바이스 풋프린트에 결합된 제2 도전성 트레이스를 포함하며,

상기 커넥터는 상기 패턴에 결합되고, 상기 커넥터는 제1 커넥터 부분 및 제2 커넥터 부분을 포함하고, 상기 커넥터는, 상기 제1 통신 링크 유형에 따라, 제1 개수의 터미널을 갖는 제1 디바이스에 상기 제1 커넥터 부분을 결합할 수 있고 그리고 상기 제2 통신 링크 유형에 따라, 제2 개수의 터미널을 갖는 제2 디바이스에 상기 제1 커넥터 부분 및 상기 제2 커넥터 부분을 결합할 수 있고, 상기 제1 개수의 터미널은 상기 제2 개수의 터미널보다 적은 것인 장치.

청구항 2

제1항에 있어서, 상기 제1 통신 링크 유형은 AC-결합형이고, 상기 제2 통신 링크 유형은 DC-결합형인 것인 장치.

청구항 3

제1항에 있어서, 상기 제1 도전성 트레이스는 상기 제1 부분과 상기 제1 디바이스 풋프린트를 AC 결합하도록 구성되고, 상기 제2 도전성 트레이스는 플로팅된(floating) 것인 장치.

청구항 4

제1항에 있어서, 상기 제1 도전성 트레이스의 개개의 트레이스의 제1 및 제2 접속점에 결합된 제1 스위치를 더 포함하는 장치.

청구항 5

제4항에 있어서, 상기 제1 및 제2 접속점에 결합되는 영 음 저항기(zero Ohm resistor), 점퍼(jumper), 와이어 및 커패시터 중 하나를 더 포함하는 장치.

청구항 6

제4항에 있어서, 커패시터에 직렬 결합된 제2 스위치를 더 포함하되, 상기 제2 스위치 및 커패시터는 상기 제1 스위치에 병렬 결합되고 상기 제1 및 제2 접속점에 결합되는 것인 장치.

청구항 7

제1항에 있어서, 상기 커넥터에 연결된 프로세서를 더 포함하는 장치.

청구항 8

제1항에 있어서, 상기 커넥터에 연결된 주변 디바이스를 더 포함하는 장치.

청구항 9

제1항에 있어서, 상기 제1 디바이스 풋프린트는 상기 제1 통신 링크 유형의 제1 인터페이스 및 상기 제2 통신 링크 유형의 제2 인터페이스를 포함하는 프로세서를 수용할 수 있는 것인 장치.

청구항 10

제1항에 있어서, 상기 제1 통신 링크 유형은 주변 장치 상호 연결 익스프레스(Peripheral Component Interconnect Express: PCIE)이고, 상기 제2 통신 링크 유형은 하이퍼트랜스포트(HyperTransport: HT)인 것인 장치.

청구항 11

제1항에 있어서, 상기 제1 통신 링크 유형의 통신 링크 및 상기 제2 통신 링크 유형의 통신 링크는 둘 다 직렬 버스 통신 링크인 것인 장치.

청구항 12

제1항에 있어서, 상기 제1 통신 링크 유형은 제1 개수의 신호와 연관되고, 상기 제2 통신 링크 유형은 제2 개수의 신호와 연관되며, 상기 제1 개수의 신호는 상기 제2 개수의 신호보다 적은 것인 장치.

청구항 13

인쇄 회로 기판 조립체의 확장 슬롯으로서,

제1 통신 링크 유형에 따라, 제1 개수의 터미널을 가지는 제1 디바이스에 결합될 수 있고 그리고 제2 통신 링크 유형에 따라, 제2 개수의 터미널을 가지는 제2 디바이스에 결합될 수 있는 커넥터 수단 - 상기 제1 개수의 터미널은 상기 제2 개수의 터미널보다 적음 - 과; 그리고

상기 커넥터 수단을 디바이스에 결합하는 수단을 포함하여 구성되고, 상기 결합하는 수단은 상기 제1 통신 링크 유형 및 상기 제2 통신 링크 유형 중 선택된 하나에 따라 선택적으로 구성가능하고, 상기 제1 통신 링크 유형에 대해 제1 세트의 레인들이 이용되고, 상기 제2 통신 링크 유형에 대해 상기 제1 세트의 레인들 및 제2 세트의 레인들이 공동으로 이용되는 것인, 인쇄 회로 기판 조립체의 확장 슬롯.

청구항 14

제13항에 있어서, 상기 제1 통신 링크 유형은 AC-결합형이고, 상기 제2 통신 링크 유형은 DC-결합형인 것인, 인쇄 회로 기판 조립체의 확장 슬롯.

청구항 15

삭제

청구항 16

삭제

발명의 설명**기술 분야**

[0001] 본 발명은 컴퓨팅 시스템에 관한 것으로, 더 구체적으로는, 컴퓨팅 시스템에서의 커넥션에 관한 것이다.

배경 기술

[0002] 일반적으로, 컴퓨팅 시스템에서의 디바이스는 논리적 커넥션 소위 인터커넥트 또는 링크를 통해 통신한다. 예시적 링크 프로토콜에 부합하는 전형적 링크는 하나 이상의 라인을 포함하는 2개의 포트 사이 지점 대 지점 통신 채널이다. 개개의 라인은 라인의 송신 및 수신 쌍으로 이루어진다. 라인은 싱글-엔디드 라인(single-ended line) 또는 차등 라인일 수 있다. 링크의 적어도 하나의 실시예에 있어서, 각각의 라인은 차등 라인의 송신 및 수신 쌍을 포함한다, 즉, 각각의 라인은 풀 듀플렉스 통신을 지원하도록 링크의 종점 사이에 4개의 신호 경로를

포함한다. 예시적 저속 디바이스는 단일-레인 링크를 사용하는 반면, 예시적 더 고속 디바이스(예컨대, 그래픽 어댑터)는 더 넓은 멀티-레인 링크를 사용한다.

[0003] 적어도 하나의 실시예에 있어서, 링크는 직렬 통신을 구현하는데, 직렬 링크는 데이터의 특정 워드의 비트가 그들 수신자에 동시에 도달할 것을 요구하지 않으므로 병렬 통신에 비해 타이밍 스케이프에 의해 영향을 덜 받는 것이다. 직렬 통신의 기술은 통신 링크를 통해 순차적으로 한번에 하나의 비트씩 데이터를 보낸다. 예시적 직렬 통신 링크는 주변 장치 상호 연결 익스프레스(Peripheral Component Interconnect Express: PCIE), 하이퍼트랜스 포트(HyperTransport Link)(이전에는 라이트닝 데이터 트랜스포트(Lightning Data Transport)로 알려져 있음), SATA(직렬 ATA), 범용 직렬 버스(USB), IEEE 1394 인터페이스, 직렬 래피드 IO 및 직렬 부착 SCSI(SAS)를 포함 한다. 프로세싱 시스템의 적어도 하나의 실시예에 있어서, 하나보다 많은 유형의 직렬 통신 링크가 사용된다(예컨대, PCIE 및 하이퍼트랜스포트). 하이퍼트랜스포트는 양방향, 직렬, 고-대역폭, 저-레이턴시, 지점 대 지점 링크를 사용하여 컴퓨터 프로세서의 상호접속을 위한 프로토콜이다. 전형적 하이퍼트랜스포트 링크는 2 내지 32 비트의 범위에 이르는 비트 폭을 지원한다. 그렇지만, 하이퍼트랜스포트 링크는 측파대 제어 및 커맨드 신호를 필요로 한다. 부가적으로, 하이퍼트랜스포트는 DC-결합형 링크이다. 주변 장치 상호 연결 익스프레스(PCIE)는, 전형적으로는 (예컨대, 마더보드 장착 주변장치로 링크하는) 보드-레벨 인터커넥트로 사용되고 애드-인 보드를 위한 확장 카드 인터페이스로 사용되는 컴퓨터 확장 카드 표준이다. 전형적 PCIE 슬롯은 1 내지 16개의 레인을 포함하고 AC-결합형이다. 각각의 레인은 한 쌍의 송신 차등 신호 및 한 쌍의 수신 차등 신호를 포함하는 것이 전형적이다. 일반적으로, 하이퍼트랜스포트 및 PCIE 링크는 실질적으로 동일 데이터 속도를 지원한다.

[0004] 예시적 프로세싱 시스템은 프로세싱 시스템에 기능성을 부가하기 위한 확장 슬롯(즉, 슬롯)을 갖는 인쇄 회로 기판 조립체(예컨대, 마더보드, 백플레인(backplane) 또는 다른 인쇄 회로 기판 조립체)를 포함한다. 예시적 확장 보드(즉, 확장 카드, 어댑터 카드 또는 액세서리 카드)는 디바이스(예컨대, 프로세서 또는 주변 디바이스)를 포함한다. 적어도 하나의 실시예에 있어서, 확장 슬롯은, 인쇄 회로 기판 조립체 상의 디바이스 또는 프로세서에 의해 사용되고 컴포넌트에 의해 사용되는 통신 링크 프로토콜에 부합하는 커넥터를 사용하여 인쇄 회로 기판에 컴포넌트(예컨대, 디바이스 또는 확장 보드)를 결합한다.

[0005] 적어도 하나의 실시예에 있어서, 프로세싱 시스템 및 커넥터는 블레이드 서버(blade server)에 포함되어 있다. 본 명세서에서 지칭되는 바와 같이, 블레이드 서버(즉, 블레이드)는 프로세서, 메모리, I/O 및 비-휘발성 저장 엘리먼트를 포함하는 인쇄 회로 기판 조립체이다. 전형적 블레이드 서버는 다른 서버 시스템에 비해 물리적 공간 및 에너지의 사용을 줄이는 모듈식 디자인을 갖는다. 전형적 블레이드 인클로저는 블레이드 시스템을 형성하도록 다중 블레이드를 포함하고 시스템에 전원, 냉각, 네트워킹, 인터커넥트 및 관리 중 하나 이상을 제공한다. 제조자는 그 운영 체계 및 애플리케이션을 갖는 완성 서버를 단일 블레이드 상에 패키징한다. 블레이드는 다중 블레이드에 공통인 새시 내에서 독립적으로 동작할 수 있다.

발명의 내용

[0006] 본 발명의 적어도 하나의 실시예에 있어서, 장치는 제1 커넥터 부분을 수용하도록 동작하는 제1 풋프린트 부분(footprint portion) 및 제2 커넥터 부분을 수용하도록 동작하는 제2 풋프린트 부분을 포함하는 커넥터 풋프린트를 포함하는 인쇄 회로 기판을 포함한다. 제1 풋프린트 부분은 제1 통신 링크 유형에 부합하고, 제1 및 제2 풋프린트 부분은 공동으로 제2 통신 링크 유형에 부합한다. 인쇄 회로 기판은 제1 풋프린트 부분 및 제1 디바이스 풋프린트에 결합된 제1 도전성 트레이스(conductive trace)를 포함한다. 제1 도전성 트레이스는 제1 및 제2 통신 링크 유형 중 선택된 하나에 따라 선택적으로 구성 가능하다. 인쇄 회로 기판은 제2 풋프린트 부분 및 제1 디바이스 풋프린트에 결합된 제2 도전성 트레이스를 포함한다. 그 장치의 적어도 하나의 실시예에 있어서, 제1 통신 링크 유형은 AC-결합형이고, 제2 통신 링크 유형은 DC-결합형이다. 제1 도전성 트레이스는 제1 풋프린트와 디바이스 풋프린트를 AC 결합하도록 구성될 수 있고, 제2 도전성 트레이스는 부동(floating) 할 수 있다. 그 장치는 제1 도전성 트레이스의 개개의 트레이스의 제1 및 제2 접속점에 결합된 제1 스위치를 포함할 수 있다. 그 장치는 제1 및 제2 접속점에 결합된 커패시터, 영 옴 저항기(zero Ohm resistor), 점퍼, 와이어 중 하나를 포함할 수 있다. 그 장치는 커패시터에 직렬 결합된 제2 스위치를 더 포함할 수 있되, 제2 스위치 및 커패시터는 제1 스위치에 병렬 결합되고 제1 및 제2 접속에 결합될 수 있다. 그 장치는 커넥터 풋프린트에 결합된 커넥터를 더 포함할 수 있다. 커넥터는 제1 커넥터 부분 및 제2 커넥터 부분을 포함할 수 있다. 커넥터는, 제1 통신 링크 유형에 따라, 제1 개수의 터미널을 갖는 제1 디바이스에 제1 커넥터 부분을 결합할 수 있고, 제2 통신 링크 유형에 따라, 제2 개수의 터미널을 갖는 제2 디바이스에 제1 커넥터 부분 및 제2 커넥터 부분을 결합할 수 있고, 제1 개수의 터미널은 제2 개수의 터미널보다 적다. 그 장치는 커넥터에 접속된 프로세서를 포함할 수 있다. 그

장치는 커넥터에 접속된 주변 디바이스를 포함할 수 있다. 제1 디바이스 풋프린트는 제1 통신 링크 유형의 제1 인터페이스 및 제2 통신 링크 유형의 제2 인터페이스를 포함하는 프로세서를 수용할 수 있다. 제1 통신 링크 유형은 주변 장치 상호 연결 익스프레스(PCIE)이고 제2 통신 링크 유형은 하이퍼트랜스포트(HT)일 수 있다. 제1 통신 링크 유형의 통신 링크 및 제2 통신 링크 유형의 통신 링크는 둘 다 직렬 버스 통신 링크일 수 있다. 제1 통신 링크 유형은 제1 개수의 신호와 연관될 수 있고, 제2 통신 링크 유형은 제2 개수의 신호와 연관될 수 있다. 제1 개수의 신호는 제2 개수의 신호보다 적을 수 있다.

[0007] 본 발명의 적어도 하나의 실시예에 있어서, 인쇄 회로 기판 조립체를 제조하는 방법은 커넥터에 의해 수용되는 디바이스와 연관된 통신 링크 유형에 따라 인쇄 회로 기판 상에 디바이스 풋프린트 및 커넥터 풋프린트에 결합되는 도전성 트레이스를 구성하는 단계를 포함한다. 도전성 트레이스는 제1 통신 링크 유형에 따라 커넥터 풋프린트에 디바이스 풋프린트를 결합하도록 구성될 수 있고 제2 통신 링크 유형에 따라 커넥터에 디바이스 풋프린트를 결합하도록 구성될 수 있다. 본 발명의 적어도 하나의 실시예에 있어서, 제1 통신 링크 유형은 주변 장치 상호 연결 익스프레스(PCIE)이고, 제2 통신 링크 유형은 하이퍼트랜스포트(HT)이다. 제1 통신 링크 유형은 AC-결합형이고, 제2 통신 링크 유형은 DC-결합형일 수 있다. 그 구성하는 단계는 디바이스 풋프린트에 결합된 디바이스와 연관된 통신 링크에 따라 도전성 트레이스를 선택적으로 구성하는 단계를 포함할 수 있다. 그 구성하는 단계는 커넥터 풋프린트에 도전성 트레이스를 DC 결합하는 단계를 포함할 수 있다. 그 구성하는 단계는 커넥터 풋프린트에 도전성 트레이스의 일부를 AC 결합하는 단계를 포함할 수 있다. 도전성 트레이스의 제2 부분은 부동 할 수 있다.

도면의 간단한 설명

[0008] 본 발명은 수반 도면을 참조함으로써 더 잘 이해되고 그 많은 목적, 특징 및 이점이 당업자에게 더 명백해질 수 있다.

도 1은 예시적 멀티프로세서 프로세싱 시스템의 예시도;

도 2는 주변 디바이스를 포함하는 예시적 프로세싱 시스템의 예시도;

도 3은 주변 디바이스를 포함하는 예시적 멀티프로세서 프로세싱 시스템의 예시도;

도 4는 본 발명의 적어도 하나의 실시예와 일치되는 커넥터의 예시도;

도 5는 본 발명의 적어도 하나의 실시예와 일치되는 커넥터 풋프린트의 예시도;

도 6은 본 발명의 적어도 하나의 실시예와 일치되는 도 4의 커넥터를 포함하는 예시적 프로세싱 시스템의 예시도;

도 7은 본 발명의 적어도 하나의 실시예와 일치되는 인쇄 회로 기판 상의 링크의 예시적 도전성 트레이스의 예시도;

도 8a는 본 발명의 적어도 하나의 실시예와 일치되는 도 7의 도전성 트레이스의 예시적 구성도;

도 8b는 본 발명의 적어도 하나의 실시예와 일치되는 도 7의 도전성 트레이스의 예시적 구성도;

도 9는 본 발명의 적어도 하나의 실시예와 일치되는 도 7의 도전성 트레이스의 예시적 구성도;

도 10은 본 발명의 적어도 하나의 실시예와 일치되는 도 7의 도전성 트레이스의 예시적 구성도.

여러 다른 도면에서의 동일 참조 부호의 사용은 유사한 또는 동일한 아이템을 가리킨다.

발명을 실시하기 위한 구체적인 내용

[0009] 도 1을 참조하면, 예시적 프로세싱 시스템(예컨대, 프로세싱 시스템(100))에 있어서, 프로세서(즉, 중앙 프로세싱 유닛, 코어, 및/또는 하드웨어 가속기, 예컨대, 프로세서(102, 104))는 링크(예컨대, 링크(106))를 사용하여 서로 결합되어 있다. 시스템(100)의 적어도 하나의 실시예에 있어서, 링크(106)는 하이퍼트랜스포트 링크이다. 도 2를 참조하면, 예시적 프로세싱 시스템(200)에 있어서, 프로세서(102)를 또 다른 프로세서에 결합하기보다는, 링크(106)는 프로세서(102)와 하나 이상의 주변 디바이스 또는 다른 접적 회로(예컨대, I/O(206)) 사이의 통신을 취급하는 접적 회로(예컨대, 접적 회로(204))에 프로세서(102)를 결합한다. 적어도 하나의 실시예에 있어서, 접적 회로(204)는 노스브리지 회로(Northbridge circuit)이다. 도 3을 참조하면, 시스템(300)은 노스브리지 기능성을 프로세서 내에 접적하는 인터페이스 회로(예컨대, 노스브리지(303))를 갖는 프로

세서(예컨대, 프로세서(302))를 포함한다.

[0010]

일례의 시스템에 있어서, 프로세서(예컨대, 프로세서(102))는 프로세서에 결합하는 컴포넌트(즉, 확장 인쇄 회로 기판 또는 디바이스)를 위한 고정 수의 슬롯을 갖는 인쇄 회로 기판에 접속되어 있다. 예컨대, 인쇄 회로 기판은 또 다른 프로세서를 포함하는 컴포넌트를 프로세서(102)에 결합하기 위한 m개의 슬롯 및 I/O 디바이스를 포함하는 컴포넌트를 프로세서(102)에 결합하기 위한 n개의 슬롯을 포함한다. 본 명세서에서 지칭되는 바와 같이, 인쇄 회로 기판 상의 슬롯은 커넥터, 커넥터의 풋프린트와 일치되는 패턴으로 구성되어 커넥터에 전기적으로 결합하기 위한 하나 이상의 패드 또는 홀, 및 패드 또는 홀의 패턴에 결합되는 인쇄 회로 기판 상의 도전성 트레이스를 포함한다. 커넥터, 패드 또는 홀, 및 인쇄 회로 기판 상의 도전성 트레이스는 어떠한 적합한 제조 기술에 의해서라도 형성될 수 있다. 일반적으로, 커넥터는 컴포넌트와 또 다른 컴포넌트 사이에 기계적 및 전기적 커넥션을 제공하는 기계적 컴포넌트이다. 디바이스를 수용하기 위한 커넥터는 소켓으로 지칭될 수 있고, 디바이스를 커넥터에 물리적으로 고정하기 위한 래버 또는 래치를 포함할 수 있다. 전형적 커넥터는 컴포넌트의 전기적 리드, 핀 또는 랜드의 각각에 대한 플라스틱 및 금속 컨택트를 포함한다. 각각의 슬롯은 특정 유형의 통신 링크에 대해 구성됨을 주목하라. 즉, 제1 링크 유형을 사용하는 컴포넌트와 통신하도록 구성된 슬롯은 제2 링크 유형을 사용하는 컴포넌트와 통신하도록 구성되지는 않는다. 유사하게, 제2 링크 유형을 사용하는 컴포넌트와 통신하도록 구성된 슬롯은 제1 링크 유형을 사용하는 컴포넌트와 통신하도록 구성되지는 않는다. 예컨대, 적어도 하나의 실시예에 있어서, 프로세서(302)는 주변 디바이스(예컨대, I/O(206))에 제1 유형의 링크(예컨대, PCIE 링크(308)) 및 프로세서(예컨대, 프로세서(104))에 제2 유형의 링크(예컨대, 하이퍼트랜스포트 링크(306))를 통해 통신하도록 인터페이스를 포함한다. 그렇지만, 프로세서(302)를 포함하는 인쇄 회로 기판 조립체는 특정 유형의 링크에 전용인 하나 이상의 슬롯을 포함한다.

[0011]

인쇄 회로 기판 조립체의 적어도 하나의 실시예에 있어서, 서로 다른 링크 유형 중 하나 또는 다른 하나에 부합할 수 있는 또 다른 디바이스에 프로세서를 결합하기 위해 서로 다른 링크 유형에 부합하는 다중 버스를 인쇄 회로 기판 상에 포함하기보다는, 인쇄 회로 기판은 어느 링크 유형과도 사용될 수 있는 플렉시블 버스를 포함한다. 인쇄 회로 기판 조립체의 적어도 하나의 실시예에 있어서, 플렉시블 커넥터는 인쇄 회로 기판 상의 그 플렉시블 버스에 결합된다. 도 4를 참조하면, 플렉시블 커넥터는 2개의 링크 유형 중 가장 넓은 것에 충분한 전기적 컨택트 및 리드를 포함한다(예컨대, 일례의 하이퍼트랜스포트 링크에 대해 20개의 레인). 예컨대, 전기적 커넥터(400)는 2개의 커넥터 부분을 포함한다. 제1 커넥터 부분(예컨대, 부분(402))은 PCIE 슬롯을 지원하는 컨택트를 포함한다(예컨대, 16개의 레인). 제2 커넥터 부분(예컨대, 부분(404))은 하이퍼트랜스포트 슬롯에 의해 요구되는 부가적 신호에 대한 부가적 컨택트(예컨대, 하이퍼트랜스포트 및 측파대 신호를 위한 4개의 레인)를 포함한다. PCIE 컴포넌트는 제1 커넥터 부분에 플러그인 할 수 있고 제2 커넥터 부분은 미사용된다. 하이퍼트랜스포트 링크에 부합하는 컴포넌트는 커넥터의 두 부분 모두에 플러그인 할 수 있다. 그리하여, 링크의 어느 유형이든 부합하는 컴포넌트를 결합하도록 동일 소켓이 사용되어, 일례의 인쇄 회로 기판 조립체에 의해 구현된 시스템 아키텍처를 확장하도록 융통성을 제공할 수 있다.

[0012]

도 5를 참조하면, 적어도 하나의 실시예에 있어서, 인쇄 회로 기판은 위에서 기술된 바와 같이 플렉시블 커넥터의 풋프린트와 일치되는 랜딩 패턴(예컨대, 랜딩 패턴(500))을 포함한다. 적어도 하나의 실시예에 있어서, 랜딩 패턴은 플렉시블 커넥터의 대응하는 전기적 리드를 수용하도록 이격된 전기적 컨택트(예컨대, 패드 또는 홀)을 포함한다. 적어도 하나의 실시예에 있어서, 랜딩 패턴(500)은 커넥터 부분(402, 404)에 각자 대응하는 제1 랜딩 패턴 부분(예컨대, 랜딩 패턴 부분(502)) 및 제2 랜딩 패턴 부분(예컨대, 랜딩 패턴 부분(504))을 포함한다. 랜딩 패턴(500)은 대응하는 커넥터의 전기적 리드를 인쇄 회로 기판 상의 커넥터에 전기적으로 결합하는데 적합한 어떠한 기하구조 및 구성이라도 가질 수 있음을 주목하라.

[0013]

도 6을 참조하면, 인쇄 회로 기판 조립체(예컨대, 인쇄 회로 기판 조립체(600))는 접적 PCIE/하이퍼트랜스포트 인터페이스를 포함하는 프로세서용 소켓(예컨대, 인터페이스 예컨대 인터페이스(605))을 포함하는 소켓(604), 메모리 슬롯(예컨대, 듀얼 인-라인 메모리 모듈 슬롯(606)), 및 플렉시블 버스(예컨대, 도전성 트레이스(612, 614, 616, 618)를 포함하는 버스) 및 플렉시블 커넥터(예컨대, 커넥터(400))를 포함하는 플렉시블 확장 슬롯이 거주하는 인쇄 회로 기판(예컨대, 인쇄 회로 기판(602))을 포함한다. 적어도 하나의 실시예에 있어서, 인쇄 회로 기판 조립체(600)에는 소켓(604) 내 프로세서, 및 커넥터(400)에 접속된 컴포넌트가 더 거주한다. 적어도 하나의 실시예에 있어서, 도전성 트레이스(예컨대, 트레이스(612))는 인터페이스(605)로부터 커넥터(400)로 신호를 통신하는 인터페이스의 레인을 결합하고 도전성 트레이스(예컨대, 트레이스(614))는 커넥터(400)로부터 인터페이스(605)로 신호를 통신하는 인터페이스의 레인을 결합한다. 회로(예컨대, 회로(620))는 인쇄 회로 기판 조립체(600)의 특정 실시예에 의해 요구되는 인터페이스의 유형에 따라 선택적으로 구성 및/또는 거주하는 컴포넌트

트를 포함한다. 적어도 하나의 실시예에 있어서, 도전성 트레이스 부분(612(a))과 부분(612(b)) 사이에 결합되는 회로(620)에는 PCIE 링크용 AC 결합 또는 하이퍼트랜스포트 링크용 DC 결합을 구현하도록 구성되는 스위치, 커패시터, 저항기 및/또는 점퍼가 거주한다. 인쇄 회로 기판(602)의 적어도 하나의 실시예에 있어서, 도전성 트레이스(616, 618)는 또한 커넥터(400)와 소켓(604) 사이에 하이퍼트랜스포트 링크의 측파대 신호를 결합하도록 포함된다. 따라서, 인쇄 회로 기판 조립체(600)의 플렉시블 슬롯은 PCIE 링크이든 하이퍼트랜스포트 링크이든 어느 것과도 일치되는 컴포넌트를 수용하도록 구성된다. 즉, 인쇄 회로 기판 조립체(600)의 플렉시블 슬롯은 PCIE 또는 하이퍼트랜스포트 프로토콜 중 어느 것과도 일치되는 통신 인터페이스에 부합하는 커넥터를 수용하도록 구성된다.

[0014] 도 6 및 도 7을 참조하면, 인쇄 회로 기판(602)의 적어도 하나의 실시예에 있어서, 도전성 트레이스 부분(612(a), 612(b))은 하나 이상의 회로 엘리먼트를 도전성 트레이스(612)에 결합하기 위한 접속점(812)을 포함한다. 적어도 하나의 실시예에 있어서, 특정 도전성 트레이스(612)의 접속점(812)은 회로 엘리먼트를 도전성 트레이스 부분(612(a), 612(b))에 직렬 결합하도록 캡에 의해 떨어져 있다. 인쇄 회로 기판 조립체(600)를 제조하는 기술은 인쇄 회로 기판 조립체를 위한 목표 통신 링크에 따라 회로(예컨대, 회로(620))를 도전성 트레이스 부분(612(a), 612(b))에 결합하는 것을 포함한다.

[0015] 도 6 및 도 8a를 참조하면, 적어도 하나의 실시예에 있어서, 회로(620)는 도전성 트레이스(612)와 직렬 결합하기 위한 적어도 하나의 커패시터를 포함한다. 적어도 하나의 실시예에 있어서, 회로(620)는 커패시터(902)를 포함하고 회로(620)는 접속점(812)에 결합되어 그로써 도전성 트레이스 부분(612(a), 612(b))을 용량성 결합(즉, AC 결합)한다. 도 8b를 참조하면, 회로(620)의 적어도 하나의 실시예에 있어서, 인터페이스(605)는 커넥터(400)에 DC-결합되고, 도전성 트레이스 부분(612(a), 612(b))은 DC-결합되고, 커패시터(902) 대신 저항성 도체(예컨대, 영 옴 저항기(906))가 사용된다.

[0016] 도 6 및 도 9를 참조하면, 적어도 하나의 실시예에 있어서, 회로(620)는 도전성 트레이스(612)와 직렬 결합하기 위한 하나 이상의 아날로그 스위치를 포함한다. 적어도 하나의 실시예에 있어서, 인쇄 회로 기판 조립체를 제조하기 위한 기술은 특정 링크 유형에 따라 도전성 트레이스 부분(612(a), 612(b))을 선택적으로 결합하는 그들 스위치를 사용하는 것을 포함한다. 예컨대, DC-결합형 링크에 대해 인쇄 회로 기판(602)을 구성하기 위하여, 스위치(1002)는 단하고 스위치(1004)는 열려서, 회로 부분(612(a), 612(b))을 서로 효과적으로 저항성 결합한다. AC-결합형 링크에 대해 인쇄 회로 기판(602)을 구성하기 위하여, 스위치(1002)는 열리고 스위치(1004)는 닫혀서, 커패시터(1003)를 사용하여 회로 부분(612(a), 612(b))을 서로 효과적으로 용량성 결합한다. 도 9의 실시예는 예시일 뿐이며, 다른 회로 엘리먼트가 AC-결합형 및 DC-결합형 링크에 대해 도전성 트레이스 부분(612(a), 612(b))을 결합하는데 사용될 수 있음을 주목하라(예컨대, 점퍼, 영 옴 저항기, 리드라이버(redriver), 또는 다른 적합한 회로 엘리먼트). 예컨대, 도 10을 참조하면, 적어도 하나의 실시예에 있어서, 회로(620)는 하나의 경로에서 마더보드 커패시터(예컨대, 커패시터(1024))에 접속되고 또 다른 경로에서 직접 접속된 아날로그 디멀티플렉서/멀티플렉서 회로(예컨대, 스위치(1020, 1026))를 포함한다. 적어도 하나의 실시예에 있어서, 회로(620)는 신호 반사를 감축 또는 제거하도록 적어도 하나의 리드라이버 회로(예컨대, 리드라이버(1022))를 포함한다.

[0017] 인쇄 회로 기판 조립체(600)의 적어도 하나의 실시예에 있어서, 소켓(604) 내 프로세서는 PCIE든 하이퍼트랜스포트이든 그 어느 것에 의해 통신할 수 있다. 프로세서는 어떠한 적합한 기술이라도 사용하여 커넥터(400)에 결합된 컴포넌트에 의해 어느 유형의 통신 링크가 요구되는지 결정하고 그에 따라 인쇄 회로 기판(602)을 구성한다. 예컨대, 프로세서는 링크의 하나의 유형을 상정하고 그 링크 유형에 대해 인쇄 회로 기판(602)을 구성할 수 있다. 프로세서가 예상하지 못한 응답(예컨대, 예상하지 못한 전압 레벨)을 수신하면, 프로세서는 또 다른 유형의 링크에 대해 인쇄 회로 기판(602)을 재구성하고 그 다른 링크 유형을 사용하여 트레이닝한다. 인쇄 회로 기판 조립체(600)의 적어도 하나의 실시예에 있어서, 트레이스(616, 618)는 트레이스(612, 614)에서의 8개의 데이터 레인의 각각의 세트에 대해 제어 신호 및 클록 신호를 포함한다. 적어도 하나의 실시예에 있어서, 소켓(604) 내 프로세서는 하이퍼트랜스포트 모드로 파워 업 한다. 프로세서는 DC 전압 레벨을 검출하도록 싱글-엔디드 제어 레인 수신기를 사용한다. 프로세서는 DC 전압 레벨로 구동된 제어 신호이든 클록 신호이든 그 어느 것을 포함하는 어떠한 링크라도 하이퍼트랜스포트 링크로 초기화한다. 프로세서는 클록 레인 및 제어 레인이 둘 다 부동하는 어떠한 링크라도 PCIE 링크로 초기화한다.

[0018] 적어도 하나의 실시예에 있어서, 커넥터(400)는 PCIE 착좌 핀 및/또는 하이퍼트랜스포트 착좌 핀을 포함하는데, 커넥터(400)에 결합된 컴포넌트에 의해 설정되고 시스템 로직에 의해 검출되어 시스템을 적절하게 구성한다. 인쇄 회로 기판 조립체(600)의 적어도 하나의 실시예에 있어서, 커넥터(400)에 플러그인 되는 카드는 커넥터(400)

0)에 결합된 컴포넌트에 의해 요구되는 통신 링크의 유형에 기초하여 스위치(1002) 및 스위치(1004)를 닫는데 사용되는 제어 신호(예컨대, 도전성 트레이스 부분(612(a), 612(b))에 포함되지 않은 제어 신호)를 발생시킨다.

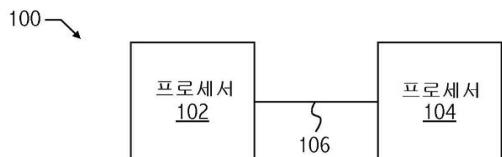
커넥터(400) 및 그 대응하는 풋프린트는 어떠한 적합한 프로파일 및 이격도(예컨대, 보통 밀도 또는 고 밀도)라도 가질 수 있음을 주목하라. 커넥터(400)는 제1 컴포넌트를 제2 컴포넌트에 결합하는 것으로 기술되었지만, 다른 실시예에서는, 커넥터(400)가 제1 컴포넌트를 다중 컴포넌트에 결합한다. 예컨대, 적어도 하나의 실시예에 있어서, 커넥터(400)는 제1 컴포넌트를 2개의 하이퍼트랜스포트 디바이스에 결합하고, 각각 $\frac{1}{2}$ 버스 폭 모드로 동작한다. 적어도 하나의 실시예에 있어서, 커넥터(400)는 프로세싱 능력 확장 또는 메모리 확장을 제공하도록 I/O 확장용 다중 I/O 슬롯을 제공하는 터널 카드 또는 또 다른 프로세서 카드에 제1 HT 컴포넌트를 결합한다.

본 발명의 실시예를 기술함에 있어서 일반적으로 회로 및 물리적 구조가 생각되었지만, 현대의 반도체 설계 및 제조에 있어서 물리적 구조 및 회로는 후속의 설계, 시뮬레이션, 테스트 또는 제조 스테이지에서의 사용에 적합한 컴퓨터-읽기 가능한 기술적 형태로 구체화될 수 있는 것으로 잘 인지된다. 예시적 구성에서 개별 컴포넌트로 제시된 구조 및 기능성은 조합된 구조 또는 컴포넌트로 구현될 수 있다. 본 발명의 다양한 실시예는, 모두 본 명세서에서 기술된 바와 같이 그리고 첨부 청구범위에서 정의되는 바와 같이, 회로, 회로의 시스템, 관련 방법, 및 그러한 회로, 시스템 및 방법의 인코딩(예컨대, VHSIC 하드웨어 기술 언어(VHDL), 베릴로그(Verilog), GDSII 데이터, 전자 디자인 교환 포맷(EDIF) 및/또는 거버 파일(Gerber file))을 갖는 유형적 컴퓨터-읽기 가능한 매체를 포함하는 것으로 고찰된다. 부가적으로, 컴퓨터-읽기 가능한 매체는 본 발명을 구현하는데 사용될 수 있는 데이터뿐만 아니라 명령어를 저장할 수도 있다. 명령어/데이터는 하드웨어, 소프트웨어, 펌웨어 또는 그 조합에 관련될 수 있다.

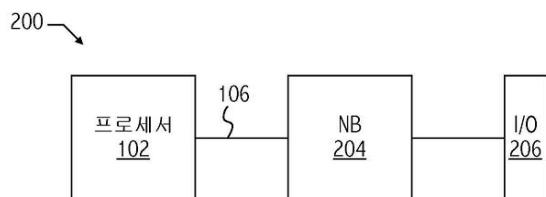
본 명세서에서 제시되는 발명의 설명은 예시적인 것이고, 이하의 청구범위에서 제시되는 바와 같이 본 발명의 범위를 한정하려는 의도는 아니다. 예컨대, 본 발명이 PCIE 및 하이퍼트랜스포트 링크를 포함하는 실시예에서 기술되었지만, 당업자는 본 명세서에서의 교시가 여러 다른 통신 링크 표준에 부합하는 다른 유형의 인터페이스와 이용될 수 있음을 인식할 것이다. 본 명세서에서 개시된 실시예의 변형 및 수정은 이하의 청구범위에서 제시된 본 발명의 범위 및 취지로부터 벗어남이 없이 본 명세서에서 제시된 설명에 기초하여 이루어질 수 있다.

도면

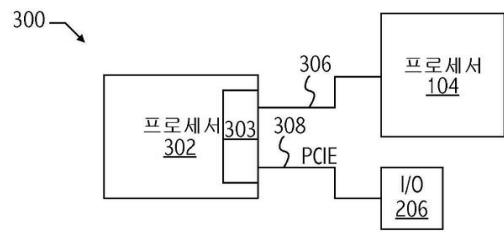
도면1



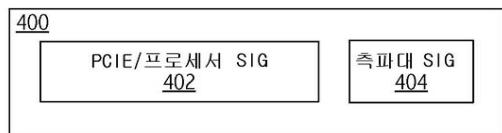
도면2



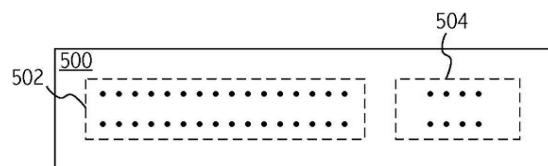
도면3



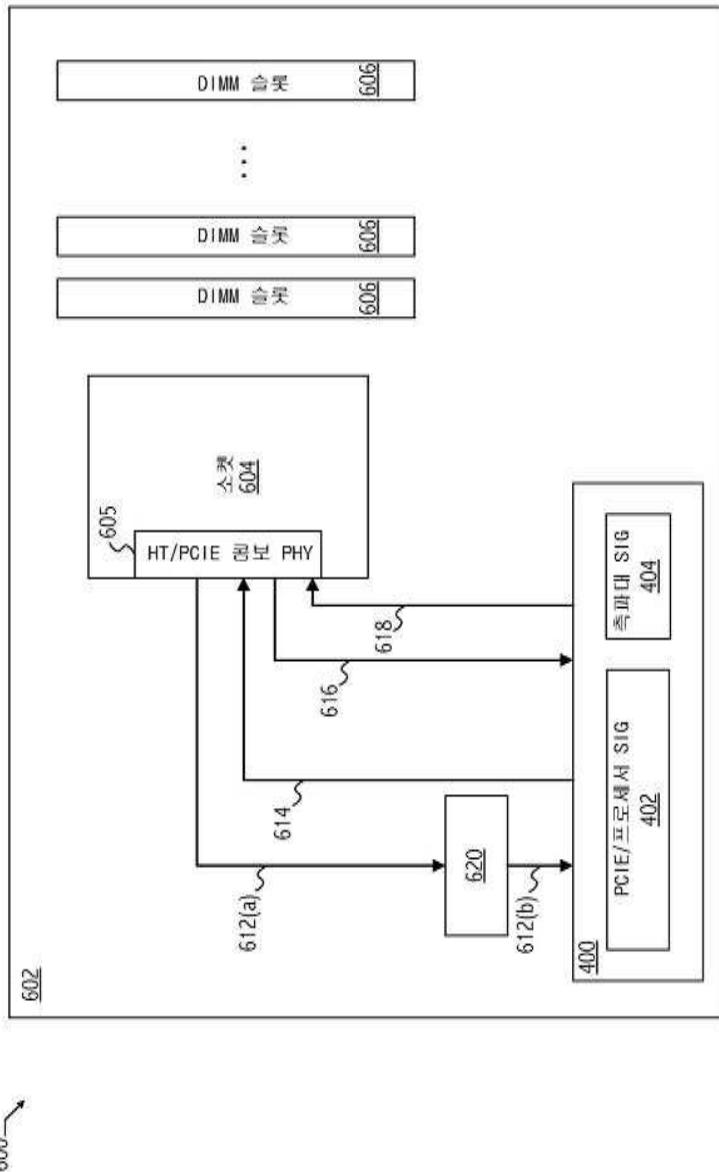
도면4



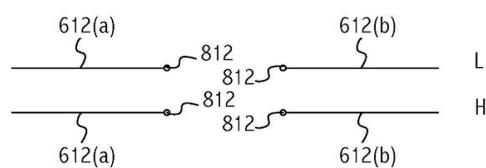
도면5



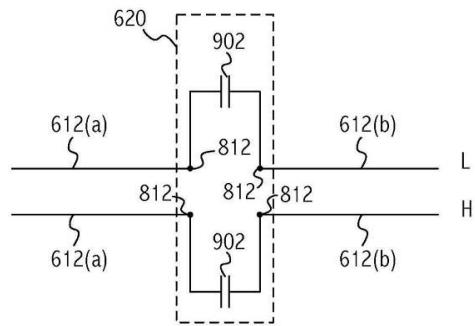
도면6



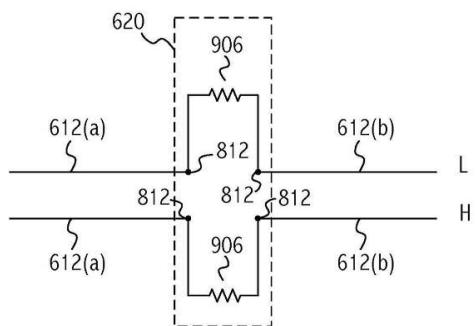
도면7



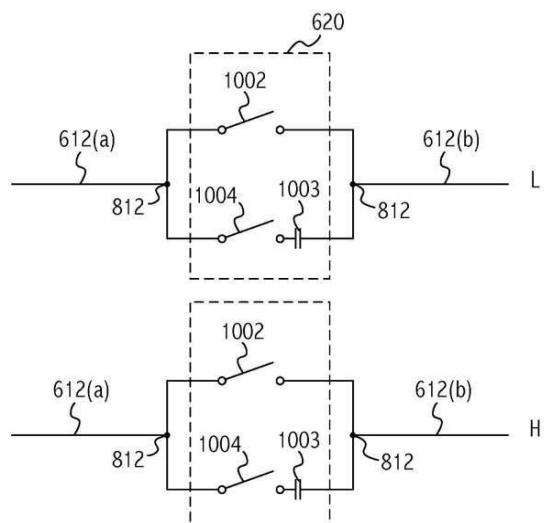
도면8a



도면8b



도면9



도면10

