

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 19 日(19.10.2017)



(10) 国際公開番号
WO 2017/179301 A1

- (51) 国際特許分類:
H03H 11/04 (2006.01) **H03M 1/12** (2006.01)
- (21) 国際出願番号: PCT/JP2017/006354
- (22) 国際出願日: 2017 年 2 月 21 日(21.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-080597 2016 年 4 月 13 日(13.04.2016) JP
- (71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 Kanagawa (JP).
- (72) 発明者: 野間崎 大輔(NOMASAKI Daisuke). 森江 隆史(MORIE Takashi).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜 1 丁目 2 番 1 号 新ダイビル 2 3 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

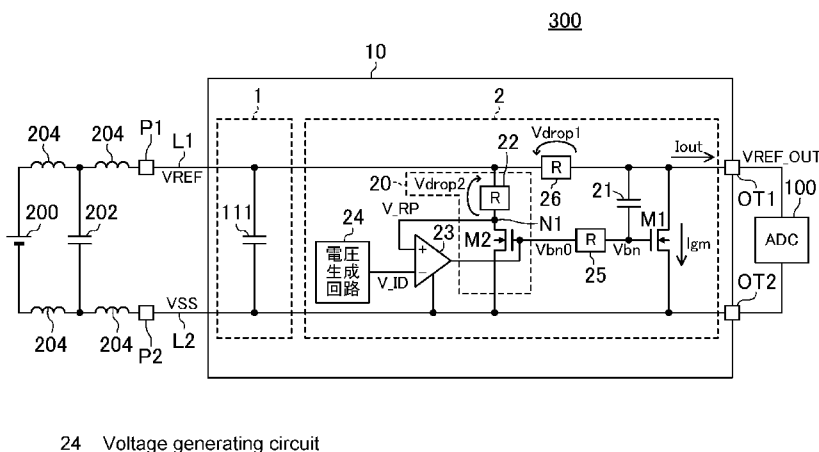
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: REFERENCE VOLTAGE STABILIZING CIRCUIT AND INTEGRATED CIRCUIT PROVIDED WITH SAME

(54) 発明の名称: 参照電圧安定化回路およびこれを備えた集積回路



(57) Abstract: A transistor (M1) having a gate which is capacitively coupled to a wiring line (L1) is connected between wiring lines (L1, L2) connected respectively to output nodes (OT1, OT2) which output a reference voltage (VREF_OUT). A replica circuit (20) including a resistor (22) and a transistor (M2) connected in series is provided between the wiring lines (L1, L2), and the gates of the transistors (M1, M2) are connected to one another. A voltage (V_RP) at a node (N1) between the resistor (22) and the transistor (M1), and a standard voltage (V_ID) are input into a differential amplifier (23), and the output therefrom is applied to the gate of the transistor (M2).

(57) 要約: 参照電圧 (VREF_OUT) を出力する出力ノード (OT1, OT2) とそれぞれ接続された配線 (L1, L2) の間に、ゲートが配線 (L1) と容量結合されたトランジスタ (M1) が接続されている。配線 (L1, L2) の間に、直列に接続された抵抗 (22) とトランジスタ (M2) を有するレプリカ回路 (20) が設けられ、トランジ

スタ (M1, M2) はゲート同士が接続されている。差動増幅器 (23) は、抵抗 (22) とトランジスタ (M1) の間のノード (N1) の電圧 (V_RP) と基準電圧 (V_ID) とを受け、出力をトランジスタ (M2) のゲートに与える。

WO 2017/179301 A1

明 細 書

発明の名称： 参照電圧安定化回路およびこれを備えた集積回路 技術分野

[0001] 本開示は、参照電圧を安定化する回路に関し、特に、A/D変換器に好適な参照電圧安定化回路に関する。

背景技術

[0002] A/D変換器は各種信号処理分野で広く利用されており、その変換精度は重要な性能指標である。一般に、A/D変換器は入力信号を参照電圧と比較することによってA/D変換を行う。このため、高い変換精度を保つためには、参照電圧を精度よく一定に保つことが極めて重要である。アプリケーションにもよるが、mVオーダーのノイズが参照電圧に重畳されることでA/D変換精度の劣化につながることが多い。したがって、外乱ノイズやA/D変換器自身が出す自己ノイズ等によって参照電圧が揺れないように、参照電圧を安定化することが重要である。

[0003] 参照電圧安定化回路として、参照電圧を供給する配線間にトランジスタを設けて、このトランジスタのゲートに一定のバイアス電圧を与え、かつ、このゲートを配線の一方と容量結合させた構成が知られている（例えば、特許文献1の図1）。この回路構成では、参照電圧が安定している定常状態では、トランジスタには一定の電流（以下、適宜、「動作電流」という。）が流れている。A/D変換器等の負荷回路から急激に電流が引かれ、参照電圧が急に低下したとき、これに伴いトランジスタのゲート電圧も低下する。このため、動作電流は減り、負荷回路に供給される電流が増加する。これにより、参照電圧は急速に回復する。

[0004] ただし、参照電圧安定化回路内の動作電流には、PVTばらつき（製造プロセス、電源電圧、温度によるばらつき）に起因したばらつきが生じる可能性がある。このため、参照電圧安定化回路内での電圧降下量にばらつきが生じるため、参照電圧の値にばらつきが生じてしまう。

[0005] この問題に対処するため、特許文献1の図8には、外乱ノイズ等に対して参照電圧を安定的に保つことができ、かつ、PVTばらつきに対応した参照電圧安定化回路が開示されている。この構成では、参照電圧安定化回路から出力される参照電圧をレギュレータにフィードバックし、参照電圧が低下したときは、レギュレータが、参照電圧安定化回路に供給する電流を増加させる。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第2012／157155号

発明の概要

発明が解決しようとする課題

[0007] ところが、特許文献1の図8の構成では、参照電圧安定化回路から出力される参照電圧を安定させることができるものの、参照電圧安定化回路内の動作電流のばらつきを抑制することができない。例えば、PVTばらつきに起因して動作電流が大きくなったとき、参照電圧安定化回路内での電圧降下量が増え、参照電圧が低下する。このとき、参照電圧がフィードバックされるレギュレータの動作によって、参照電圧安定化回路に供給される電流が増加し、これにより参照電圧が上昇する。ところがこの場合、動作電流は大きいままであり、抑制されない。

[0008] ここで、動作電流が大きいと、回路の消費電力が増加するという問題が生じる。一方、動作電流が小さくなると、参照電圧が低下した際に負荷回路に供給できる電流量が減るため、参照電圧の回復が遅くなり、参照電圧の安定化能力が低下してしまう。すなわち、参照電圧安定化回路内の動作電流は、PVTばらつきに依らず、安定していることが好ましい。

[0009] 本開示は、参照電圧安定化回路において、参照電圧のばらつきを抑制しつつ、動作電流のばらつきも抑制可能にすることを目的とする。

課題を解決するための手段

[0010] 本開示の一態様では、参照電圧安定化回路は、参照電圧を出力する第1および第2出力ノードと、前記第1および第2出力ノードとそれぞれ接続されており、入力側から前記参照電圧の元になる元電圧が与えられる第1および第2配線と、前記第1配線と前記第2配線との間に接続された第1トランジスタと、前記第1配線と前記第1トランジスタのゲートとの間に接続された容量と、前記第1配線と前記第2配線との間に設けられ、直列に接続された抵抗および第2トランジスタを有しており、前記第2トランジスタのゲートが前記第1トランジスタのゲートと接続されている、レプリカ回路と、第1入力が前記抵抗と前記第2トランジスタとの間の第1ノードに接続され、第2入力が基準電圧を受け、出力が前記第2トランジスタのゲートに接続された差動増幅器とを備える。

[0011] この態様によると、参照電圧を出力する第1および第2出力ノードとそれぞれ接続された第1および第2配線の間に、第1トランジスタが接続されている。第1トランジスタのゲートは第1配線と容量結合されている。第1および第2配線の間に、直列に接続された抵抗および第2トランジスタを有するレプリカ回路が設けられている。第1および第2トランジスタはゲート同士が接続されている。差動増幅器は、レプリカ回路における抵抗と第2トランジスタの間の第1ノードの電圧と基準電圧とを受け、出力を第2トランジスタのゲートに与える。例えばPVTばらつきに起因して第1トランジスタの動作電流が増加したとき、参照電圧の低下に応じて第1ノードの電圧が低下し、差動増幅器は、出力すなわち第2トランジスタのゲート電圧を下げる。これに伴い、第1トランジスタのゲート電圧も低下し、その動作電流が減少する。一方、第1トランジスタの動作電流が減少したとき、参照電圧の上昇に応じて第1ノードの電圧が上昇し、差動増幅器は、出力すなわち第2トランジスタのゲート電圧を上げる。これに伴い、第1トランジスタのゲート電圧も上昇し、その動作電流が増加する。このような動作によって、第1トランジスタの動作電流のばらつきが抑制される。したがって、消費電力の増加を抑制できるとともに、参照電圧の安定化能力の低下を抑えることができ

る。

発明の効果

[0012] 本開示によると、参照電圧安定化回路において、参照電圧のばらつきを抑制しつつ、動作電流のばらつきも抑制できるので、集積回路の消費電力の増加を抑えることができ、かつ、低下した参照電圧を確実に回復させることが可能になる。

図面の簡単な説明

[0013] [図1]第1実施形態に係る参照電圧安定化回路の構成図

[図2] (a), (b) は抵抗の構成例

[図3]電圧生成回路の構成例

[図4]参照電圧安定化回路の基本的な動作を示すタイミングチャート

[図5]後段回路を複数設けた構成例

[図6] (a), (b) は前段回路の他の構成例

[図7]第1実施形態における参照電圧安定化回路の他の構成例

[図8]第2実施形態に係る参照電圧安定化回路の構成図

[図9]第3実施形態に係る参照電圧安定化回路の構成図

[図10]第3実施形態における参照電圧安定化回路の他の構成例

発明を実施するための形態

[0014] 以下、実施の形態について、図面を参照して説明する。

[0015] (第1実施形態)

図1は第1実施形態に係る参照電圧安定化回路の構成を示す。参照電圧安定化回路10は、出力ノードOT1から参照電圧VREF__OUTを出力する。参照電圧VREF__OUTは、負荷回路の一例であるAD変換器100に供給される。AD変換器100は、例えば逐次比較型AD変換器である。参照電圧安定化回路10およびAD変換器100は、いずれも集積回路300に実装されている。参照電圧安定化回路10は、入力側から、例えば外部電源200からI/OピンP1, P2を介して供給された電圧VREF, VSSを、参照電圧VREF__OUTの元になる元電圧として、配線L1, L

2に受ける。配線L1、L2はそれぞれ出力ノードOT1、OT2に接続されている。参照電圧安定化回路10は、出力ノードOT1、OT2から、AD変換器100における負荷変動に対して安定した参照電圧VREF__OUTを出力するように構成されている。

[0016] I/OピンP1、P2には、外部電源200から供給される電圧VREF、VSSに重畳されるノイズを除去するための外付けバイパスコンデンサ202が設けられている。204は集積回路300のパッケージの寄生インダクタンスである。なお、参照電圧安定化回路10は、安定した参照電圧VREF__OUTを供給できるように、集積回路300においてI/O寄り、すなわち、I/OピンP1、P2の近くに配置することが好ましい。また、参照電圧安定化回路10には、外部電源200の代わりに、集積回路300に内蔵されたレギュレータ回路から電圧VREF、VSSを与えるようにしてもかまわない。

[0017] 参照電圧安定化回路10は、前段回路1および後段回路2を備えている。前段回路1は、配線L1、L2の間に接続された容量素子111を備えている。前段回路1は、参照電圧VREF__OUTに重畳されるノイズを除去する機能を有する。

[0018] 後段回路2は、配線L1と配線L2との間に接続されたトランジスタM1と、配線L1とトランジスタM1のゲートとの間に接続された容量21とを備えている。トランジスタM1は、ここではN型MOSトランジスタである。トランジスタM1のゲートは配線L1と容量結合されているので、トランジスタM1のゲート電圧Vbnは参照電圧VREF__OUTの変化に応じて変化する。また、後段回路2は、配線L1と配線L2との間に設けられたレプリカ回路20と、差動増幅器23と、電圧生成回路24とを備えている。レプリカ回路20は、直列に接続された抵抗22およびトランジスタM2を有しており、トランジスタM2のゲートは、トランジスタM1のゲートと接続されている。トランジスタM2は、ここではN型MOSトランジスタである。なおここでは、トランジスタM2のゲートは、抵抗25を介してラン

ジスタM1のゲートと接続されている。これは、トランジスタM2のゲート電圧 V_{bn0} が、トランジスタM1のゲート電圧 V_{bn} の急激なAC的变化の影響を受けないようにするためである。トランジスタM2のゲート電圧 V_{bn0} は、DC的には、トランジスタM1のゲート電圧 V_{bn} と等しくなる。差動増幅器23は、反転入力に電圧生成回路24によって生成された基準電圧 V_{ID} を受け、非反転入力に抵抗22とトランジスタM2との間のノードN1に接続されている。差動増幅器23の出力は、トランジスタM2のゲートに与えられる。

[0019] 後段回路2はさらに、配線L1において、レプリカ回路20とトランジスタM1との間に設けられた、分離抵抗26を備えている。

[0020] 分離抵抗26における電圧降下を V_{drop1} とし、レプリカ回路20が有する抵抗22における電圧降下を V_{drop2} とする。ここでは、 $V_{drop1} = V_{drop2}$ となるように、抵抗22およびトランジスタM2のデバイスパラメタが調整されている。具体的には例えば、抵抗22とトランジスタM2の抵抗比が、分離抵抗26とトランジスタM1の抵抗比と等しくなるように、デバイスパラメタが調整されている。これにより、ノードN1の電圧 V_{RP} は、参照電圧 V_{REF_OUT} と等しくなる。

[0021] 図2はレプリカ回路20における抵抗22の構成例である。図2(a)に示すように、抵抗22はいわゆる受動素子の抵抗素子221によって実現してもよい。あるいは、十分長くした配線からなる配線抵抗によって実現してもよい。また、図2(b)に示すように、ゲートにバイアス電圧 V_F を印加したトランジスタ222によって実現してもよい。抵抗25および分離抵抗26についても同様に構成すればよい。

[0022] 図3は電圧生成回路24の構成例である。図3の構成は、電圧 V_{REF} 、 V_{SS} の間に設けられた抵抗ラダー241を備えている。図3に示すように、抵抗ラダー241を構成する抵抗同士の接続ノードのいずれかから、基準電圧 V_{ID} が生成される。なお、電圧生成回路24は、その他にも例えばバンドギャップリファレンス回路によって実現してもよい。

[0023] 参照電圧安定化回路 10 の動作について説明する。図 4 は参照電圧安定化回路 10 の基本的な動作を示すタイミングチャートである。AD 変換器 100 は動作周波数 F でもって離散的な動作を行い、周期 $1/F$ で間欠的に電流 I_{out} を急激に引き込む。AD 変換器 100 の電流引き込みによって参照電圧 V_{REF_OUT} が急に低下したとき、ゲート電圧 V_{bn} の低下により、トランジスタ $M1$ を流れる電流 I_{gm} が減少する。これにより、AD 変換器 100 に供給される電流 I_{out} が増加するため、参照電圧 V_{REF_OUT} は急速に回復する。このような動作によって、参照電圧 V_{REF_OUT} を安定させることができる。

[0024] ここで、AD 変換器 100 が電流引き込みを行わない定常時においてトランジスタ $M1$ を流れる電流（動作電流） I_{gm0} には、いわゆる PVT ばらつきに起因したばらつきが生じる可能性がある。本実施形態の構成では、この電流 I_{gm0} のばらつきを抑制することができる。

[0025] いま、 PVT ばらつきに起因して電流 I_{gm0} が増加したとする。すると、分離抵抗 26 における電圧降下 V_{drop1} が増大し、これにより、参照電圧 V_{REF_OUT} が低下する。上述したレプリカ回路 20 により、 $V_{REF_OUT} = V_{RP}$ なので、参照電圧 V_{REF_OUT} の低下に応じて電圧 V_{RP} も低下する。差動増幅器 23 は、非反転入力である電圧 V_{RP} の低下に応じて、出力すなわちトランジスタ $M2$ のゲート電圧 V_{bn0} を下げる。これに伴い、トランジスタ $M1$ のゲート電圧 V_{bn} も低下し、これにより、電流 I_{gm0} が減少する。

[0026] また、 PVT ばらつきに起因して電流 I_{gm0} が減少したとする。すると、分離抵抗 26 における電圧降下 V_{drop1} が減少し、これにより、参照電圧 V_{REF_OUT} が上昇する。上述したレプリカ回路 20 により、 $V_{REF_OUT} = V_{RP}$ なので、参照電圧 V_{REF_OUT} の上昇に応じて電圧 V_{RP} も上昇する。差動増幅器 23 は、非反転入力である電圧 V_{RP} の上昇に応じて、出力すなわちトランジスタ $M2$ のゲート電圧 V_{bn0} を上げる。これに伴い、トランジスタ $M1$ のゲート電圧 V_{bn} も上昇し、これ

により、電流 I_{gm0} が増加する。

[0027] このような動作によって、電流 I_{gm0} のばらつきが抑制される。

[0028] 以上のように本実施形態によると、例えば PVT ばらつきに起因してトランジスタ $M1$ の電流 I_{gm0} が増加したとき、参照電圧 V_{REF_OUT} の低下に応じてノード $N1$ の電圧 V_{RP} が低下し、差動増幅器 23 は、出力すなわちトランジスタ $M2$ のゲート電圧 V_{bn0} を下げる。これに伴い、トランジスタ $M1$ のゲート電圧 V_{bn} も低下し、その電流 I_{gm0} が減少する。一方、トランジスタ $M1$ の電流 I_{gm0} が減少したとき、参照電圧 V_{REF_OUT} の上昇に応じてノード $N1$ の電圧 V_{RP} が上昇し、差動増幅器 23 は、出力すなわちトランジスタ $M2$ のゲート電圧 V_{bn0} を上げる。これに伴い、トランジスタ $M1$ のゲート電圧 V_{bn0} も上昇し、その電流 I_{gm0} が増加する。このような動作によって、トランジスタ $M1$ の電流 I_{gm0} のばらつきが抑制される。したがって、消費電力の増加を抑制できるとともに、参照電圧の安定化能力の低下を抑えることができる。

[0029] また、1個の前段回路に複数の後段回路が接続されるように、参照電圧安定化回路を変形してもよい。図5は変形例に係る参照電圧安定化回路 $10A$ の構成を示す。この変形例では、1個の前段回路 1 に4個の後段回路 $2A$ が共通に接続されている。また、1個の電圧生成回路 24 が4個の後段回路 $2A$ に接続されており、電圧生成回路 24 によって生成された基準電圧 V_{ID} は各後段回路 $2A$ に共通に与えられる。各後段回路 $2A$ は、それぞれ対応する AD 変換器 100 に安定した参照電圧 V_{REF_OUT} を供給する。なお、複数の AD 変換器 100 は、例えば、インターリーブ動作する AD 変換器、共通の動作クロックで共通の入力信号を AD 変換する並列方式の AD 変換器、参照電圧を共有するのみの互いに独立した AD 変換器のいずれであってもよい。

[0030] また、図6は前段回路 1 の他の構成例である。容量素子 111 と寄生インダクタンス 204 との間の共振現象を抑制するために、図6(a)に示すように、容量素子 111 と直列に抵抗素子 112 を接続してもよい。あるいは

、図6(b)に示すように、配線L1、L2において、容量素子111の前に抵抗素子113、114を挿入してもよい。

[0031] <他の構成例1>

図1の構成では、レプリカ回路20が有する抵抗22とトランジスタM2の抵抗比が、分離抵抗26とトランジスタM1の抵抗比と等しくなるように、デバイスパラメタが調整されているものとした。ただし、本実施形態はこれに限られるものではない。

[0032] 図7は参照電圧安定化回路の他の構成例を示す図である。図7の構成では、参照電圧安定化回路10Bの後段回路2Bにおいて、配線L1から分離抵抗26が省かれている。図7の構成でも、図1の構成と同様に、トランジスタM1の電流 I_{gm0} のばらつきを、ノードN1の電圧 V_{RP} を利用して抑えることができる。すなわち、PVTばらつきに起因して電流 I_{gm0} が増加すると、参照電圧 V_{REF_OUT} が低下し、ノードN1の電圧 V_{RP} も低下する。差動増幅器23の動作によってトランジスタM2のゲート電圧 V_{bn0} が下がり、トランジスタM1のゲート電圧 V_{bn} も低下し、電流 I_{gm0} が減少する。一方、PVTばらつきに起因して電流 I_{gm0} が減少すると、参照電圧 V_{REF_OUT} が上昇し、ノードN1の電圧 V_{RP} も上昇する。差動増幅器23の動作によってトランジスタM2のゲート電圧 V_{bn0} が上がり、これに伴い、トランジスタM1のゲート電圧 V_{bn} も上昇し、電流 I_{gm0} が増加する。

[0033] また、分離抵抗26が存在する構成において、抵抗22とトランジスタM2の抵抗比が、分離抵抗26とトランジスタM1の抵抗比と必ずしも等しくなくてもよい。ただし、図1の構成のように、抵抗22とトランジスタM2の抵抗比が、分離抵抗26とトランジスタM1の抵抗比と等しくなるように、デバイスパラメタを調整する方が、PVTばらつきに対して強い回路を実現できる。

[0034] なお、図7の構成では、レプリカ回路20において、抵抗22が配線L1側にあり、トランジスタM2が配線L2側にあるものとしたが、この逆の順

に接続されていてもよい。

[0035] (第2実施形態)

第2実施形態では、参照電圧安定化回路におけるレプリカ回路を、トランジスタと2個の抵抗によって実現する。なお、第1実施形態と共通の構成要素については、適宜説明を省略する場合がある。

[0036] 図8は第2実施形態に係る参照電圧安定化回路の構成を示す。参照電圧安定化回路10Cは、出力ノードOT1, OT2から参照電圧VREFH_OUT, VREFL_OUTを出力する。参照電圧VREFH_OUT, VREFL_OUTは、負荷回路の一例であるAD変換器100に供給される。AD変換器100は、例えば逐次比較型AD変換器である。参照電圧安定化回路10CおよびAD変換器100は、いずれも集積回路300に実装されている。参照電圧安定化回路10Cは、入力側から、例えば外部電源200からI/OピンP1, P2を介して供給された電圧VREFH, VREFLを、配線L1, L2に受ける。配線L1, L2はそれぞれ出力ノードOT1, OT2に接続されている。参照電圧安定化回路10Cは、出力ノードOT1, OT2から、AD変換器100における負荷変動に対して安定した参照電圧VREFH_OUT, VREFL_OUTを出力するように構成されている。

[0037] 後段回路2Cは、配線L1と配線L2との間に接続されたトランジスタM1と、配線L1とトランジスタM1のゲートとの間に接続された容量21とを備えている。トランジスタM1は、ここではN型MOSトランジスタである。トランジスタM1のゲートは配線L1と容量結合されているので、トランジスタM1のゲート電圧Vbnは、参照電圧VREFH_OUTの電圧の変化に応じて変化する。また、後段回路2Cは、配線L1と配線L2との間に設けられたレプリカ回路20Aと、差動増幅器23と、電圧生成回路24とを備えている。レプリカ回路20Aは、直列に接続された抵抗22、トランジスタM2および抵抗31を有しており、トランジスタM2のゲートは、トランジスタM1のゲートと抵抗25を介して接続されている。トランジスタ

タM2は、ここではN型MOSトランジスタである。トランジスタM2のゲート電圧 V_{bn0} は、DC的には、トランジスタM1のゲート電圧 V_{bn} と等しくなる。差動増幅器23は、反転入力に電圧生成回路24によって生成された基準電圧 V_{ID} を受け、非反転入力に抵抗22とトランジスタM2との間のノードN1に接続されている。差動増幅器23の出力は、トランジスタM2のゲートに与えられる。

[0038] 後段回路2Cはさらに、配線L1において、レプリカ回路20AとトランジスタM1との間に設けられた、分離抵抗26を備え、また、配線L2において、レプリカ回路20AとトランジスタM1との間に設けられた、分離抵抗32を備えている。

[0039] 分離抵抗26における電圧降下を V_{drop1} とし、レプリカ回路20Aが有する抵抗22における電圧降下を V_{drop2} とする。また、分離抵抗32における電圧降下を V_{drop3} とし、レプリカ回路20Aが有する抵抗31における電圧降下を V_{drop4} とする。ここでは、 $V_{drop1} = V_{drop2}$ 、 $V_{drop3} = V_{drop4}$ となるように、抵抗22、トランジスタM2、および抵抗31のデバイスパラメタが調整されている。具体的には例えば、抵抗22、トランジスタM2、抵抗31の抵抗比が、分離抵抗26、トランジスタM1、分離抵抗32の抵抗比と等しくなるように、デバイスパラメタが調整されている。

[0040] 本実施形態でも、第1実施形態と同様に、AD変換器100が電流引き込みを行わない定常時においてトランジスタM1を流れる電流（動作電流） I_{gm0} のばらつきを、ノードN1の電圧 V_{RP} を利用して抑えることができる。すなわち、PVTばらつきに起因して電流 I_{gm0} が増加すると、参照電圧 V_{REFH_OUT} 、 V_{REFL_OUT} の差電圧が低下し、この差電圧の低下に応じてノードN1の電圧 V_{RP} も低下する。差動増幅器23は、非反転入力である電圧 V_{RP} の低下に応じて、出力すなわちトランジスタM2のゲート電圧 V_{bn0} を下げる。これに伴い、トランジスタM1のゲート電圧 V_{bn} も低下し、電流 I_{gm0} が減少する。一方、PVTばらつ

きに起因して電流 I_{gm0} が減少すると、参照電圧 V_{REFH_OUT} 、 V_{REFL_OUT} の差電圧が上昇し、この差電圧の上昇に応じてノード $N1$ の電圧 V_{RP} も上昇する。差動増幅器 23 は、非反転入力である電圧 V_{RP} の上昇に応じて、出力すなわちトランジスタ $M2$ のゲート電圧 V_{bn0} を上げる。これに伴い、トランジスタ $M1$ のゲート電圧 V_{bn} も上昇し、電流 I_{gm0} が増加する。このような動作によって、電流 I_{gm0} のばらつきが抑制される。

[0041] なお、図 8 の構成において、抵抗 22、トランジスタ $M2$ 、抵抗 31 の抵抗比が、分離抵抗 26、トランジスタ $M1$ 、分離抵抗 32 の抵抗比と等しくなるように、デバイスパラメタが調整されているものとした。ただし、本実施形態はこれに限られるものではない。たとえば、分離抵抗 26、32 の一方または両方を省いてもかまわない。あるいは、分離抵抗 26、32 が存在する構成において、抵抗 22、トランジスタ $M2$ 、抵抗 31 の抵抗比が、分離抵抗 26、トランジスタ $M1$ 、分離抵抗 32 の抵抗比と必ずしも等しくなくてもよい。

[0042] (第 3 実施形態)

第 3 実施形態では、参照電圧をより速やかに回復させるためのアシスト回路を設ける。なお、第 1 実施形態と共通の構成要素については、適宜説明を省略する場合がある。

[0043] 図 9 は第 3 実施形態に係る参照電圧安定化回路の構成を示す。参照電圧安定化回路 10D において、後段回路 2D は、参照電圧 V_{REF_OUT} をより速やかに回復させるためのアシスト回路 40 が設けられている。その他の構成は図 1 の後段回路 2 と同様である。

[0044] アシスト回路 40 は、配線 $L1$ と配線 $L2$ との間に直列に接続された、抵抗 41 および容量 42 を備えている。アシスト回路 40 はトランジスタ $M1$ よりも出力側に設けられている。抵抗 41 のインピーダンスは、AD変換器 100 の動作周波数 F における容量 42 のインピーダンスが無視できる程度に十分大きく設定されている。すなわち、抵抗 41 の抵抗値を $R0$ 、容量 4

2の容量値をC0としたとき、次の式(1)の関係を満たす。なお、抵抗値R0は、動作周波数Fにおける容量42のインピーダンスの10倍以上であることが好ましい。

$$R0 \gg 1 / (2\pi \times F \times C0) \quad \dots (1)$$

[0045] ここで、参照電圧VREF__OUTが急に低下したとき、アシスト回路40は、容量42に蓄積されていた電荷を電流としてAD変換器100に供給する。このとき、アシスト回路40は、抵抗性のインピーダンスが支配的であるため、供給する電流量は、抵抗41の抵抗値R0と参照電圧VREF__OUTの電圧値によって決まる。このため、アシスト回路40は、参照電圧VREF__OUTが回復するまで大きな電流を供給し続ける。また、このとき、容量42の抵抗側の端子は、参照電圧VREF__OUTよりも高い電圧を維持しているため、配線L1から容量42に電流が供給されることはない。

[0046] このような動作によって、アシスト回路40は、低下した参照電圧VREF__OUTの回復を促進させることができる。また、AD変換器100が電流引き込みを行わない定常時では、容量42によって直流電流が遮断されるので、不要な貫通電流は生じない。

[0047] また、集積回路300に内蔵されたレギュレータ回路から参照電圧安定化回路10に電圧VREF、VSSを与える構成の場合には、アシスト回路をレギュレータ回路に設けてもかまわない。

[0048] 図10はレギュレータ回路にアシスト回路を設けた構成例を示す。なお、図10では、参照電圧安定化回路10において前段回路1の図示を省略している。レギュレータ回路210は、電圧生成回路55によって生成された電圧を正側入力に受けるオペアンプ56と、電源VDDと出力端子VOとの間に接続されており、オペアンプ56の出力をゲートに受ける出力トランジスタ(ソースフォロア構造)M3と、出力トランジスタM3とグランドVSSとの間に接続された負荷抵抗57とを備える。出力端子VOは、オペアンプ56の負側入力にフィードバック接続される。レギュレータ回路210は、

さらに、上述した構成と同様のアシスト回路50を備えている。アシスト回路50は、出力ノードVOとグラウンドVSSとの間に直列に接続された、抵抗51および容量52を備えている。抵抗51のインピーダンスは、AD変換器100の動作周波数Fにおける容量52のインピーダンスが無視できる程度に十分大きく設定されている。

[0049] この構成においても、アシスト回路50は、低下した参照電圧VREF__OUTの回復を促進させることができる。また、AD変換器100が電流引き込みを行わない定常時では、容量52によって直流電流が遮断されるので、不要な貫通電流も生じない。

[0050] なお、図1の構成以外の構成にも、本実施形態で示したようにアシスト回路を設けてもよい。

[0051] 上述した説明では、便宜上、AD変換器100は逐次比較型AD変換器であるとしたが、これに限定されない。AD変換器100は、パイプライン型AD変換器、フラッシュ型AD変換器、デルタシグマAD変換器など、クロック信号で離散的に動作する別タイプのAD変換器であってもよい。また、参照電圧を受ける負荷回路はAD変換器100に限られず、参照電圧を参照して動作する回路であればどのようなものであってもよい。

産業上の利用可能性

[0052] 本開示によると、参照電圧安定化回路において、参照電圧のばらつきを抑制しつつ、動作電流のばらつきも抑制できるので、例えば、集積回路の消費電力の増加を抑え、AD変換器の性能を高めるのに有用である。

符号の説明

- [0053] 1 前段回路
2, 2A, 2B, 2C, 2D 後段回路
10, 10A, 10B, 10C, 10D 参照電圧安定化回路
20, 20A レプリカ回路
21 容量
22 抵抗

2 3 差動増幅器
2 4 電圧生成回路
2 5 第 2 抵抗
2 6 分離抵抗
3 1 第 2 抵抗
3 2 第 2 分離抵抗
4 0 アシスト回路
4 1 第 2 抵抗
4 2 第 2 容量
5 0 アシスト回路
5 1 第 2 抵抗
5 2 第 2 抵抗
2 1 0 レギュレータ回路
3 0 0 集積回路
1 1 1 第 2 容量
L 1 第 1 配線
L 2 第 2 配線
M 1 第 1 トランジスタ
M 2 第 2 トランジスタ
N 1 第 1 ノード
O T 1, O T 2 出力ノード

請求の範囲

[請求項1]

参照電圧を出力する第1および第2出力ノードと、

前記第1および第2出力ノードとそれぞれ接続されており、入力側から、前記参照電圧の元になる元電圧が与えられる第1および第2配線と、

前記第1配線と前記第2配線との間に接続された第1トランジスタと、

前記第1配線と前記第1トランジスタのゲートとの間に接続された容量と、

前記第1配線と前記第2配線との間に設けられ、直列に接続された抵抗および第2トランジスタを有しており、前記第2トランジスタのゲートが前記第1トランジスタのゲートと接続されている、レプリカ回路と、

第1入力が入記抵抗と前記第2トランジスタとの間の第1ノードに接続され、第2入力基準電圧を受け、出力が入記第2トランジスタのゲートに接続された差動増幅器とを備えたことを特徴とする参照電圧安定化回路。

[請求項2]

請求項1記載の参照電圧安定化回路において、

前記第1配線において、前記レプリカ回路と前記第1トランジスタとの間に設けられた、分離抵抗を備えた

ことを特徴とする参照電圧安定化回路。

[請求項3]

請求項2記載の参照電圧安定化回路において、

前記レプリカ回路が有する前記抵抗と前記第2トランジスタの抵抗比が、前記分離抵抗と前記第1トランジスタの抵抗比と一致するように、構成されている

ことを特徴とする参照電圧安定化回路。

[請求項4]

請求項2記載の参照電圧安定化回路において、

前記第2配線において、前記レプリカ回路と前記第1トランジスタ

との間に設けられた、第2分離抵抗を備えたことを特徴とする参照電圧安定化回路。

[請求項5] 請求項1記載の参照電圧安定化回路において、
前記レプリカ回路において、前記抵抗および前記第2トランジスタは、前記抵抗が前記第1配線側にあり、前記第2トランジスタが前記第2配線側にあるように、設けられていることを特徴とする参照電圧安定化回路。

[請求項6] 請求項1記載の参照電圧安定化回路において、
前記レプリカ回路は、前記第2トランジスタと直列に、前記抵抗の反対側に接続された第2抵抗を備えることを特徴とする参照電圧安定化回路。

[請求項7] 請求項1記載の参照電圧安定化回路において、
前記第2トランジスタのゲートは、前記第1トランジスタのゲートと、第2抵抗を介して接続されていることを特徴とする参照電圧安定化回路。

[請求項8] 請求項1記載の参照電圧安定化回路において、
前記基準電圧を生成する電圧生成回路を備えたことを特徴とする参照電圧安定化回路。

[請求項9] 請求項1記載の参照電圧安定化回路において、
前記第1配線と前記第2配線との間に接続された第2容量を有する、前段回路を備えたことを特徴とする参照電圧安定化回路。

[請求項10] 請求項9記載の参照電圧安定化回路において
前記第1トランジスタ、前記容量、前記レプリカ回路、および、前記差動増幅器を含む後段回路が、複数、設けられており、
前記複数の後段回路は、前記前段回路に、共通に接続されていることを特徴とする参照電圧安定化回路。

[請求項11] 請求項10記載の参照電圧安定化回路において、

前記基準電圧を生成する電圧生成回路を備え、

前記電圧生成回路によって生成された基準電圧は、前記複数の後段回路に共通に与えられる

ことを特徴とする参照電圧安定化回路。

[請求項12]

請求項1記載の参照電圧安定化回路において、

前記第1トランジスタよりも出力側において、前記第1配線と前記第2配線との間に設けられ、直列に接続された第2抵抗および第2容量を有する、アシスト回路を備えた

ことを特徴とする参照電圧安定化回路。

[請求項13]

請求項1記載の参照電圧安定化回路において、

前記元電圧を生成するレギュレータ回路を備え、

前記レギュレータ回路は

前記元電圧を供給する配線間に設けられ、直列に接続された第2抵抗および第2容量を有する、アシスト回路を備えた

ことを特徴とする参照電圧安定化回路。

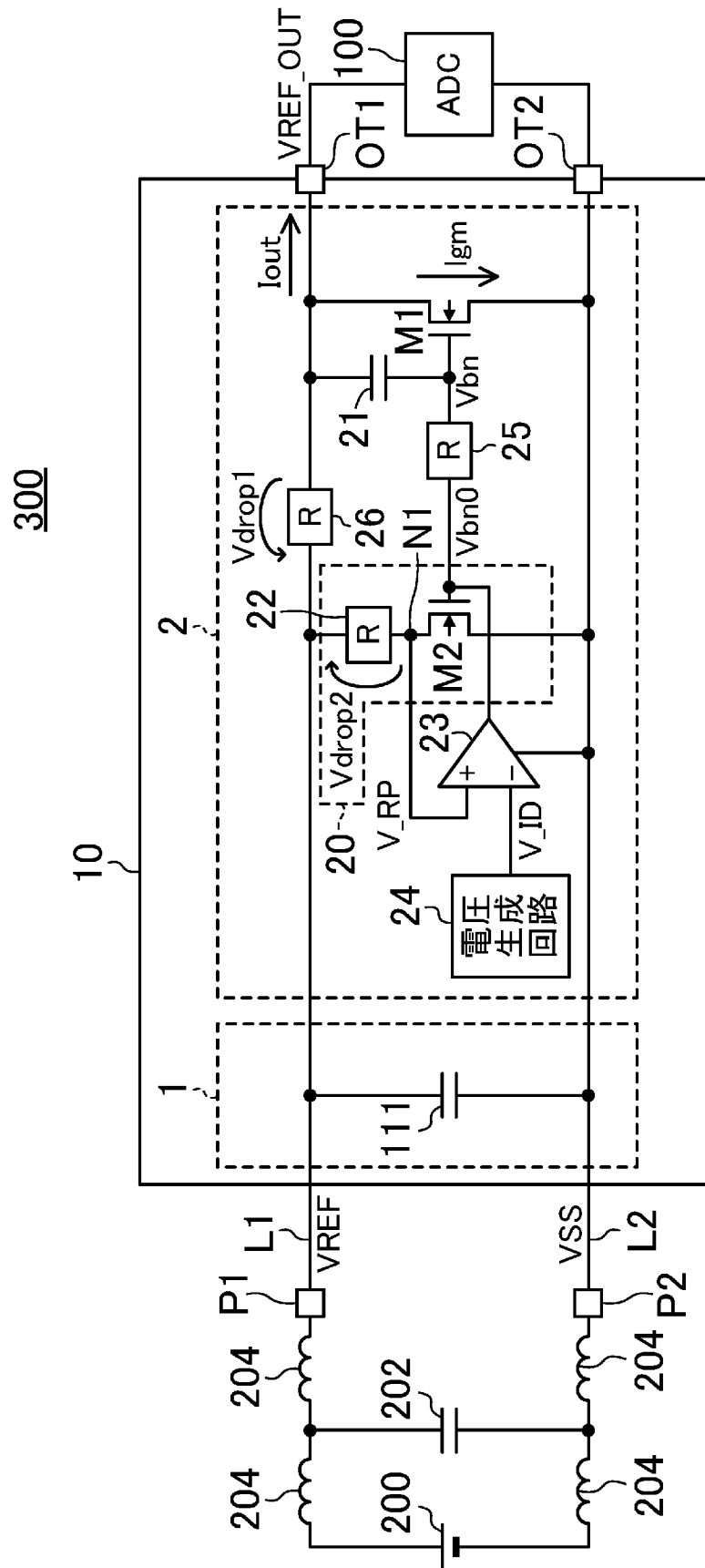
[請求項14]

請求項1記載の参照電圧安定化回路と、

前記参照電圧安定化回路から出力された参照電圧を受けて動作するA/D変換回路とを備えた

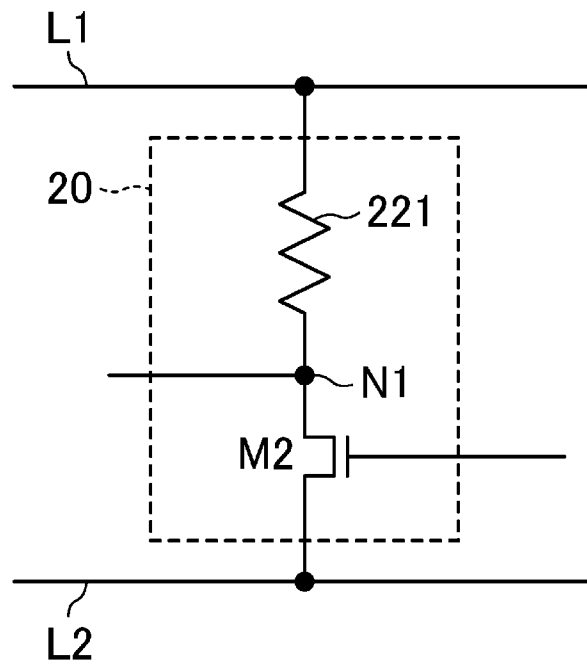
集積回路。

[図1]

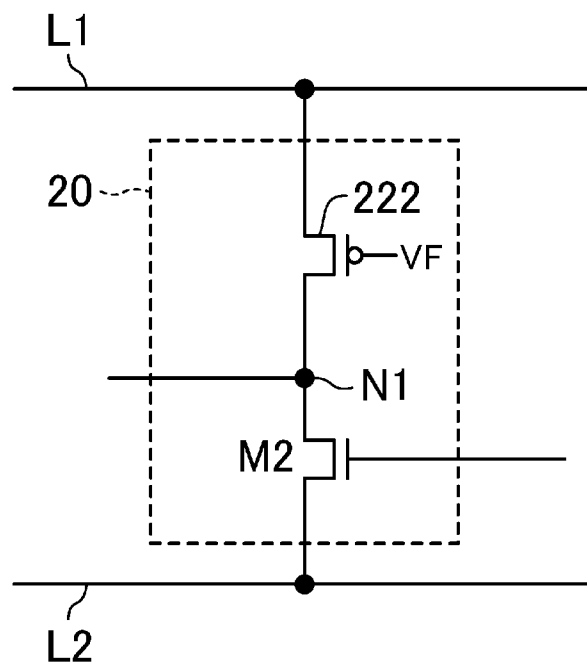


[図2]

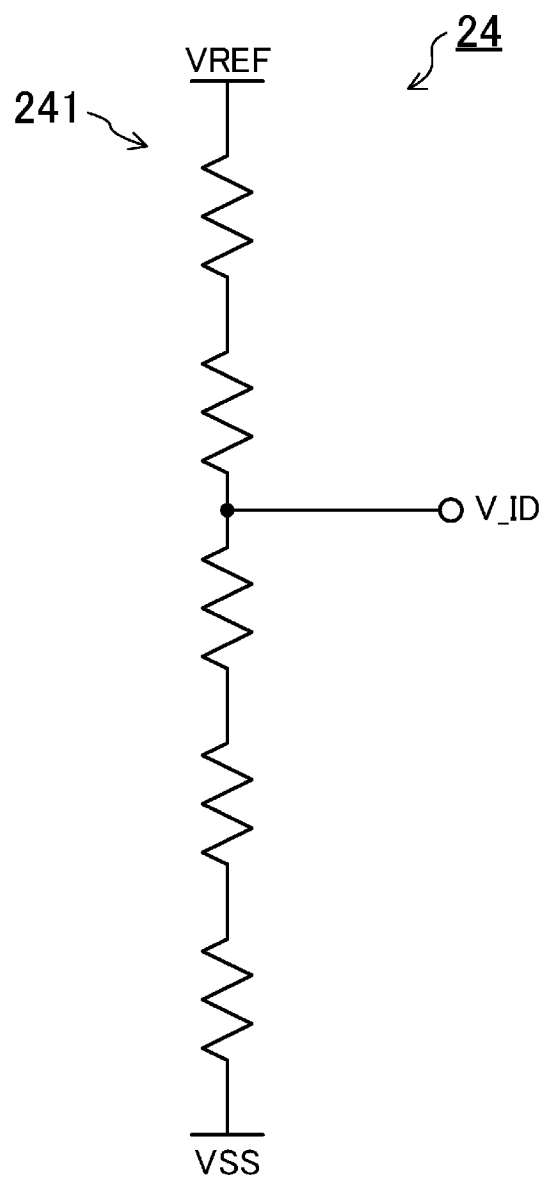
(a)



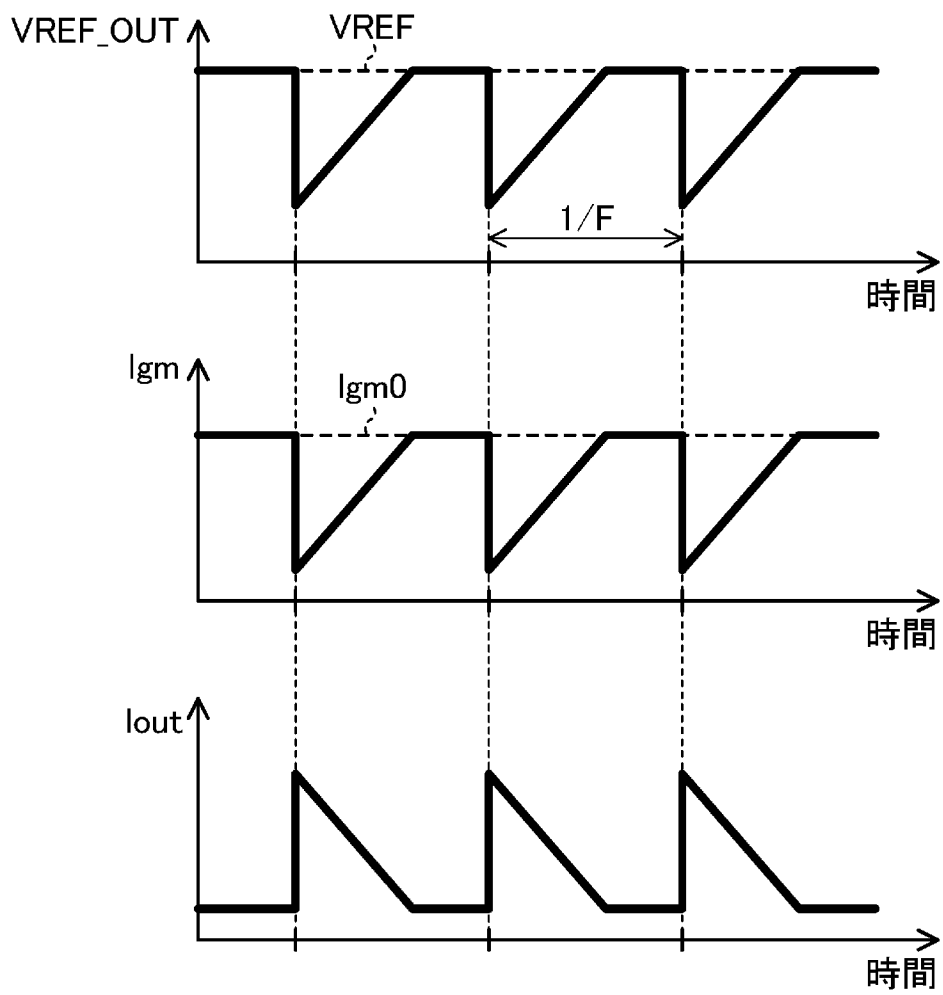
(b)

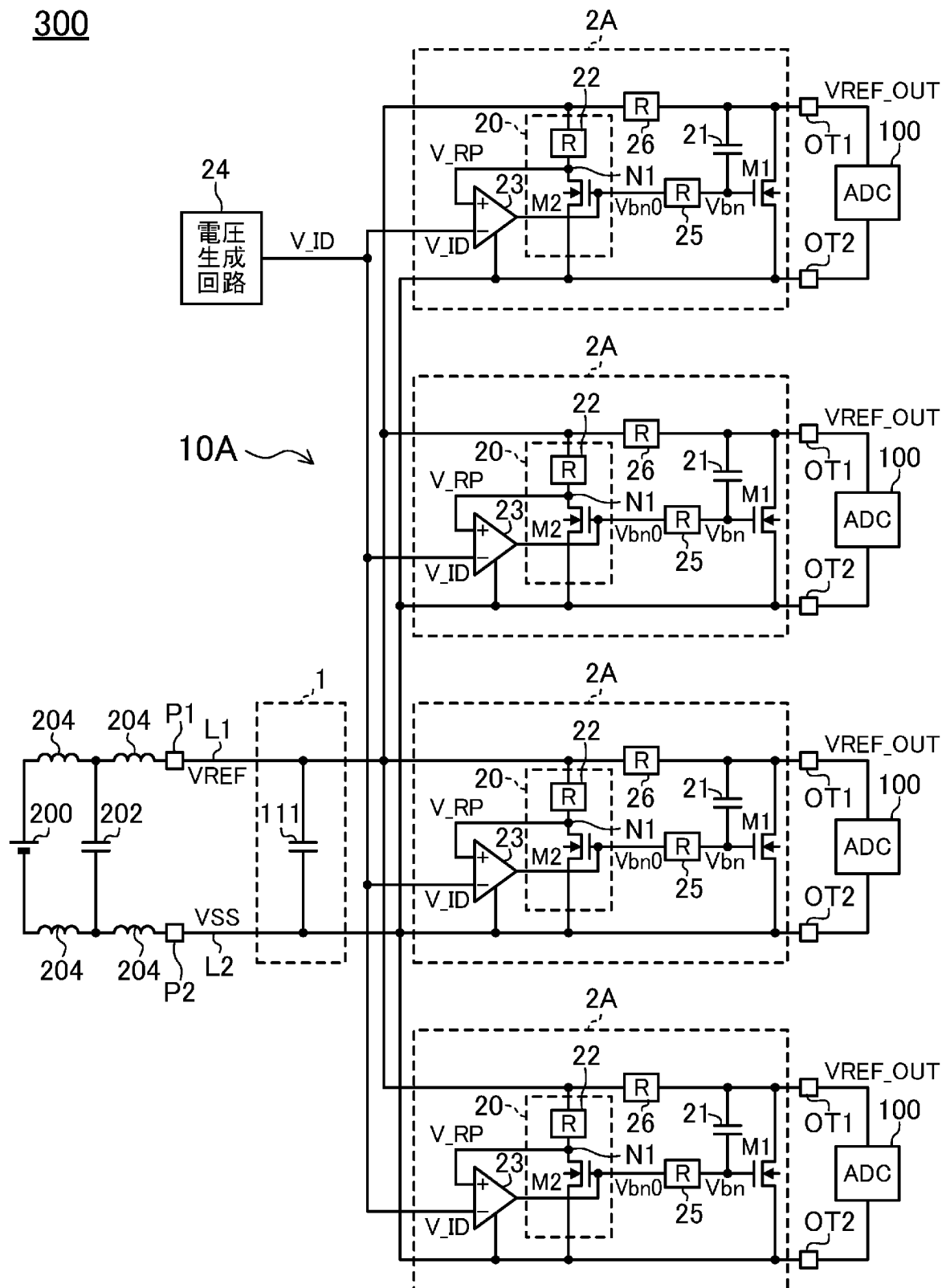


[図3]



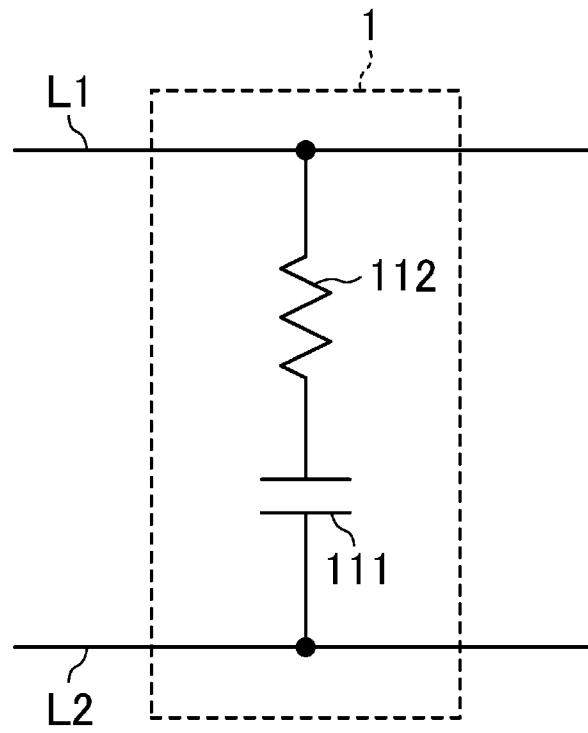
[図4]



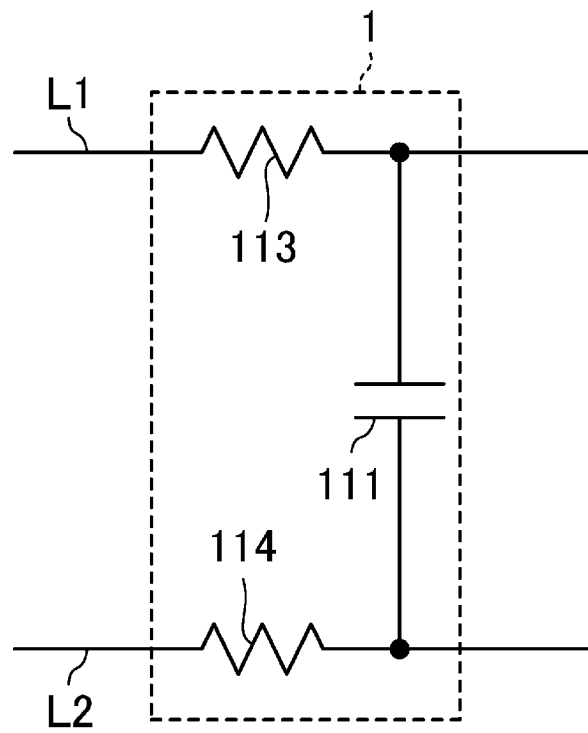
300

[図6]

(a)



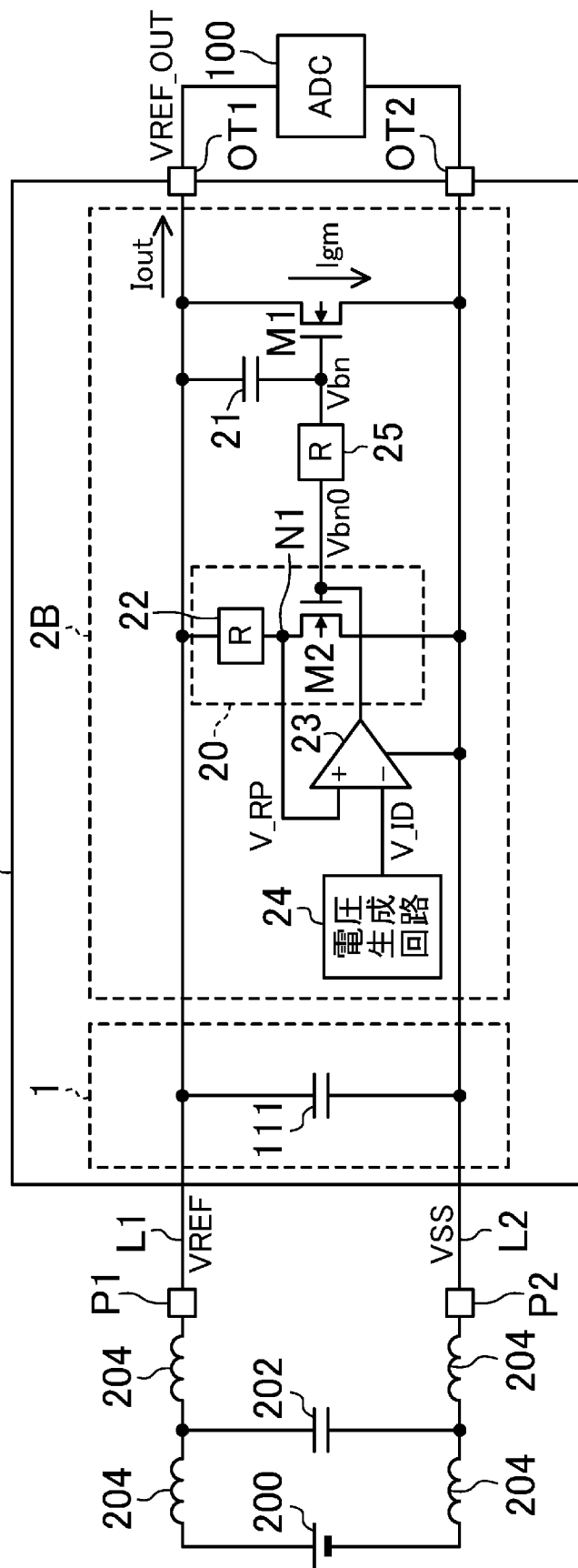
(b)



[図7]

300

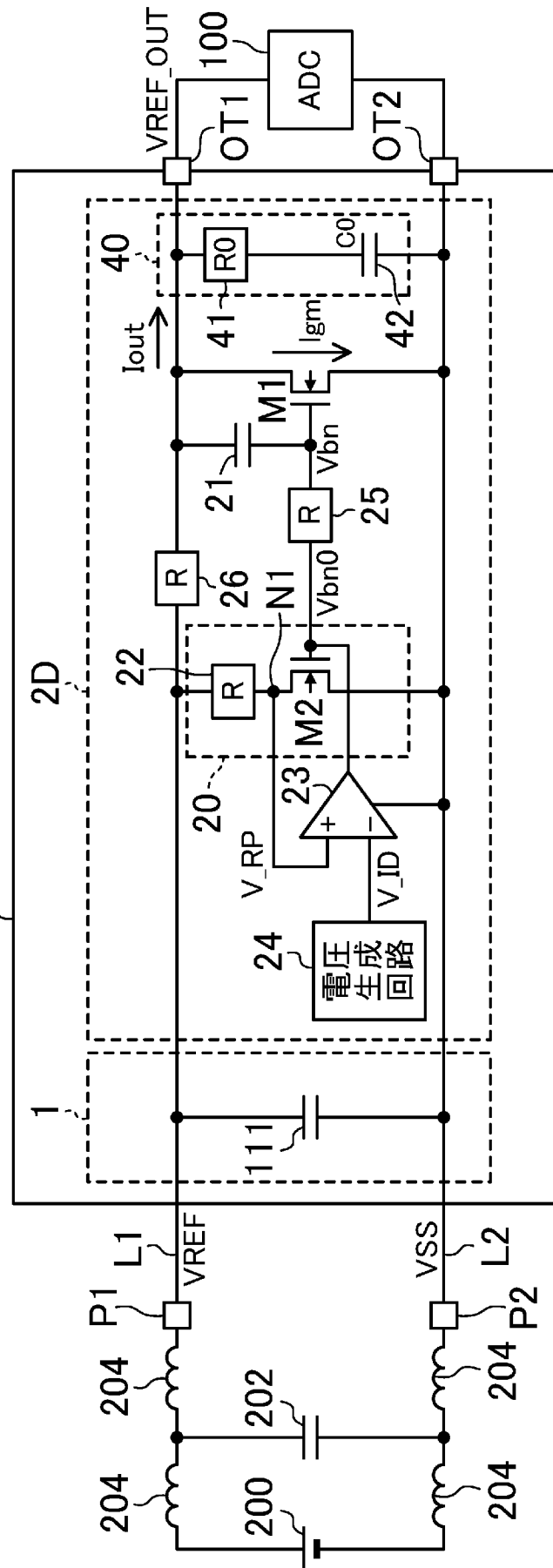
10B



[図9]

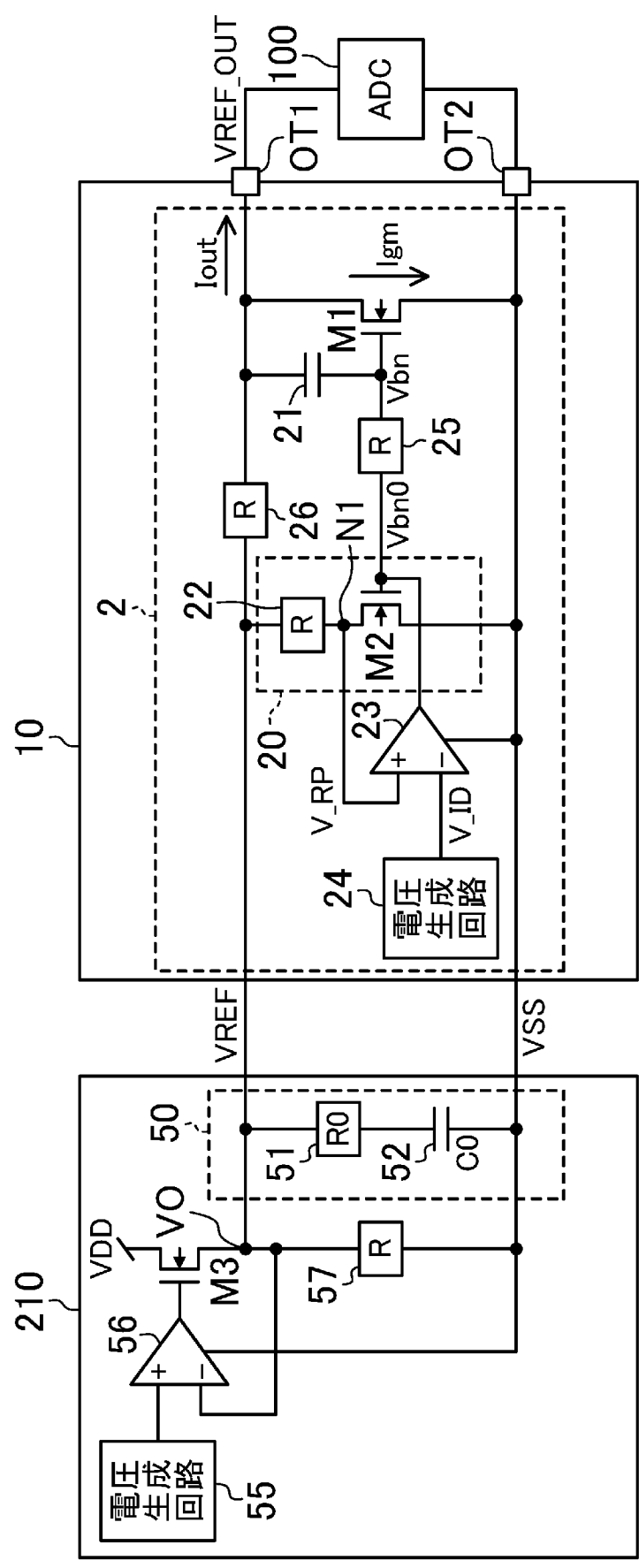
300

10D



[図10]

300



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006354

A. CLASSIFICATION OF SUBJECT MATTER

H03H11/04(2006.01)i, H03M1/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H11/04, H03M1/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2012/157155 A1 (Panasonic Corp.), 22 November 2012 (22.11.2012), paragraphs [0007], [0021] to [0023], [0033]; fig. 1, 3, 12 & US 9019006 B2 column 2, lines 30 to 42; column 5, lines 24 to 59; column 7, line 58 to column 8, line 4 & CN 103548262 A	1-2, 5-14 3-4
Y A	JP 51-73859 A (Fujitsu Ltd.), 26 June 1976 (26.06.1976), page 2, upper right column, line 18 to lower left column, line 8; fig. 3 (Family: none)	1-2, 5-14 3-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 April 2017 (20.04.17)

Date of mailing of the international search report
09 May 2017 (09.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006354

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 5-175840 A (Oki Electric Industry Co., Ltd.), 13 July 1993 (13.07.1993), paragraphs [0004] to [0005]; fig. 3 (Family: none)	2 3-4
Y A	JP 2014-57135 A (Renesas Electronics Corp.), 27 March 2014 (27.03.2014), paragraphs [0064] to [0066]; fig. 7 (Family: none)	6 3-4
Y A	JP 4-212512 A (Koninklijke Philips Electronics N.V.), 04 August 1992 (04.08.1992), paragraphs [0027], [0029] to [0030]; fig. 6 & US 5049764 A column 5, lines 50 to 56; column 5, line 63 to column 6, line 13 & EP 439230 A2	7 3-4
Y A	JP 7-115367 A (Hitachi, Ltd.), 02 May 1995 (02.05.1995), paragraph [0010]; fig. 1 (Family: none)	11 3-4
Y A	JP 2001-327161 A (Nichicon Corp.), 22 November 2001 (22.11.2001), paragraph [0007]; fig. 1 (Family: none)	12-13 3-4

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H11/04(2006.01)i, H03M1/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H11/04, H03M1/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2012/157155 A1（パナソニック株式会社）2012.11.22, [0007], [0021]-[0023], [0033], 第1図、第3図、第12図 & US 9019006 B2, 第2欄第30行-第42行, 第5欄第24行-第59行, 第7欄第58行-第8欄第4行 & CN 103548262 A	1-2, 5-14 3-4
Y A	JP 51-73859 A（富士通株式会社）1976.06.26, 第2頁右上欄第18行-左下欄第8行, 第3図（ファミリーなし）	1-2, 5-14 3-4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

20.04.2017

国際調査報告の発送日

09.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 正明

5W

8388

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 5-175840 A (沖電気工業株式会社) 1993. 07. 13, 段落 [0004]-[0005], 第 3 図 (ファミリーなし)	2 3-4
Y A	JP 2014-57135 A (ルネサスエレクトロニクス株式会社) 2014. 03. 27, 段落[0064]-[0066], 第 7 図 (ファミリーなし)	6 3-4
Y A	JP 4-212512 A (コーニンクレッカ フィリップス エレクトロニク スエヌ ヴィ) 1992. 08. 04, 段落[0027], [0029]-[0030], 第 6 図 & US 5049764 A, 第 5 欄第 50 行-第 56 行, 第 5 欄第 63 行-第 6 欄第 13 行 & EP 439230 A2	7 3-4
Y A	JP 7-115367 A (株式会社日立製作所) 1995. 05. 02, 段落[0010], 第 1 図 (ファミリーなし)	11 3-4
Y A	JP 2001-327161 A (ニチコン株式会社) 2001. 11. 22, 段落[0007], 第 1 図 (ファミリーなし)	12-13 3-4