

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(10) 国際公開番号  
WO 2012/001960 A1

(43) 国際公開日  
2012年1月5日 (05.01.2012)

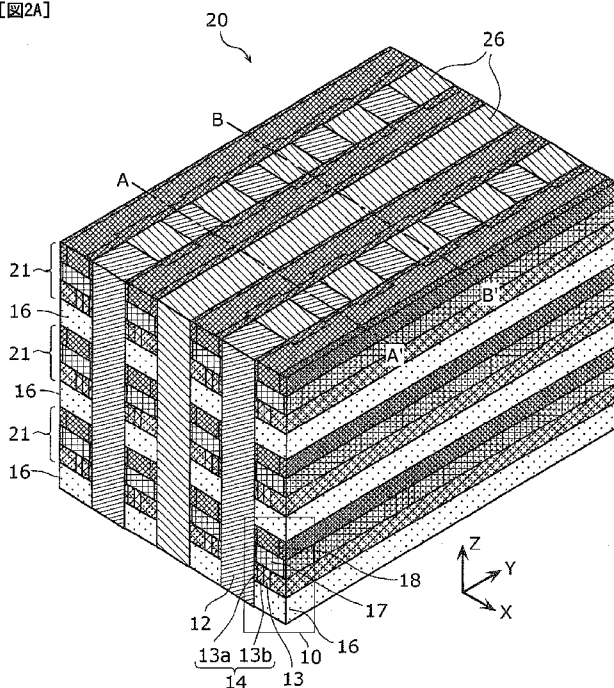
- (51) 国際特許分類 :  
H01L 27/105 (2006.01) H01L 45/00 (2006.01)  
G11C 13/00 (2006.01) H01L 49/00 (2006.01)
- (21) 国際出願番号 : PCT/JP201 1/003697
- (22) 国際出願日 : 2011年6月29日 (29.06.2011)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ :  
特願 2010-15 1400 2010 年 7 月 1 日 (01.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について) : パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者 ; および
- (75) 発明者 / 出願人 (米国についてのみ) : 魏志強 (WEI, Zhiqiang) ; 木剛 (TAKAGI, Takeshi) ; 飯島光輝 (IIJIMA, Mitsuteru).
- (74) 代理人 : 新居 広守 (Nil, Hiromori); 〒532001 1 大阪府大阪市淀川区西中島5丁目3番10号タ

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

- (54) Title: NONVOLATILE MEMORY CELL, NONVOLATILE MEMORY CELL ARRAY, AND METHOD FOR MANUFACTURING THE NONVOLATILE MEMORY CELL ARRAY
- (54) 発明の名称 : 不揮発性メモリセル、不揮発性メモリセルアレイ、およびその製造方法

[図2A]



(57) Abstract: Disclosed is a nonvolatile memory cell array which is provided with: a laminated structure wherein interlayer insulating films (16) and laminated bodies (21), each of which is composed of a first conductive layer (13), a semiconductor layer (17) and a second conductive layer (18), are alternately laminated in parallel to a substrate; a plurality of columnar electrodes (12) which are disposed by penetrating the laminated structure in the laminating direction; and variable resistance layers (14), each of which is provided between each columnar electrode (12) and each first conductive layer (13), and which has a resistance value reversibly changed on the basis of application of electrical signals. The variable resistance layer (14) is formed by oxidizing a part of the first conductive layer (13). In one oxidizing step, the variable resistance layer (14) is formed, and at the same time, an insulating film for electrically isolating the semiconductor layer (17) and the second conductive layer (18) from the columnar electrode (12) is formed.

(57) 要約:

[続葉有]

WO 2012/001960 A1

添付公開書類：

- 国際調査報告 (条約第 21 条(3))

---

基板に対して平行に、第 1 の導電層 (13) と、半導体層 (17) と第 2 の導電層 (18) からなる積層体 (21) と層間絶縁膜 (16) とを交互に積層した積層構造と、前記積層構造を積層方向に貫いて配置された複数の柱状電極 (12) と、柱状電極 (12) と第 1 の導電層 (13) との間に電気的信号の印加に基づいて可逆的に抵抗値が変化する抵抗変化層 (14) とを備え、抵抗変化層 (14) は第 1 の導電層 (13) の一部を酸化して形成される。1 つの酸化工程で、抵抗変化層 (14) を形成すると同時に、半導体層 (17)、第 2 の導電層 (18) をそれぞれ柱状電極 (12) から電気的に分離するための絶縁膜を形成する。

## 明 細 書

発明の名称 :

不揮発性メモリセル、不揮発性メモリセルアレイ、およびその製造方法  
技術分野

[0001] 本発明は、電氣的信号の印加により抵抗値が可逆的に変化する抵抗変化素子と双方向性の整流特性をもつダイオード素子を備える不揮発性メモリセル、当該不揮発性メモリセルを複数配置してなる不揮発性メモリセルアレイ、および当該不揮発性メモリセルアレイの製造方法に関する。

### 背景技術

[0002] 近年、電気機器におけるデジタル技術の進展に伴い、音楽、画像、情報等のデータを保存するために、大容量で、かつ不揮発性のメモリデバイスに対する要求が高まってきている。こうした要求に応える1つの方策として、与えられた電氣的パルスによって抵抗値が変化し、その状態を保持しつづける抵抗変化層をメモリセルに用いた不揮発性メモリデバイス（以下、ReRAMとよぶ）が注目されている。これはメモリセルとしての構成が比較的簡単で高密度化が容易であることや、従来の半導体プロセスとの整合性をとりやすい等の特徴を有していることによる。

[0003] このようなReRAMにおいては、メモリセルを微細化しても、設計した抵抗値の変化を安定かつ再現性よく生じさせることができる材料、およびその作製プロセスの確立が要求される。このような材料と作製プロセスの研究開発が活発に行われている。

[0004] このReRAMにおいて、より高密度な集積化が可能な構造として、積層構造のメモリセルアレイが提案されている。

[0005] 図16に、特許文献1及び2に記載された従来の積層構造のメモリセルアレイ、1つのメモリセルの拡大図、および当該メモリセルの等価回路図を示す。このメモリセルアレイは、複数の導電層（N型ポリシリコン）1511と複数の層間絶縁膜1512が交互に積層された積層体と、積層体に対して

垂直に交わるように形成された円筒状の抵抗変化層 15 15 と、抵抗変化層 15 15 の内周に接して形成された円筒状の金属層 15 16 と、円筒状の金属層 15 16 の内周に接して形成された柱状電極 15 17 と、円筒状の抵抗変化層 15 15 とN型ポリシリコン層 15 11 間に介在してN型ポリシリコン層 15 11 と接するP型ポリシリコン層 15 13、P型ポリシリコン層 15 13 と接する金属シリサイド層 15 14 で構成される。

[0006] このメモリセルアレイを構成する1つのメモリセルにおいて、金属層 15 16、抵抗変化層 15 15、金属シリサイド層 15 14 の積層体が抵抗変化素子として機能し、P型ポリシリコン層 15 13 とN型ポリシリコン層 15 11 との積層体がPNダイオードとして機能する。

[0007] また、図 17 に、特許文献 3 に記載された従来の積層構造のメモリセルアレイを示す。このメモリセルアレイは、複数の導電層 16 11 と複数の層間絶縁膜 16 12 が交互に積層された積層体と、積層体に対して垂直に交わるように形成された円筒状の抵抗変化層 16 13 と、抵抗変化層 16 13 の内周に接して形成された円筒状の第 1 半導体層 16 14 と、第 1 半導体層 16 14 内周に接して形成された円筒状の第 2 半導体層 16 15 と、第 2 半導体層 16 15 の内周に接して形成された柱状電極 16 16 で構成される。

## 先行技術文献

### 特許文献

- [0008] 特許文献 1 :特開 2008 \_ 18 19 7 8 号公報  
特許文献 2 :特開 2009 \_ 13 5 3 2 8 号公報  
特許文献 3 :特開 2009 \_ 13 5 4 8 9 号公報

## 発明の概要

### 発明が解決しようとする課題

[0009] しかしながら、特許文献 1、2 の構成では、コンタクトホール中に各種の材料を埋め込む工程が、金属シリサイド層 15 14、抵抗変化層 15 15、金属層 15 16、および柱状電極 15 17 の計 4 回必要となる。特許文献 3

の構成では、コンタクトホール中に各種の材料を埋め込む工程が、抵抗変化層 1613、第1半導体層 1614、第2半導体層 1615、および柱状電極 1616の計4回必要となり、プロセスが複雑となる-という課題を有している。

[001 0] 本発明は、上記課題を解決し、プロセスが簡素で、安定したメモリ性能を有する不揮発性メモリセル、不揮発性メモリセルアレイ、およびその製造方法を提供することを目的とするものである。

### 課題を解決するための手段

[001 1] 前記従来課題を解決するために、本発明の1つの態様に係る不揮発性メモリセルは、基板主面に対して垂直に配置された柱状電極と、前記基板主面に対して平行に配置された第1の導電層と、前記第1の導電層に積層方向に接して配置された半導体層と、前記半導体層に積層方向に接して配置された第2の導電層と、前記柱状電極と前記第1の導電層との間に設けられ、かつ電気的信号の印加に基づいて可逆的に抵抗値が変化する抵抗変化層と、前記柱状電極と前記半導体層との間に設けられ、前記半導体層と同じ母体元素を有する酸化物絶縁層と、前記柱状電極と前記第2の導電層との間に設けられ、絶縁層と、を備える。

[001 2] ここで、前記半導体層は、前記第1の導電層の上に配置され、前記第2の導電層は、前記半導体層の上に配置され、前記抵抗変化層は、前記第1の導電層と同じ母体元素を有している、としてもよい。

[001 3] また、前記抵抗変化層は、第1の金属酸化物を有する第1の抵抗変化層と、酸素不足度が前記第1の金属酸化物の酸素不足度よりも大きい第2の金属酸化物を有する第2の抵抗変化層とが前記基板主面に対して平行な方向に積層された構造である、としてもよい。

[0014] このような構成において、柱状電極、抵抗変化層、第1の導電層は基板の主面と平行な方向に抵抗変化素子を構成し、第1の導電層、半導体層、第2の導電層は基板の主面と垂直な方向に双方向性の整流特性をもつダイオード素子を構成し、その結果、抵抗変化素子と前記ダイオード素子とが直列に接

続された不揮発性メモリセルが構成される。

[001 5] 本発明の 1 つの態様に係る不揮発性メモリセルアレイは、基板主面に対し垂直に配置された複数の柱状電極と、前記基板主面に対して平行に配置された第 1 の導電層と、前記第 1 の導電層に積層方向に接して配置された半導体層と、前記半導体層に積層方向に接して配置された第 2 の導電層とからなる複数積層体と、複数の層間絶縁膜とが、交互に積層された積層構造と、前記柱状電極と前記各第 1 の導電層との間に設けられ、かつ電氣的信号の印加に基づいて可逆的に抵抗値が変化する抵抗変化層と、前記柱状電極と前記各半導体層との間に設けられ、前記半導体層と同じ母体元素を有する酸化物絶縁層と、前記柱状電極と前記各第 2 の導電層との間に設けられた絶縁層と、を備える。

[001 6] 本発明の 1 つの態様に係る不揮発性メモリセルアレイの製造方法は、基板上に、層間絶縁膜、第 1 の導電層、半導体層、及び第 2 の導電層を前記基板の主面に平行に積層して積層構造を形成し、さらに前記積層構造と同等の積層構造を前記基板の主面に平行に 1 つ以上形成する工程 (a) と、前記積層構造を積層方向に貫通する帯状溝を形成する工程 (b) と、前記帯状溝中に露出する前記積層構造の表層を酸化させることにより、前記第 1 の導電層の表層に、与えられる電氣的信号に基づいて可逆的に抵抗値が変化する抵抗変化層を形成すると同時に、前記半導体層、前記第 2 の導電層の表層にそれぞれ絶縁膜を形成する工程 (c) と、前記帯状溝にポリシリコンを埋め込み、前記ポリシリコンの一部をエッチングにて除去することにより、コンタクトホールを形成する工程 (d) と、前記コンタクトホールに導電性材料を埋め込むことにより、前記コンタクトホール中に前記抵抗変化層に接続する柱状電極を形成する工程 (e) と、前記帯状溝内の前記ポリシリコンの残部を除去する工程 (f) と、前記帯状溝内の前記ポリシリコンの残部が除去されてできた空間に露出した前記第 1 の導電層を酸化することにより絶縁膜を形成する工程 (g) と、を含む。

[001 7] 本発明の 1 つの態様に係る不揮発性メモリセルアレイの製造方法は、基板

上に、層間絶縁膜、第1の導電層、半導体層、及び第2の導電層を前記基板の主面に平行に積層して積層構造を形成し、さらに前記積層構造と同等の積層構造を前記基板の主面に平行に1つ以上形成する工程 (a) と、前記複数の積層構造を積層方向に貫通する複数の帯状溝を形成する工程 (b) と、前記複数の帯状溝の側面に露出する前記積層構造の側面表層を酸化させることにより、前記第1の導電層の側面表層に、第2の抵抗変化層を形成すると同時に、前記半導体層、前記第2の導電層の側面表層にそれぞれ絶縁膜を形成する工程 (h) と、前記帯状溝にポリシリコンを埋め込み、前記ポリシリコンの一部をエッチングにて除去することにより、コンタクトホールを形成する工程 (d) と、前記コンタクトホールの内壁に、与えられる電気的信号に基づいて可逆的に抵抗値が変化する第1の抵抗変化層を形成する工程 (i) と、前記コンタクトホールに導電性材料を埋め込むことにより、前記コンタクトホール中に前記第1の抵抗変化層に接続する柱状電極を形成する工程 (j) と、前記帯状溝内の前記ポリシリコンの残部を除去する工程 (f) と、前記帯状溝内の前記ポリシリコンの残部が除去されてできた空間に露出した前記第1の導電層を酸化することにより絶縁膜を形成する工程 (g) と、を含む。

## 発明の効果

[001 8] 本発明に係るメモリセルおよびメモリセルアレイの構造は、コンタクトホールを形成した後に、導電層の一部を酸化処理して抵抗変化層を形成することにより製造できるため、製造工程を簡素化できる。また、膜厚の均一性が制御しやすく、不揮発性メモリセルアレイの信頼性が向上する。また、直列接続ダイオードにより隣接するメモリセル間のクロストークを抑えるように電氣的に分離することができる。

## 図面の簡単な説明

[001 9] [図1A] 図1Aは、本発明の実施の形態1に係る不揮発性メモリセルの断面図である。

[図1B] 図1Bは、本発明の実施の形態1に係る不揮発性メモリセルの等価回

路図である。

[図1C] 図1Cは、本発明の実施の形態1に係る不揮発性メモリセルの斜視図である。

[図1D] 図1Dは、本発明の実施の形態1の変形例に係る不揮発性メモリセルの斜視図である。

[図2A] 図2Aは、本発明の実施の形態2に係る不揮発性メモリセルアレイの斜視図である。

[図2B] 図2Bは、本発明の実施の形態2に係る不揮発性メモリセルアレイのA—A'断面図である。

[図2C] 図2Cは、本発明の実施の形態2に係る不揮発性メモリセルアレイのB—B'断面図である。

[図3] 図3は、本発明の実施の形態2に係る不揮発性メモリセルアレイの等価回路図である。

[図4] 図4は、本発明の実施の形態2に係る不揮発性メモリセルアレイの製造工程における斜視図である。

[図5] 図5は、本発明の実施の形態2に係る不揮発性メモリセルアレイの製造工程における斜視図である。

[図6] 図6は、本発明の実施の形態2に係る不揮発性メモリセルアレイの製造工程における斜視図である。

[図7] 図7は、本発明の実施の形態2に係る不揮発性メモリセルアレイの製造工程における要部の分解斜視図である。

[図8] 図8は、本発明の実施の形態2に係る不揮発性メモリセルアレイに用いられる材料の酸化の進行速度を示すグラフである。

[図9] 図9は、本発明の実施の形態2に係る不揮発性メモリセルアレイの製造工程における斜視図である。

[図10] 図10は、本発明の実施の形態2に係る不揮発性メモリセルアレイの製造工程における斜視図である。

[図11] 図11は、本発明の実施の形態2に係る不揮発性メモリセルアレイの

製造工程における斜視図である。

[図12] 図12は、本発明の実施の形態2に係る不揮発性メモリセルアレイの製造工程における斜視図である。

[図13] 図13は、本発明の実施の形態2に係る不揮発性メモリセルアレイの製造工程における斜視図である。

[図14] 図14は、本発明の実施の形態2に係る不揮発性メモリセルアレイの製造工程における要部の分解斜視図である。

[図15A] 図15Aは、本発明の実施の形態2の変形例に係る不揮発性メモリセルアレイの斜視図である。

[図15B] 図15Bは、本発明の実施の形態2の変形例に係る不揮発性メモリセルアレイのA-A'断面図である。

[図16] 図16は、従来例に係る不揮発性メモリセルアレイの断面図、ならびにメモリセルの拡大図および等価回路図である。

[図17] 図17は、従来例に係る不揮発性メモリセルの断面図である。

### 発明を実施するための形態

[0020] 以下、本発明の実施の形態について、図面を参照しながら説明する。

[0021] (実施の形態1)

図1A～図1Cに本発明の実施の形態1に係る不揮発性メモリセル10を示す。図1Aは不揮発性メモリセル10の断面図であり、図1Bは不揮発性メモリセル10の等価回路図であり、図1Cは不揮発性メモリセル10の斜視図である。

[0022] 図1Aおよび図1Cに示されるように、不揮発性メモリセル10は、柱状電極12、層間絶縁膜16、抵抗変化層14、第1の導電層13、半導体層17、第2の導電層18により構成されている。第1の導電層13の一部に、第1の抵抗変化層13a、第2の抵抗変化層13b、絶縁層13cが形成されている。抵抗変化層14は、第1の抵抗変化層13aおよび第2の抵抗変化層13bで構成される。半導体層17および第2の導電層18の一部に、絶縁層17a、17b、18a、18bが形成されている。

- [0023] 層間絶縁膜 16 は、基板の主面（図示せず）と平行に形成され、層間絶縁膜 16 に積層方向に接して第 1 の導電層 13 が配置され、第 1 の導電層 13 に積層方向に接して半導体層 17 が配置され、半導体層 17 に積層方向に接して第 2 の導電層 18 が配置される。第 1 の導電層 13、半導体層 17、第 2 の導電層 18 は、図 1A および図 1C に示される順に積層されてもよく、また、逆順に積層されてもよい。
- [0024] 柱状電極 12、抵抗変化層 14、及び第 1 の導電層 13 は基板の主面と平行な方向に抵抗変化素子 15 を構成し、第 1 の導電層 13、半導体層 17、第 2 の導電層 18 は基板の主面と垂直な方向に双方向性の整流特性を持つ M S M (Metal - Semiconductor - Metal) 型のダイオード素子 19 を構成し、図 1B の等価回路図に示されるような、抵抗変化素子 15 と前記ダイオード素子 19 とが直列に接続された不揮発性メモリセル 10 が構成される。なお図 1B では、柱状電極 12 と第 2 の導電層 18 とはそれぞれ配線として描かれている。
- [0025] 不揮発性メモリセル 10 において、抵抗変化層 14 は柱状電極 12 と第 1 の導電層 13 間に介在して構成されている。また、抵抗変化層 14 は電气的信号の印加に基づいて、抵抗値が異なる 2 以上の状態に変化する特性を有しており、1 つの状態から別の状態に選択的に変化させることができる。したがって、不揮発性メモリセル 10 は、柱状電極 12 と第 1 の導電層 13 間に駆動電圧または駆動電流を印加することにより、柱状電極 12 と第 1 の導電層 13 間の抵抗値を選択的に変化させることができる。
- [0026] 典型的には、抵抗変化層 14 は、相対的に電気抵抗値が高い高抵抗状態と、電気抵抗値が低い低抵抗状態との 2 つの状態を有する。このとき、不揮発性メモリセル 10 は、所定の閾値以上の駆動電圧または駆動電流の印加によつて、高抵抗状態から低抵抗状態へ、あるいは、低抵抗状態から高抵抗状態へと変化する。
- [0027] 抵抗変化層 14 は酸素不足型の金属酸化物から構成されることができる。当該金属酸化物の母体金属はタンタル (Ta)、ハフニウム (Hf)、チタ

ニウム (Ti)、タングステン (W)、ニッケル (Ni)、鉄 (Fe) 等の遷移金属が望ましい。ここで、酸素不足型の金属酸化物とは、化学量論的組成を有する金属酸化物 (通常は絶縁体) の組成より酸素含有量が少ない金属酸化物を指し、通常は半導体的な振る舞いをするものが多い。前記例示した母体金属の酸素不足型酸化物を抵抗変化層 14 に用いることで、2 値の抵抗値間の抵抗変化を再現性よく、かつ安定して動作させることができる。

[0028] 抵抗変化層 14 の酸素含有量は、抵抗変化層 14 と柱状電極 12 との界面から第 1 の導電層 13 へ向かって低くなっている。抵抗変化層 14 を酸化処理によって形成すると、抵抗変化層 14 の酸素含有量が柱状電極 12 から離れるにつれて連続的に減少するように形成することができる。これは、酸化処理工程において、第 1 の導電層 13 の内部に侵入する酸素の量がコンタクトホールから離れるにつれて減少するためである。このうち、酸素含有量が相対的に高い層が第 1 の抵抗変化層 13 a であり、酸素含有量が相対的に低い層が第 2 の抵抗変化層 13 b である。

[0029] この場合、酸素含有量は酸化処理を行う面からの距離にしたがって次第に減少するため、図 1 A に示すように明確には積層構造とならない。しかしながら、第 1 の抵抗変化層 13 a の領域の酸素含有量が第 2 の抵抗変化層 13 b より大きいことが重要なので、わかりやすくするため積層構造を用いて図示している。

[0030] なお、酸化処理工程を異なる条件で 2 度行い、第 1 の抵抗変化層 13 a の酸素含有量と第 2 の抵抗変化層 13 b の酸素含有量の差異を、より明確に形成することもできる。

[0031] 第 1 の抵抗変化層 13 a は、正の駆動電圧または駆動電流の印加 (第 1 の抵抗変化層 13 a から第 2 の抵抗変化層 13 b の方向に電流が流れる) により、第 2 の抵抗変化層 13 b から酸素イオンを受容し、高抵抗化すると推認される。これとは反対に、負の駆動電圧または駆動電流の印加により、第 1 の抵抗変化層 13 a は、受容した酸素イオンを第 2 の抵抗変化層 13 b へ拡散し、低抵抗化すると推認される。

- [0032] なお、第1の抵抗変化層13aの低抵抗化は、第1の抵抗変化層13aの一部の領域のみで発生してもよい。以上の第2の抵抗変化層の役割およびその根拠となる実験データは、本願の出願人が出願した発明に係る国際公開第2008/149484号(特許文献4)に詳述されているので、詳しくはそれを参照されたい。
- [0033] なお、抵抗変化層14は、2層であることに限定されない。1層からなる抵抗変化層14に抵抗変化現象を発現させるために、抵抗変化層14に対してフォーミング工程(抵抗変化層14に正または負の、通常動作時に印加する電圧より高い電圧を1回乃至複数回印加し、正の電圧が印加される界面近傍に酸素含有量が大きい層を電氣的に形成する工程)を行ってもよい。
- [0034] 第1の導電層13は、酸素含有量の少ない酸素不足型の金属酸化物(例えば、比抵抗にして $10\text{ m}\Omega\cdot\text{cm}$ 以下)あるいは酸素を含有しない金属を用いてもよい。前者の場合、第1の導電層13から抵抗変化層14を形成しやすくなる利点がある。後者の場合、第1の導電層13の抵抗が低くなり、消費電力を削減できる利点がある。
- [0035] 半導体層17は例えば $\text{SiN}_y$ から構成される。 $\text{SiN}_y$ はいわゆる窒化シリコンのことであり、 $y$ の値は窒化の程度(組成比)を示し、 $\text{SiN}_y$ の電気伝導特性は $y$ の値によって大きく変化する。具体的には、いわゆる化学量論組成( $y = 1.33$ 、つまり $\text{Si}_3\text{N}_4$ )では絶縁体であるが、これより窒素の比率を小さくすると(即ち、 $y$ の値を小さくすると) $\text{SiN}_y$ は次第に半導体として振舞うようになる。半導体層17は、アモルファス $\text{Si}$ や他の半導体材料を用いてもよい。
- [0036] 第1の導電層13及び第2の導電層18は、それぞれ半導体層17と接触してショットキー接合を形成する材料であり、第1の導電層13、半導体層17、及び第2の導電層18でMSMダイオードを構成する。
- [0037] 第2の導電層18は $\text{TiN}$ 、 $\text{TaN}$ 等によって構成されてもよい。
- [0038] 例えば、第1の導電層13は $\text{TaO}_x$ 、半導体層17は $\text{SiN}_y$ 、第2の導電層18は $\text{TaN}$ で構成されたMSMダイオードは印加電圧に対して双方向

性の整流特性を有し、ブレークダウン電流の大きい電流抑制素子を提供するとともに、該ダイオード素子と抵抗変化素子を組み合わせた信頼性の高い不揮発性記憶素子および不揮発性記憶装置を容易に作成することができる。

[0039] 抵抗変化層 14 は、層間絶縁膜 16 上に、第 1 の導電層 13、半導体層 17、第 2 の導電層 18 を順に積層し、第 1 の導電層 13、半導体層 17、第 2 の導電層 18 で構成される積層体と層間絶縁膜 16 とを積層方向に貫通するコンタクトホールを形成した後に、コンタクトホール中に露出する第 1 の導電層 13 の一部を酸化処理することで形成される。

[0040] したがって、コンタクトホールに材料を埋め込む工程は、柱状電極 12 を埋め込む工程のみとなり、プロセスを簡素化できる。また、酸化処理により抵抗変化層 14 を形成することで、抵抗変化層 14 の膜厚制御がしやすい利点を有する。

[0041] さらに、第 1 の導電層 13 を酸化すると同時に、コンタクトホール中に露出する半導体層 17 の  $\text{SiN}_y$  層の一部も酸化され、表面に  $\text{SiO}_2$  で構成される絶縁層 17a が形成され、半導体層 17 と柱状電極 12 との間が絶縁され、また、第 2 の導電層 18 の  $\text{TaN}$  や  $\text{TiN}$  等もコンタクトホール中に露出する部分が同時に酸化され、 $\text{TaON}$  や  $\text{TiON}$  等で構成される絶縁層 18a が形成され、第 2 の導電層 18 と柱状電極 12 との間が絶縁される。

[0042] 柱状電極 12 は、導電性に優れる材料（例えば、比抵抗にして  $10\text{ m}\Omega\cdot\text{cm}$  以下）でかつ、柱状電極 12 の主たる金属材料の標準電極電位が、抵抗変化層 14 を構成する金属の標準電極電位より高い材料で構成すればよい。前述の抵抗変化材料に対して柱状電極 12 の材料の具体的な例として、白金（Pt）、イリジウム（Ir）、パラジウム（Pd）、銅（Cu）、タンダステン（W）（ただし、抵抗変化層がタンダステン酸化物の場合を除く）などが挙げられる。なお、柱状電極 12 は、タンダステン（W）などで構成される導電体の外周面に、上記例示した材料で薄い皮膜を形成した構造であってもよい。

[0043] 柱状電極 12 に用いる金属の標準電極電位が、第 1 の導電層 13 及び抵抗

変化層 14 に用いる金属の標準電極電位より高いことが望ましい理由は、これにより、柱状電極 12 が抵抗変化層 14 より酸化されにくくなるため、柱状電極 12 との界面近傍における抵抗変化層 14 の酸化還元反応が主として発生し、第 1 の抵抗変化層 13 a の酸素含有量が変化することによって、抵抗変化現象が安定化するためである。

[0044] 以上のように、本実施の形態 1 の構成によれば、1 つの酸化工程で、抵抗変化層 14 を形成すると同時に、半導体層 17、第 2 の導電層 18 をそれぞれ柱状電極 12 から電氣的に分離するための絶縁膜を形成するため、製造工程を簡素化できる。また、抵抗変化層の膜厚の均一性が制御しやすく、不揮発性メモリセルアレイの信頼性が向上する。

[0045] (実施の形態 1 の変形例)

次に、本発明の実施の形態 1 の変形例に係る不揮発性メモリセルについて説明する。

[0046] 図 1 D は、本発明の実施の形態 1 の変形例に係る不揮発性メモリセル 30 の一例を示す構成図である。

[0047] 図 1 D に示されるように、不揮発性メモリセル 30 は、図 1 C の不揮発性メモリセル 10 に含まれる抵抗変化素子 15 を、第 1 の抵抗変化層 31 と第 2 の抵抗変化層 32 とで構成される抵抗変化層 34 を用いた抵抗変化素子 35 で置き換えることによって構成されている。

[0048] 不揮発性メモリセル 30 において、柱状電極 12、抵抗変化層 34、及び第 1 の導電層 13 は基板の主面と平行な方向に抵抗変化素子 35 を構成し、第 1 の導電層 13、半導体層 17、第 2 の導電層 18 は基板の主面と垂直な方向に双方向性の整流特性を持つ MSM 型のダイオード素子 19 を構成する。

[0049] 不揮発性メモリセル 30 は、抵抗変化層 34 が柱状電極 12 と第 1 の導電層 13 との間に設けられる点、および、抵抗変化素子 35 が基板の主面と平行な方向に構成され、ダイオード素子 19 が基板の主面と垂直な方向に形成されている点で、不揮発性メモリセル 10 と共通の特徴を有している。この

共通の特徴により、不揮発性メモリセル 30 および不揮発性メモリセル 10 は、次の利点を有する。

- [0050] 抵抗変化素子 15、35 は、後述するように、抵抗変化層 14、34 中のフィラメント (導電パス) が変化することにより抵抗値が変化する。そのため、抵抗変化層 14、34 に印加される電圧または電流密度が高いほど、抵抗変化が起こりやすい。したがって、抵抗変化素子 15、35 の面積は、小さいことが望ましい。ここで、面積とは、電圧印加方向に対して垂直な面の面積をいう。
- [0051] 他方で、ダイオード素子 19 は、抵抗変化素子 15、35 に大電流 (例えば、 $10000 \text{ A/cm}^2$  以上) を流すため、電流容量が大きいことが望ましい。ダイオードの電流容量の大きさは、ダイオードの接合面積の大きさに依存して大きくなるため、ダイオード素子 19 の面積は大きいことが望ましい。
- [0052] したがって、本実施の形態およびその変形例に係る不揮発性メモリセル 10、30 は、抵抗変化素子 15、35 の電圧印加方向とダイオード素子 19 の電圧印加方向とが異なることにより、一方で抵抗変化素子 15、35 の面積を小さくし、他方で、ダイオード素子 19 の面積を大きくすることができる。また、抵抗変化素子 15、35 の面積は、基板主面に対して水平積層される第 1 の導電層 13 の膜厚で規定されるため、抵抗変化素子 15、35 の面積を、例えば最小加工寸法以下にすることもできる。
- [0053] 他方、不揮発性メモリセル 30 は、第 1 の抵抗変化層 31 が柱状電極 12 の側面に接して当該側面を被覆するように形成される点、および、第 2 の抵抗変化層 32 が第 1 の抵抗変化層 31 と第 1 の導電層 13 との交差部のみに形成されている点で、不揮発性メモリセル 10 と異なっている。
- [0054] 不揮発性メモリセル 30 は、不揮発性メモリセル 10 と同様の製造工程に従って、柱状電極 12 を埋め込むためのコンタクトホールを形成した後、当該コンタクトホール内に第 1 の抵抗変化層 31 および柱状電極 12 をこの順に埋め込むことで製造できる。

- [0055] したがって、コンタクトホールに材料を埋め込む工程が、第1の抵抗変化層31および柱状電極12を埋め込む2つの工程となり、第1の抵抗変化層31を形成する工程と第2の抵抗変化層32を形成する工程とを独立させることができる。その結果、不揮発性メモリセル30においては、不揮発性メモリセル10と比べて製造プロセスの簡素化、および抵抗変化層34の膜厚制御の容易性が若干劣る代わりに、第1の抵抗変化層31および第2の抵抗変化層32の材料選択の自由度が高まるという利点を得られる。
- [0056] そのため、例えば、所望の抵抗変化特性、酸化特性等に応じて、第1の抵抗変化層31および第2の抵抗変化層の組み合わせを自由に選択できる。例えば、高抵抗のチタン酸化物（例えば、 $TiO_2$ ）、ハフニウム酸化物（ $HfO_y$ ）、アルミニウム酸化物（ $AlO_y$ ）等から選ばれる少なくとも1つの材料を第1の抵抗変化層31に用い、第1の抵抗変化層31よりも抵抗値の低いタンタル酸化物（ $TaO_x$ ）を第2の抵抗変化層32に用いることができる。
- [0057] 不揮発性メモリセル30では、例えば、第1の抵抗変化層31と第2の抵抗変化層32とに、異種の遷移金属酸化物を用いることができる。この場合、第1の抵抗変化層31の遷移金属酸化物は、第2の抵抗変化層32の遷移金属酸化物よりも酸素不足度が小さいものを用いる。酸素不足度とは、それぞれの遷移金属において、そのストイキオメトリの酸化物を構成する酸素の量に対し、不足している酸素の割合をいう。
- [0058] 例えば、遷移金属がタンタル（Ta）の場合、ストイキオメトリな酸化物の組成は $Ta_2O_5$ であるので、 $TaO_{2.5}$ と表現できる。 $TaO_{2.5}$ の酸素不足度は0%である。例えば $TaO_{1.5}$ の組成の酸素不足型のタンタル酸化物の酸素不足度は、 $\text{酸素不足度} = (2.5 - 1.5) / 2.5 = 40\%$ となる。また、 $Ta_2O_5$ の酸素含有率は、総原子数に占める酸素の比率（ $O / (Ta + O)$ ）であり、71.4 at m%となる。したがって、酸素不足型のタンタル酸化物は、酸素含有率は0より大きく、71.4 at m%より小さいことになる。

[0059] 母体金属が同じ遷移金属酸化物では、酸素含有率（酸素含有量）が多いほど酸素不足度が小さく、また酸素含有率（酸素含有量）が少ないほど酸素不足度が大きい。以下の説明では、遷移金属酸化物の酸化の不足の度合いを母体金属の種類によらず統一的に比較するための尺度として、前述の酸素含有量に代えて、酸素不足度を用いる。

[0060] 第1の抵抗変化層31に、第2の抵抗変化層32の遷移金属酸化物よりも酸素不足度が小さい遷移金属酸化物を用いることにより、抵抗変化時に第1の導電層13及び柱状電極12間に印加された電圧は、抵抗変化層34の第1の抵抗変化層31により多く分配され、抵抗変化層34の第1の抵抗変化層31中で発生する酸化還元反応をより起こしやすくすることができる。また、抵抗変化層34の第1の抵抗変化層31と第2の抵抗変化層32とで互いに異なる遷移金属を用いる場合、第1の抵抗変化層31の遷移金属の標準電極電位は、第2の抵抗変化層32の遷移金属の標準電極電位より低い方が好ましい。抵抗変化現象は、抵抗が高い第1の抵抗変化層31の遷移金属酸化物層中に形成された微小なフィラメント（導電パス）中で酸化還元反応が起こってその抵抗値が変化し、発生すると考えられるからである。

[0061] 例えば、第2の抵抗変化層32の遷移金属酸化物に、第1の導電層13の酸化によって形成された酸素不足型のタンタル酸化物を用い、第1の抵抗変化層31の遷移金属酸化物にチタン酸化物（ $TiO_2$ ）を用いることにより、安定した抵抗変化動作が得られる。チタン（標準電極電位 =  $-1.63 eV$ ）はタンタル（標準電極電位 =  $-0.6 eV$ ）より標準電極電位が低い材料である。標準電極電位は、その値が高いほど酸化しにくい特性を表す。第1の抵抗変化層31の遷移金属酸化物に第2の抵抗変化層32の遷移金属酸化物より標準電極電位が低い遷移金属の酸化物を配置することにより、第1の抵抗変化層31の遷移金属酸化物中でより酸化還元反応が発生しやすくなる。

[0062] なお、不揮発性メモリセル30の柱状電極12は、主たる金属材料の標準電極電位が、第1の抵抗変化層31を構成する金属の標準電極電位より高い

材料で構成することが望ましい。これは、不揮発性メモリセル 10 と同様の考え方に基づく。すなわち、そのような柱状電極 12 は、第 1 の抵抗変化層 31 より酸化されにくくなるため、柱状電極 12 との界面近傍における第 1 の抵抗変化層 31 の酸化還元反応が主として発生し、第 1 の抵抗変化層 31 の酸素含有量が変化することによって、抵抗変化現象が安定化するためである。

[0063] (実施の形態 2)

図 2A ~ 図 2C、図 3 に本発明の実施の形態 2 に係る不揮発性メモリセルアレイ 20 の一例を示す。図 2A は不揮発性メモリセルアレイ 20 の斜視図である。図 2B、図 2C はそれぞれ不揮発性メモリセルアレイ 20 の斜視図に示された A-A' 線、B-B' 線における断面図である。図 3 は不揮発性メモリセルアレイ 20 の等価回路図である。以下では、図中に矢印で示した XYZ の方向に従って説明する。

[0064] 図 2A に示されるように、不揮発性メモリセルアレイ 20 は、Z 方向 (基板に垂直な方向) に 3 つの層間絶縁膜 16 と 3 つの積層体 21 とを交互に配置し、各積層体 21 には、それぞれ 20 個のメモリセル (X 方向に 4 個 X Y 方向に 5 個) を備えており、全体で 60 個のメモリセルを 3 次元配置した場合のメモリセルアレイである。不揮発性メモリセルアレイ 20 は、XY 平面と平行な主面を持つ基板 (図示せず) 上に構成されている。

[0065] ここで、メモリセルの各々は、実施の形態 1 における不揮発性メモリセル 10 に相当し、柱状電極 12、層間絶縁膜 16、第 1 の導電層 13、第 1 の抵抗変化層 13a、第 2 の抵抗変化層 13b で構成される抵抗変化層 14、半導体層 17、及び第 2 の導電層 18 で構成される。

[0066] 不揮発性メモリセル 10 は、図 2B の断面に表される。また、図 2C の断面には、柱状電極 12 は存在せず、第 1 の導電層 13 は X 方向の幅全体にわたって酸化され、絶縁層 13c になっている。そのため、図 2C に見られる断面構造は、Y 方向に隣接する不揮発性メモリセル 10 を分離する素子分離として機能する。

[0067] 不揮発性メモリセルアレイ20においても、実施の形態1と同様に、コンタクトホールを形成した後に、第1の導電層13の一部を酸化処理して抵抗変化層14が形成されるため、プロセスを簡素化できる。また、抵抗変化層14は、柱状電極12と第1の導電層13の交差部にのみ形成されるため、メモリセル毎に抵抗変化層14が分離したメモリセルアレイを実現できる。さらに、酸化処理により形成される抵抗変化層14は、埋め込みにより形成される抵抗変化層に比べて、コンタクトホール中の複数の抵抗変化層14にわたって膜厚を均一に制御できる。したがって、積層構造の不揮発性メモリセルアレイ20の信頼性が向上する。

[0068] 図2Aに示されるように、層間絶縁膜16と、第1の導電層13、半導体層17、第2の導電層18で構成される積層体21は、基板の主面に平行に交互に積層されている。ここで、柱状電極12は、基板の主面に垂直な柱状で、基板主面に行列状に分布する位置に（つまり、X方向とY方向とにアレイ状に分布して）配置されており、ビット線として機能する。また、第2の導電層18が、ワード線として機能する。

[0069] また、図2Aの中央部のY-Z面に配置された面状の絶縁層26により、行(X)方向に各行4つずつ配置されたメモリセル10が不揮発性メモリセルアレイ20の中央で2つずつに区切るように形成されている。すなわち、図2Aにおいて、中央のY-Z面に配置された絶縁層26の両側に位置するメモリセル10の柱状電極12は、絶縁層26により、互いに分離されている。

[0070] 不揮発性メモリセルアレイ20では、このような構成がX方向に繰り返し設けられることで、非選択のビット線、非選択のワード線、及び非選択のメモリセルを経由した回り込み電流(sneak current)を減少させることができる。

[0071] 図3は、本実施の形態2における不揮発性メモリセルアレイ20の等価回路図である。図3において、柱状電極12（ビット線：B00、B01、・ ・ ・、B11、・ ・ ・）と第2の導電層18（ワード線：W00、W01、

・・・、W30、W31、・・・)の交点に不揮発性メモリセル10が配置されている。すなわち、1つのビット線(例えばB00)および1つのワード線(例えばW00)を選択し、その交点に位置する不揮発性メモリセル10に駆動電圧を印加することにより、不揮発性メモリセル10の抵抗値の状態を変化させることができる。したがって、不揮発性メモリセル10の抵抗値の状態に対して情報を割り当てれば、不揮発性メモリセル10に接続したビット線およびワード線に駆動電圧を印加することで、不揮発性メモリセル10への情報の書込み、または不揮発性メモリセル10からの情報の読出しを行うことができる。その結果、ランダムアクセス性を有する不揮発性メモリセルアレイ20の実現が可能となる。

[0072] また、上述したように、ビット線B00～B04及びワード線W00～W12で構成されるメモリセルアレイと、ビット線B10～B14及びワード線W20～W32で構成されるメモリセルアレイとは、配線レベルで完全に分離されており、回り込み電流を軽減できる。

[0073] 以下、図4から図14を用いて、実施の形態2における不揮発性メモリセルアレイの製造方法を説明する。

[0074] 最初に、図4に示す工程において、基板上(図示せず)に、層間絶縁膜16と、第1の導電層13、半導体層17、第2の導電層18で構成される積層体21とを交互に、基板の主面に平行に複数積層する。図4に示す積層構造は3層の積層体21を有するが当該積層構造における積層体21の数は特にこの数に限定されない。

[0075] 図4に示す工程では、例えば、スパッタリング法によりタンタル(Ta)または酸素不足型のタンタル酸化物 $TaO_x$ (比抵抗は $10\text{ m}\Omega\cdot\text{cm}$ 以下)を第1の導電層13として堆積し、スパッタリング法により窒化シリコン $SiN_y$ を半導体層17として堆積する。また、スパッタリング法により窒化タンタル(TaN)を第2の導電層18として堆積する。それぞれのスパッタリング法では、酸素や窒素をスパッタリング時に導入する反応性スパッタリング法を用いてもよい。

- [0076] また、最上層の第2の導電層18上に、さらに層間絶縁膜16を形成してもよい。
- [0077] 次に、図5に示す工程において、積層構造の主面に対して垂直なY—Z方向に帯状溝27を形成する。
- [0078] 図5に示す工程では、まず、通常の露光プロセス及び現像プロセスによって、所定のパターン形状のマスクパターンを形成する。次に、これをマスクとして、積層構造に対してエッチングを行い、帯状溝27を形成する。その後、マスクパターンを除去する。以上の工程により、帯状溝27内に層間絶縁膜16、第1の導電層13、半導体層17と第2の導電層18の側面が露出する。
- [0079] 次に、図6に示す工程において、帯状溝27内に露出した表面から、層間絶縁膜16、第1の導電層13、半導体層17と第2の導電層18の側面を酸化処理する。このとき、第1の導電層13の側面が酸化されることにより抵抗変化層14が形成される。
- [0080] 図6に示す工程では、例えば、酸素雰囲気中で印加パワー1100W、処理時間30秒間でプラズマ酸化処理を施す。帯状溝27内に露出した第1の導電層13の表面から第1の導電層13の内部に向かって活性酸素、酸素イオンあるいは酸素原子が拡散する。これらの酸素種により、第1の導電層13には、帯状溝27内に露出した表面から内部に向かって一定の厚さの領域に所定の酸素不足度のプロファイルを有する酸化物が形成される。この酸素不足度のプロファイルは、表面付近では高く、内部に向かうにつれて連続して低くなっている。
- [0081] このプラズマ酸化処理においては、帯状溝27内に露出した表面から10nm程度の深さに亘って抵抗変化層14が形成される。そのうち表面から2~3nm程度の領域には、酸素不足度のより小さい第1の抵抗変化層13aが形成され、第1の抵抗変化層13aから7~8nm程度までの領域には、酸素不足度のより大きい第2の抵抗変化層13bが形成される。
- [0082] 上述した抵抗変化層14を形成する工程においては、酸素雰囲気中でプラ

ズマ酸化処理を行っているが、本発明はこれに限定されるわけではない。例えば、酸素を含む雰囲気下における加熱処理（以下、熱酸化処理という）であってもよい。以下、このような熱酸化処理、プラズマ酸化処理を酸化処理と総称する。本製造方法においては、第1の導電層13の一部を酸化処理することで抵抗変化層14を形成するため、従来の導電層の埋め込み工程に比して、プロセスを簡素化することができる。加えて、酸化処理は埋め込み工程に比して膜厚制御が容易であり、帯状溝27中に露出する複数の抵抗変化層14にわたって膜厚が均一に形成される。

[0083] また、酸化処理工程は、1回に限定されない。酸化処理工程を2回に分けて行い、第1の抵抗変化層13aの酸素不足度と第2の抵抗変化層13bの酸素不足度の差異を、より明確に形成することもできる。例えば、弱い酸化処理工程によって第1の導電層13の一部を広範囲にわたって弱く酸化した後で、強い酸化処理工程によって第1の導電層13の帯状溝27に露出する表面のみを強く酸化する。これにより、抵抗値の高い第1の抵抗変化層13aと、抵抗値の低い第2の抵抗変化層13bの積層構造がより明確に形成される。なお、酸化処理工程は、2回以上の複数回実施して、抵抗変化層14の酸素不足度をより精度良く制御してもよい。

[0084] 第1の導電層13を酸化処理すると同時に、半導体層17、第2の導電層18の側壁も酸化され、帯状溝27内に露出する表面に絶縁層17a、17b、18a、18bが形成される。

[0085] 図7は、上述した条件によるプラズマ酸化処理後の、第1の導電層13、半導体層17、第2の導電層18の形状の一例を示す分解斜視図である。

[0086] この例では、第1の導電層13である $TaO_x$ は、表面から10nm程度が酸化される。第1の導電層13の酸化された部分は、第1の抵抗変化層13a、第2の抵抗変化層13bになる。

[0087] 半導体層17である $SiN_y$ は、表面から2~3nm程度が酸化されて、絶縁体である窒素を含んだ $SiO_2$ になる。半導体層17の酸化された部分は、絶縁層17a、17bになる。

- [0088] 第2の導電層18であるTa<sub>2</sub>N<sub>5</sub>は、表面から5nm程度が酸化されて、絶縁体であるTa<sub>2</sub>O<sub>5</sub>になる。第2の導電層18の酸化された部分は、絶縁層18a、18bになる。
- [0089] このように、第1の導電層13、半導体層17、第2の導電層18は、材料の違いのために、同一の酸化処理が施されても異なる大きさの部分が酸化される。
- [0090] 図8は、Ta<sub>2</sub>O<sub>5</sub>、Ta<sub>2</sub>N<sub>5</sub>、Ta<sub>2</sub>O<sub>5</sub>の各材料における酸化の進行速度を示すグラフであり、各材料に対して400℃の酸素雰囲気中で酸化処理を行った時間と、酸化処理の結果として各材料の表層に形成された酸化膜の厚さ（酸化の進行速度）を示している。このグラフは、酸化処理の好適条件を見出すために予備的に行われた実験の結果に基づく。
- [0091] グラフから分かるように、第1の導電層13の材料であるTa<sub>2</sub>O<sub>x</sub>は、第2の導電層18の材料であるTa<sub>2</sub>N<sub>5</sub>に比べて、倍以上の速度で酸化が進行する。これは、図7に見られる形状の一例と整合している。
- [0092] 第1の導電層13と第2の導電層18との酸化の進行速度の違いは、後述する素子分離を設けるための酸化工程の際にも重要な意義を持つ。
- [0093] 次に、図9に示す工程において、先に形成した帯状溝27の中にポリシリコン28をCVDにより堆積する。その後、CMPプロセスや他の平坦化プロセス等により、帯状溝27に形成されたポリシリコン28を残して、不要なポリシリコンを研磨除去する。
- [0094] 次に、図10に示す工程において、基板の主面に対して垂直な方向に、かつ基板の主面にアレイ状に、ポリシリコン28の一部を除去してコンタクトホール29を形成する。
- [0095] 図10に示す工程では、まず、通常のリソグラフィプロセスによって、所定のパターン形状のフォトリソマスクパターンを形成する。次に、これをマスクとして、積層構造に対してエッチングを行い、コンタクトホール29を形成する。その後、マスクパターンを除去する。また、ハードマスクを用いてもよい。以上の工程により、コンタクトホール29の内側面

に層間絶縁膜 16、第1の導電層 13、半導体層 17、第2の導電層 18が露出するようなコンタクトホール 29を形成する。

[0096] 次に、図 11 に示す工程において、スパッタリング、CVD、メッキ等によりコンタクトホール 29 中に柱状電極 12 を堆積する。柱状電極 12 の材料としては、例えば、白金 (Pt)、イリジウム (Ir)、パラジウム (Pd)、銅 (Cu)、タングステン (W) 等の導電性材料が用いられる。その後、CMP (Chemical Mechanical Polishing) プロセスや他の平坦化プロセス等により、コンタクトホール 29 の内部に形成された柱状電極 12 を残して、不要な電極材料を研磨除去する。なお、この柱状電極 12 は、第1の抵抗変化層 13a と直接接しており、また半導体層 17 とは絶縁層 17a 介して接し、第2の導電層 18 とは絶縁層 18a を介して接している。

[0097] 次に、図 12 に示す工程において、帯状溝 27 内の柱状電極 12 以外の領域のポリシリコン 28 を HF : HNO<sub>3</sub> 溶液を用いてウエットエッチングにより除去する。

[0098] 次に、図 13 に示す工程において、帯状溝 27 内のポリシリコン 28 が除去されてできた空間 (簡便のため、この空間のことも帯状溝 27 と称する) に露出した、層間絶縁膜 16、第1の導電層 13、半導体層 17 と第2の導電層 18 を酸化処理する。

[0099] 図 14 は、この酸化処理後の、第1の導電層 13、半導体層 17、第2の導電層 18 の形状の一例示す分解斜視図である。

[0100] 図 14 に示すように、第1の導電層 13、半導体層 17、第2の導電層 18 の柱状電極 12 と接している領域は、柱状電極 12 によって保護されるため、酸化は進行しない。そのため、柱状電極 12 に隣接している抵抗変化層 14、絶縁層 17a、18a は、図 7 に示した形状で維持される。

[0101] 第1の導電層 13 の帯状溝 27 内に露出している領域は、第1の導電層 13 のX方向の幅の約半分までが完全に酸化 (Ta<sub>2</sub>O<sub>5</sub>) されて、絶縁層 13c になる。特に、第1の導電層 13 の幅の両側が帯状溝 27 内に露出してい

る区間では、両側から酸化が進行するため、区間の全体が絶縁層 13c になる。この区間は、隣接する抵抗変化層 14 を分離する素子分離になる。

[01 02] 同時に、半導体層 17 の帯状溝 27 内に露出している領域は、表面に SiO<sub>2</sub> 保護膜である絶縁層 17a、17b があるため、酸化が内部まで進行しない。また、第 2 の導電層 18 の帯状溝 27 内に露出している領域は、TaO<sub>n</sub> の膜厚が厚くなるが、図 8 のグラフに示されるように、第 1 の導電層 13 である TaO と比べて酸化速度が遅いため、内部に第 2 の導電層 18 である TaN の領域が残り、ワード線として機能できる。

[01 03] このような酸化処理を行った後、帯状溝 27 内のポリシリコン 28 が除去されてできた空間に、絶縁層 26 としての SiO<sub>2</sub> を埋め込むことにより、図 2A に示した不揮発性メモリセルアレイ 20 が完成する。

[01 04] なお、上記説明において、充填材料としてポリシリコン 28 を用いる例について説明したが、それ以外の材料であってもよい。すなわち、充填材料は、少なくとも、帯状溝に一時的に埋め込まれ、後工程で層間絶縁膜 16 と、第 1 の導電層 13、半導体層 17 および第 2 の導電層 18 で構成される積層体 21 とを残したままウエツトエッチング等によって選択的に除去可能な材料であればよい。

[01 05] (実施の形態 2 の変形例)

次に、本発明の実施の形態 2 の変形例に係る不揮発性メモリセルアレイについて説明する。

[01 06] 図 15A は、本発明の実施の形態 2 の変形例に係る不揮発性メモリセルアレイ 40 の一例を示す斜視図である。図 15B は、不揮発性メモリセルアレイ 40 の斜視図に示された A—A' 線における断面図である。なお、不揮発性メモリセルアレイ 40 の B—B' 線における断面図は、図 2C に示した不揮発性メモリセルアレイ 20 の B—B' 線における断面図と同一であるため、図示を省略する。

[01 07] 図 15A、図 15B に示されるように、不揮発性メモリセルアレイ 40 は、図 2A、図 2B の不揮発性メモリセルアレイ 20 に含まれる不揮発性メモ

リセル 10 を、実施の形態 1 の変形例に係る不揮発性メモリセル 30 で置き換えることによって構成されている。

[01 08] 不揮発性メモリセルアレイ 40 は、不揮発性メモリセルアレイ 20 と比べて、第 1 の抵抗変化層 31 が、柱状電極 12 の側面に接して、当該側面を被覆するように形成されている点異なる。図 15 A、図 15 B に見られるように、不揮発性メモリセルアレイ 40 において、第 1 の抵抗変化層 31 は、柱状電極 12 と第 2 の抵抗変化層 32 との交差部のみならず、柱状電極 12 と半導体層 17 の交差部、柱状電極 12 と第 2 の導電層 18 との交差部、および、柱状電極 12 と層間絶縁膜 16 との交差部に連続的に設けられる。

[01 09] このような形状は、実施の形態 1 の変形例で説明したように、コンタクトホール内に第 1 の抵抗変化層 31 および柱状電極 12 をこの順に埋め込むことで形成される。

[01 10] 具体的には、図 10 に示す工程においてコンタクトホール 29 を形成した後、図 11 に示す工程において柱状電極 12 を形成する前に、スパッタリング、CVD、メッキ等によりコンタクトホール 29 の内壁に第 1 の抵抗変化層 31 の材料を薄膜状に堆積する。第 1 の抵抗変化層 31 の材料としては、例えば、タンタル (Ta)、ハフニウム (Hf)、チタニウム (Ti)、タングステン (W)、ニッケル (Ni)、鉄 (Fe) 等を母体金属とする遷移金属酸化物を用いることができ、特に、第 2 の抵抗変化層 32 とは母体金属が異なる遷移金属酸化物を用いることができる。

[01 11] 不揮発性メモリセルアレイ 40 の製造方法では、コンタクトホールに材料を埋め込む工程が、第 1 の抵抗変化層 31 および柱状電極 12 を埋め込む 2 つの工程となり、第 1 の抵抗変化層 31 を形成する工程と第 2 の抵抗変化層 32 を形成する工程とを独立させることができる。その結果、不揮発性メモリセルアレイ 40 においては、不揮発性メモリセルアレイ 20 と比べて製造プロセスの簡素化、および抵抗変化層 34 の膜厚制御の容易性が若干劣る代わりに、第 1 の抵抗変化層 31 の材料選択の自由度が高まるという利点を得られる。

[0112] なお、本発明の製造方法は、本実施の形態 2 で例示した不揮発性メモリセルアレイに限らず適用可能である。すなわち、抵抗変化型素子を備える電子デバイス全般について、上記製造方法によって、または上記製造方法と公知の方法とを組み合わせることによって、製造することができる。

#### 産業上の利用可能性

[0113] 本発明にかかる不揮発性メモリセルアレイは、低電力、高速書き込み、高速消去、大容量化を指向した次世代の不揮発性メモリ等として有用である。

#### 符号の説明

- [0114] 10、30 不揮発性メモリセル
- 12 柱状電極
- 13 第1の導電層
- 13a、31 第1の抵抗変化層
- 13b、32 第2の抵抗変化層
- 13c 絶縁層
- 14、34 抵抗変化層
- 15、35 抵抗変化素子
- 16 層間絶縁膜
- 17 半導体層
- 17a、17b 絶縁層
- 18 第2の導電層
- 18a、18b 絶縁層
- 19 ダイオード素子
- 20、40 不揮発性メモリセルアレイ
- 21 積層体
- 26 絶縁層
- 27 帯状溝
- 28 ポリシリコン
- 29 コンタクトホール

- 1 5 1 1 N 型 ポ リ シ リ コ ン 層
- 1 5 1 2 層 間 絶 縁 膜
- 1 5 1 3 P 型 ポ リ シ リ コ ン 層
- 1 5 1 4 金 属 シ リ サ イ ド 層
- 1 5 1 5 抵 抗 変 化 層
- 1 5 1 6 金 属 層
- 1 5 1 7 柱 状 電 極
- 1 6 1 1 導 電 層
- 1 6 1 2 層 間 絶 縁 膜
- 1 6 1 3 抵 抗 変 化 層
- 1 6 1 4 第 1 半 導 体 層
- 1 6 1 5 第 2 半 導 体 層
- 1 6 1 6 柱 状 電 極

## 請求の範囲

- [請求項1] 基板主面に対して垂直に配置された柱状電極と、  
前記基板主面に対して平行に配置された第1の導電層と、  
前記第1の導電層に積層方向に接して配置された半導体層と、  
前記半導体層に積層方向に接して配置された第2の導電層と、  
前記柱状電極と前記第1の導電層との間に設けられ、かつ電氣的信号の印加に基づいて可逆的に抵抗値が変化する抵抗変化層と、  
前記柱状電極と前記半導体層との間に設けられ、前記半導体層と同じ母体元素を有する酸化物絶縁層と、  
前記柱状電極と前記第2の導電層との間に設けられた絶縁層と、を備える、  
不揮発性メモリセル。
- [請求項2] 前記半導体層は、前記第1の導電層の上に配置され、  
前記第2の導電層は、前記半導体層の上に配置され、  
前記抵抗変化層は、前記第1の導電層と同じ母体元素を有している、  
請求項1に記載の不揮発性メモリセル。
- [請求項3] 前記抵抗変化層は、前記柱状電極と前記第1の導電層との交差部のみ形成されている、  
請求項2に記載の不揮発性メモリセル。
- [請求項4] 前記抵抗変化層は、前記抵抗変化層と前記柱状電極との界面から前記第1の導電層へ向かって、前記抵抗変化層の酸素不足度が大きくなる、  
請求項2に記載の不揮発性メモリセル。
- [請求項5] 前記第2の導電層は、前記抵抗変化層と同じ母体金属で構成される、  
請求項1に記載の不揮発性メモリセル。
- [請求項6] 前記抵抗変化層は、第1の金属酸化物を有する第1の抵抗変化層と

、酸素不足度が前記第 1 の金属酸化物の酸素不足度よりも大きい第 2 の金属酸化物を有する第 2 の抵抗変化層とが前記基板主面に対して平行な方向に積層された構造である、

請求項 1 に記載の不揮発性メモリセル。

[請求項 7]

前記第 1 の抵抗変化層は、前記柱状電極の側面に接して、当該側面を被覆するように形成され、

前記第 2 の抵抗変化層は、前記第 1 の抵抗変化層と前記第 1 の導電層との交差部のみに形成されている、

請求項 6 に記載の不揮発性メモリセル。

[請求項 8]

基板主面に対し垂直に配置された複数の柱状電極と、

前記基板主面に対して平行に配置された第 1 の導電層と、前記第 1 の導電層に積層方向に接して配置された半導体層と、前記半導体層に積層方向に接して配置された第 2 の導電層とからなる複数の積層体と、複数の層間絶縁膜とが、交互に積層された積層構造と、

前記柱状電極と前記各第 1 の導電層との間に設けられ、かつ電気的信号の印加に基づいて可逆的に抵抗値が変化する抵抗変化層と、

前記柱状電極と前記各半導体層との間に設けられ、前記半導体層と同じ母体元素を有する酸化物絶縁層と、

前記柱状電極と前記各第 2 の導電層との間に設けられた絶縁層と、を備える、

不揮発性メモリセルアレイ。

[請求項 9]

前記半導体層は、前記第 1 の導電層の上に配置され、

前記第 2 の導電層は、前記半導体層の上に配置され、

前記抵抗変化層は、前記第 1 の導電層と同じ母体元素を有している、

、

請求項 8 に記載の不揮発性メモリセルアレイ。

[請求項 10]

前記抵抗変化層は、前記柱状電極と前記第 1 の導電層との交差部のみに形成されている、

請求項 9 に記載の不揮発性メモリセルアレイ。

[請求項 11] 前記抵抗変化層は、前記抵抗変化層と前記柱状電極との界面から前記第 1 の導電層へ向かって、前記抵抗変化層の酸素不足度が大きくなる、

請求項 9 に記載の不揮発性メモリセルアレイ。

[請求項 12] 前記第 2 の導電層は、前記抵抗変化層と同じ母体金属で構成される、

請求項 8 に記載の不揮発性メモリセルアレイ。

[請求項 13] 前記抵抗変化層は、第 1 の金属酸化物を有する第 1 の抵抗変化層と、酸素不足度が前記第 1 の金属酸化物の酸素不足度よりも大きい第 2 の金属酸化物を有する第 2 の抵抗変化層とが前記基板主面に対して平行な方向に積層された構造である、

請求項 8 に記載の不揮発性メモリセルアレイ。

[請求項 14] 前記第 1 の抵抗変化層は、前記柱状電極の側面に接して、当該側面を被覆するように形成され、

前記第 2 の抵抗変化層は、前記第 1 の抵抗変化層と前記第 1 の導電層との交差部のみに形成されている、

請求項 13 に記載の不揮発性メモリセルアレイ。

[請求項 15] 前記複数の柱状電極は、前記基板主面内に行列状に分布する位置に配置される、

請求項 8 に記載の不揮発性メモリセルアレイ。

[請求項 16] 前記抵抗変化層は、酸素不足型金属酸化物で構成される、

請求項 8 に記載の不揮発性メモリセルアレイ。

[請求項 17] 前記第 1 の導電層および前記抵抗変化層の母体金属元素はタンタルである、

請求項 8 に記載の不揮発性メモリセルアレイ。

[請求項 18] 基板上に、層間絶縁膜、第 1 の導電層、半導体層、及び第 2 の導電層を前記基板の主面に平行に積層して積層構造を形成し、さらに前記

積層構造と同等の積層構造を前記基板の主面に平行に1つ以上形成する工程 (a) と、

前記複数の積層構造を積層方向に貫通する複数の帯状溝を形成する工程 (b) と、

前記複数の帯状溝の側面に露出する前記積層構造の側面表層を酸化させることにより、前記第1の導電層の側面表層に、与えられる電気的信号に基づいて可逆的に抵抗値が変化する抵抗変化層を形成すると同時に、前記半導体層、前記第2の導電層の側面表層にそれぞれ絶縁膜を形成する工程 (c) と、

前記帯状溝に充填材料を埋め込み、前記充填材料の一部をエッチングにて除去することにより、コンタクトホールを形成する工程 (d) と、

前記コンタクトホールに導電性材料を埋め込むことにより、前記コンタクトホール中に前記抵抗変化層に接続する柱状電極を形成する工程 (e) と、

前記帯状溝内の前記充填材料の残部を除去する工程 (f) と、

前記帯状溝内の前記充填材料の残部が除去されてできた空間に露出した前記第1の導電層を酸化することにより絶縁膜を形成する工程 (g) と、を含む、

不揮発性メモリセルアレイの製造方法。

[請求項 19] 前記工程 (c) において、酸化処理を2回行い、酸素含有量が大きい第1の抵抗変化層と、酸素含有量が小さい第2の抵抗変化層をそれぞれ形成する、

請求項 18 に記載の不揮発性メモリセルアレイの製造方法。

[請求項 20] 基板上に、層間絶縁膜、第1の導電層、半導体層、及び第2の導電層を前記基板の主面に平行に積層して積層構造を形成し、さらに前記積層構造と同等の積層構造を前記基板の主面に平行に1つ以上形成する工程 (a) と、

前記複数の積層構造を積層方向に貫通する複数の帯状溝を形成する工程 (b) と、

前記複数の帯状溝の側面に露出する前記積層構造の側面表層を酸化させることにより、前記第 1 の導電層の側面表層に、第 2 の抵抗変化層を形成すると同時に、前記半導体層、前記第 2 の導電層の側面表層にそれぞれ絶縁膜を形成する工程 (h) と、

前記帯状溝に充填材料を埋め込み、前記充填材料の一部をエッチングにて除去することにより、コンタクトホールを形成する工程 (d) と、

前記コンタクトホールの内壁に、与えられる電気的信号に基づいて可逆的に抵抗値が変化する第 1 の抵抗変化層を形成する工程 (i) と、

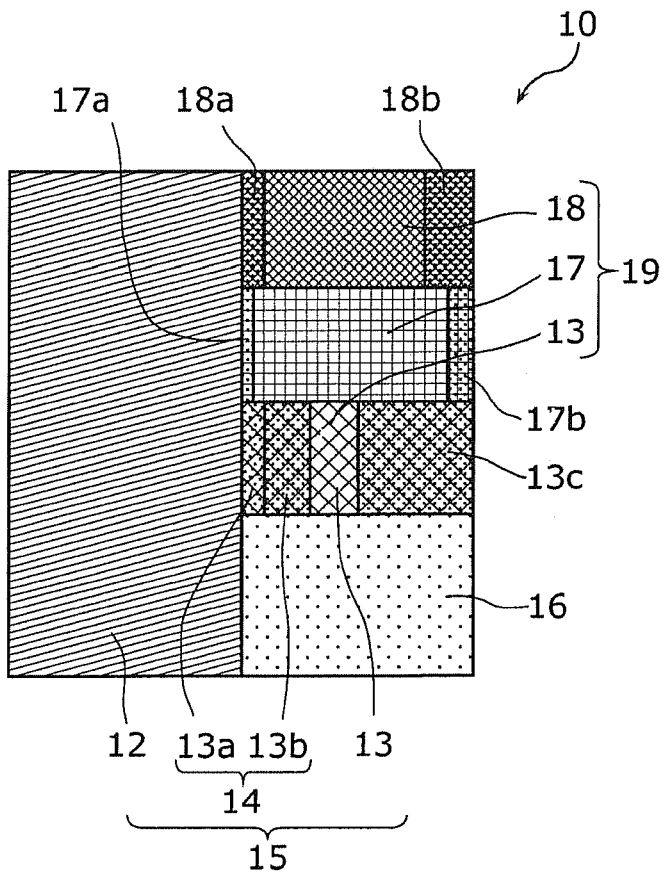
前記コンタクトホールに導電性材料を埋め込むことにより、前記コンタクトホール中に前記第 1 の抵抗変化層に接続する柱状電極を形成する工程 (j) と、

前記帯状溝内の前記充填材料の残部を除去する工程 (f) と、

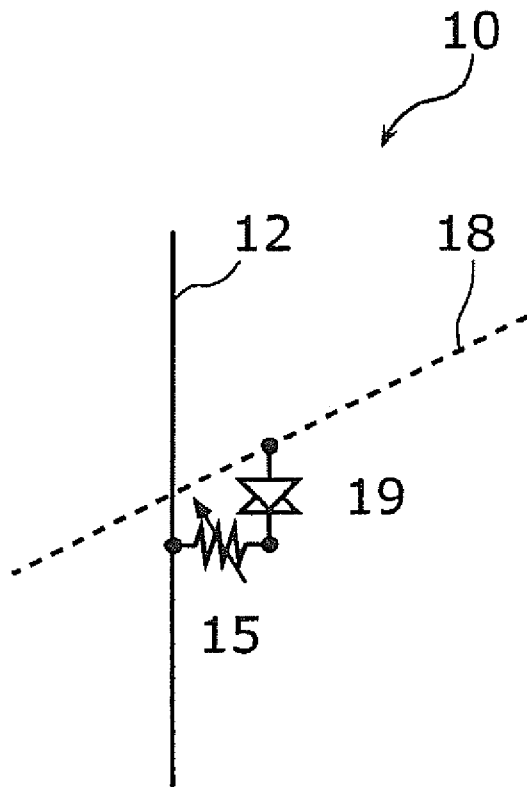
前記帯状溝内の前記充填材料の残部が除去されてできた空間に露出した前記第 1 の導電層を酸化することにより絶縁膜を形成する工程 (g) と、を含む、

不揮発性メモリセルアレイの製造方法。

[図1A]

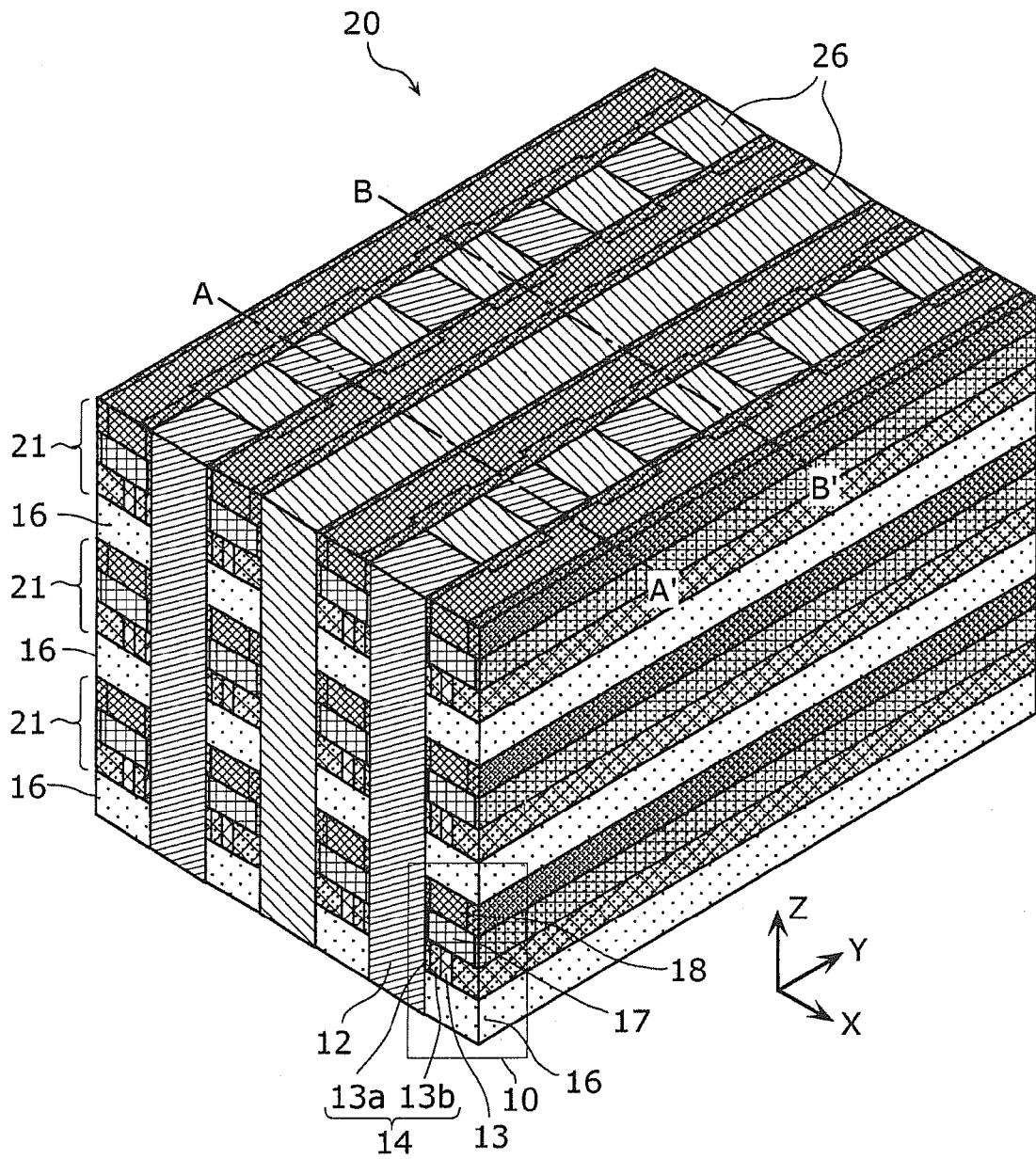


[図1B]

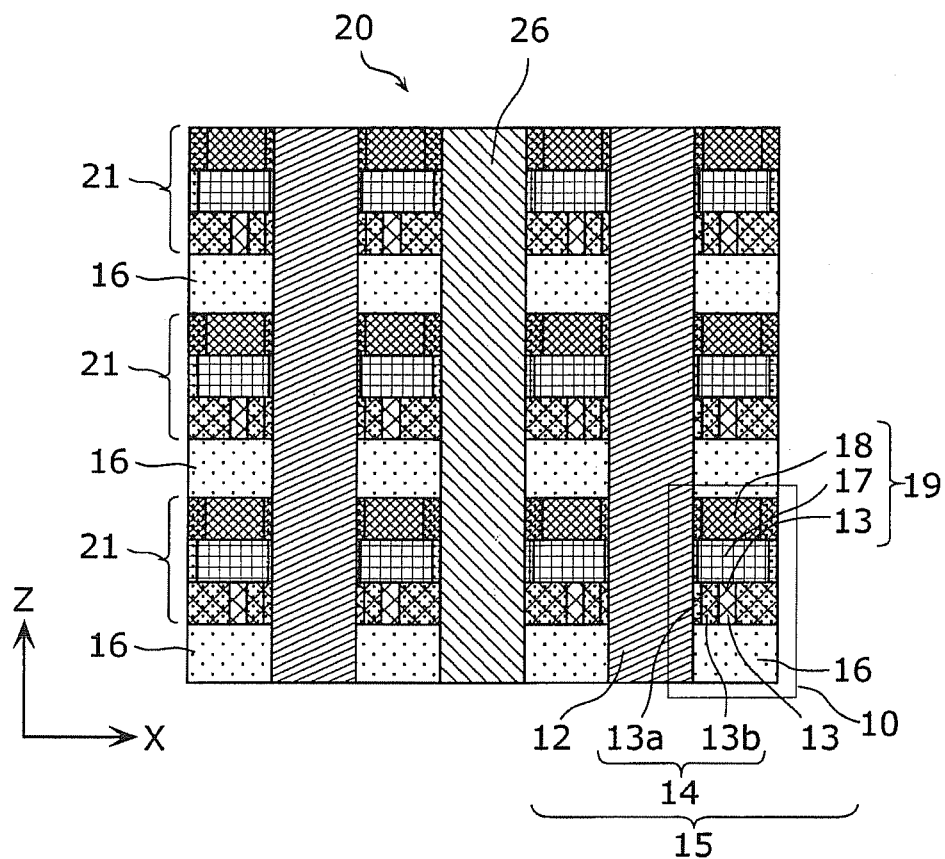




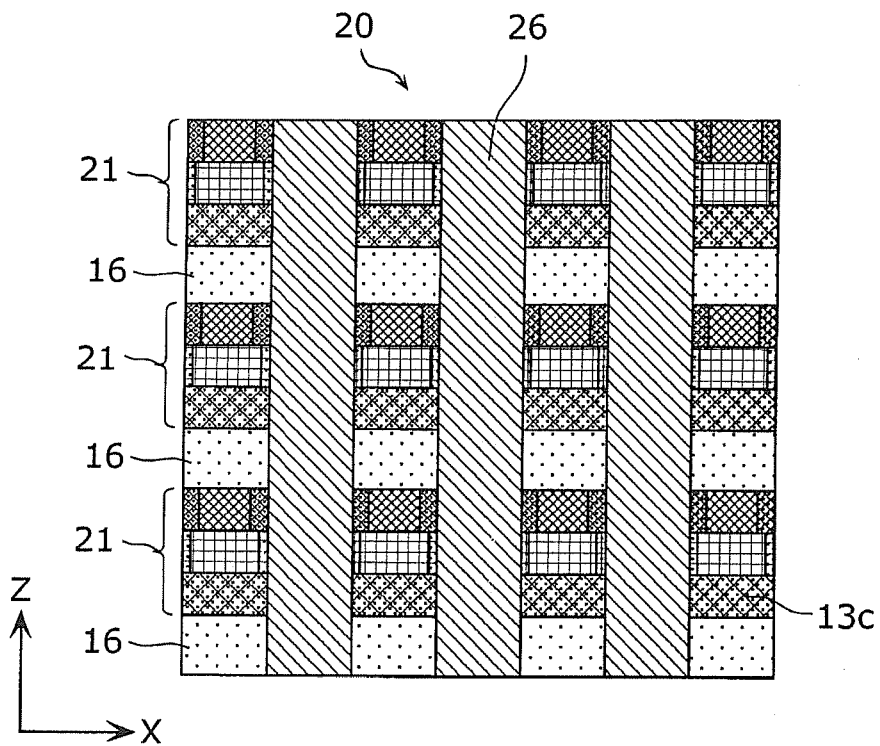
[図2A]



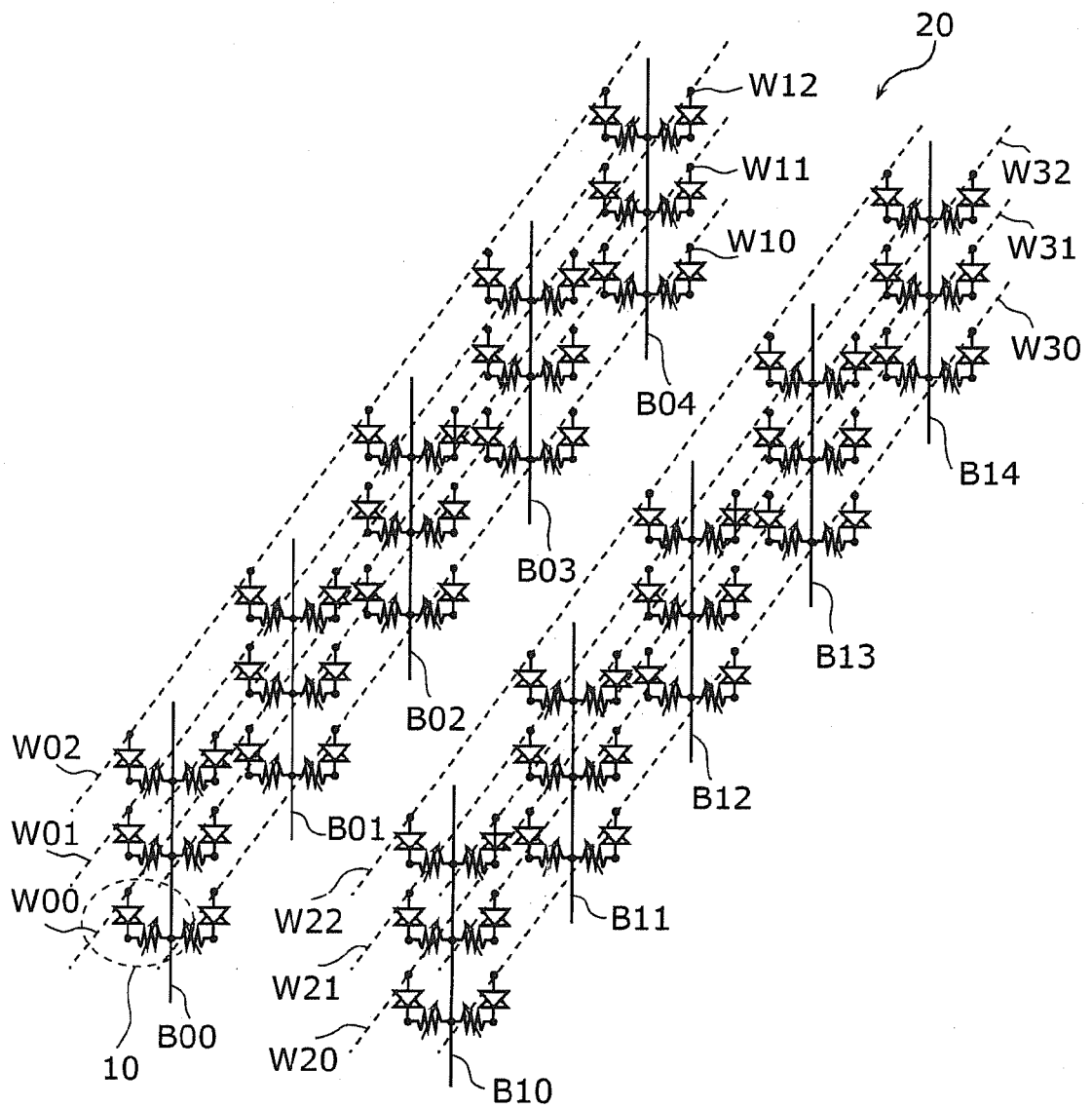
[図2B]



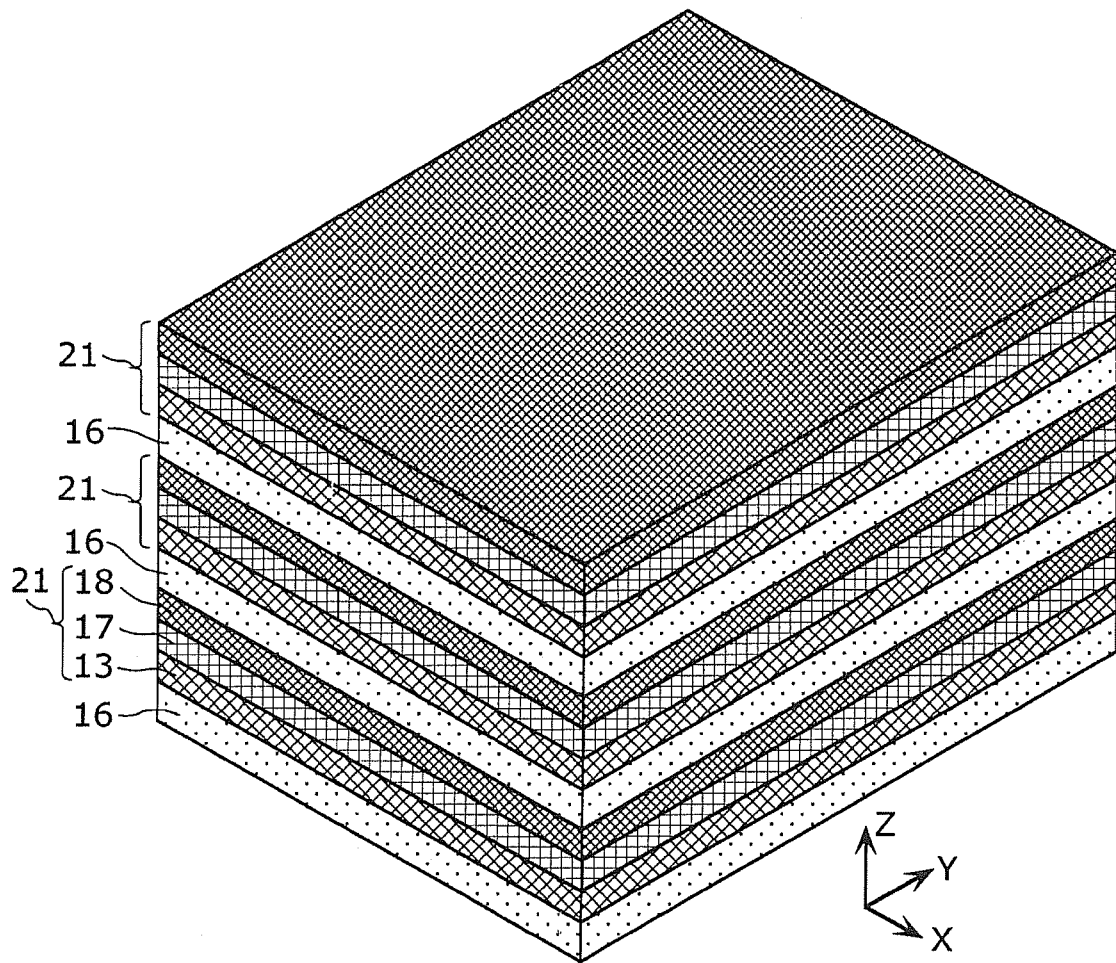
[図2C]



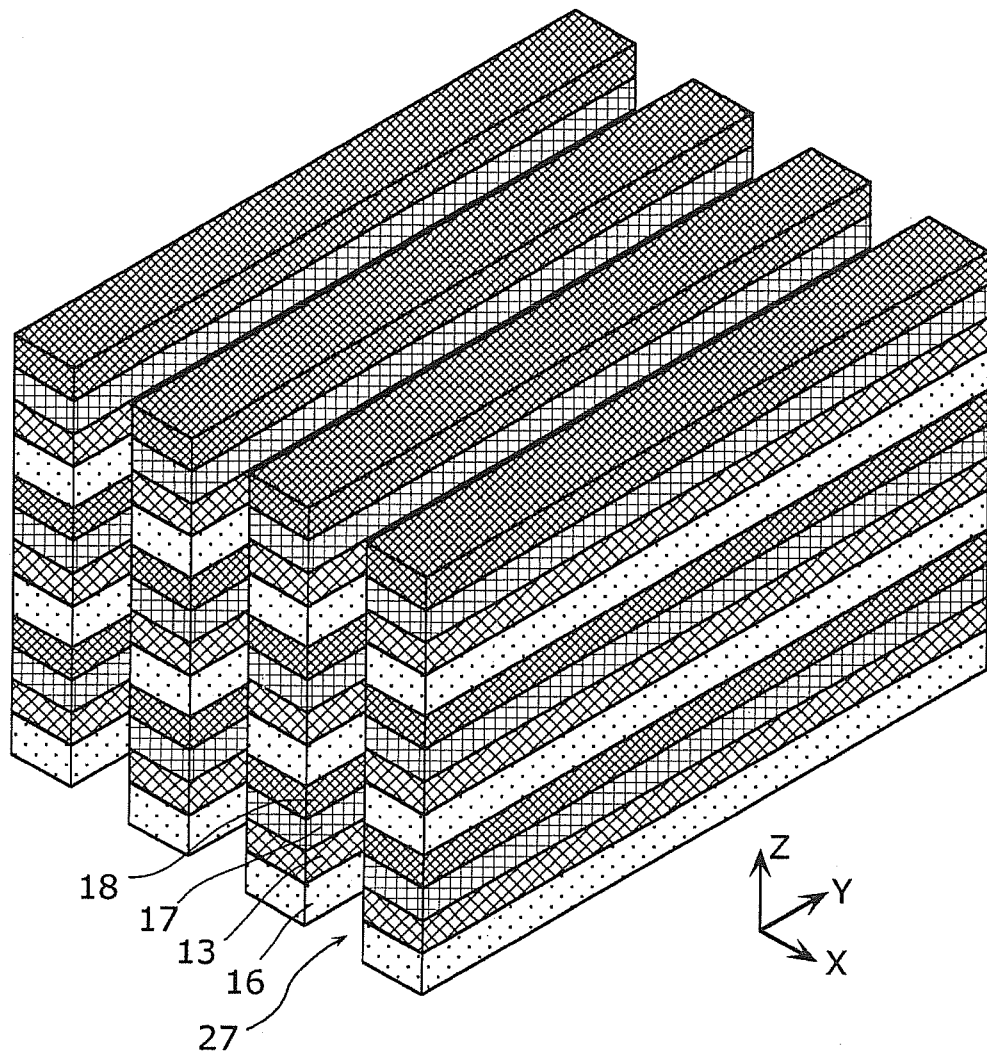
[図3]



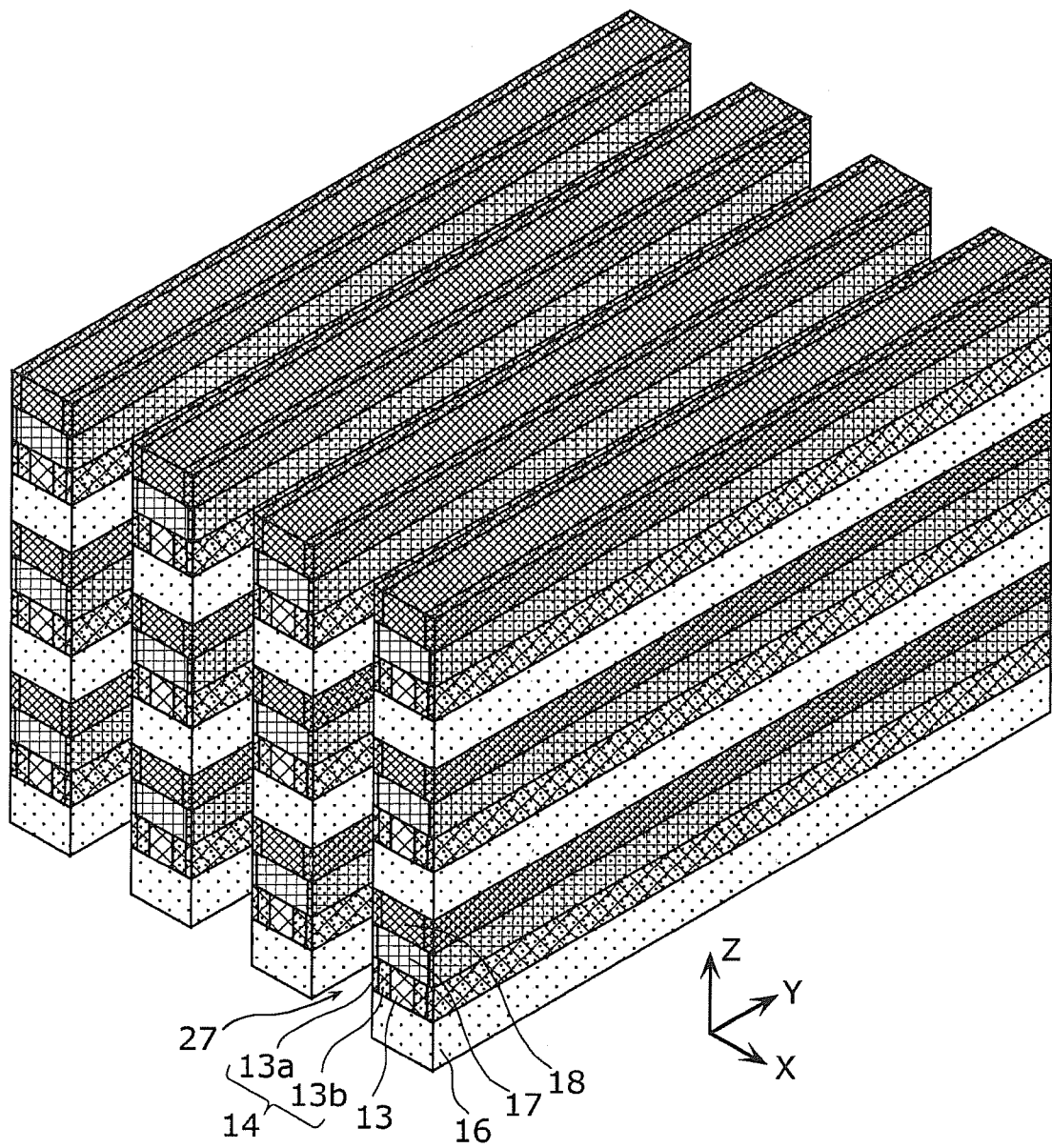
[図4]



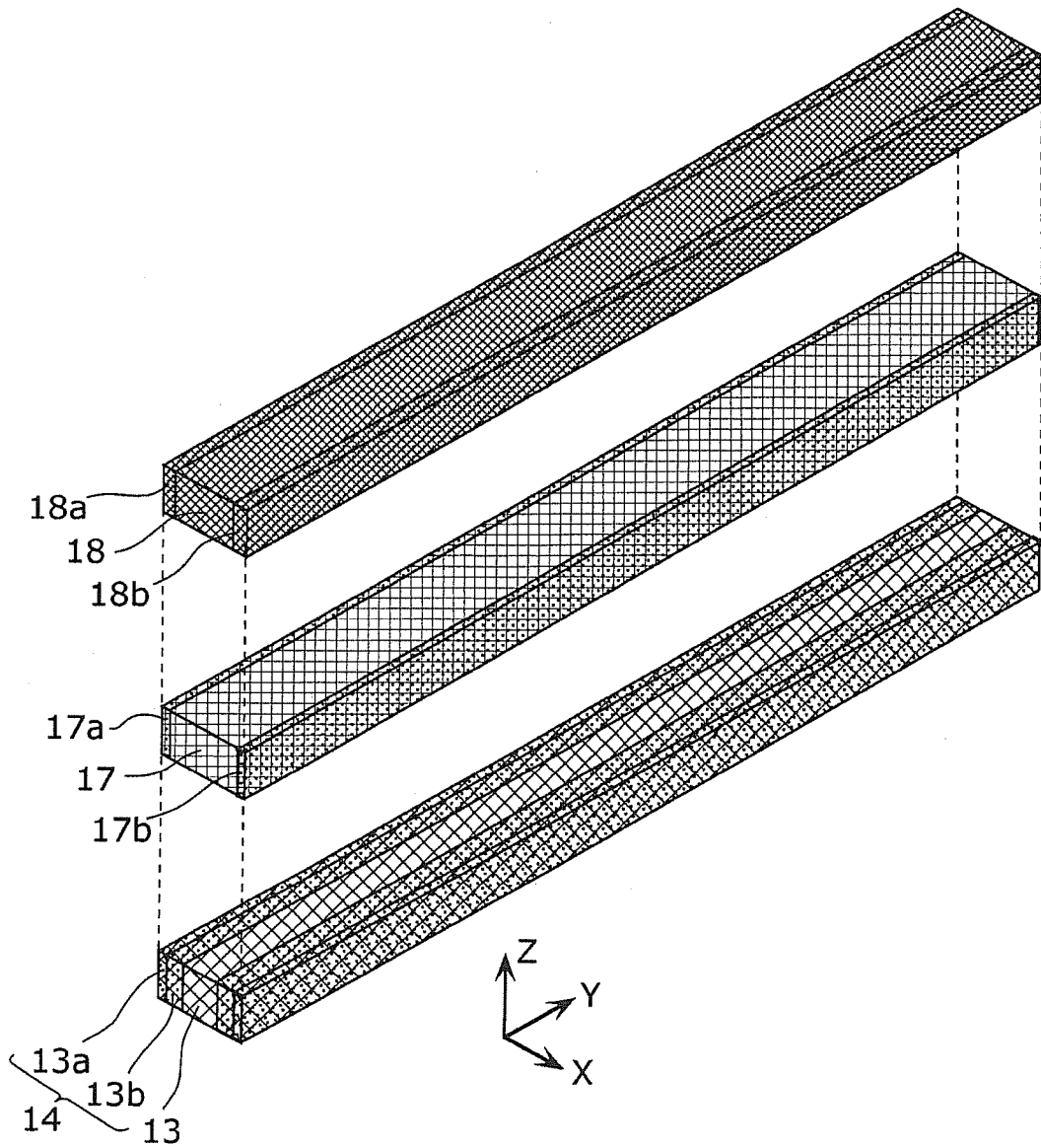
[図5]



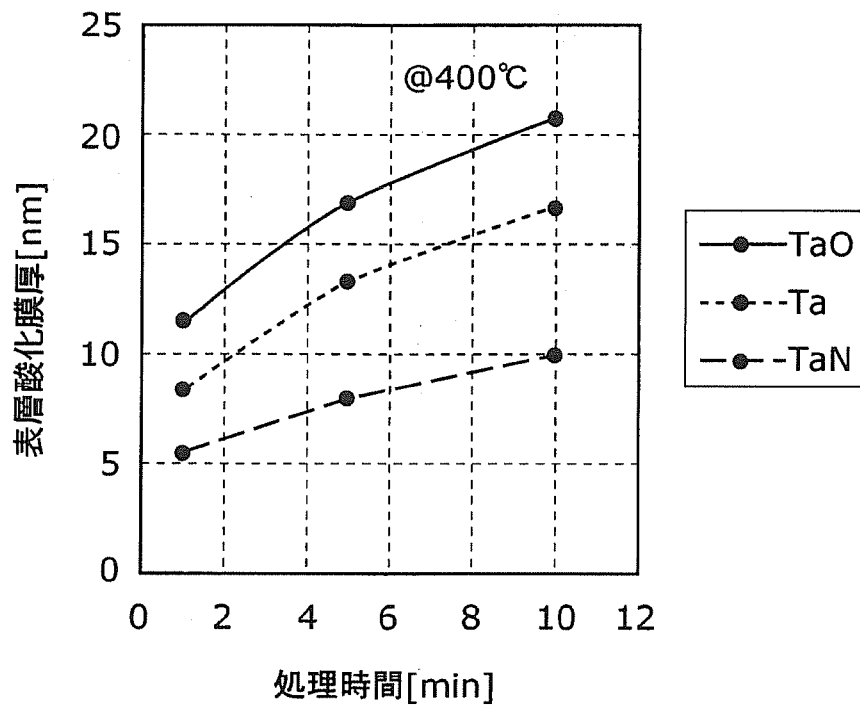
[図6]



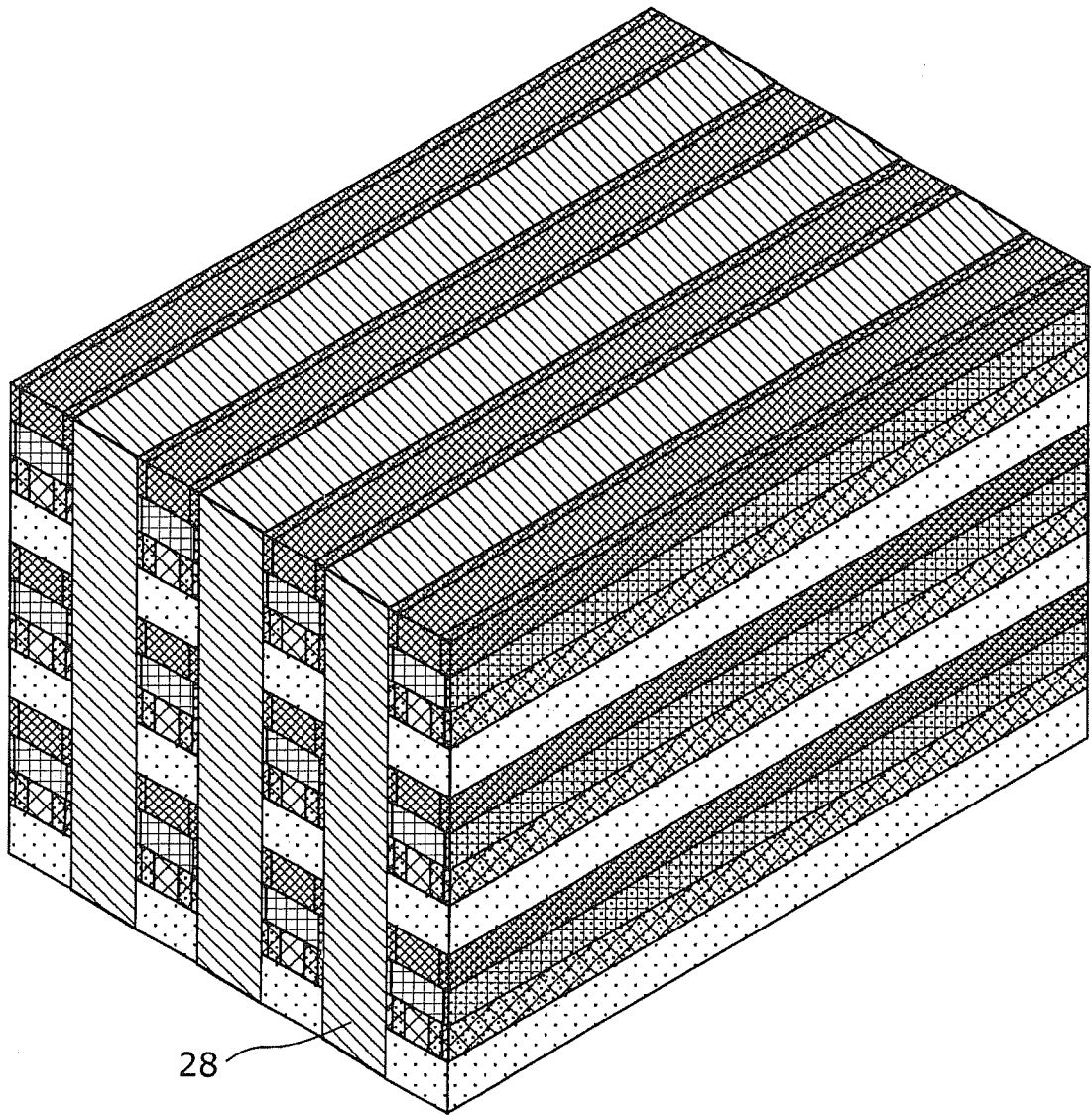
[図7]



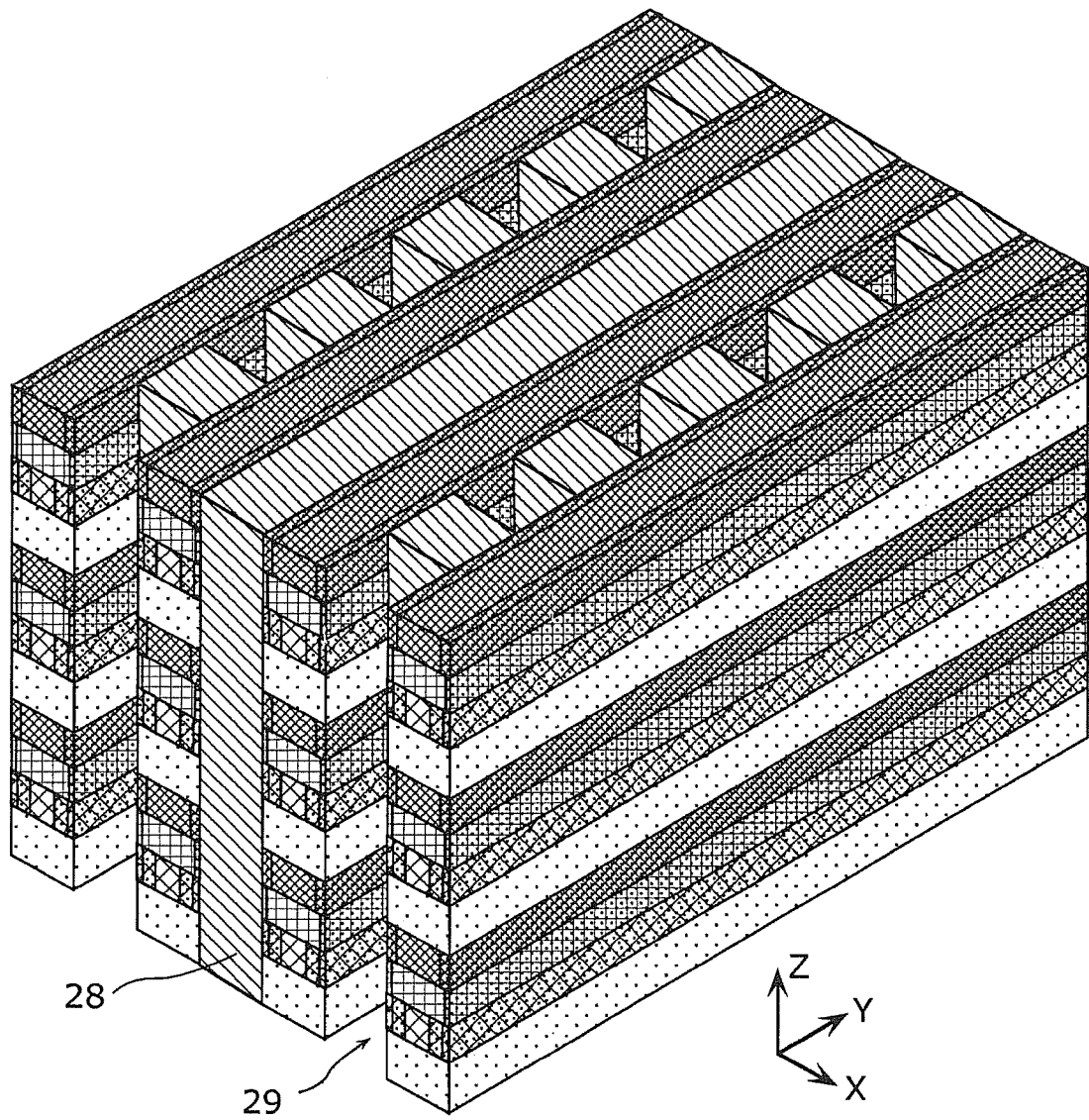
[図8]



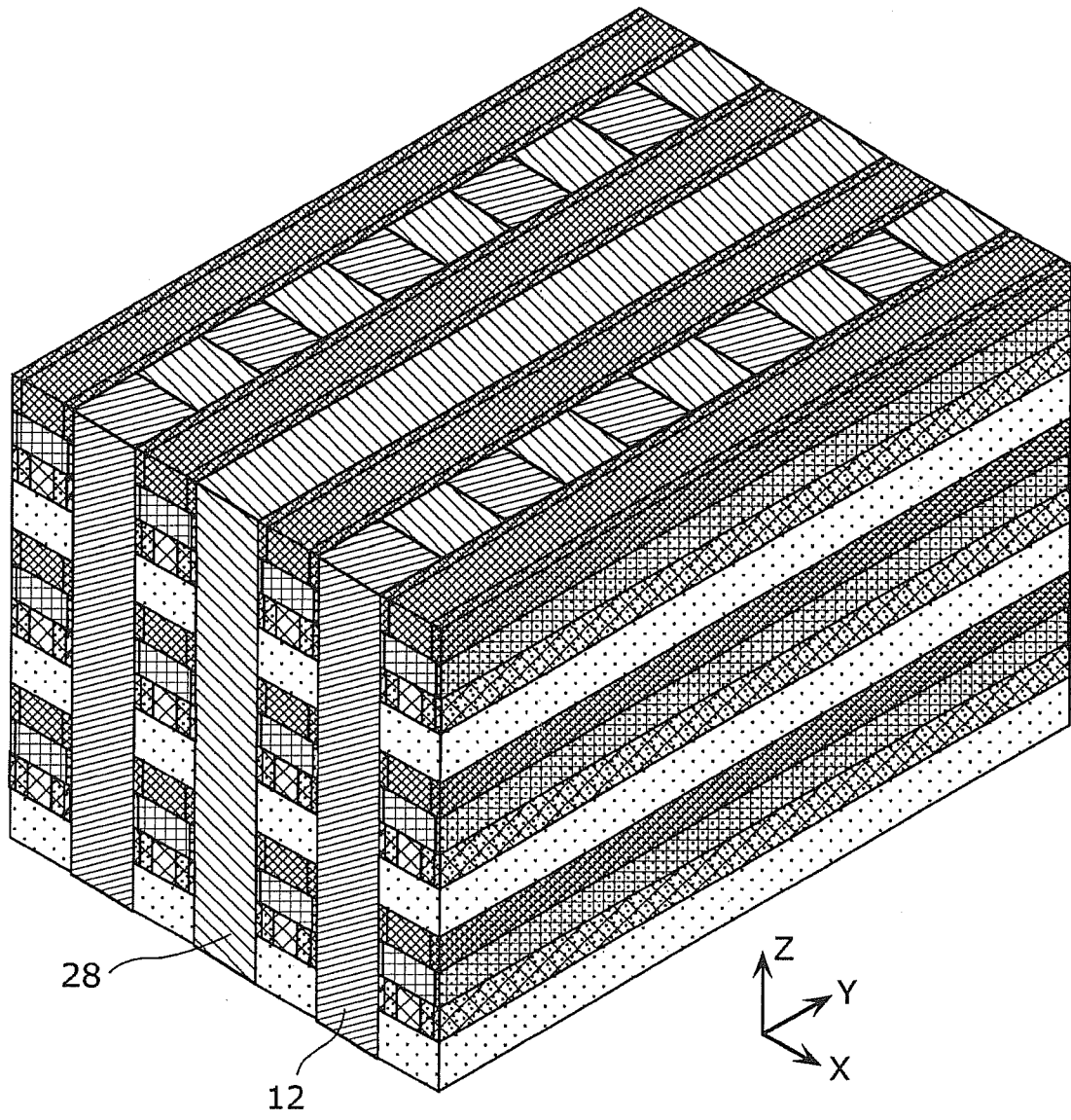
[図9]



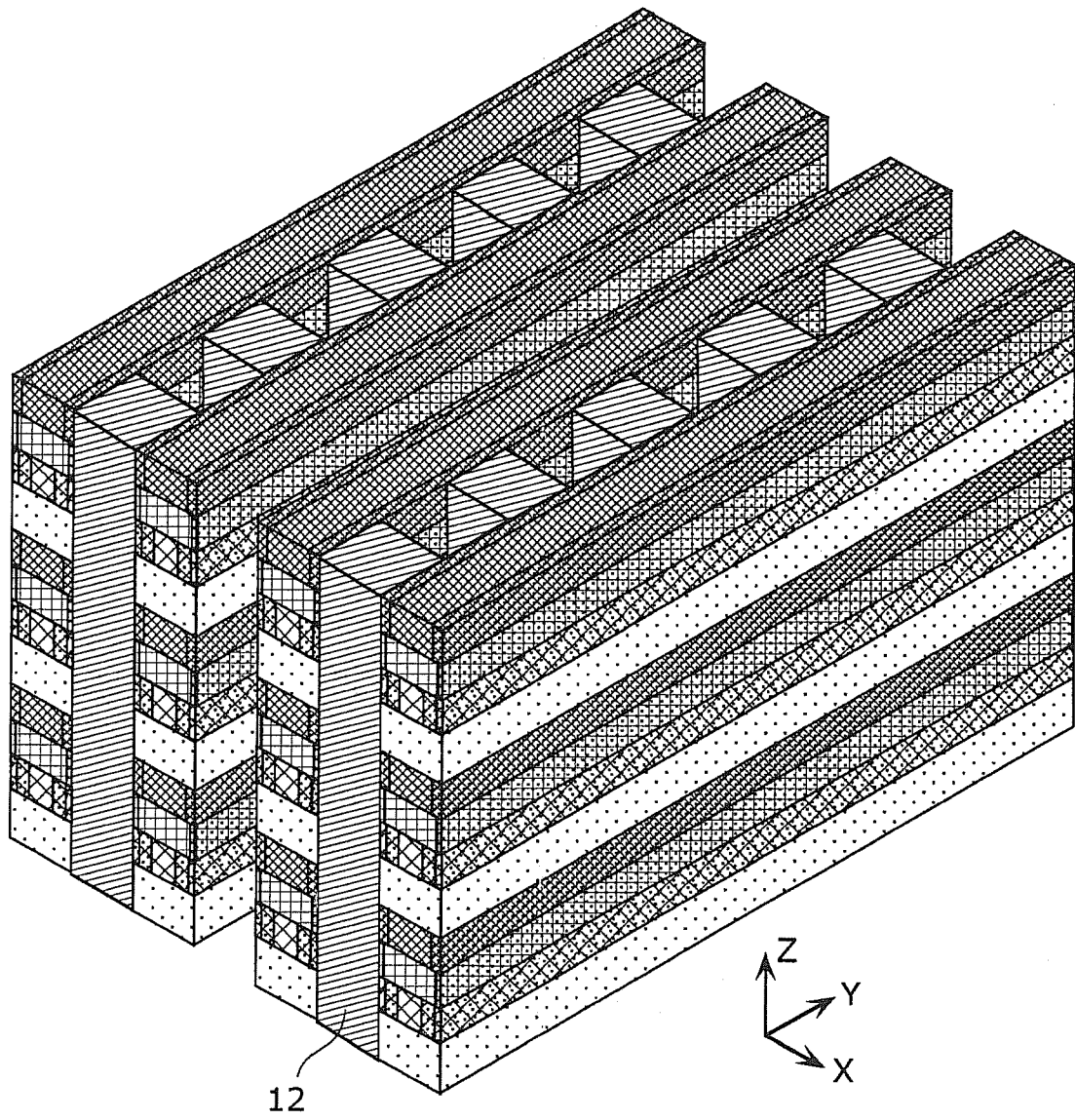
[図10]



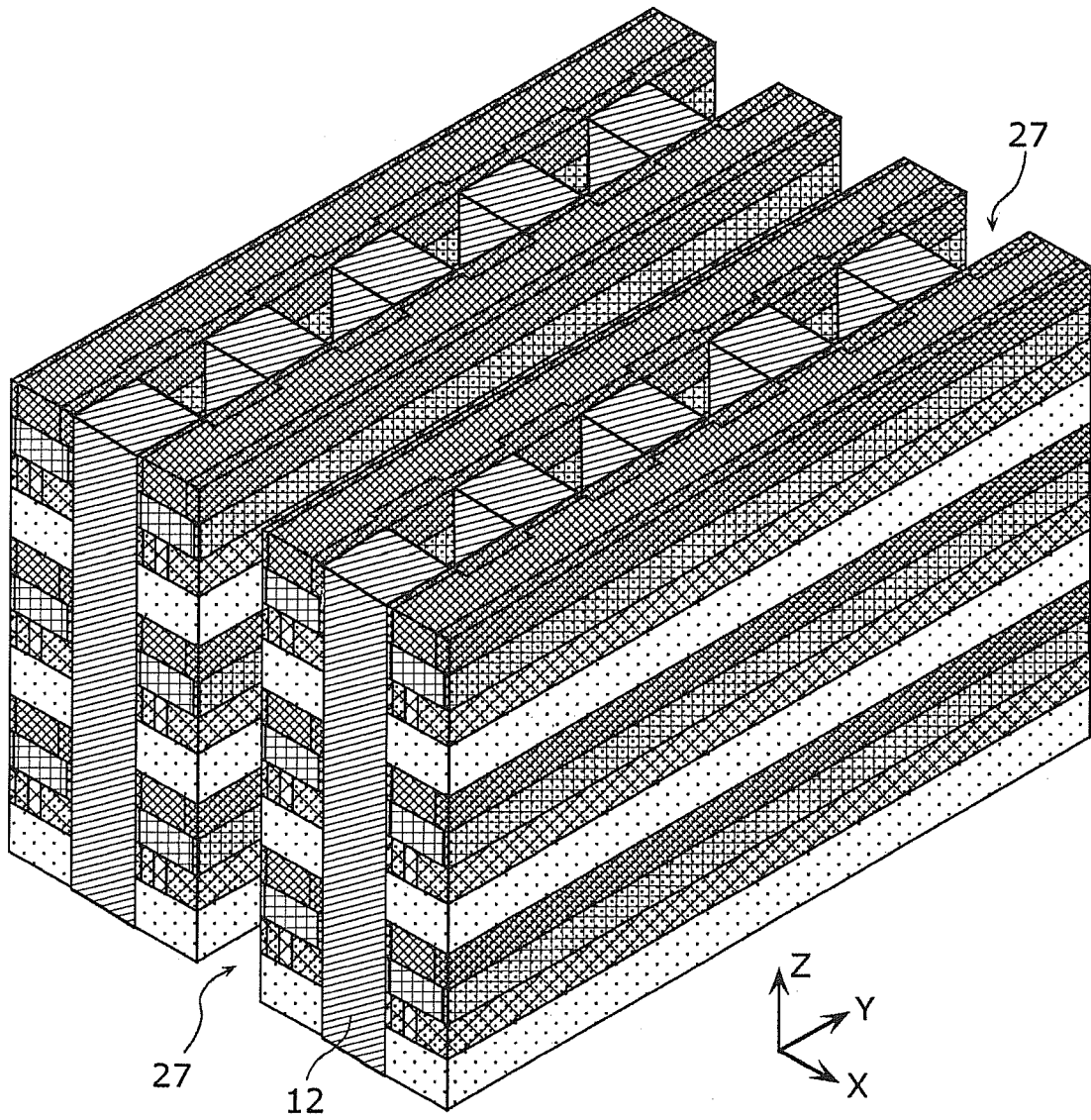
[図11]



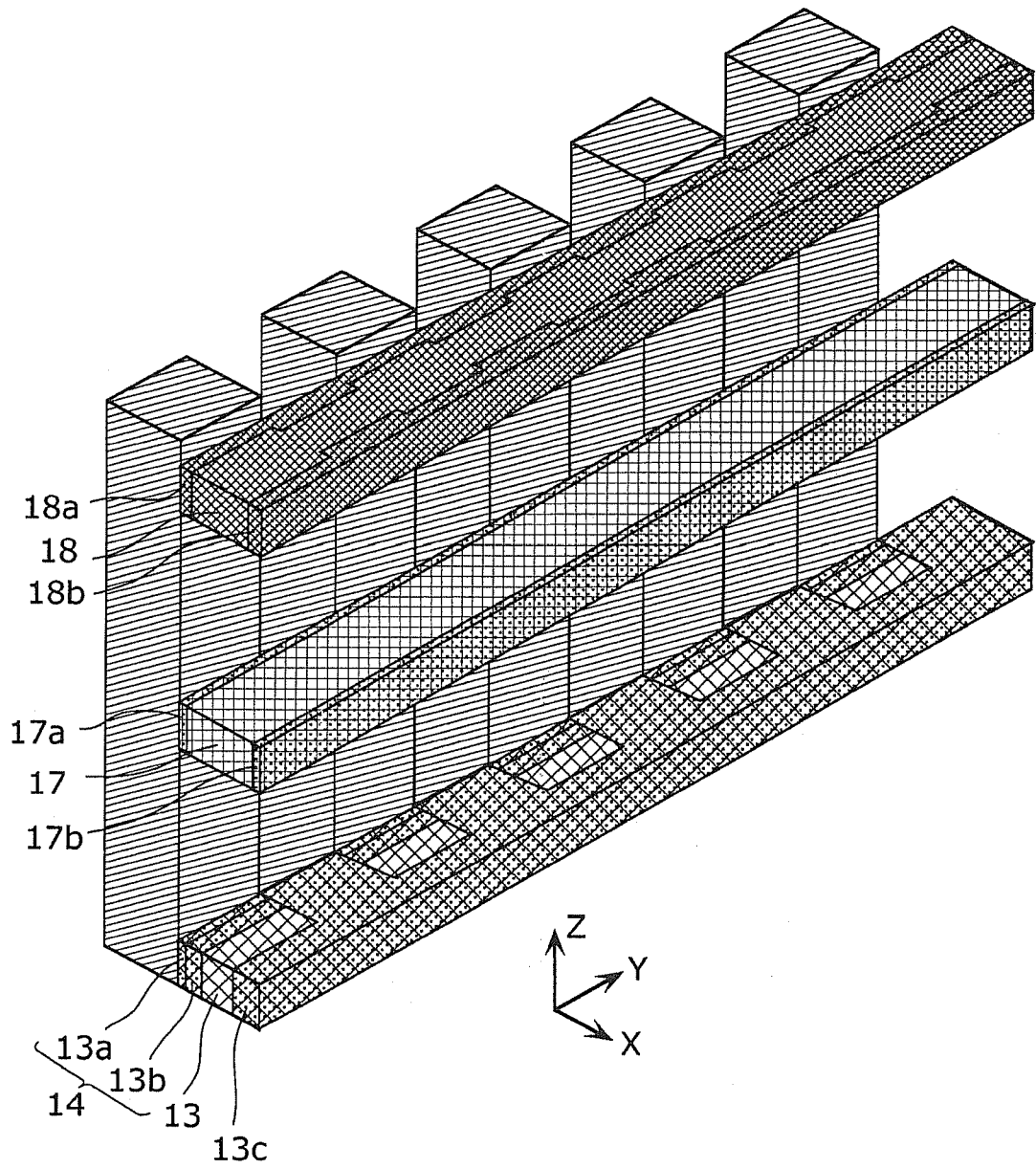
[図12]



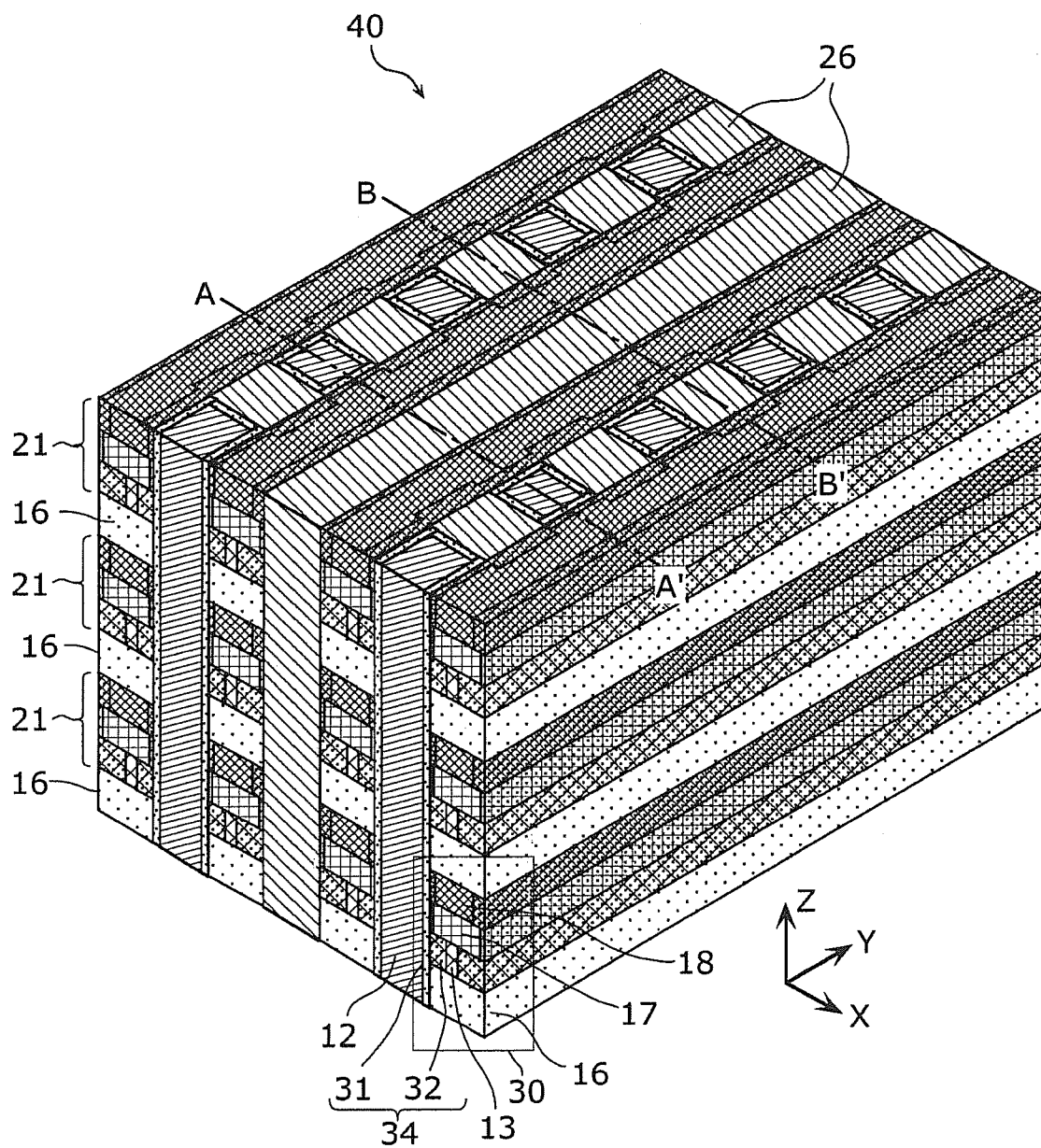
[図13]



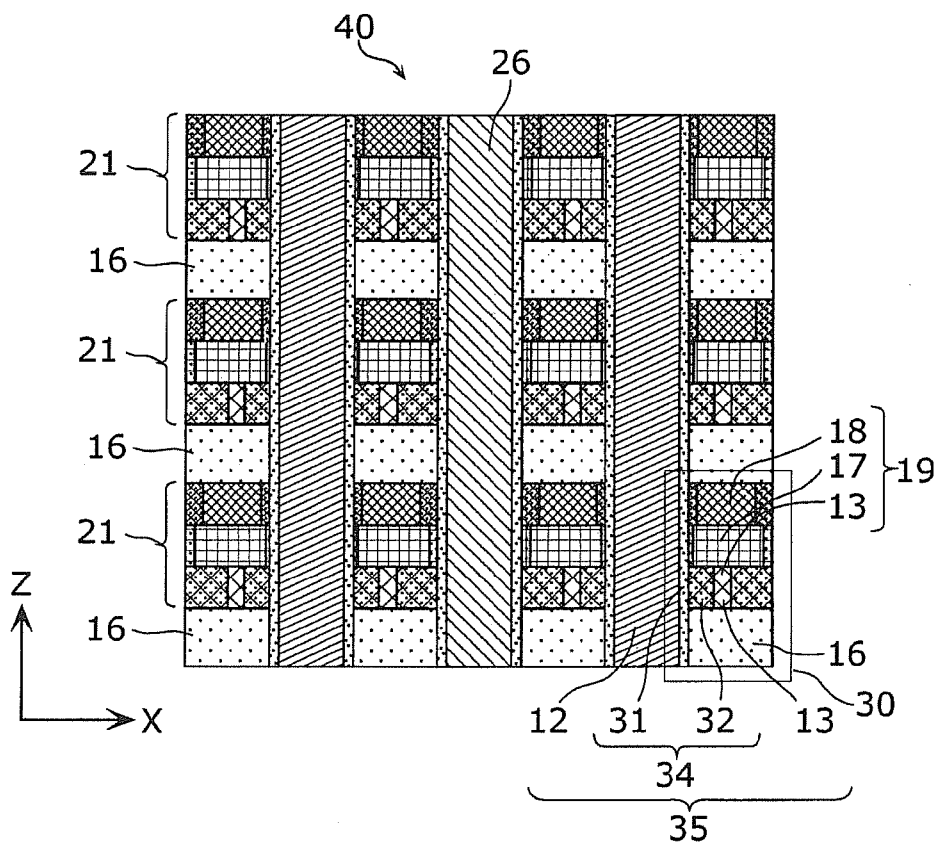
[図14]



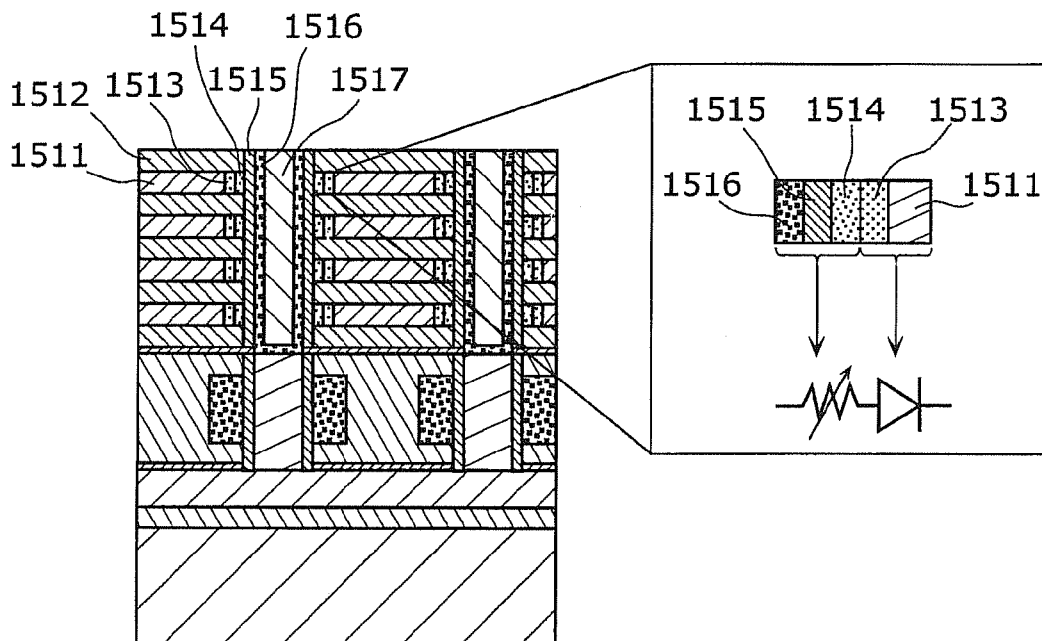
[図15A]



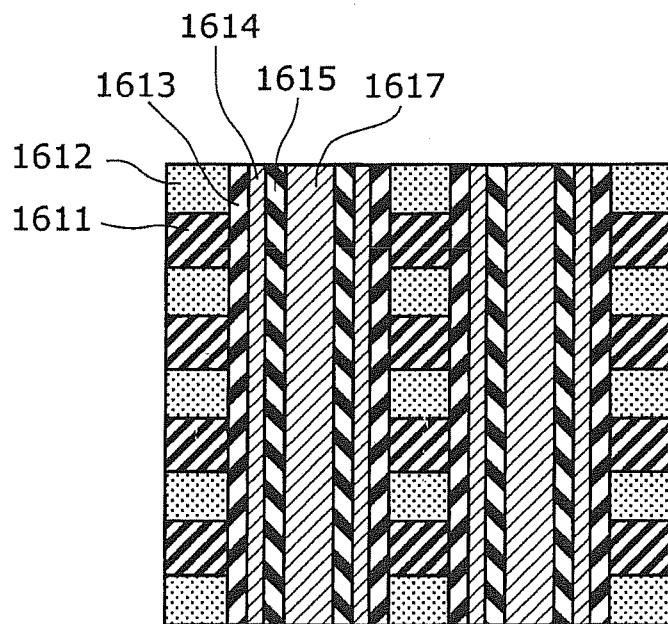
[図15B]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003697

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/105 (2006.01)i, G11C13/00 (2006.01)i, H01L 45/00 (2006.01)i, H01L 49/00 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/105, G11C13/00, H01L 45/00, H01L 49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2011	
Kokai	Jitsuyo	Shinan	Koho	1971-2011	Toroku	Jitsuyo	Shinan	Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-181978 A (To shiba Corp.), 07 August 2008 (07.08.2008), fig. 2 & US 2008/0175032 A1	1-20
A	JP 2010-74169 A (Samsung Electronics Co., Ltd.), 02 April 2010 (02.04.2010), fig. 1 & US 2010/0072452 A1 & KR 10-2010-0033303 A & CN 101677108 A	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O", document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
16 August, 2011 (16.08.11)

Date of mailing of the international search report  
30 August, 2011 (30.08.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H01L27/105 (2006.01) i, G11C13/00 (2006.01) i, H01L45/00 (2006.01) i, H01L49/00 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H01L27/105, G11C13/00, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-  
 日本国公開実用新案公報 1971-2  
 日本国実用新案登録公報 1996-  
 日本国登録実用新案公報 1994-2

国際調査で使用する電子データベース (データベースの名称、調査に使用した用語)  
 年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-181978 A (株式会社東芝) 2008.08.07, 図2 & US 2008/0175032 AI	1-20
A	JP 2010-74169 A (三星電子株式会社) 2010.04.02, 図1 & US 2010/0072452 AI & KR 10-2010-0033303 A & CN 101677108 A	1-20

c欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
IA) 特に関連のある文献ではなく、一般的な技術水準を示すもの	T) 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
IE) 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	X) 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
I) 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	IY) 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
Iθ) 口頭による開示、使用、展示等に言及する文献	I&) 同一パテントファミリー文献
IP) 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日  
 16.08.2011

国際調査報告の発送日  
 30.08.2011

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA / JP)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 須原 宏光  
 電話番号 03-3581-1101 内線 3462