(54) 发明名称
半导体装置及其制造方法

(57) 摘要
本发明提供一种半导体装置及其制造方法，包括提供一基底，该基底包含第一材料；于该基底上形成至少一个栅极堆叠，于该基底中形成一或多部凹槽，其中该一或多部凹槽定义至少一个源极区域及至少一个漏极区域；以及于该一或多部凹槽中形成一袋区，包括一第二材料的一第一层膜及包括一第三材料的一第二层膜，该袋区设置于该第一层膜及该基底之间。本发明在源极/漏极区域与基底界面之间提供接面的袋区，以改善短通道效应和/或降低漏电流。提升控制短通道效应能使得半导体装置的微缩化持续进行。本发明减少于源极/漏极区域的 SiGe 部分中的应力释放，以增进半导体装置的效能。本发明还降低通道掺杂。
1. 一种制造半导体装置的方法，包括：
   提供一基底，该基底包括一第一材料；
   于该基底上形成至少一个栅极堆叠；
   于该基底中形成一或多个凹槽，其中该一或多个凹槽定义至少一个源极区域及至少一个漏极区域；以及
   于该一或多个凹槽中形成一袋区，包括一第二材料的一第一层膜及包括一第三材料的一第二层膜，该袋区设置于该第一层膜及该基底之间，
   其中于该一或多个凹槽中形成该袋区，包括一第二材料的该第一层膜及包括一第三材料的该第二层膜包括：
   形成一第一组间隙壁邻接该至少一个栅极堆叠；
   形成一袋层于该第一组间隙壁及于该基底中的该一或多个凹槽的一侧边上；
   形成该第一层膜于该基底上以部分填充该一或多个凹槽；
   自该第一组间隙壁上移除该袋层，其中该留下的袋层于该一或多个凹槽中形成该袋区，且该袋区的一项表面共平面于该第一层膜的一项表面；
   移除包括位于该第一组间隙壁下方的该基底的一部分的该第一组间隙壁，其中该基底的该移除部分形成该一或多个凹槽的一延伸部；以及
   于该一或多个凹槽中的该第一层膜上形成该第二层膜以填充该一或多个凹槽，包括该一或多个凹槽的该延伸部。

2. 如权利要求1所述的制造半导体装置的方法，其中形成该袋区包括控制该袋区的一项表面及该栅极堆叠的一项表面之间的一距离。

3. 如权利要求1所述的制造半导体装置的方法，其中于该一或多个凹槽中形成该袋区，包括一第二材料的该第一层膜及包括一第三材料的该第二层膜还包括：
   形成一第二组间隙壁邻接该至少一个栅极堆叠。

4. 如权利要求3所述的制造半导体装置的方法，其中形成该第一层膜及形成该第二层膜分别包括进行一选择性外延生长工艺。

5. 一种制造半导体装置的方法，包括：
   提供一基底，该基底包括至少一个栅极堆叠设置于其上；
   于该基底上进行一或多个注入工艺；
   形成一间隙壁邻接该至少一个栅极堆叠；
   于该基底中形成一或多个凹槽，其中该一或多个凹槽定义至少一个源极区域及至少一个漏极区域；
   于该一或多个凹槽中形成一袋区，其中该袋区对准该间隙壁；
   形成一第一层膜以部分填充该一或多个凹槽，其中该第一层膜邻接于该一或多个凹槽中的该袋区；以及
   形成一第二层膜于该第一层膜及于该一或多个凹槽中的该袋区上，
   其中于该一或多个凹槽中形成该袋区包括；
   在形成该第一层膜以部分填充该一或多个凹槽前，沉积一介电层于邻接该至少一个栅极堆叠的该组间隙壁及该一或多个凹槽的一侧边上；
   在形成该第一层膜以部分填充该一或多个凹槽后，自邻接该至少一个栅极堆叠的该组
间隙壁上移除该介电层；以及
自该一或多个凹槽移除该介电层的一部分，使于该一或多个凹槽中的该第一层膜的一
项表面与该介电层为共平面。

6. 如权利要求 5 所述的制造半导体装置的方法，其中于该基底上进行该一或多个注入
工艺包括形成轻掺杂漏极区域、袋注入区域或上述的组合。

7. 如权利要求 5 所述的制造半导体装置的方法，其中形成该袋区及该第一层膜包括形成
该袋区的一项表面共平面于该第一层膜的一项表面。

8. 如权利要求 5 所述的制造半导体装置的方法，其中形成该袋区包括控制该袋区的
一项表面与该棚极堆叠的一项表面之间的一项距离。

9. 如权利要求 5 所述的制造半导体装置的方法，其中形成该第一层膜及形成该第二层
膜各自包括进行一选择性外延成长工艺。

10. 一种半导体装置，包括：
      一基底，至少一个应变通道区域设置于一源极区域及一漏极区域之间；
      至少一个棚极结构，设置于该至少一个应变通道区域上，该至少一个棚极结构包括一
      棚极堆叠及一组棚极间隙壁邻接该棚极堆叠。
      其中该源极区域及该漏极区域包括一介电袋区、第一层膜及第二层膜，该介电袋区设
      置于该第一层膜及该基底的该至少一个应变通道区域之间，该介电袋区的一项表面共平面
      于该第一层膜的一项表面，
          其中，通过以下方式形成该介电袋区、该第一层膜及该第二层膜；
          形成一袋层于该第一组间隙壁及于该基底中的该一或多个凹槽的一侧边上；
          形成该第一层膜于该基底上以部分填充该一或多个凹槽；
          自该第一组间隙壁上移除该介电袋层，其中留下的该介电袋层于该一或多个凹槽中形
          成该介电袋区，且该介电袋区的一项表面共平面于该第一层膜的一项表面；
          移除包括位于该第一组间隙壁下方的该基底的一部分的该第一组间隙壁，其中该基底
          的该移除部分形成该一或多个凹槽的一延伸部；以及
          自该一或多个凹槽中的该第一层膜上形成该第二层膜以填充该一或多个凹槽，包括该
          一或多个凹槽的该延伸部。

11. 如权利要求 10 所述的半导体装置，其中该源极区域及该漏极区域的该介电袋区对
      准于该至少一个棚极结构的该棚极间隙壁。

12. 如权利要求 11 所述的半导体装置，其中该第二层膜对准该至少一个棚极结构的该
      棚极间隙壁。

13. 如权利要求 10 所述的半导体装置，其中该第二层膜延伸于该至少一个棚极结构的
      该间隙壁下方，对准于该至少一个棚极结构的该棚极堆叠。
半导体装置及其制造方法

技术领域

[0001] 本发明涉及一种半导体装置的制造方法，特别是涉及一种关于增进装置效能和/或增进控制短通道效应的半导体装置的制造方法。

背景技术

[0002] 半导体集成电路（IC）产业已经历过快速的成长。IC材料和设计的技术进步使得IC的生产时代不停地推新，每个世代都较前个世代有更小及更复杂的电路。然而，这些进步也增加了制造IC工艺的复杂性，因此IC工艺也需要有同样的进展才能实现更先进的集成电路IC工艺。

[0003] 在IC革新过程中，功能密度（亦即每个晶片区域上互连装置的数量）已普遍地增加，然而几何尺寸（亦即在工艺中所能创造的最小元件（或线（line）））也越来越小。这些缩小尺寸的工艺通常能增加产品效能和提供较低的相关成本。晶体管（例如金属氧化物半导体场效晶体管（MOSFET））即为IC装置经历这样微缩化过程的一个例子。为了增加晶体管的效能，常将应力引至晶体管通道中以增进迁移率强化（improving mobility）。引进应力的方法可为使IC装置含有硅基底及硅锗（SiGe）源极/漏极区域。SiGe源极/漏极区域引进应力至硅通道中。一般而言，会于硅基底中形成SiGe源极/漏极区域，然后对装置进行一或多注入工艺。已发现相容的注入工艺会松驰SiGe所诱导的应力。再者，于基底/SiGe源极/漏极区域界面产生的缺陷（defect）会通过增强扩散而提高短通道效应。

[0004] 因此，急需一种解决上述问题的半导体装置及其制造方法。

发明内容

[0005] 本发明提供一种制造半导体装置的方法，包括：提供一基底，该基底包括第一材料；于该基底上形成至少一个栅极堆叠；于该基底中形成一或多个凹槽，其中该一或多个凹槽定义至少一个源极区域及至少一个漏极区域；以及于该一或多个凹槽中形成一袋区、包括一第二材料的一第一层膜及包括一第三材料个一第二层膜，该袋区设置于该第一层膜及该基底之间。

[0006] 本发明也提供一种制造半导体装置的方法，包括：提供一基底，该基底包括至少一个栅极堆叠设置于其上；于该基底上进行一或多个注入工艺；形成一组间隙壁邻接该至少一个栅极堆叠；于该基底中形成一或多个凹槽，其中该一或多个凹槽定义至少一个源极区域及至少一个漏极区域；于该一或多个凹槽中形成一袋区，其中该袋区实质上对准该间隙壁；形成一第一层膜以部分填充该一或多个凹槽，其中该第一层膜邻接于该一或多个凹槽中的该袋区；以及形成一第二层膜于该第一层膜及于该一或多个凹槽中的该袋区上。

[0007] 本发明还提供一种半导体装置，包括：一基底，具有至少一个应变通道区域设置于一源极区域及一漏极区域之间；至少一个栅极结构，设置于该至少一个应变通道区域上，该至少一个栅极结构包括于一栅极堆叠及一组栅极间隙壁邻接该栅极堆叠；其中该源极区域及该漏极区域包括一介电袋区、第一层膜及第二层膜，该介电袋区设置于该第一层膜及该基
底的该至少一个应变通道区域之间，该介电材料区的一项表面实质上共平面于该第一层膜的一项表面。

【0008】本发明在源极/漏极区域与基底界面之间提供第二层的袋区234,其可明显的改善通道效应和/或降低漏电流。提升控制短通道效应能使其半导体装置的微缩化持续进行。再者，本发明可减少于源极/漏极区域的SiGe部分中的应力松弛，以增强半导体装置的效能。本发明及降低通道掺杂量。

附图说明

【0009】图1为一实施例的制造半导体装置的方法的流程图。
【0010】图2A至图2G为根据一实施例的方法中的半导体装置的工艺剖面图。
【0011】图3A至图3G为根据一实施例的方法中的半导体装置的工艺剖面图。
【0012】图4为一实施例的制造半导体装置的方法的流程图。
【0013】图5A至图5G为根据一实施例的方法中的半导体装置的工艺剖面图。
【0014】图6A至图6G为根据一实施例的方法中的半导体装置的工艺剖面图。
【0015】并，上述附图中的附图识别说明如下：
【0016】200～半导体装置;210～基底;212～隔离区域;220～栅极结构;222～栅极介电层;224～栅极层;226～虚置栅极间隙壁;228～凹槽;230～袋层;232～第一层膜;233～应变通道;234～袋区;236～第二层膜;237～栅极间隙衬垫;238～栅极间隙壁;300～半导体装置;310～基底;312～隔离区域;320～栅极结构;322～栅极介电层;324～栅极层;326～虚置栅极间隙壁;328～凹槽;330～袋层;332～第一层膜;333～应变通道;334～袋区;336～第二层膜;337～栅极间隙衬垫;338～栅极间隙壁;500～半导体装置;510～基底;512～隔离区域;520～栅极结构;522～栅极介电层;524～栅极层;526～LDD区域;527～栅极间隙衬垫;528～栅极间隙壁;530～凹槽;532～袋层;534～第一层膜;536～袋区;538～第二层膜;600～半导体装置;610～基底;612～隔离区域;620～栅极结构;622～栅极介电层;624～栅极层;626～LDD区域;627～栅极间隙衬垫;628～栅极间隙壁;630～凹槽;632～袋层;634～第一层膜;635～应变通道;636～袋区;638～第二层膜

具体实施方式

【0017】本发明是有关于半导体装置的制造方法，特别是有关于增益装置效能和/或增益控制短通道效应的半导体装置的制造方法。有关各实施例的制造和使用方式是如以下所详述。然而，值得注意的是，本发明所提供的各种可应用的发明概念是依具体内文的各种变化据以实施，且在此所讨论的具体实施例仅是用来显示具体使用和制造本发明的方法，而不用以限制本发明的范围。以下是通过多种附图及例式说明本发明较佳实施例的制造过程。在本发明各种不同的各种实施例和附图中，相同的附图标记代表相同或相似的元件。此外，当一层材料层是位于另一材料层或基底之上时，其可以是直接位于其表面上或另外插入有其他中介层。
图 2G、图 3A 至图 3G 为根据一实施例的方法 100 中的半导体装置 200、300 的工艺剖面图。图 4 为一实施例的制造半导体装置 500、600 的方法 400 的流程图。图 5A 至图 5G、图 6A 至图 6G 为根据一实施例的方法 400 中的半导体装置 500、600 的工艺剖面图。要了解可于方法 100、400 之前、之中、及之后进行额外的步骤，且可置换或移除下述步骤中的其中一些以成为方法的其他实施例。还要了解可于半导体装置 200、300、500、600 中加入额外的元件，且可置换或移除下述元件中的其中一些以成为半导体装置 200、300、500、600 的其他实施例。本发明的方法 100、400 及半导体装置 200、300、500、600 提供具有增进装置效能的半导体装置。

【0019】半导体装置 200、300、500、600 可在先棚极工艺（gate first process）、后棚极工艺（gate late process）、或包括先棚极工艺及后棚极工艺的混合工艺中形成。在先棚极工艺中，可先形成金属棚极结构，然后可进行 CMOS 工艺以制造最终装置。在后棚极工艺中，首先可形成虚置（dummy）多晶棚极结构，接着可继续正规的 CMOS 工艺直到沉积层间介电层（interlayer dielectric；ILD），接着可移除虚置多晶棚极结构并以金属棚极结构取代。在混合（hybrid）棚极工艺中，可先形成一类型装置的金属棚极结构，然后再形成另一类型装置的金属棚极结构。

【0020】请参考图 1 及图 2A，方法 100 起始于步骤 102，提供包括一或多个隔离区域 212 及至少一个棚极结构 220 的基底 210。于一实施例中，基底 210 为包括硅的半导体基底。基底 210 可包括元素半导体，包括结晶、多晶和/或非结晶结构的硅或锗；化合物半导体，包括硫化硅、砷化镓、磷化镓、磷化铜、砷化铜和/或砷化镓；合金半导体，包括 SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP 和/或 GaInAsP；其他合适的材料和/或上述的组合。于一实施例中，合金半导体基底可具有梯度浓度的 SiGe 元件，其中 Si 与 Ge 的组成由在一位置的比例转变为另一位置的另一比例。于其他实施例中，合金 SiGe 是形成于硅基底上。于其他实施例中，SiGe 基底具有应力。再者，基底可为绝缘层上覆半导体，例如绝缘层上覆硅（SOI）或薄膜晶体管（TFT）。于一些例子中，基底可包括掺杂的外延层或埋层。于其他例子中，化合物半导体基底可具有多层结构，或硅基底可包括多层化合物半导体结构。于一些例子中，基底可包括非半导体材料，例如玻璃。

【0021】半导体装置 200 包括形成于半导体基底 210 上的至少一个隔离区域 212。隔离区域 212 可利用隔离技术，例如局部硅氧化（LOCOS）或浅沟槽隔离（STI），以定义与电性分隔基底 210 中不同的区域，如主动与被动区域。于一实施例中，可由适当工艺形成隔离区域 212，如 STI。举例而言，形成 STI 的方法可包括以一般光刻工艺图案化半导体基底。于基底中（举例而言，通过干蚀刻、湿蚀刻和/或等离子体蚀刻工艺）蚀刻沟槽；及（举例而言，通过以化学气相沉积（CVD）工艺）将如氧化硅、氮化硅、氮氧化硅、氮掺杂硅玻璃（FSG）、低介电材料、其他类似物和/或上述的组合的介电材料填入沟槽。于一些实施例中，填满的沟槽可具有多层结构，例如以氧化硅或氧化硅填充的热氧化衬垫层。于其他实施例中，STI 可利用如下的制造顺序形成：成长氧化层；以低压化学气相沉积法形成氮化层；利用光致抗蚀剂及掩模图案化 STI 开口；于基底中蚀刻沟槽；任选的成长热氧化沟槽衬垫以改善沟槽界面；以 CVD 氧化物填充沟槽；以化学机械研磨（CMP）工艺回蚀刻及平坦化；以及利用氮化物剥除工艺移除氮化硅。

【0022】至少一个棚极结构 220 设置于半导体基底 210 上。要了解的是，也可形成多个棚极
结构220。栅极结构220可利用任何合适的工艺形成。举例而言, 栅极结构220可利用一般的沉积、光刻图案化及蚀刻工艺, 和/或上述的组合的方法形成。沉积工艺可包括化学气相沉积法(CVD)、物理气相沉积法(PVD)、原子层沉积法(ALD)、高密度等离子体CVD(HPCVD)、金属有机CVD(MOCVD)、等离子体增强CVD(PECVD)、溅镀法、电镀法、旋转涂布法, 其他合适的工艺, 和/或上述的组合。光刻图案化工艺可包括光致抗蚀剂层涂布(例如旋转涂布)、软烤(soft baking)、掩模对准、曝光、曝光后烘烤(post-exposure baking)、显影(developing the photoresist)、浸润、烘干(例如硬烤)、其他合适的工艺, 和/或上述的组合。也可以例如无光罩光刻(masklessphotolithography)、电子束刻写(electron-beam writing)、离子束刻写(ion-beamwriting)及分子转印(molecular imprint)的其他合适的方法进行或取代光刻曝光工艺。蚀刻工艺可包括干蚀刻、湿蚀刻, 和/或其他蚀刻方法(例如反应性离子蚀刻法(reactive ion etching))。蚀刻工艺也可为纯化学(等离子体蚀刻)、纯物理(离子束研磨(i on milling))、和/或上述的组合的方法。要了解栅极结构220可以于所述的工艺组合形成。

【0023】于一实施例中, 栅极结构220包括栅极介电层222、栅极层224, 及虚置栅极间隙壁226。要了解的是栅极结构220可包括额外的层膜于栅极介电层222和/或栅极层224的上方和/或下方。举例而言, 栅极结构220可包括界面层、氮层、扩散/阻障层、介电层、导电层、其他合适的层膜和/或上述的组合。或者, 半导体装置200可包括界面层、氮层、扩散/阻障层、介电层、导电层、其他合适的层膜和/或上述的组合。于一些实施例中, 半导体装置200可包括一或多者抗反射涂布层, 例如抗反射涂布层和/或抗反射涂布层。

【0024】栅极介电层222设置于半导体基底210上。栅极介电层222可包括任何合适的厚度及合适的材料, 例如氧化硅、氮化硅、氮氧化硅、氧化铝、氧化硅、氧化钛、氧化铝、氧化铝-氧化铝(HfO2-Al2O3)合金、金属氧化物、金属氮化物、金属硅化物、过渡金属氧化物、过渡金属氮化物、过渡金属硅化物、金属的氮氧化物、金属酸铝盐、锆酸盐、锆铝酸盐、HfO2、HfSiO、HfSiON、HfTaO、HfTaTiO、HfTiO、HfZrO、HfAlO、其他合适的介电材料, 和/或上述的组合。栅极介电层222可还包括多层结构, 其包括多个介电材料。于一些实施例中, 栅极介电层222可包括二氧化硅层及高介电常数介电材料层。栅极介电层222可以包括于所述的工艺的任何合适的工艺形成。

【0025】栅极层224设置于栅极介电层222上。栅极层224包括任何合适的厚度及合适的材料。举例而言, 栅极层224可包括多晶硅、含硅材料、含砷材料、金属, 例如铝、铜、钙、钛、钽、氮化钛、氮化钽、硅化镓、硅化钨; 其他适当的导电材料; 其他合适的材料; 和/或上述的组合。于一些实施例中, 栅极层224可包括多层结构。栅极层224可以包括于此所述的工艺的任何合适的工艺形成。

【0026】栅极结构220还包括虚置栅极间隙壁226。虚置栅极间隙壁226可包括任何合适的厚度。于一实施例中, 虚置栅极间隙壁226包括介于约100 Å至约300 Å的厚度。设置于栅极结构220的各个侧边上的虚置栅极间隙壁226可包括介电材料, 例如氮化硅、氧化硅、碳化硅、氮氧化硅、其他合适的材料, 和/或上述的组合。于一实施例中, 虚置栅极间隙壁226包括氮化材料(例如氮化硅)。于一些实施例中, 虚置栅极间隙壁226可包括多层结构。虚置栅极间隙壁226可以包括于所述的工艺的任何合适的工艺形成。于一些实施例中, 栅极结构220还包括虚置间隙壁衬层(dummy spacer liner)。
[0027] 请参考图 1 及图 2B 至图 2G，形成一或多个源极 / 源极区域，其中源极 / 源极区域包括袋区。在步骤 104，一或多个沟槽 (trench) (或凹槽 (recess)) 形成于基底中。一或多个凹槽定义半导体装置 200 的源极区域及需极区域（统称为源极 / 源极区域）。于一实施例中，如图 2B 中所示，一或多个凹槽 228 形成于至少一个栅极结构 220 的各个侧边。凹槽 228 可以任何合适的工艺形成。举例而言，凹槽 228 可以选择性蚀刻工艺形成。选择性蚀刻工艺可使用湿蚀刻工艺、干蚀刻工艺、或上述的组合。举例而言，湿蚀刻工艺可包括暴露于含氢氧离子的溶液（例如氢氧化铵）、去离子水、和 / 或其他合适的蚀刻剂溶液中。于其他例子中，形成凹槽 214 的步骤可包括通过一般工艺图案化半导体装置 200，例如于半导体装置 200 上形成光致抗蚀剂层；以一般光刻工艺图案化光致抗蚀剂层；于基底 210 中蚀刻凹槽 228。蚀刻工艺可使用一或多的蚀刻步骤，且可为干蚀刻、湿蚀刻、和 / 或其他蚀刻方法（例如反应性离子蚀刻法）。蚀刻工艺也可为纯化学（等离子体蚀刻）、纯物理（离子束研磨）、和 / 或上述的组合的方法。要了解可调变蚀刻工艺以造成不同的轮廓。

[0028] 在步骤 106，沿着至少一个栅极结构的侧边及一或多个凹槽的侧边形成袋层。请参考图 2C，袋层 230 形成于阶梯接合栅极间隙壁 226 及凹槽 228 的垂直侧壁。袋层 230 实质上自至少一个栅极结构 220 的顶表面延伸至凹槽 228 的底表面。袋层 230 可以包括于此所述的工艺的任何合适的工艺形成。袋层 230 包括任何合适的材料。于一实施例中，袋层 230 包括介电材料，具体的说，包括氧化硅、氮化硅、和 / 或氧化铝。介电材料可以包括氧化硅、氧化铝、氧化镁、氧化钛、氧化铝、二氧化硅、氧化铝或氧化铝 (HfO2-Al2O3) 合金、金属氧化物、金属氮化物、金属硅化物、氧化金属氧化物、金属氧化物的氧化物、金属氧化物的氮化物、金属氧化物的硅化物、氧化物、氧化铝、氧化硅、氧化铝、HfSiO、HfSiON、HfTaO、HfTaTiO、HfTiO、HfZrO、HfAlON、其它合适的介电材料。要了解袋层 230 可包括多层结构。袋层 230 还包括任何合适的厚度。于一实施例中，袋层 230 包括介于约 50 Å 至约 200 Å 的厚度。

[0029] 然后，在步骤 108，于一或多凹槽上形成第一层膜，其中第一层膜至少部分填充一或多个凹槽。请参考图 2C，形成第一层膜 232 以部分填充凹槽 228。第一层膜 232 可以任何合适的工艺形成。于一实施例中，第一层膜 232 是以一或多的外延成长工艺形成。外延工艺包括 CVD 沉积工艺（例如气相外延 (VPE) 和 / 或超真空 CVD (UV-CVD)）、分子束外延、和 / 或其他合适的工艺。外延工艺可使用气体和 / 或液体前驱物，其与基底 210 的组成（例如硅）反应。第一层膜 232 包括任何合适的材料，例如外延成长的硅、SiGe、SiC、和 / 或上述的组合。于一实施例中，第一层膜 232 包括外延成长的 SiGe。包括第一层膜 232 (亦即外延成长的 SiGe) 的凹槽 228（其定义源极 / 源极区域）到达于基底 210 中的应变通道 (strained channel) 233。应变通道可提升载子迁移率并增加半导体装置 200 的效能。要了解的是，于一些实施例中，可形成第一层膜 232 以整个填充凹槽 228。于一些实施例中，第一层膜 232 可形成延伸至凹槽 228 的顶表面上，以形成提升 (raised) 源极 / 源极结构。

[0030] 请参考图 1 及图 2D，在步骤 110，自至少一个栅极结构的侧边移除袋层。更具体的说，自栅极结构 220 的各个侧边移除袋层 230。袋层可以任何合适的工艺移除，包括于此所述的工艺。举例而言，袋层 230 可以选择性蚀刻工艺形成。选择性蚀刻工艺可使用一或多的湿蚀刻工艺、干蚀刻工艺、或上述的组合。于一实施例中，袋层 230 是以湿蚀刻工艺移除。湿蚀刻工艺可包括暴露于含氢氧离子的溶液（例如氢氧化铵）、去离子水、和 / 或其他合适的蚀刻剂溶液中。于一实施例中，也移除于凹槽 228 中的部分袋层 230。移除于凹槽 228 中
的袋层 230，其中袋层 230 的顶表面实质上共平面于第一层膜 232 的顶表面。要了解的是本发明实施例并未限定袋层 230 移除的部分。

【0031】 具有应变通道的半导体装置常包括硅基底及源极 / 漏极区域。源极 / 漏极区域包括外延成长的 SiGe 和 / 或 Si。SiGe 源极 / 漏极区域能提升电子电洞迁移率强化。然而，在制造过程中，这些装置常暴露于一或多个注入工艺（例如形成包括轻掺杂漏极 LDD 区域和 / 或基底的各种区域的离子注入工艺）。已发现一或多个注入工艺会减缓由 SiGe 源极 / 漏极区域所诱导的应力。实质上，注入工艺可于 SiGe 源极 / 漏极区域中造成松弛，其会降低应变效果。再者，于 SiGe 源极 / 漏极区域及基底的界面的缺陷会通过增强扩散而提

【0032】 因此，在一实施例中，留下的袋层 230 于凹槽 228（其定义源极 / 漏极区域）中形成袋区 234。袋区 234 设置于第一层膜 232 的表面（即源极 / 漏极区域的外延成长的 SiGe 部分）及基底 210（亦即硅基底）之间。因此，源极 / 漏极区域包括袋区 234（于一实施例中，介电袋区）。如上所注意的，第一层膜 232 的顶表面实质上共平面于袋区 234 的顶表面。也应注意，袋区 234 的顶表面与栅极结构 220（例如栅极结构的栅极堆叠）的底表面之间的距离是控制（或维持）在目标范围内。目标范围提供袋区 234 的顶表面及栅极结构 220 的底表面之间的距离范围，或其将避免漏电流并增强应变区的作用。于一实施例中，是控制袋区 234 的顶表面及栅极介电层 222（其亦即栅极结构 220 的栅极堆叠）的底表面之间的距离，以避免漏电流并增强应变区的作用。

【0033】 实质上于源极 / 漏极区域与基底界面之间提供插入面 abrupt junction 的袋区 234，其可明显的改善短频道效应和 / 或降低漏电流。提升控制短频道效应能使半导体装置的微缩化持续进行。再者，在一实施例中，方法 100 可减少于源极 / 漏极区域的 SiGe 部分中的应力松弛，以增进半导体装置 200 的效能。本发明实施例可降低通道掺杂度 channel doping level。要了解的是，本发明实施例可提供一些、全部、无与所述所述的好处。还要了解的是，于此种所述的不同实施例提供不同的好处，所有的实施例并不一定需要特别的好处。

【0034】 在步骤 112，延伸一或多个凹槽，凹槽 228 是以移除栅极间隙壁 226，包括位于虚

【0035】 在步骤 114，然后于一或多个凹槽上形成第二层膜。请参考图 2F，形成第二层膜 236 以部分填充凹槽 228，其中第二层膜 236 填充凹槽延伸部 recessextension。于一些实施例中，可形成第二层膜 236 可形成延伸至凹槽 228 的顶表面上，以形成提升源极 / 漏极结构。第二层膜 236 可以任何合适的工艺形成。于一实施例中，第二层膜 236 是以外延成长法形成。外延工艺可包含 CVD 沉
积技术（例如气相外延（VPE）及/或超真空CVD（UHV-CVD））、分子束外延、ICP-MS或其它合适的工艺。外延工艺可使用气体和/或液体前驱物，其与基底210的组成（例如硅）反应。第二层膜236包括任何合适的材料，例如外延生长的SiGe、SiC、Si和/或上述的组合。于一实施例中，第二层膜236包括外延生长的SiGe。第二层膜236包括任何合适的厚度。举例而言，第二层膜236可包括介于约50Å至约200Å的厚度。

【0036】于一实施例中，外延生长的第一层膜232及第二层膜236可在外延生长中同步掺杂（in-situ doped）或不掺杂。举例而言，于一实施例中，第一层膜232包括未掺杂的外延生长的SiGe，且第二层膜236包括同步掺杂的外延生长的SiGe。当第一层膜232和/或第二层膜236未掺杂时，要了解的是未掺杂的层膜可于后来的工艺掺杂。未掺杂的层膜可以一或多个各种注入工艺掺杂。各种注入工艺可包括一般的离子注入工艺，等离子体浸置离子注入（plasmaimmersion ion implantation, PII）工艺，气态和/或固态源扩散工艺，其它合适的工艺，和/或上述的组合。第一层膜232和/或第二层膜236可还暴露于退火工艺下，例如快速退火工艺。各种注入和/或退火工艺可在制造半导体装置200的过程中中的任何适当时间进行。

【0037】请参考图10及图26，在步骤116，于基底210上形成一或多个栅极间隙壁垒。也可形成一或多个栅极间隙壁垒衬垫。于一实施例中，栅极间隙壁垒衬垫237及栅极间隙壁垒238是设置于栅极结构220的栅极介电层222/栅极层224的各个侧边（例如，ardless栅极结构220的栅极介电层222/栅极层224的侧壁）。栅极间隙壁垒衬垫237可包括任何合适的材料，并可以任何合适的工艺形成。举例而言，栅极间隙壁垒衬垫237可包括间隙壁垒氧化物。栅极间隙壁垒238可包括介电材料，例如氧化硅、氧化硅、碳化硅、氮氧化硅、其他合适的材料，和/或上述的组合。于一实施例中，栅极间隙壁垒238包括氧化硅。栅极间隙壁垒238可以任何合适的工艺形成。于一实施例中，栅极间隙壁垒238的形成方式可为在基底装置200上，然后进行非等向性蚀刻以移除介电层，以形成如图26中所示的栅极间隙壁垒238。于一实施例中，栅极间隙壁垒衬垫237和/或栅极间隙壁垒238可包括多层结构。于一实施例中，可部分或整个省略栅极间隙壁垒衬垫237和/或栅极间隙壁垒238。

【0038】图3A至图3G为根据图1的方法的另一实施例的半导体装置300的工艺剖面图。半导体装置300相较于半导体装置200。请参考图3A，在步骤102，提供包括一或多个隔离区域312及至少一个栅极结构320的基底310。至少一个栅极结构320包括栅极堆叠（亦即栅极介电层322及栅极层324）及虚置栅极间隙壁垒326。基底310包括隔离区域312，包括栅极介电层322，栅极层324，及虚置栅极间隙壁垒326的栅极结构320可类似于图2A中所述的基底210，隔离区域212，包括栅极介电层222，栅极层224，及虚置栅极间隙壁垒226的栅极结构220。

【0039】请参考图1及图3B至图3G，形成一或多个源极/漏极区域，其中源极/漏极区域包括衬区。在步骤104，一或多个沟槽（或凹槽）形成于基底中。一或多个凹槽定义半导体装置300的源极区域及漏极区域（统称为源极/漏极区域）。于一实施例中，如图3B中所示，一或多个凹槽328形成于至少一个栅极结构320的各个侧边。凹槽328可以任何合适的工艺形成，且可类似于图2B中所述的凹槽228。于一实施例中，凹槽328为等向凹槽，其是以一或多个等向蚀刻工艺形成。等向蚀刻工艺形成凹槽328，其延伸至栅极结构320下方。更具体的说，于一实施例中，延伸至虚置栅极间隙壁垒326下方。要了解的是，等向凹槽328
可延伸至栅极结构 320 下方的任何距离。再者，凹槽 328 包括任何合适的轮廓。如图 3B 中所示，凹槽 228 的至少一个垂直侧壁包括弯曲轮廓。

【0040】在步骤 106，沿着至少一个栅极结构的侧边及一或多个凹槽的侧边形成袋层。请参考图 3C，袋层 330 形成于邻接虚置栅极间隙壁 326 及凹槽 328 的垂直、弯曲侧壁。然后，在步骤 108，于一或多个凹槽上形成第一层膜，其中第一层膜至少部分填充一或多个凹槽。更具体的说，形成第一层膜 332 以部分填充凹槽 328。袋层 330 及第一层膜 332 相似于图 2C 中所示的袋层 230 及第一层膜 232。于一实施例中，第一层膜 332 包括外延生长的 SiGe。包括第一层膜 332（亦即外延生长的 SiGe）的凹槽 328（其定义源极 / 漏极区域）到达于基底 310 中的应变通道 333。应变通道可提升载子迁移率并增进半导体装置 300 的效能。应要注意的是，于一实施例中，等向凹槽 328 增加于凹槽 328 中的外延生长的 SiGe 其体积，具体的说，于凹槽 328 中的第一层膜 332 的体积。具有第一层膜 332 的等向凹槽 328 可提升基底 310 中的应变通道效应，进而增进半导体装置 300 的效能。

【0041】请参考图 1 及图 3D，在步骤 110，自至少一个栅极结构的侧边移除袋层。更具体的说，自栅极结构 320 的各个侧边移除袋层 330。袋层 330 可以任何合适的工艺移除，包括于此所述的工艺。于一实施例中，也移除于凹槽 328 中的全部袋层 330。移除于凹槽 328 中的袋层 330，其中袋层 330 的顶表面实质上共平面于第一层膜 332 的顶表面。留下的袋层 330 于凹槽 328（其定义源极 / 漏极区域）中形成袋区 334。袋区 334 设置于第一层膜 332（亦即源极 / 漏极区域的外延生长的 SiGe 部分）的界面及基底 310（亦即硅基底）之间。因此，源极 / 漏极区域包括袋区 334（于一实施例中，介电袋区）。

【0042】如上所注意的，第一层膜 332 的顶表面实质上共平面于袋区 334 的顶表面。也应要注意，袋区 334 的顶表面与栅极结构 320（例如栅极结构的栅极堆叠）的底表面之间的距离是控制（或维持）为目标范围内。目标范围提供袋区 334 的顶表面及栅极结构 320 的底表面之间的距离范围，其将避免漏电流并增强应变区域的作用。于一实施例中，是控制袋区 334 的顶表面及栅极介电层 322（亦即栅极结构 320 的栅极堆叠）的底表面之间的距离，以避免漏电流并增强应变区域的作用。

【0043】实质上于源极 / 漏极区域与基底界面之间提供陡接面的袋区 334，其可明显的改善短通道效应和 / 或降低漏电流。提升控制短通道效应的能提升半导体装置的微缩化持续进行。再者，于一实施例中，方法 100 可减少于源极 / 漏极区域的 SiGe 部分中的应力松弛，和 / 或降低通道掺杂度，以增进半导体装置 300 的效能。要了解的是，本发明实施例可提供一些、全部、或无于本所述的好处。还要了解的是，于本所述的不同实施例提供不同的好处，所有的实施例并不要求特别的好处。

【0044】在步骤 112，延伸一或多个凹槽。凹槽 328 是以移除虚置栅极间隙壁 326，包括位于虚置栅极间隙壁 326 下方的基底 310 的一部分的方式延伸，可以任何合适的工艺移除虚置栅极间隙壁 326，包括于此所述的工艺。也移除基底 310 其位于虚置栅极间隙壁 326 下方的部分以延伸凹槽 328，如图 3E 中所示。可利用移除虚置栅极间隙壁 326 的工艺移除部分基底 310。要了解的是，可利用同步或独立的工艺移除袋层 330、虚置栅极间隙壁 326 及 / 或位于虚置栅极间隙壁 326 下方的部分基底 310。

【0045】在步骤 114，然后于一或多个凹槽上形成第二层膜。请参考图 3F，形成第二层膜 336 以部分填充凹槽 328，其中第二层膜 336 填充凹槽延伸部。于一些实施例中，可形成第
二层膜 336 以整个填充凹槽 328。于一些实施例中，第二层膜 336 可形成延伸至凹槽 328 的顶表面上，以形成提升源极 / 漏极结构。第二层膜 336 相似于参照图 2F 所描述的第二层膜 236，且于一实施例中，第二层膜 336 包括外延成长的 SiGe。请参考图 1 及图 3G，在步骤 116，于基底 310 上形成一或多个栅极间隙壁。也可形成一或多个栅极间隙壁与衬垫。于一实施例中，栅极间隙壁衬垫 337 及栅极间隙壁 338 是设置于栅极结构 320 的栅极堆叠（亦即栅极介电层 322 / 栅极层 324）的各个侧边上。栅极间隙壁衬垫 337 及栅极间隙壁 338 相似于图 2C 中所述的栅极间隙衬垫 237 及栅极间隙壁 238。

[0046] 半导体装置 200,300 包括于源极 / 漏极区域及基底界面之间提供绝缘面的区段 234,334，其能够更好的控制短通道效应。再者，方法 100 可避免半导体装置 200,300 暴露于一或多个注入工艺中，例如 LDD 注入及区注注入工艺，其常会造成源极 / 漏极区域松驰。要了解半导体装置 200,300 可进行另外的 CMOS 或 MOS 技术工艺以形成各种公知元件。举例而言，于一实施例中，源极 / 漏极区域可暴露于注人工艺以形成深源极 / 漏极区域。于一实施例中，源极 / 漏极区域包括第一层膜 232,332，区段 234,334，及第二层膜 236,336，其 / 或栅极结构 220,320 可包括具有任何合适的构成的硅化区域。又于另一例子中，各种接触窗 / 介层窗及多层内连元件（例如金属层及层间介电层）可形成于基底 210,310 上，且配置连接于半导体装置 200,300 的各种元件或结构。

[0047] 请参考图 4 及图 5A，方法 400 起始于步骤 402，提供包括一或多个隔离区域 512 及至少一个栅极结构 520 的基底 510。于一实施例中，基底 510 为包括硅的半导体基底。基底 510 可包括元素半导体，包括结晶、多晶硅 / 或非结晶结构的硅或锗；化合物半导体，包括碳化硅、砷化镓、磷化镓、砷化铟、磷化铟并 / 或锑化铟；合金半导体，包括 SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP 和 / 或 GaInAsP；其他合适的材料；和 / 或上述的组合。于一实施例中，合金半导体基底可具有稀度浓度的 SiGe 元件，其中 Si 与 Ge 的组成比在一定程度的比例转变成在另一位置的另一比例。于其他实施例中，合金 SiGe 是形成于硅基底上。于其他实施例中，SiGe 基底具有应力。再者，基底可为绝缘层上覆半导体，例如绝缘层上覆盖硅 (SOI) 或薄膜晶体管 (TFT)。于一些例子中，基底可包括掺杂的外延层或埋层。于其他例子中，化合物半导体基底可具有多层结构，或硅基底可包括多层化合物半导体结构。于一些例子中，基底可包括非半导体材料，例如玻璃。

[0048] 半导体装置 500 包括形成于半导体基底 510 上的至少一个隔离区域 512。隔离区域 512 可利用隔板技术，例如局部硅氧化 (LOCOS) 或浅沟槽隔离 (STI) 以定义于电性分隔基底中不同的区域，例如主动与被动区域。于一实施例中，隔离区域 512 包括 STI。隔离区域 512，且于一实施例中，STI，可以任何合适的工艺形成。举例而言，形成 STI 的方法可包括以一般光刻工艺图案化半导体基板；于基底中 （举例而言，通过干蚀刻、湿蚀刻和 / 或等离子体蚀刻工艺）蚀刻沟槽；以及（举例而言，通过以化学气相沉积工艺）将如氧化硅、氮化硅、氮氧化硅、氟掺杂硅玻璃 (FSG)、低介电材料、其他类似物质和 / 或上述组合的介电材料填入沟槽。于一实施例中，填满的沟槽可具有多层结构，例如以氧化硅或氧化硅填充的热氧化涂层。于其他实施例中，STI 可利用如下的制造顺序形成：成长氧化涂层；以低压化学气相沉积形成氮化层；利用光致抗蚀剂及掩模图案化 STI 开口；于基底中蚀刻沟槽；任选的成长热氧化沟槽衬垫以改善沟槽界面；以 CVD 氧化物填充沟槽；以化学机械研磨 (CMP) 工艺回蚀刻及平坦化；以及利用激光物剥离工艺移除氮化硅。
至少一个栅极结构 520 设置于半导体基底 510 上。要了解的是也可形成多个栅极结构 520。栅极结构 520 可利用任何合适的工艺形成。举例而言，栅极结构可利用一般的沉积、光刻图案化、蚀刻工艺、和/或上述组合的方法形成。沉积工艺可包括化学气相沉积法、物理气相沉积法、原子层沉积法、高密度等离子体、金属有机 CVD、等离子体增强 CVD、溅射法、电镀法、旋涂涂布法、其他合适的工艺、和/或上述的组合。光刻工艺的例子可包括激光致蚀剂涂布（例如旋转涂布）、软烤、掩模对准、曝光、曝光后烘烤、显影、浸润、烘干（例如硬烤）、其他合适的工艺、和/或上述的组合。也可以例如光罩激光、电子束刻写、离子束刻写及分子转印的其他合适的方法进行或取代光刻曝光工艺。蚀刻工艺可包括干蚀刻、湿蚀刻、和/或其他蚀刻方法（例如反应性离子蚀刻法）。蚀刻工艺也可为纯化学（等离子体蚀刻）、纯物理（离子束研磨）和/或上述的组合的方法。要了解栅极结构 520 可以于所述的工艺组合形成。

于一实施例中，栅极结构 520 包括含有栅极介电层 522 及栅极层 524 的栅极堆叠。要了解的是栅极堆叠可包括额外层于栅极介电层 522 和/或栅极层 524 的上方和/或下方。举例而言，栅极堆叠可包括界面层、盖层、扩散/阻障层、介电层、导电层、其他合适的层膜、和/或上述的组合。或者，半导体装置 500 包括界面层、盖层、扩散/阻障层、介电层、导电层、其他合适的层膜、和/或上述的组合。于一些实施例中，半导体装置 500 包括一或多抗反应涂布层，例如顶抗反应涂布层和/或底抗反应涂布层。

栅极介电层 522 设置于半导体基底 510 上。栅极介电层 522 可包括任何合适的厚度及合适的材料，例如氧化硅、氮化硅、氮氧化硅、氧化铪、氧化钇、氧化锆、氧化铝、氧化铝-氧化铪 (HfO2-Al2O3)、合金、金属氧化物、金属氮化物、金属硅化物、过渡金属氧化物、过渡金属氮化物、过渡金属硅化物、金属氮氧化物、金属铝氧化物、氧化锆酸盐、氧化铪酸盐、氧化铪酸盐、HfO2、HfSiO、HfSiON、HfTaO、HfTa2O、HfTiO、HfZrO、HfAlON、其他合适的介电材料、和/或上述的组合。栅极介电层 522 可还包括多层结构，其包括多个介电材料。于一些实施例中，栅极介电层 522 可包括二氧化硅层及高介电常数介电材料层。栅极介电层 522 可包括于所述的工艺的任何合适的工艺形成。

一实施例中，栅极层 524 设置于栅极介电层 522 上。栅极层 524 包括任何合适的厚度及合适的材料。举例而言，栅极层 524 包括多晶硅；含硅材料；含锗材料；金属，例如铝、铜、镓、钛、钽、氮化钛、氯化钛、硅化镍、硅化钴；其他适当的导电材料；其他合适的材料；和/或上述的组合。于一些实施例中，栅极层 524 包括多层结构。栅极层 524 可包括于所述的工艺的任何合适的工艺形成。

在步骤 404，对基底 510 进行各种注入工艺。各种注入工艺可形成各种掺杂区域。掺杂区域可为掺杂的 n 型和/或 p 型。掺杂区域可包括各种掺杂轮廓，且可以多个离子注入工艺形成，例如 LDD 注入工艺及源极/漏极注入工艺。于一实施例中，请参考图 5B，LDD 区域 526 是利用一个或多个离子注入工艺形成。至少一个栅极结构 520 可用作注入掩模。LDD 区域 526 定型于晶各于栅极堆叠的边缘。此外，各种注入工艺可包括一或多个环 (halo)/袋注入工艺。可使用环/袋注入工艺消除短通道效应。

请参考图 4 及图 5C，在步骤 406，于基底 510 上形成一或多个栅极间隙壁。于一些实施例中，也可于基底 510 上形成一或多个栅极间隙壁衬垫。于一实施例中，栅极间隙壁衬垫 437 及栅极间隙壁 528 是设置于栅极结构 520 的栅极堆叠（亦即栅极介电层 522/栅极
明 书

层 524) 的各个侧边上 (例如, 沿着栅极结构 520 的栅极介电层 522 及栅极层 524 的侧壁)。栅极间隙壁衬垫 427 可包括任何合理的材料, 并可以任何合理的工艺形成。举例而言, 栅极间隙壁衬垫 427 可包括间隙壁氧化物。栅极间隙壁 528 可包括介电材料, 例如氮化硅、氧化硅、碳化硅、氮氧化硅、其他合适的材料、和 / 或上述的组合。栅极间隙壁 528 可以任何合适的工艺形成。于一实施例中, 栅极间隙壁 528 的形成方式可为滚覆性的沉积介电层于半导体装置 500 上, 然后进行非等向性蚀刻以移除介电层, 以形成如图 5C 中所示的栅极间隙壁 528。于一些实施例中, 栅极间隙壁衬垫 427 和 / 或栅极间隙壁 528 可包括多层结构。于其他实施例中, 可部分或整个省略栅极间隙壁衬垫 427 和 / 或栅极间隙壁 528。

[0055] 请参考图 5D 至图 5G, 形成一或多个源极 / 漏极区域, 其中源极 / 漏极区域包括袋区。在步骤 408, 一或多个沟槽和 / 或凹槽形成于基底中。于一实施例中, 如图 5D 中所示,一或多个凹槽 530 形成于至少一个栅极结构 520 的各个侧边。凹槽 530 实质上对准于栅极结构 520 的栅极间隙壁 528。凹槽 530 可以任何合适的工艺形成。举例而言, 凹槽 530 可以选择性蚀刻工艺移除。选择性蚀刻工艺可使用一或多个湿蚀刻工艺、干蚀刻工艺、和 / 或上述的组合。湿蚀刻工艺可包括暴露于含氢氧离子的溶液（例如氢氧化铵）、去离子水、和 / 或其他合适的蚀刻剂溶液中。于其他例子中, 形成凹槽 530 的步骤可包括通过一般工艺图案化半导体装置 500, 例如于半导体装置 500 上形成光致抗蚀剂层; 以一般光刻工艺图案化光致抗蚀剂层; 以及于基底 510 中蚀刻凹槽 530。蚀刻工艺可使用一或多的蚀刻步骤, 且可为干蚀刻、湿蚀刻、和 / 或其他蚀刻方法 (例如反应性离子蚀刻法)。蚀刻工艺也可为纯化学 (等离子体蚀刻)、纯物理 (离子束研磨)、和 / 或上述的组合的方法。要了解可调变蚀刻工艺以造成不同的轮廓。

[0056] 在步骤 410, 沿着至少一个栅极结构的侧边及一或多个凹槽的侧边形成袋区。请参考图 5E, 袋层 532 形成于邻接基板栅极间隙壁 528 及凹槽 530 的垂直侧壁。袋层 532 实质上自至少一个栅极结构 520 的顶表面延伸至凹槽 530 的底表面。袋层 532 可以包括于所述的工艺的任何合适的工艺形成。袋层 532 包括任何合适的材料。于一实施例中, 袋层 532 包括介电材料, 具体而言, 包括氧化硅、氮化硅、和 / 或氮氧化硅。介电材料可包括氧化铪、氧化锆, 氧化钛, 氧化铝, 二氧化铪 - 氧化铝 (HfO2-Al2O3) 合金, 金属氧化物, 金属氮化物, 金属硅化物, 过渡金属氧化物, 过渡金属氮化物, 过渡金属硅化物, 金属的氮氧化物, 金属的酸盐, 铬酸盐, 镍酸盐, HfO2, HfSiO, HfSiON, HfTaO, HfTaTiO, HfTiO, HfZrO, HfAlON, 其他合适的介电材料、和 / 或上述的组合。要了解袋层 532 可包括多层结构。袋层 532 还包括任何合适的厚度。于一实施例中, 袋层 532 包括介于约 50 Å 至约 200 Å 的厚度。

[0057] 然后, 在步骤 412, 于一或多个凹槽上形成第一层膜, 其中第一层膜至少部分填充一或多个凹槽。请参考图 5F, 第一层膜 534 部分填充凹槽 530。第一层膜 534 是以任何合适的工艺形成。于一实施例中, 第一层膜 534 是以一多个外延成长工艺形成。外延工艺可包括 CVD 沉积技术 (例如气相外延和 / 或超高温 CVD)、分子束外延、和 / 或其他合适的工艺)。外延工艺可使用气体和 / 或液体前驱物, 其与基底 510 的组成 (例如硅) 反应。第一层膜 534 包括任何合适的材料, 例如外延成长的硅、SiGe、SiC 和 / 或上述的组合。于一实施例中, 第一层膜 534 包括外延成长的 SiGe。包括第一层膜 534 (亦即外延成长的 SiGe) 的凹槽 530 (其定义源极 / 漏极区域) 到达于基底 510 中的应变结 435。应变结可提升载子迁移率并增进半导体装置 500 的效能。要了解的是, 于一些实施例中, 可形成第一层膜
534 以整个填充凹槽 530。于一些实施例中，第一层膜 534 可形成延伸至凹槽 530 的顶表面上，以形成提升源极/漏极结构。

【0058】请参考图 5F，在步骤 414，自至少一个栅极结构的侧边移除袋层。更具具体的说，自栅极结构 520 的各个侧边移除袋层 532。袋层 532 可以任何合适的工艺移除，包括于此所述的工艺。举例而言，袋层 532 可以选择性蚀刻工艺移除。选择性蚀刻工艺可使用一或多个湿蚀刻工艺、干蚀刻工艺，或其它的组合。于一实施例中，袋层 532 是以湿蚀刻工艺移除。湿蚀刻工艺可包括暴露含氢氧离子的溶液（例如氢氧化铵）、去离子水、和/或其他合适的蚀刻剂溶液。于一实施例中，也移除于凹槽 530 中的部分袋层 532。移除于凹槽 530 中的袋层 532，其中袋层 532 的顶表面实质上共平面于第一层膜 534 的顶表面。要了解的是本发明实施例并未限定袋层 532 移除的部分。

【0059】如上所述，具有应变通道的半导体装置常包括硅基底以及包括外延成长的 SiGe 和/或 SiC 的源极/漏极区域。这些一般的装置常表现出较差的装置效能，是由于一或多的注入工艺降低由源极/漏极区域所传导的应力，和/或提高短通道效应所造成。因此，于一实施例中，留下的袋层 532 于凹槽 530（其定义源极/漏极区域）中形成袋区 536。袋区 536 设置于第一层膜 534（亦即源极/漏极区域的外延成长的 SiGe 部分）的界面及基底 510（亦即硅基底）之间。因此，源极/漏极区域包括袋区 536（于一实施例中，介电袋区）。

如上所述，的，第一层膜 534 的顶表面实质上共平面于袋区 536 的顶表面。也应注意，袋区 536 的顶表面与栅极结构 520（例如栅极结构的栅极堆叠）的底表面之间的距离是控制（或维持）在目标范围内，目标范围提供于袋区 536 的顶表面及栅极结构 520 的底表面之间的距离范围，其将避免漏电流并增强应变区的作用。于一实施例中，是控制袋区 536 的顶表面及栅极介电层 522（亦即栅极结构中 520 的栅极堆叠层）的底表面之间的距离，以避免漏电流并增强应变区的作用。

【0060】实质上于源极/漏极区域与基底界面之间提供连接的的袋区 536，其可明显的改善短通道效应和/或降低漏电流。提升控制短通道效应能使半导体装置的微缩化持续进行。再者，于一实施例中，方法 400 可减少于源极/漏极区域的 SiGe 部分中的应力松弛，以增进半导体装置 500 的效能。要了解的是，本发明实施例可提供一些，全部、或无于上述所述的好处。还要了解的是，于上述所述的不同实施例提供不同好处，所有的实施例并不一定需要特别的好处。

【0061】在步骤 416，于一或多个凹槽上形成第二层膜。请参考图 5G，形成第二层膜 538 以部分填充凹槽 530，具体的说，第二层膜 538 形成于在凹槽 530 的第一层膜 534 及袋区 536 上。于一实施例中，可形成第二层膜 538 以整个范围凹槽 530。于一些实施例中，第二层膜 538 可形成延伸至凹槽 530 的顶表面上，以形成提升源极/漏极结构。第二层膜 538 是以任何合适的工艺形成。于一实施例中，第二层膜 538 是以外延成长法形成。外延工艺可包括 CVD（例如气相外延和/或超真空 CVD）、分子束外延、和/或其他合适的工艺）。外延工艺可使用气体和/或液体前驱物，其与基底 510 的组成（例如硅）反应。第二层膜 538 包括任何合适的材料，例如外延成长的硅、SiGe、SiC 和/或上述的组合。于一实施例中，第二层膜 536 包括外延成长的 SiGe。

【0062】于一实施例中，外延成长的第二层膜 534 及第二层膜 538 可在外延成长中同步掺杂（in-situ doped）或不掺杂。举例而言，于一实施例中，第一层膜 534 包括未掺杂的外延
成长的 SiGe，且第二层膜 538 包括同轴掺杂的外延成长的 SiGe。当第一层膜 534 和 / 或第二层膜 538 未掺杂时，要了解的是未掺杂的层膜可于后来的工艺掺杂。未掺杂的层膜可以一或多个注入工艺掺杂。各种注入工艺可包括一般的离子注入工艺、等离子体注入离子注入工艺、气体注入、热扩散工艺、其他合适的工艺、和 / 或上述的组合。第一层膜 534 和 / 或第二层膜 538 可还暴露于退火工艺中，例如快热退火工艺。各种注入和 / 或退火工艺可在制造半导体装置 500 过程中的任何适当时机进行。

【0063】图 6A 至图 6G 为根据图 4 的方法的另一实施例的半导体装置 600 的工艺剖面图。半导体装置 600 相似于半导体装置 500。请参考图 6A，在步骤 402，提供包括一或多个隔离区域 612 及至少一个栅极结构 620 的基底 610。至少一个栅极结构 620 包括栅极堆叠（亦即栅极介电层 622 及栅极层 624）。基底 610；隔离区域 612；包括栅极介电层 622 及栅极层 624 的栅极结构 620 可相似于图 5A 中所述的基底 510，隔离区域 512；包括栅极介电层 522 及栅极层 524 的栅极结构 520。

【0064】请参考图 5A 至图 5G 及图 6B 至图 6C，在步骤 404 于基底 610 上进行各种注入工艺，并在步骤 406 于基底 610 上形成一或多个栅极间隙壁。于一实施例中，请参考图 6B，利用一或多个注入工艺形成轻掺杂漏极（LDD）区域 626，且栅极间隙壁衬垫 627 及栅极间隙壁 628 妥置于栅极结构 620 的栅极堆叠（亦即栅极介电层 622/栅极层 624）的各个侧边上（例如，沿着栅极结构 620 的栅极介电层 622 及栅极层 624 的侧壁）。LDD 区域 626，栅极间隙壁衬垫 627 及栅极间隙壁 628 相似于在图 5B 至图 5C 中所述的 LDD 区域 526，栅极间隙壁衬垫 527 及栅极间隙壁 528。

【0065】请参考图 6D 至图 6G，形成一或多个源极 / 漏极区域，其中源极 / 漏极区域包括袋区。在步骤 408，一或多个沟槽和 / 或凹槽形成于基底中。一或多个凹槽定义半导体装置 600 的源极区域及漏极区域（统称为源极 / 漏极区域）。举例而言，如图 6D 中所示，一或多个凹槽 630 形成于至少一个栅极结构 620 的各个侧边。凹槽 630 可以任何合适的工艺形成，且可相似于图 5D 中所述的凹槽 530。于一实施例中，凹槽 630 是利用一或多个等蚀刻工艺所形成的等向凹槽。等向蚀刻工艺形成凹槽 630，其延伸至栅极结构 620 下方，更具体的说，于一实施例中，延伸至栅极间隙壁 628 及 LDD 区域 626 下方。要了解的是，等向凹槽 630 可延伸至栅极结构 620 下方的任何距离。再者，凹槽 630 包括任何合适的轮廓。图 6D 中所示，凹槽 630 的至少一个垂直侧壁包括弯曲轮廓。

【0066】在步骤 410，沿着至少一个栅极结构的侧边及一或多个凹槽的侧边形成袋层。请参考图 6E，袋层 632 形成于邻接栅极间隙壁 628 及凹槽 630 的垂直弯曲侧壁。然后，在步骤 412，一或多个凹槽上形成第一层膜，其中第一层膜至少部分填充一或多个凹槽。请参考图 6F，形成第一层膜 634 以部分填充凹槽 630。袋层 632 及第一层膜 634 相似于图 5E 至图 5F 中所示的袋层 532 及第一层膜 534。举例而言，袋层 632 包括介电材料，第一层膜 634 包括外延成长的 SiGe。包括第一层膜 634（亦即外延成长的 SiGe）的凹槽 630（其定义源极 / 漏极区域）到达于基底 610 中的应变通道 635。应变通道可提升载子迁移率并增进半导体装置 600 的效能。应要注意的是，于一实施例中，等向凹槽 630 增加于凹槽 630 中的外延成长的 SiGe 其体积，具体的说，于凹槽 630 中的第一层膜 634 的体积。具有第一层膜 634 的等向凹槽 630 可提升基底 610 中的应变通道效应，进而增进半导体装置 600 的效能。

【0067】请参考图 6F，在步骤 414，自至少一个栅极结构的侧边移除袋层。更具体的说，自
栅极结构 620 的各个侧边移除袋层 632。于一实施例中，于移除于凹槽 630 中的部分袋层
634。移除于凹槽 630 中的袋层 632，其中袋层 632 的顶表面实质上共平面于第一层膜 634
的顶表面。袋层 632 可以任何合适的工艺移除，包括于此所述的工艺，例如于参照图 5F 所
说明的工艺以及移除袋层 532。留下的袋层 632 于凹槽 630（其定义源极 / 漏极区域）中
形成袋区 636。袋区 636 设置于第一层膜 634（亦即源极 / 漏极区域的外延生长的 SiGe 部
分）的界面及基底 610（亦即硅基底）之间。因此，源极 / 漏极区域包括袋区 636（于一实
施例中，介电袋区）。

[0068] 如上所注意到的，第一层膜 634 的顶表面实质上共平面于袋区 636 的顶表面。也应
要注意，袋区 636 的顶表面与栅极结构 620（例如栅极结构的栅极堆叠）的底表面之间的距
离是控制（或维持）在目标范围内。目标范围提供袋区 636 的顶表面及栅极结构 620 的底
表面之间的距离范围，其将避免漏电流并增强应变区域的作用。于一实施例中，是控制袋区
636 的顶表面及栅极介电层 622（亦即栅极结构 620 的栅极堆叠层）的底表面之间的距离，
以避免漏电流并增强应变区域的作用。

[0069] 实质上于源极 / 漏极区域与基底界面之间提供连接面的袋区 636，其可明显的改
善短通道效应和 / 或降低漏电流。提升控制短通道效应能使半导体装置的微缩化持续进行。
再者，于一实施例中，方法 400 可减少于源极 / 漏极区域的 SiGe 部分中的应力松弛，和
/ 或降低通道掺杂度，以增进半导体装置 600 的效能。要了解的是，本发明实施例可提供一
些、全部、或者于所述的好处。还要了解的是，于此所述的不同实施例提供不同的好处，所
有的实施例并不一定需要特别的好处。

[0070] 在步骤 416，于一或多个凹槽上形成第二层膜。请参考图 66，形成第二层膜 638 以
部分填充凹槽 630，具体的说，形成第二层膜 638 于在凹槽 630 中的第一层膜 634 及袋区 636
上。于一些实施例中，可形成第二层膜 538 以整个填充凹槽 530。于一些实施例中，第二层
膜 538 可形成延伸至凹槽 530 的顶表面上，以形成提升源极 / 漏极结构。第二层膜 638 相似
于参照图 5G 所说明的第二层膜 538，且于一实施例中，第二层膜 638 包括外延生长的 SiGe。

[0071] 半导体装置 500,600 包括于源极 / 漏极区域及基底界面之间提供连接面的袋区
536,636，能够更好的控制短通道效应。再者，方法 400 可避免半导体装置 500,600 的深源
极 / 漏极区域暴露于一个多数量注工艺中，例如形成 LDD 区域和 / 或袋区注入区域的
离子注入工艺。要了解半导体装置 500,600 可进行另外的 CMOS 或 MOS 技术工艺以形成各
种公知元件。举例而言，于一些实施例中，源极 / 漏极区域可暴露于注入工艺以形成深源极
/ 漏极区域。于一些实施例中，源极 / 漏极区域包括第一层膜 534,634、袋区 536,636 及第二
层膜 538,538，和 / 或栅极结构 520,620 可包括任意合适的组成的硅化区域。又于另一
例子中，各种接触窗 / 介层窗及多层内连元件（例如金属层及层间介电层）可形成于基
底 510,610 上，且配置连接于半导体装置 500,600 的各种元件或结构。

[0072] 虽然本发明已以较佳实施例公开如上，然而其并非用以限定本发明，任何本领域
普通技术人员，在不脱离本发明的精神和范围内，当可做些许更动与润饰，因此本发明的保
护范围当视随附的权利要求所界定的范围为准。
提供具有至少一个栅极结构于其上的基底

于基底中形成一或多个凹槽

沿着至少一个栅极结构的侧边及一或多个凹槽的侧边形成袋层

于一或多个凹槽上形成第一层膜

自至少一个栅极结构的侧边移除袋层

延伸一或多个凹槽

于一或多个凹槽上形成第二层膜

于基底上形成间隙壁

图 1
图 2G

图 3A
图 4

提供具有至少一个栅极结构于其上的基底

对基底上进行各种注入工艺

于基底上形成间隙壁

于基底中形成一或多个凹槽

沿着至少一个栅极结构的侧边及一或多个凹槽的侧边形成袋层

于一或多个凹槽上形成第一层膜

自至少一个栅极结构的侧边移除袋层

于一或多个凹槽上形成第二层膜
图 6D

图 6E