

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年5月29日(2008.5.29)

【公開番号】特開2006-13450(P2006-13450A)

【公開日】平成18年1月12日(2006.1.12)

【年通号数】公開・登録公報2006-002

【出願番号】特願2005-128171(P2005-128171)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

【F I】

H 0 1 L 27/08 1 0 2 A

H 0 1 L 27/06 3 1 1 C

H 0 1 L 27/04 H

H 0 1 L 27/08 1 0 2 F

H 0 1 L 27/08 3 2 1 H

【手続補正書】

【提出日】平成20年4月16日(2008.4.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入 / 出力端子と内部回路との間に配置された入力保護回路を有する半導体装置であって

、

主表面を有する第 1 導電型の基板と、

前記基板の主表面に形成され、ゲート電極、第 2 導電型のソース領域およびドレイン領域を有し、かつ前記入力保護回路に含まれ、前記ドレイン領域は前記ゲート電極下に位置する側端部領域と下部領域とを有する第 1 トランジスタと、

前記ドレイン領域の前記下部領域下に形成され、前記ドレイン領域の前記側端部領域を超えることなく前記ソース領域に向かって延び素子分離領域下に延在する第 1 導電型の不純物領域と、

前記基板の主表面に形成され、前記第 1 トランジスタよりも薄いゲート絶縁膜を有し、第 2 導電型のソース領域およびドレイン領域を有し、かつ前記内部回路に含まれる第 2 トランジスタとを備え、

前記不純物領域の不純物濃度は、前記基板の不純物濃度よりも高い、半導体装置。

【請求項 2】

前記不純物領域に含まれる第 1 導電型の不純物濃度を、前記側端部領域の近傍の領域に含まれる第 1 導電型の不純物濃度よりも高くした、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 トランジスタは、第 1 導電型の第 1 ウェル上に形成され、

前記第 2 トランジスタは、前記第 1 ウェルよりも高濃度の第 1 導電型の第 2 ウェル上に形成され、

前記不純物領域に含まれる第 1 導電型の不純物濃度を、前記第 2 ウェルに含まれる第 1 導電型の不純物濃度と実質的に等しくした、請求項 2 に記載の半導体装置。

【請求項 4】

入 / 出力端子と内部回路との間に配置された入力保護回路を有する半導体装置であって、

主表面を有する第 1 導電型の基板と、

前記基板の主表面に形成され、第 2 導電型のソース領域およびドレイン領域を有し、かつ前記入力保護回路に含まれる高耐圧系トランジスタと、

前記基板の主表面に形成され、第 2 導電型のソース領域およびドレイン領域を有し、かつ前記内部回路に含まれる低耐圧系トランジスタと、

前記高耐圧系トランジスタのドレイン領域と隣接する第 1 導電型の不純物領域とを備え、

前記高耐圧系トランジスタのドレイン領域は、当該高耐圧系トランジスタのゲート電極側に位置する側端部領域と、該側端部領域よりも前記ゲート電極から離れた位置の下部領域とを有し、

前記不純物領域に含まれる第 1 導電型の不純物濃度は、前記側端部領域と隣接する第 1 導電型の領域に含まれる第 1 導電型の不純物濃度よりも高く、

前記不純物領域は、前記側端部領域に達することなく前記下部領域と隣接するように形成され、

前記高耐圧系トランジスタのゲート電極側に位置する前記不純物領域の端部は、前記高耐圧系トランジスタのゲート電極と重ならないように当該ゲート電極から離隔している、半導体装置。

【請求項 5】

前記高耐圧系トランジスタは、ゲート電極の側壁上に側壁絶縁層を有し、

前記高耐圧系トランジスタのゲート電極側に位置する前記不純物領域の端部を、前記側壁絶縁層と重ならないように当該側壁絶縁層から離隔させた、請求項 4 に記載の半導体装置。

【請求項 6】

入 / 出力端子と内部回路との間に配置された入力保護回路を有する半導体装置であって、

主表面を有する基板と、

前記基板の主表面に形成された第 1 導電型の第 1 ウェルと、

前記基板の主表面に形成され、かつ前記第 1 ウェルよりも第 1 導電型の不純物濃度が高い第 1 導電型の第 2 ウェルと、

前記第 1 ウェルに形成された第 2 導電型のソース領域およびドレイン領域を有し、かつ前記入力保護回路に含まれる高耐圧系トランジスタと、

前記第 2 ウェルに形成された第 2 導電型のソース領域およびドレイン領域を有し、かつ前記内部回路に含まれる低耐圧系トランジスタと、

前記高耐圧系トランジスタの前記ドレイン領域の下部に隣接するように前記第 2 ウェルと同一の製造工程で形成された第 1 導電型の不純物領域とを備えた、半導体装置。

【請求項 7】

入 / 出力端子と内部回路との間に配置された入力保護回路を有する半導体装置であって、

主表面を有する基板と、

前記基板の主表面に形成された第 1 導電型の第 1 ウェルと、

前記第 1 ウェルに形成された第 2 導電型のソース領域およびドレイン領域を有し、かつ前記入力保護回路に含まれる高耐圧系トランジスタとを備え、

前記高耐圧系トランジスタの前記ソース領域は、前記基板の主表面に形成された第 2 導

電型の高濃度領域と、前記高濃度領域の側部および下部に隣接して周囲を取囲む低濃度領域とを有し、

前記高耐圧系トランジスタの前記ドレインは、前記基板の主表面に形成された第 2 導電型の高濃度領域と、前記高濃度領域の前記ソース側の端部の側部および下部にのみ隣接する低濃度領域とを有する、半導体装置。

【請求項 8】

前記内部回路に含まれる高耐圧系トランジスタをさらに備え、

前記内部回路に含まれる前記高耐圧系トランジスタのソース領域およびドレイン領域のそれぞれは、前記基板の主表面に形成された高濃度領域と、前記高濃度領域の側部および下部に隣接して周囲を取囲む低濃度領域とを有していることを特徴とする、請求項 7 に記載の半導体装置。

【請求項 9】

前記入力保護回路に含まれる高耐圧系トランジスタを取り囲む第 1 導電型の環状不純物領域と、

前記環状不純物領域に接地電位を与える接地電極とをさらに備えた、請求項 4 から請求項 8 のいずれかに記載の半導体装置。

【請求項 10】

入 / 出力端子と内部回路との間に配置された入力保護回路を有する半導体装置の製造方法であって、

基板の主表面に第 1 導電型の第 1 ウェルを形成する工程と、

前記基板の主表面に、前記第 1 ウェルよりも第 1 導電型の不純物濃度が高い第 1 導電型の第 2 ウェルを形成するとともに、前記第 2 ウェルと同じ製造工程で前記第 1 ウェル内に第 1 導電型の不純物領域を形成する工程と、

前記内部回路に含まれる低耐圧系トランジスタの第 2 導電型のソース領域およびドレイン領域を前記第 2 ウェルに形成し、前記入力保護回路に含まれる高耐圧系トランジスタの第 2 導電型のソース領域およびドレイン領域を前記第 1 ウェルに形成する工程とを備え、

前記高耐圧系トランジスタの前記ドレイン領域の下部に前記不純物領域が隣接するように前記高耐圧系トランジスタの前記ドレイン領域は形成される、半導体装置の製造方法。

【請求項 11】

入 / 出力端子と内部回路との間に配置された入力保護回路を有する半導体装置の製造方法であって、

基板の主表面に第 1 導電型の第 1 ウェルを形成する工程と、

前記基板の主表面上にゲート絶縁層を介してゲート電極層を形成する工程と、

前記ゲート電極層をマスクとして前記基板の主表面に不純物を導入することにより、前記入力保護回路に含まれる高耐圧系トランジスタのソース領域およびドレイン領域を構成する第 2 導電型の 1 対の低濃度領域を前記第 1 ウェルに形成する工程と、

前記ゲート電極層の側面に側壁絶縁層を形成する工程と、

前記ゲート電極層と前記側壁絶縁層とマスクパターンとをマスクとして前記基板の主表面に不純物を導入することにより、前記第 1 ウェルに前記ソース領域および前記ドレイン領域を構成する第 2 導電型の 1 対の高濃度領域を形成する工程とを備え、

前記ソース領域の前記高濃度領域は、前記高濃度領域の側部および下部が前記低濃度領域に取囲まれるように形成され、

前記ドレイン領域の前記高濃度領域は、前記高濃度領域の前記ソース側の端部の側部および下部のみが前記低濃度領域に取囲まれるように形成される、半導体装置の製造方法。

【請求項 12】

前記内部回路に含まれる高耐圧系トランジスタのソース領域およびドレイン領域を構成する第 2 導電型の 1 対の低濃度領域は、前記入力保護回路に含まれる前記高耐圧系トランジスタの前記ソース領域および前記ドレイン領域を構成する第 2 導電型の 1 対の低濃度領域と同じ製造工程で形成され、

前記内部回路に含まれる前記高耐圧系トランジスタのソース領域およびドレイン領域を

構成する第 2 導電型の 1 対の高濃度領域は、前記入力保護回路に含まれる前記高耐圧系トランジスタの前記ソース領域および前記ドレイン領域を構成する第 2 導電型の 1 対の高濃度領域と同じ製造工程で形成され、

前記内部回路に含まれる前記高耐圧系トランジスタの前記ソース領域および前記ドレイン領域のそれぞれの前記低濃度領域は、前記高濃度領域の側部および下部に隣接して周囲を取囲むように形成されていることを特徴とする、請求項 1 1 に記載の半導体装置の製造方法。