

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月14日(14.07.2022)



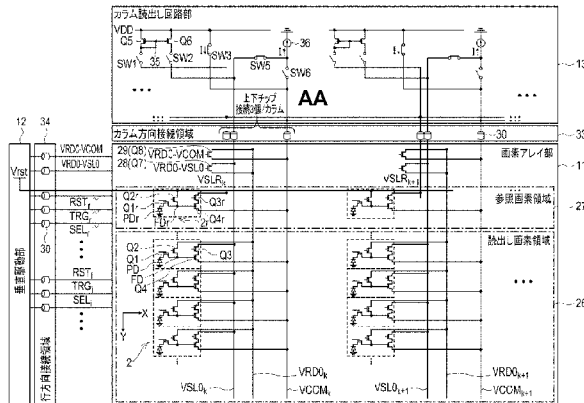
(10) 国際公開番号

WO 2022/149555 A1

- (51) 国際特許分類:
H04N 5/374 (2011.01) H04N 5/376 (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2021/048901
- (22) 国際出願日: 2021年12月28日(28.12.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-002059 2021年1月8日(08.01.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 加藤 恵里子(KATO Eriko); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 加藤 昭彦(KATO Akihiko); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 中村 行孝, 外(NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC INSTRUMENT

(54) 発明の名称: 固体撮像装置及び電子機器



- 11 Pixel array unit
12 Vertical drive unit
13 Column readout circuit unit
26 Readout pixel region
27 Reference pixel region
33 Column direction connection region
34 Line direction connection region
AA Vertical chip connections, 3 locations per column

(57) Abstract: [Problem] To reduce the number of wires transmitting and receiving between chips. [Solution] This solid-state imaging device comprises a first substrate having a pixel array section in which a plurality of pixels are disposed, each pixel having a photoelectric conversion unit, the first substrate having: first wiring disposed in a first direction within the pixel array section, the first wiring sending imaging pixel signals read out from two or more pixels; second wiring that supplies a reset voltage for initializing the first wiring; and a first switching circuit that switches between short-circuiting the first wiring and the second wiring.

(57) 要約: [課題] チップ同士で送受される配線数を削減できる。[解決手段] 固体撮像装置は、それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第1基板を備え、第1基板は、画素アレイ部内の第1方向に配置された2以上の画素から読み出された撮像素素信号を伝送する第1配線と、第1配線を初期化するためのリセット電圧を供給する第2配線と、第1配線と第2配線とを短絡するか否かを切り替える第1切替回路と、を有する。



HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本開示は、固体撮像装置及び電子機器に関する。

背景技術

[0002] 複数の半導体チップを積層して小型化及び集積化を図る半導体プロセス技術が注目されている。固体撮像装置においても、光電変換を行う複数の画素が配列されたチップと、光電変換された撮像画素信号の信号処理を行うチップとを積層してパッケージ化することが提案されている（特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-151375号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、積層されるチップ同士では、配線ピッチが通常異なるため、各チップの接合部では、配線ピッチを合わせる必要がある。具体的には、接合部付近では、狭い方の配線ピッチを広い方の配線ピッチに合わせて調整する必要がある。このため、一方のチップの接合部付近では、配線ピッチを広げることにより、チップ上にデッドスペースが生じてしまう。このデッドスペースは、配線数が多くなり、かつ一方のチップの配線ピッチが狭くなるほど大きくなる。

[0005] このように、積層されるチップ同士で送受される配線数が増えると、上述したデッドスペースが増えてしまい、チップサイズの小型化を妨げる要因になる。

[0006] そこで、本開示では、チップ同士で送受される配線数を削減可能な固体撮像装置及び電子機器を提供するものである。

課題を解決するための手段

- [0007] 上記の課題を解決するために、本開示によれば、
それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第1基板を備え、
前記第1基板は、
前記画素アレイ部内の第1方向に配置された2以上の前記画素から読み出された撮像素信号を伝送する第1配線と、
前記第1配線を初期化するためのリセット電圧を供給する第2配線と、
前記第1配線と前記第2配線とを短絡するか否かを切り替える第1切替回路と、を有する、固体撮像装置が提供される。
- [0008] 前記画素アレイ部内の前記複数の画素は、前記第1方向及び第2方向に配置されており、
前記第1基板は、
それぞれが前記第1方向に延びて、前記第2方向に間隔を隔てて配置される複数の前記第1配線と、
前記複数の第1配線に対応する複数の前記第2配線と、
前記複数の第1配線と対応する前記複数の第2配線とを短絡するか否かを切り替える複数の前記第1切替回路と、を有してもよい。
- [0009] 前記第1基板は、
前記複数の第1配線及び前記複数の第2配線に対応して設けられ、基準電圧に設定される複数の第3配線と、
前記複数の第2配線と対応する前記複数の第3配線とを短絡するか否かを切り替える複数の第2切替回路と、を有してもよい。
- [0010] 前記第1方向に配置された前記2以上の画素を含む画素列ごとに、1本の前記第1配線が設けられ、
前記1本の第1配線に対して、一つの前記第1切替回路及び一つの前記第2切替回路とが設けられてもよい。
- [0011] 前記第1方向に配置された前記2以上の画素を含む画素列ごとに、複数本

の前記第 1 配線が設けられ、

前記複数本の第 1 配線に対して、複数の前記第 1 切替回路及び複数の前記第 2 切替回路が設けられてもよい。

[0012] 前記複数の第 1 切替回路及び前記複数の第 2 切替回路は、前記第 1 基板上の前記複数の画素の配置領域の外側に配置されてもよい。

[0013] 前記複数の第 1 切替回路は、前記複数の第 1 配線と対応する前記複数の第 2 配線とを短絡するか否かを切り替える複数の第 1 トランジスタを有し、
前記複数の第 2 切替回路は、前記複数の第 2 配線と対応する前記複数の第 3 配線とを短絡するか否かを切り替える複数の第 2 トランジスタを有してもよい。

[0014] 前記複数の第 1 切替回路のそれぞれは、
第 1 光電変換部と、
第 1 フローティングディフュージョンと、
対応する前記画素を選択するための第 3 トランジスタと、
前記第 1 フローティングディフュージョンの電圧レベルを増幅する第 4 トランジスタと、
対応する前記第 1 配線と対応する前記第 2 配線とを短絡するか否かを切り替える第 5 トランジスタと、を有し、
前記複数の第 2 切替回路のそれぞれは、
第 2 光電変換部と、
第 2 フローティングディフュージョンと、
対応する前記画素を選択するための第 6 トランジスタと、
前記第 2 フローティングディフュージョンの電圧レベルを増幅する第 7 トランジスタと、
対応する前記第 2 配線と対応する前記第 3 配線とを短絡するか否かを切り替える第 8 トランジスタと、を有してもよい。

[0015] 第 2 方向に配置される 2 以上の画素を含む画素行ごとに、対応する画素行を駆動するための駆動信号を生成する駆動部を備え、

前記駆動部は、前記複数の第1切替回路を切替制御する第1切替制御信号と、前記複数の第2切替回路を切替制御する第2切替制御信号とを出力してもよい。

[0016] 前記画素アレイ部は、参照画素信号を出力する参照画素を有し、
前記複数の画素は、対応する前記光電変換部で光電変換された画素信号に応じた前記撮像素信号を生成する複数のソースフォロフ回路を有し、

対応する前記複数のソースフォロフ回路により生成された前記撮像素信号を前記複数の第1配線に供給する第1撮像方式と、差動増幅器にて前記画素信号と前記参照画素信号との比較により生成される前記撮像素信号を前記複数の第1配線に供給する第2撮像方式とが択一的に選択されてもよい。

[0017] 前記複数の第1切替回路、前記複数の第2切替回路、及び前記複数の第3切替回路は、前記第1撮像方式と前記第2撮像方式とでは、互いに異なる切替動作を行ってもよい。

[0018] 前記第1撮像方式が選択された場合、
前記複数の第1切替回路は、前記複数の第1配線と対応する前記複数の第2配線との接続を遮断し、かつ

前記複数の第2切替回路は、前記複数の第1配線と対応する前記複数の第3配線とを短絡し、

前記第2撮像方式が選択された場合、

前記複数の第1切替回路は、前記複数の第1配線と対応する前記複数の第2配線とを短絡し、かつ

前記複数の第2切替回路は、前記複数の第1配線と対応する前記複数の第3配線との接続を遮断してもよい。

[0019] 本開示の他の一態様によれば、それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第1基板と、

前記第1基板に積層され、前記画素アレイ部から出力された撮像素信号の信号処理を行う第2基板と、を備え、

前記第1基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第 1 配線と、
前記複数の第 1 配線の数よりも少ない数だけ設けられ、前記複数の第 1 配線に電氣的に接続される第 1 接合部と、を有し、
前記第 2 基板は、
それぞれを短絡させても回路動作に支障が生じない複数の第 2 配線と、
前記第 1 接合部と同じ数だけ設けられて、対応する前記第 1 接合部と接合され、前記複数の第 2 配線に電氣的に接続される第 2 接合部と、を有する、
固体撮像装置が提供される。

[0020] 前記複数の画素は、前記第 1 基板上の第 1 方向及び第 2 方向に配置されており、

前記第 2 方向に配置される 2 以上の画素を含む画素行ごとに、対応する画素行を駆動するための駆動信号を生成する駆動部を有し、

前記駆動部は、前記第 1 接合部及び前記第 2 接合部に電氣的に接続される出力配線を有してもよい。

[0021] 前記駆動部は、前記第 2 基板に配置され、

前記第 1 基板は、

前記第 1 方向に配置され、前記第 1 接合部と、前記駆動部に接続される第 3 接合部とを有する第 1 接続領域と、

前記第 2 方向に配置され、前記第 1 基板と前記第 2 基板との間で送受される信号が接続される第 4 接合部とを有する第 2 接続領域と、を有してもよい。

[0022] 前記駆動部は、前記第 2 方向の両側に配置される第 1 駆動部及び第 2 駆動部を有し、

前記第 1 駆動部及び前記第 2 駆動部のそれぞれは、前記第 1 接合部及び前記第 3 接合部に電氣的に接続される出力配線をそれぞれ有してもよい。

[0023] 前記第 2 接続領域は、前記第 1 基板上の前記第 2 方向の両端側に配置される 2 つの接続領域を有し、

前記 2 つの接続領域は、前記第 1 接合部及び前記第 3 接合部を有してもよ

い。

- [0024] 前記画素アレイ部は、参照画素信号を出力する参照画素を有し、
前記複数の画素は、対応する前記光電変換部で光電変換された画素信号に応じた前記撮像素信号を生成する複数のソースフォロフ回路を有し、
対応する前記複数のソースフォロフ回路により生成された前記撮像素信号を前記複数の第1配線に供給する第1撮像方式と、差動増幅器で前記画素信号と前記参照画素信号とを比較した結果に応じた前記撮像素信号を前記複数の第1配線に供給する第2撮像方式とが択一的に選択され、
前記複数の第1配線は、基準電圧に設定される複数の配線、前記第2撮像方式の選択時には前記差動増幅器と接続されて前記第1撮像方式の選択時には前記差動増幅器との接続が遮断される複数の配線、又は前記第2撮像方式の選択時に所定のタイミングで前記第1基板及び前記第2基板の基準電圧レベルを一致させる複数の配線であってもよい。
- [0025] 本開示の他の一態様によれば、複数の画素にて光電変換を行った撮像素信号を出力する固体撮像装置と、
前記撮像素信号に基づいて信号処理を行う信号処理装置と、を備える電子機器であって、
前記固体撮像装置は、
それぞれが光電変換部を有する前記複数の画素が配置された画素アレイ部を有する第1基板を備え、
前記第1基板は、
前記画素アレイ部内の第1方向に配置された2以上の前記画素から読み出された撮像素信号を伝送する第1配線と、
前記第1配線を初期化するためのリセット電圧を供給する第2配線と、
前記第1配線と前記第2配線とを短絡するか否かを切り替える第1切替回路と、を有する、電気機器が提供される。
- [0026] 本開示の他の一態様によれば、複数の画素にて光電変換を行った撮像素信号を出力する固体撮像装置と、

前記撮像素素信号に基づいて信号処理を行う信号処理装置と、を備える電子機器であって、

前記固体撮像装置は、

それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第1基板と、

前記第1基板に積層され、前記画素アレイ部から出力された撮像素素信号の信号処理を行う第2基板と、を備え、

前記第1基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第1配線と、

前記複数の第1配線の数よりも少ない数だけ設けられ、前記複数の第1配線に電氣的に接続される第1接合部と、を有し、

前記第2基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第2配線と、

前記第1接合部と同じ数だけ設けられて、対応する前記第1接合部と接合され、前記複数の第2配線に電氣的に接続される第2接合部と、を有する、電子機器が提供される。

図面の簡単な説明

[0027] [図1]本開示の一実施形態による固体撮像装置の概略構成を示すブロック図。

[図2]カラム読出し回路部及びカラム信号処理部の処理動作を簡素化して示すブロック図。

[図3]図1の固体撮像装置を積層された2つのチップで構成する一例を示す図。

[図4]画素アレイ部とカラム読出し回路部の第1回路構成例を示す回路図。

[図5A]ソースフォロフ方式の回路動作を説明する図。

[図5B]図5Aの回路内の各部のタイミング図。

[図6]差動増幅方式を選択した場合の第1切替回路、第2切替回路、及びスイッチの切替状態を示す図。

[図7A]差動増幅方式の回路動作を説明する図。

[図7B]図7Aの回路内の各部のタイミング図。

[図8]ソースフォロフ方式を選択した場合の画素アレイ部とカラム読出し回路部の第1比較例の回路図。

[図9]差動増幅方式を選択した場合の画素アレイ部とカラム読出し回路部の第1比較例の回路図。

[図10]画素アレイ部とカラム読出し回路部の第2回路構成例を示す回路図。

[図11]画素アレイ部とカラム読出し回路部の第3回路構成例を示す回路図。

[図12]画素アレイ部とカラム読出し回路部の第4回路構成例を示す回路図。

[図13]画素アレイ部とカラム読出し回路部の第5回路構成例を示す回路図。

[図14]ソースフォロフ方式を選択した場合の画素アレイ部とカラム読出し回路部の第2比較例の回路図。

[図15]差動増幅方式を選択した場合の画素アレイ部とカラム読出し回路部の第2比較例の回路図。

[図16]画素アレイ部とカラム読出し回路部の第6回路構成例を示す回路図。

[図17A]上チップにおける接合部の配置場所を模式的に示す図。

[図17B]下チップにおける接合部の配置場所を模式的に示す図。

[図18]上チップ内の画素アレイ部と下チップ内のカラム読出し回路部の第3比較例を示す回路図。

[図19]画素アレイ部とカラム読出し回路部の第7回路構成例を示す回路図。

[図20A]上チップにおける接合部の配置場所を模式的に示す図。

[図20B]下チップにおける接合部の配置場所を模式的に示す図。

[図21]画素アレイ部とカラム読出し回路部の第8回路構成例を示す回路図。

[図22A]上チップにおける接合部の配置場所を模式的に示す図。

[図22B]下チップにおける接合部の配置場所を模式的に示す図。

[図23]画素アレイ部とカラム読出し回路部の第9回路構成例を示す回路図。

[図24A]上チップにおける接合部の配置場所を模式的に示す図。

[図24B]下チップにおける接合部の配置場所を模式的に示す図。

[図25]画素アレイ部とカラム読出し回路部の第10回路構成例を示す回路図

。

[図26A]上チップにおける接合部の配置場所を模式的に示す図。

[図26B]下チップにおける接合部の配置場所を模式的に示す図。

[図27]画素アレイ部とカラム読出し回路部の第1回路構成例を示す回路図

。

[図28A]上チップにおける接合部の配置場所を模式的に示す図。

[図28B]下チップにおける接合部の配置場所を模式的に示す図。

[図29]ストリーキング対策の一例を示す回路図。

[図30A]上チップにおける接合部の配置場所を模式的に示す図。

[図30B]下チップにおける接合部の配置場所を模式的に示す図。

[図31]画素アレイ部とカラム読出し回路部の第2回路構成例を示す回路図

。

[図32A]上チップにおける接合部の配置場所を模式的に示す図。

[図32B]下チップにおける接合部の配置場所を模式的に示す図。

[図33]画素アレイ部とカラム読出し回路部の第3回路構成例を示す回路図

。

[図34A]上チップにおける接合部の配置場所を模式的に示す図。

[図34B]下チップにおける接合部の配置場所を模式的に示す図。

[図35]画素アレイ部とカラム読出し回路部の第4回路構成例を示す回路図

。

[図36A]上チップにおける接合部の配置場所を模式的に示す図。

[図36B]下チップにおける接合部の配置場所を模式的に示す図。

[図37]第5回路構成例のソースフォロワ方式の回路図。

[図38]第5回路構成例の差動増幅方式の回路図。

[図39]第6回路構成例のソースフォロワ方式の回路図。

[図40]第6回路構成例の差動増幅方式の回路図。

[図41]画素アレイ部が形成された上チップと、信号処理部が形成された下チップとが貼り合わされた固体撮像装置1の断面図。

[図42]上チップと下チップの接合形態の一変形例を示す断面図。

[図43]車両制御システムの概略的な構成の一例を示すブロック図。

[図44]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

発明を実施するための形態

[0028] 以下、図面を参照して、固体撮像装置及び電子機器の実施形態について説明する。以下では、固体撮像装置及び電子機器の主要な構成部分を中心に説明するが、固体撮像装置及び電子機器には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0029] 図1は本開示の一実施形態による固体撮像装置1の概略構成を示すブロック図である。図1の固体撮像装置1は、CMOS (Complementary Metal-Oxide-Semiconductor) イメージセンサとも呼ばれるものである。図1の固体撮像装置1は、不図示のレンズを介して被写体からの入射光を取り込んで、撮像面上に結像された入射光の光量を画素単位で電気信号に変換して撮像画素信号として出力する。

[0030] 図1に示す固体撮像装置1は、画素アレイ部11と、垂直駆動部12と、カラム読出し回路部13と、カラム信号処理部14と、水平駆動部15と、システム制御部16と、信号処理部17と、データ格納部18とを有する。

[0031] これら画素アレイ部11、垂直駆動部12、カラム読出し回路部13、カラム信号処理部14、水平駆動部15、システム制御部16、信号処理部17、及びデータ格納部18は、同一又は電氣的に接続された複数の積層半導体基板（チップ）上に形成されている。

[0032] 画素アレイ部11には、入射光量に応じた電荷量を光電変換して内部に蓄積し、信号として出力を行うことが可能な光電変換部（例えば、フォトダイオード）を有する単位画素（画素）が、行列状に2次元配置されている。

[0033] なお、画素アレイ部11には、有効な画素（有効画素）の他に、光電変換を行うフォトダイオードを持たない構造のダミー画素や、受光面を遮光して外部からの光入射を遮断していること以外は有効画素と等価な遮光画素が、

行列状に２次元配置されている領域を含む場合がある。

[0034] また、以下の説明では、入射光量に応じた電荷量の光電荷を、単に「電荷」と記述し、単位画素を、単に「画素」と記述する場合がある。

[0035] 画素アレイ部１１にはさらに、マトリクス状の画素配列に対して行ごとに画素駆動線３１が図示の左右方向（画素行方向）に沿って形成され、列ごとに垂直画素配線３２が図の上下方向（画素列方向）に沿って形成されている。画素駆動線３１の一端は、垂直駆動部１２の各行に対応した出力端に接続されている。

[0036] カラム読出し回路部１３は少なくとも、画素アレイ部１１内の選択行画素に列ごとに定電流を供給する回路、高ゲインアンプを構成するカレントミラー回路と、読出しモード切替スイッチとを有し、画素アレイ部１１内の選択画素内のトランジスタと共に増幅器を構成し、光電荷信号を電圧信号に変換して垂直画素配線３２に出力する。

[0037] 垂直駆動部１２は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部１１の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部１２は、その具体的な構成については図示を省略するが、読出し走査系と、掃き出し走査系あるいは、一括掃き出し、一括転送を有する構成となっている。

[0038] 読出し走査系は、画素から信号を読み出すために、画素アレイ部１１の画素を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃き出しについては、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃き出し走査が行なわれる。

[0039] また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃き出しが行なわれる。この掃き出しにより、読出し行の画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。そして、不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。

- [0040] ここで、電子シャッタ動作とは、直前まで光電変換素子に溜まっていた不要な光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作又は電子シャッタ動作以降に入射した光量に対応するものである。
- [0041] 行駆動の場合は、直前の読出し動作による読出しタイミング又は電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、画素における光電荷の蓄積時間（露光時間）となる。グローバル露光の場合は、一括掃き出しから一括転送までの時間が蓄積時間（露光時間）となる。
- [0042] 垂直駆動部 1 2 によって選択走査された画素行の各画素から出力される画素信号は、垂直画素配線 3 2 の各々を通してカラム信号処理部 1 4 に供給される。カラム信号処理部 1 4 は、画素アレイ部 1 1 の画素列ごとに、選択行の各画素から垂直画素配線 3 2 を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。
- [0043] 具体的には、カラム信号処理部 1 4 は、信号処理として少なくとも、ノイズ除去処理、例えば、相関二重サンプリング（CDS : Correlated Double Sampling）処理を行う。このカラム信号処理部 1 4 による相関二重サンプリングにより、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。なお、カラム信号処理部 1 4 にノイズ除去処理以外に、例えば、AD（アナログーデジタル）変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。
- [0044] 水平駆動部 1 5 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム信号処理部 1 4 の画素列に対応する単位回路を順番に選択する。この水平駆動部 1 5 による選択走査により、カラム信号処理部 1 4 で信号処理された画素信号が順番に信号処理部 1 7 に出力される。
- [0045] システム制御部 1 6 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種の

タイミング信号を基に垂直駆動部 1 2、カラム信号処理部 1 4、及び水平駆動部 1 5 などの駆動制御を行う。

[0046] CMOSイメージセンサ 1 0 はさらに、信号処理部 1 7 及びデータ格納部 1 8 を備えている。信号処理部 1 7 は、少なくとも加算処理機能を有し、カラム信号処理部 1 4 から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部 1 8 は、信号処理部 1 7 での信号処理に当たって、その処理に必要なデータを一時的に格納する。

[0047] これら信号処理部 1 7 及びデータ格納部 1 8 については、CMOSイメージセンサ 1 0 とは別の基板に設けられる信号処理部や、例えばDSP(Digital Signal Processor)やソフトウェアによる処理でも構わないし、CMOSイメージセンサ 1 0 と同じ基板上に搭載しても構わない。

[0048] 図 2 はカラム読出し回路部 1 3 及びカラム信号処理部 1 4 の処理動作を簡素化して示すブロック図である。画素アレイ部 1 1 には、カラム方向 X 及び行方向 Y に複数の画素 2 が配置されている。本実施形態では、行方向 Y を第 1 方向、カラム方向 X を第 2 方向と呼ぶことがある。

[0049] 信号線 V S L は、行方向 Y に並ぶ画素列ごとに設けられており、各画素 2 から出力された撮像素子信号は、対応する信号線 V S L を介して、カラム読出し回路部 1 3 内のアナログフロントエンド回路 2 1 に入力されて増幅される。アナログフロントエンド回路 2 1 から出力された撮像素子信号は、カラム信号処理部 1 4 内の A D 変換器 2 2 にてデジタル信号に変換される。デジタル信号は、図 1 に示す信号処理部 1 7 に入力される。図 2 に示すように、各画素 2 の撮像素子信号は、カラムごとに A D 変換される。各画素は、後述するように、フォトダイオード（以下、P D）、転送トランジスタ Q 1、フローティングディフュージョン（以下、F D）、リセットトランジスタ Q 2、選択トランジスタ Q 3、及び増幅トランジスタ Q 4 を有する。

[0050] 本実施形態による固体撮像素子装置 1 は、積層された複数のチップで構成することができる。図 3 は、図 1 の固体撮像素子装置 1 を積層された 2 つのチップ（以下、上チップ 2 3 及び下チップ 2 4 と呼ぶ）で構成する一例を示す図であ

る。本明細書では、上チップ23を第1基板、下チップ24を第2基板と呼ぶこともある。図2に示すように、上チップ23には画素アレイ部11などが配置され、下チップ24には垂直駆動部12、カラム読出し回路部13、カラム信号処理部14、信号処理部17、DAC18などが配置されている。なお、上チップ23に画素アレイ部11以外の回路部を配置してもよい。

[0051] また、上チップ23と下チップ24には、各チップ間で各種の信号を送受するための接合部を有する接続領域25が配置されている。図3は、各チップの四辺に沿って、4つの接続領域25が設けられているが、接続領域25の数や配置場所、接続領域25内の接合部の数は任意である。上チップ23の接合部と下チップ24の接合部は、上下に重なるように配置されて、後述する種々の接合形態にて接合される。

[0052] 本実施形態による固体撮像装置1は、撮像画素信号を生成する方式として、ソースフォロワ方式（第1撮像方式とも呼ぶ）と差動増幅方式（第2撮像方式とも呼ぶ）のいずれかを択一的に選択可能である。ソースフォロワ方式は、ダイナミックレンジを広く取ることができる一方で、暗いシーンではノイズが増えてしまう。差動増幅方式は、ダイナミックレンジは狭いものの、かなり暗いシーンでもノイズに埋もれることなく撮像画素信号を生成できる。通常は、明るいシーンではソースフォロワ方式が選択され、暗いシーンでは差動増幅方式が選択され、中間の明るさのシーンではいずれか一方の方式が選択されて、カラム信号処理部14内のAD変換器22でゲイン調整が行われる。固体撮像装置1は、自動的に、ソースフォロワ方式と差動増幅方式のいずれかを選択してもよいし、ユーザがどちらの方式で撮像するかを選択してもよい。

[0053] 本開示による固体撮像装置1は、上チップ23と下チップ24の間で送受される信号配線数を削減することを特徴とする。上チップ23内の画素アレイ部11と下チップ24内のカラム読出し回路部13の回路構成として複数通りが考えられる。以下、具体的な回路構成を順に説明する。

[0054] （第1回路構成例）

図4は上チップ23内の画素アレイ部11と下チップ24内のカラム読出し回路部13の第1回路構成例を示す回路図である。図4では、下チップ24内の垂直駆動部12とカラム読出し回路部13以外の構成は省略している。

[0055] 図4に示すように、上チップ23内の画素アレイ部11は、読出し画素領域26と参照画素領域27を有する。読出し画素領域26は、行方向Y及びカラム方向Xに複数個ずつ配置された画素2を有する。本明細書では、行方向Yに配置された複数の画素2の並びを画素列と呼び、カラム方向Xに配置された複数の画素2の並びを画素行と呼ぶ。複数の画素列のそれぞれごとに、VSL線、VRD線、及びVCOM線が1本ずつ設けられている。図4では、VSL線、VRD線、及びVCOM線を区別するために、 k や $k+1$ 等の添え字を付しているが、本明細書では添え字を省略して表記する。

[0056] また、複数の画素行のそれぞれごとに、RST i 線、TRG i 線、及びSEL i 線が設けられている。 i は各行を識別する番号であり、本明細書では、 i を略して表記する場合もある。RST i 線、TRG i 線、及びSEL i 線は、カラム方向Xの一端部又は両端部に配置される行方向接続領域34内の対応する接合部に接続されている。垂直駆動部12は、画素行ごとに、対応するRST i 線、TRG i 線、及びSEL i 線を所定のタイミングでハイレベルにする。

[0057] 参照画素領域27には、カラム方向Xに複数の参照画素2 r が並んだ参照画素行が配置されている。参照画素行は1行分だけ設けられている。参照画素領域27内の参照画素2 r の回路構成は、読出し画素領域26内の画素2の回路構成と同じである。参照画素行に対応づけて、行方向Yに延びる参照信号VSL R 線と、カラム方向Xに延びるRST r 線、TRG r 線、及びSEL r 線とが配置されている。

[0058] 読出し画素領域26内の各画素2は、フォトダイオード（以下、PD）と、転送トランジスタQ1と、リセットトランジスタQ2と、選択トランジスタQ3と、増幅トランジスタQ4とを有する。転送トランジスタQ1は、T

R G i 線の電位により、P D と F D とを導通させるか否かを切り替える。リセットトランジスタ Q 2 は、R S T i の電位により、V R D 線と F D を導通させるか否かを切り替える。増幅トランジスタ Q 4 は、F D の電位を増幅する。増幅トランジスタ Q 4 のソースは、V C O M 線に接続されている。選択トランジスタ Q 3 は、S E L i 線の電位により、増幅トランジスタ Q 4 のドレイン電圧を V S L 線に供給するか否かを切り替える。

[0059] 参照画素領域 2 7 内の各参照画素 2 r は、P D r と、転送トランジスタ Q 1 r と、リセットトランジスタ Q 2 r と、選択トランジスタ Q 3 r と、増幅トランジスタ Q 4 r とを有する。転送トランジスタ Q 1 r は、T R G r 線の電位により、P D r と F D r とを導通させるか否かを切り替える。リセットトランジスタ Q 2 r は、R S T r 線の電位により、リセット電圧線 V r s t と F D r を導通させるか否かを切り替える。選択トランジスタ Q 3 r は、S E L r 線の電位により、V S L R 線を V C O M 線に導通するか否かを切り替える。

[0060] 図 4 の画素アレイ部 1 1 は、行方向 Y に延びる画素列ごとに、第 1 切替回路 2 8 と第 2 切替回路 2 9 を有する。第 1 切替回路 2 8 は、V S L 線と V R D 線を短絡するか否かを切り替える。第 2 切替回路 2 9 は、V R D 線と V C O M 線を短絡するか否かを切り替える。本明細書では、V S L 線を第 1 配線、V R D 線を第 2 配線、V C O M 線を第 3 配線と呼ぶことがある。本実施形態による画素アレイ部 1 1 は、少なくとも第 1 切替回路 2 8 を備えている。

[0061] 第 1 切替回路 2 8 と第 2 切替回路 2 9 は、上チップ 2 3 内の複数の画素 2 の配置領域の外側に配置されている。第 1 切替回路 2 8 と第 2 切替回路 2 9 は、ソースフォロワ方式と差動増幅方式のどちらを採用するかによって、互いに異なる切替動作を行う。

[0062] 本実施形態による固体撮像装置 1 がソースフォロワ方式を選択する場合、第 1 切替回路 2 8 にて V S L 線と V R D 線の接続は遮断され、かつ第 2 切替回路 2 9 にて V R D 線と V C O M 線は接続される。一方、本実施形態による固体撮像装置 1 が差動増幅方式を選択する場合、第 1 切替回路 2 8 にて V S

L線とVRD線が短絡され、かつ第2切替回路29にてVRD線とVCOM線の接続が遮断される。

[0063] 図4の例では、第1切替回路28と第2切替回路29は、画素アレイ部11の行方向Yの一端部と参照画素領域27の間に配置されているが、後述するように、第1切替回路28と第2切替回路29の配置場所は、図4に示したものに限定されない。

[0064] 第1切替回路28は、VSL線とVRD線を短絡するか否かを切り替えるトランジスタQ7で構成可能である。このトランジスタQ7のゲートに入力されるVRD-VSL信号は、垂直駆動部12から供給される。同様に、第2切替回路29は、VRD線とVCOM線を短絡するか否かを切り替えるトランジスタQ8で構成可能である。このトランジスタQ8のゲートに入力されるVRD-VCOM信号は、垂直駆動部12から供給される。

[0065] 上チップ23と下チップ24との各種信号の送受は、接合部30にて行われる。接合部30は、カラム方向接続領域33と、行方向Yに配置された接続領域（以下、行方向接続領域34）の内部に複数個ずつ配置されている。

[0066] カラム方向接続領域33には、画素列ごとに、3つの接合部（以下、第1～第3接合部とも呼ぶ）30が設けられている。第1接合部30は、VSLR信号を送受するためのものであり、画素アレイ部11内のVSLR線に接続される。第2接合部30は、VSL信号を送受するためのものであり、画素アレイ部11内のVSL線に接続される。第3接合部30は、VCOM信号を送受するためのものであり、画素アレイ部11内のVCOM線に接続される。

[0067] 行方向接続領域34には、複数の接合部30が設けられている。例えば、読出し画素領域26内の画素行ごとに、RSTi線が接続される接合部30と、TRGi線が接続される接合部30と、SELi線が接続される接合部30とが設けられている。また、行方向接続領域34には、参照画素領域27内のRSTr線が接続される接合部30と、TRGr線が接続される接合部30と、SELr線が接続される接合部30とが設けられている。さらに

、行方向接続領域34には、第1切替回路28内のVRD-VSL信号線が接続される接合部30と、第2切替回路29内のVRD-VCOM信号線が接続される接合部30とが設けられている。

[0068] 図4の例では、垂直駆動部12が下チップ24に配置されている例を示している。垂直駆動部12から出力されたRST信号、TRG信号、SEL信号、RST_r信号、TRG_r信号、SEL_r信号、VRD-VCOM信号、VRD-VSL信号などは、それぞれ対応する接合部30を介して、上チップ23に伝送される。

[0069] 下チップ24内のカラム読出し回路部13は、図4に示すように、差動トランジスタ対35と、スイッチSW1～SW6と、電流源36とを有する。スイッチSW1は、差動トランジスタ対35の一方のトランジスタQ5のソースとVSL_R線が接続される第1接合部30とを短絡するか否かを切り替える。スイッチSW2は、差動トランジスタの他方のトランジスタQ6のソースとVSL線が接続される第2接合部30とを短絡するか否かを切り替える。スイッチSW3は、VCOM線が接続される第3接合部30に電源電圧VDDを供給するか否かを切り替える。スイッチSW5は、VSL線が接続される第2接合部30に電流源36を接続するか否かを切り替える。スイッチSW6は、VCOM線が接続される第3接合部30に電流源36を接続するか否かを切り替える。

[0070] このように、図4の回路では、上チップ23と下チップ24は、行方向Yに延びる画素列ごとに、3つの接合部（第1～第3接合部）30でVSL信号、VRD信号、及びVCOM信号を送受する。

[0071] 図4はソースフォロフ方式を選択した場合のスイッチSW1～SW6の切替状態を示している。ソースフォロフ方式の選択時には、第1切替回路28はVSL線とVRD線の接続を遮断し、かつ第2切替回路29はVRD線とVCOM線を短絡する。また、スイッチSW1とSW2はオフし、スイッチSW3はオンし、スイッチSW5はオン、スイッチSW6はオフする。スイッチSW1とSW2がともにオフするため、カラム読出し回路部13内の差

動トランジスタ対35は遮断されて使用されない。スイッチSW1がオフすることで、第1接合部30及びVSLR線の電位は不定になり、参照画素2rも使用されない。読出し画素領域26内の画素2が有する増幅トランジスタQ4は、ソースフォロワ回路を構成しており、読出し対象の画素行内の各画素2の選択トランジスタQ3がオンし、各画素内のPDで光電変換されてFDに転送された電荷に応じてVSL線の電圧レベルが変化する。すなわち、ソースフォロワ方式では、読出し画素領域26内の読出し対象の画素2から出力された撮像素子信号がVSL線を介して下チップ24に伝送される。

[0072] 図5Aはソースフォロワ方式の回路動作を説明する図であり、画素アレイ部11とカラム読出し回路部13内の一部の回路構成を示している。図5Bは図5Aの回路内の各部のタイミング図である。図5Aでは、図4の第1切替回路28と第2切替回路29を等価的にスイッチSW11とSW12で表しており、例えば第1切替回路28と第2切替回路29が下チップ24に配置されている例を示している。この場合、VRD線と電源電圧との間にスイッチSW7が設けられる。図5Aに示すように、ソースフォロワ方式では、スイッチSW11がオフしてVSL線とVRD線の接続は遮断され、スイッチSW12がオンしてVRD線とVCOM線は短絡される。

[0073] 図5Bに示すように、ソースフォロワ方式では、参照画素2rのSELrは、ローレベル固定であり、参照画素2r内の選択トランジスタQ3rはオフする。読出し画素領域26内の読出し対象の画素(i番目の画素)2のSELi信号は、その画素2を選択している間はハイレベル固定になる。読出し対象の画素2の読出しを行う場合、まずはRSTi信号をハイレベルにする(時刻t1~t2)。これにより、リセットトランジスタQ2がオンし、VRD線の電位がハイレベルになるとともに、FDがリセット電位になる。時刻t2でRST信号がローレベルになると、FDの電位が徐々に低下し、それに伴ってVSL線の電位も急速に下がり、やがて所定の電位(リセット電位、P相電位とも呼ぶ)に落ち着く。その後、時刻t3になると、TRG信号がハイになって転送トランジスタQ1がオンし、FDの電位はPDの光

電変換量に応じた値になる。時刻 t_4 で $TRGi$ 信号がローになって転送トランジスタ Q_1 がオフすると、やがて、 VSL 線の電位は PD の光電変換量に応じた電位（ D 相電位）に落ち着く。

[0074] 図 6 は差動増幅方式を選択した場合の第 1 切替回路 28、第 2 切替回路 29、及びスイッチ $SW_1 \sim SW_6$ の切替状態を示す図である。差動増幅方式の選択時には、第 1 切替回路 28 は VSL 線と VRD 線を短絡し、かつ第 2 切替回路 29 は VRD 線と $VCOM$ 線の接続を遮断する。また、スイッチ SW_1 と SW_2 はオンし、スイッチ $SW_3 \sim SW_5$ はオフし、スイッチ SW_6 はオンする。スイッチ SW_1 と SW_2 がともにオンするため、差動トランジスタ対 35 の一方のトランジスタ Q_5 のソースには $VSLR$ 線が接続され、他方のトランジスタ Q_6 のソースには VSL 線が接続される。また、参照画素 2_r 内の増幅トランジスタ Q_{4r} のソースと、読出し画素領域 2_6 内の増幅トランジスタ Q_4 のソースは、スイッチ SW_6 を介して電流源 36 に接続される。これにより、参照画素から出力された撮像素子信号と、読出し画素領域 2_6 内の画素 2 から出力された撮像素子信号とが、上チップ 23 内の差動トランジスタ対 35 で比較される。そして、両信号の電圧差に応じた信号がカラム信号処理部 14 に送られる。

[0075] 図 7 A は差動増幅方式の回路動作を説明する図であり、画素アレイ部 11 とカラム読出し回路部 13 内の一部の回路構成を示している。図 7 B は図 7 A の回路内の各部のタイミング図である。図 7 A に示すように、差動増幅方式では、第 1 切替回路 28 に対応するスイッチ SW_{11} がオフして VSL 線と VRD 線の接続が遮断され、第 2 切替回路 29 に対応するスイッチ SW_{12} がオンして VRD 線と $VCOM$ 線は短絡される。

[0076] 図 7 B に示すように、差動増幅方式では、参照画素 2_r 内の選択トランジスタ Q_{3r} と読出し対象画素 2 内の選択トランジスタ Q_3 はオンする。時刻 $t_1 \sim t_2$ では参照画素 2_r 用の RST_r と読出し対象画素 2 用の RST_i がともにハイレベルになり、参照画素 2_r 内のリセットトランジスタ Q_2 と読出し対象画素 2 内のリセットトランジスタ Q_2 がともにオンし、 $VCOM$

線とVSL線はリセット電位（P相電位）になる。その後、時刻 $t_3 \sim t_4$ でTRG信号がハイレベルになると、転送トランジスタQ1がオンし、差動トランジスタ対35は、VSL線の電位と参照画素の電位との電位差に応じた電位にVSL線を設定する。

[0077] このように、第1回路構成例の回路によれば、上チップ23に第1切替回路28と第2切替回路29を設けて、ソースフォロワ方式と差動増幅方式のどちらを選択するかによって、VSL線とVRD線を短絡するか否かを切り替えるとともに、VRD線とVCOM線を短絡するか否かを切り替える。VSL線とVRD線を短絡するか否かを切り替える第1切替回路28と、VRD線とVCOM線を短絡するか否かを切り替える第2切替回路29は上チップ23内に設けられるため、VRD信号を上チップ23と下チップ24で送受する必要がなくなり、上チップ23と下チップ24との間で信号の送受を行う接合部30の数を削減できる。

[0078] 図8はソースフォロワ方式を選択した場合の画素アレイ部11とカラム読出し回路部13の第1比較例の回路図、図9は差動増幅方式を選択した場合の画素アレイ部11とカラム読出し回路部13の第1比較例の回路図である。図8及び図9では、第1切替回路28に対応するスイッチSW11と、第2切替回路29に対応するスイッチSW12が下チップ24側に設けられている点で、図4及び図6の回路とは異なる。スイッチSW11、SW12を下チップ24に設ける場合、上チップ23と下チップ24に、画素列ごとに、VSLR信号を送受する接合部30と、VSL信号を送受する接合部30と、VRD信号を送受する接合部30と、VCOM信号を送受する接合部30とを設ける必要があり、図4及び図6の回路よりも、接合部30の数が画素列ごとに1個増える。カラム方向Xには多数の画素列が設けられるため、図8及び図9の回路における接合部30の総数は図4及び図5の回路よりも、かなり多くなり、その分、上チップ23や下チップ24内に接合部30を設けるためのデッドスペースが増えてしまう。

[0079] このように、図4及び図6の回路によれば、上チップ23内に第1切替回

路 28 と第 2 切替回路 29 を設けるため、上チップ 23 と下チップ 24 間で V R D 信号を送受する必要がなくなり、V R D 信号用の接合部 30 を省略できる。

[0080] (第 2 回路構成例)

図 4 及び図 6 に示す第 1 切替回路 28 と第 2 切替回路 29 は、上チップ 23 内の図 4 及び図 6 に示す場所以外の場所に配置されてもよい。

[0081] 図 10 は画素アレイ部 11 とカラム読出し回路部 13 の第 2 回路構成例を示す回路図である。図 10 は、図 4 とは異なる場所に第 1 切替回路 28 と第 2 切替回路 29 を配置した例を示している。図 10 の回路は、第 1 切替回路 28 と第 2 切替回路 29 の配置場所が図 4 の回路と異なる他は、図 4 の回路と共通である。

[0082] 図 10 の回路における第 1 切替回路 28 と第 2 切替回路 29 は、画素アレイ部 11 内の読出し画素領域 26 内の行方向 Y の一端部側で、参照画素 2r から遠い側に配置されている。図 10 の回路は、図 4 の回路と同様に、上チップ 23 と下チップ 24 に設けられる接合部 30 の数を削減できる。

[0083] (第 3 回路構成例)

第 1 切替回路 28 と第 2 切替回路 29 の具体的な回路構成は、図 4 や図 10 に示したものに限定されない。図 11 は画素アレイ部 11 とカラム読出し回路部 13 の第 3 回路構成例を示す回路図である。図 11 の回路は、図 4 の回路とは異なる回路構成の第 1 切替回路 28 及び第 2 切替回路 29 を有する。

[0084] 第 1 切替回路 28 及び第 2 切替回路 29 は、参照画素 2r や読出し画素領域 26 内の各画素 2 と同様の回路構成を有する。より具体的には、第 1 切替回路 28 は、P D 1 と、転送トランジスタ Q 11 と、F D 1 と、リセットトランジスタ Q 12 と、選択トランジスタ Q 13 と、増幅トランジスタ Q 14 とを有する。同様に、第 2 切替回路 29 は、P D 2 と、転送トランジスタ Q 15 と、F D 2 と、リセットトランジスタ Q 16 と、選択トランジスタ Q 17 と、増幅トランジスタ Q 18 とを有する。

[0085] 第1切替回路28内のリセットトランジスタQ12は、RST₁信号により、VSL線とVRD線を短絡するか否かを切り替える。第2切替回路29内のリセットトランジスタQ16は、RST₀信号により、VRD線とVCOM線を短絡するか否かを切り替える。

[0086] このように、図11の回路では、第1切替回路28と第2切替回路29を画素2や参照画素2_rと同じ回路構成にして、第1切替回路28と第2切替回路29内のリセットトランジスタQ2の接続先を、画素2や参照画素2_rとは相違させることで、VSL線とVRD線を短絡するか否かと、VRD線とVCOM線を短絡するか否かを切り替えている。

[0087] 第3回路構成例では、第1切替回路28と第2切替回路29を画素2や参照画素2_rと同じ回路構成にするため、レイアウト設計が容易になる。

[0088] (第4の回路構成)

図11の回路では、画素2や参照画素2_rと同じ回路構成の第1切替回路28と第2切替回路29を参照画素2_rの近傍に配置しているが、上チップ23内の別の場所の第1切替回路28と第2切替回路29を設けてもよい。

[0089] 図12は画素アレイ部11とカラム読出し回路部13の第4回路構成例を示す回路図である。図12の回路は、図11とは異なる場所に第1切替回路28と第2切替回路29を配置した例を示している。図12の回路は、第1切替回路28と第2切替回路29の配置場所が図11の回路と異なる他は、図11の回路と共通である。

[0090] 図12の回路における第1切替回路28と第2切替回路29は、画素アレイ部11内の読出し画素領域26内の行方向Yの一端部側で、参照画素2_rから遠い側に配置されている。図12の回路は、図11の回路と同様に、上チップ23と下チップ24との間の接合部30の数を削減できる。

[0091] (第5の回路構成)

上述した第1～第4の回路構成では、画素アレイ部11内の行方向Yに延びる画素列ごとに、VSL線とVRD線を1本ずつ設ける例を説明した。これに対して、画素列ごとに、VSL線とVRD線を複数本ずつ設けてもよい。

。VSL線の数を増やして、1本のVSL線に接続される画素2の数を減らすことで、撮像素子信号を高速に読み出すことができる。

[0092] 図13は画素アレイ部11とカラム読出し回路部13の第5回路構成例を示す回路図である。図13の回路は、画素列ごとに、VSL線とVRD線を2本ずつ設ける例を示している。本明細書及び図13では、2本のVSL線をVSL0線とVSL1線と呼び、2本のVRD線をVRD0線とVRD1線と呼ぶ。読出し画素領域26内の行方向Yに並ぶ画素列のうち、奇数列の画素2はVSL0線とVRD0線に接続され、偶数列の画素2はVSL0線とVRD1に接続されている。

[0093] 第1切替回路28は、VSL0線とVRD0線を短絡するか否かを切り替えるトランジスタQ21と、VSL1線とVRD1線を短絡するか否かを切り替えるトランジスタQ22とを有する。第2切替回路29は、VRD0線とVCOM線を短絡するか否かを切り替えるトランジスタQ23と、VRD1線とVCOM線を短絡するか否かを切り替えるトランジスタQ24とを有する。これらトランジスタQ21～Q24をオン又はオフするためのゲート信号であるVRD0-VSL0、VRD1-VSL1、VRD0-VCOM、VRD1-VCOMは、垂直駆動部12から供給される。

[0094] 図13の下チップ24内のカラム読出し回路部13は、上述した第1～第4回路構成例におけるカラム読出し回路部13の構成に加えて、トランジスタQ25と、電流源37と、スイッチSW7～SW10とを有する。

[0095] トランジスタQ25のドレインには電源電圧VDDが印加され、ソースはスイッチSW7の一端に接続されている。スイッチSW7は、トランジスタQ25のドレインとVSL1線を短絡するか否かを切り替える。スイッチSW9は、VSL1線を電流源37に接続するか否かを切り替える。スイッチSW10は、VCOM線を電流源37に接続するか否かを切り替える。

[0096] 図13の回路の場合、上チップ23と下チップ24でVSL0信号とVSL1信号を送受する必要がある、第1～第4の回路構成よりも、画素列ごとに、上チップ23と下チップ24の間の接合部30の数が1つ増える。ただ

し、VRD0信号とVRD1信号は、下チップ24側に伝送する必要がなくなるため、これらの信号を送受するための接合部30を省略できる。

[0097] 図13の回路では、画素列ごとに2本のVSL線と2本のVRD線を設ける例を示したが、画素列ごとに3本以上のVSL線と3本以上のVRD線を設けてもよい。画素列ごとのVSL線の数を増やすほど、信号配線数と接合部30の数が増えるが、撮像素素信号の高速読出しが可能となる。

[0098] 図14はソースフォロワ方式を選択した場合の画素アレイ部11とカラム読出し回路部13の第2比較例の回路図、図15は差動増幅方式を選択した場合の画素アレイ部11とカラム読出し回路部13の第2比較例の回路図である。図14及び図15は、画素列ごとにVSL線とVRD線を2本ずつ設ける例を示している。図14はソースフォロワ方式の回路図、図15は差動増幅方式の回路図である。図14と図15では、第1切替回路28、第2切替回路29、及びスイッチSW1～SW10の切替状態が互いに異なっている。

[0099] 図14に示す第2比較例の回路では、第1切替回路28に対応するスイッチSW11a及びSW11bと、第2切替回路29に対応するスイッチSW12a及びSW12bとが下チップ24側に設けられており、上チップ23と下チップ24との間で、VSL0信号、VSL1信号、VCOM信号だけでなく、VRD0信号とVRD1信号も伝送される。これにより、上チップ23と下チップ24との接合部30の数が図13よりも増えてしまう。具体的には行方向Yに延びる画素列ごとに、VRD0信号用の接合部30と、VRD1信号用の接合部30が新たに必要となる。

[0100] 図14及び図15の第2比較例の回路と、図13の第5回路構成例の回路を比較すればわかるように、上チップ23側に第1切替回路28と第2切替回路29を設けることで、VRD0信号とVRD1信号を下チップ24に伝送する必要がなくなり、上チップ23と下チップ24との接合部30の数を削減できる。削減できる接合部30の数は、画素列ごとのVSL線とVRD線の数が増えるほど多くなる。

[0101] (第6回路構成例)

上チップ23と下チップ24には、電氣的に短絡しても回路動作上支障のないいくつかの信号配線がある。これらの信号配線を短絡させて信号配線数を間引くことで、上チップ23と下チップ24の間で送受される信号数の数を削減でき、上チップ23と下チップ24の接合部30の数を減らすことができる。

[0102] 図16は画素アレイ部11とカラム読出し回路部13の第6回路構成例を示す回路図である。図16は差動増幅方式の撮像素子読出しを行う例を示している。差動増幅方式では、上チップ23内の各VSLR線は、下チップ24内の差動トランジスタ対35の一方のトランジスタQ5のソースに接続される。

[0103] 図16において、上チップ23内の参照画素2rにおける選択トランジスタQ3のドレインに接続されるVSLR線は、カラム方向Xに延びる信号配線L1により、すべての参照画素2r同士で短絡されている。このVSLR線は、上チップ23内の行方向接続領域34内の接合部30に接続されている。この接合部30は、下チップ24内の対応する接合部30に接合される。VSLR線に接続される接合部30は、画素列の数よりも少ない数だけ設けられている。すなわち、各画素列のVSLR線を信号配線L1により短絡することで、VSLR線に接続される接合部30を間引いて設けることができる。

[0104] 下チップ24側でも、各画素列に対応する各差動トランジスタ対35の一方のトランジスタQ5のソースに繋がる経路上のスイッチSW1の一端同士は、カラム方向Xに延びる信号配線L2により短絡されて、上述した接合部30に接続されている。上チップ23内の接合部30と下チップ24内の接合部30を接合することにより、差動トランジスタ対35の一方のトランジスタQ5のソースに、上チップ23内の短絡されたVSLR信号を供給することができる。

[0105] 図17Aは上チップ23における接合部30の配置場所を模式的に示す図

、図17Bは下チップ24における接合部30の配置場所を模式的に示す図である。接合部30は、上チップ23と下チップ24を上下に積層したときに、上下に重なる位置に設けられている。図17A及び図17Bに示すように、カラム方向接続領域33には、画素列ごとにVSLR線用の接合部30を設けなくて済むため、画素列の数分の接合部30を削減できる。

[0106] 図18は上チップ23内の画素アレイ部11と下チップ24内のカラム読出し回路部13の第3比較例を示す回路図である。図18の回路は、図16の回路と比べて、上チップ23内に、各VSLR線を短絡するためのカラム方向に延びる信号配線L1を備えていない。このため、上チップ23と下チップ24で、画素列ごとに、VSLR線を接続するための接合部30を設ける必要があり、カラム方向接続領域33内の接合部30の数が増えてしまう。

[0107] このように、第6回路構成例では、画素列ごとのVSLR線をカラム方向に延びる信号配線L1で短絡させて、カラム方向接続領域33内のVSLR線用の接合部30を間引くため、カラム方向接続領域33内の接合部30の総数を削減できる。

[0108] (第7回路構成例)

図16の回路では、カラム方向接続領域33内のVSLR線用の接合部30を間引いているが、VSLR線用の接合部30をカラム方向接続領域33内には設けずに、行方向接続領域34内に設けてもよい。

[0109] 図19は画素アレイ部11とカラム読出し回路部13の第7回路構成例を示す回路図である。図19は差動増幅方式の撮像素子読出しを行う例を示している。

[0110] 図19の回路では、上チップ23内の画素列ごとのVSLR線を、カラム方向に延びる信号配線L1で短絡し、この信号配線L1を行方向接続領域34内の接合部30に接続している。また、この信号配線L1に接続される接合部30は、カラム方向接続領域33の内部には設けられていない。これにより、VSLR線用の接合部30は、行方向接続領域34内に一つだけ設け

られ、図16の回路よりも、VSLR線用の接合部30の数を減らすことができる。

[0111] 図20Aは上チップ23における接合部30の配置場所を模式的に示す図、図20Bは下チップ24における接合部30の配置場所を模式的に示す図である。図20A及び図20Bを図17A及び図17Bと比較すればわかるように、カラム方向接続領域33内の画素列ごとの接合部30を削減できる一方で、行方向接続領域34内の接合部30が一つだけ増える。

[0112] このように、第7回路構成例では、画素列ごとに設けられていたVSLR線用の接合部30の代わりに、各VSLR線をカラム方向に延びる信号配線L1で短絡させて、この信号配線L1を行方向接続領域34内の接合部30に接続するため、VSLR線用の接合部30の総数を第6回路構成例よりも削減できる。

[0113] (第8回路構成例)

カラム方向Xの画素列の数が多い場合は、カラム方向Xの両端側に垂直駆動部12を設ける場合がある。この場合、カラム方向Xの両端側にVSLR線用の接合部30を設けてもよい。

[0114] 図21は画素アレイ部11とカラム読出し回路部13の第8回路構成例を示す回路図である。図21は差動増幅方式の撮像画像読出しを行う例を示している。図21の固体撮像装置1は、カラム方向Xの両端側に配置された計2個の垂直駆動部12を有する。各垂直駆動部12に対応づけて、カラム方向Xの両端側に、計2個の行方向接続領域34が設けられている。これら2個の垂直駆動部12は、対応する行方向接続領域34内の接合部30を介して上チップ23と信号伝送を行う。2個の垂直駆動部12に対応する2個の行方向接続領域34には、画素アレイ部11内のカラム方向Xに配置されたVSLR線が接続される接合部30が設けられている。これらの接合部30は、下チップ24内の対応する接合部30に接合される。これにより、上チップ23と下チップ24は、カラム方向Xの両端側の2つの接合部30により、VSLR信号の伝送を行う。

[0115] 図19のようにカラム方向Xの片側だけで上チップ23と下チップ24でVSLR信号の伝送を行う場合よりも、図21のようにカラム方向Xの両端側の接合部30でVSLR信号の伝送を行う方が、ノイズ耐性が高くなり、信号配線の電圧変動も抑制できる。

[0116] 図22Aは上チップ23における接合部30の配置場所を模式的に示す図、図22Bは下チップ24における接合部30の配置場所を模式的に示す図である。図22A及び図22Bを、図20A及び図20Bと比較すればわかるように、図21の回路では、カラム方向Xの両端側に行方向接続領域34を設けているため、VSLR信号用の2つの接合部30が新たに設けられる。一方、カラム方向Xの接合部30の数は図20A及び図20Bと同じである。

[0117] 第8回路構成例では、第7回路構成例と比べて、行方向Yの接合部30が一つ増えるものの、第7回路構成例と同様にカラム方向Xの接合部30の数を大幅に削減できる。

[0118] (第9回路構成例)

上チップ23と下チップ24において、カラム方向Xに短絡させることができる信号配線は、VSLR線だけではない。図23は画素アレイ部11とカラム読出し回路部13の第9回路構成例を示す回路図である。図23は差動増幅方式の撮像画像読出しを行う例を示している。図23の回路は、上チップ23内の画素列ごとに設けられるVCOM線同士を、カラム方向Xに延びる信号配線L3により短絡している。一方、下チップ24内の差動トランジスタ対35ごとに設けられるスイッチSW6の一端同士を、カラム方向Xに延びる信号配線L4により短絡している。上チップ23内には、短絡されたVCOM線を下チップ24に接続するための1つ又は複数個の接合部30が設けられている。接合部30の数は、画素列の数よりも少ない数だけ設けられており、VCOM線をカラム方向Xに短絡することで、接合部30の数を間引いている。

[0119] 同様に、下チップ24でも、短絡されたスイッチSW6の一端に接続され

る接合部30の数を間引いている。上チップ23内の接合部30と、対応する下チップ24内の接合部30を互いに接合することにより、上チップ23内のVCOM線を下チップ24内のスイッチSW6の一端に接続している。接合部30の間引き方は任意であるが、例えば、2以上の所定数のVSLR線ごとに接合部30を設けることが考えられる。

[0120] 図24Aは上チップ23における接合部30の配置場所を模式的に示す図、図24Bは下チップ24における接合部30の配置場所を模式的に示す図である。VSLR線を短絡しない場合には、画素列ごとに、カラム方向XにVSL線用の接合部30が必要になるが、第9回路構成例では、カラム方向XのVSL線用の接合部30の数を間引くため、カラム方向Xの接合部30の数を大幅に削減できる。

[0121] (第10回路構成例)

第10回路構成例は、第8回路構成例の一変形例であり、VCOM信号は、行方向接続領域34内の接合部30を介して下チップ24に伝送される。

[0122] 図25は画素アレイ部11とカラム読出し回路部13の第10回路構成例を示す回路図である。図25は差動増幅方式の撮像画像読出しを行う例を示している。図25の回路は、上チップ23内の画素列ごとに設けられるVCOM線を、カラム方向Xに延びる信号配線L3により短絡し、この信号配線L3を行方向接続領域34内の接合部30に接続している。

[0123] 同様に、下チップ24内の差動トランジスタ対35ごとに設けられるスイッチSW6の一端同士を、カラム方向Xに延びる信号配線L4により短絡して、接合部30に接続している。上チップ23内のVCOM線用の接合部30と、下チップ24内のスイッチSW6の一端に接続される接合部30は上下に接合される。

[0124] 図26Aは上チップ23における接合部30の配置場所を模式的に示す図、図26Bは下チップ24における接合部30の配置場所を模式的に示す図である。図26A及び図26Bに示すように、第10回路構成例では、カラム方向Xには、VCOM線用の接合部30を設けないため、カラム方向Xに

画素列ごとにVCOM線用の接合部30を設ける場合と比較して、接合部30の数を大幅に削減できる。また、第10回路構成例では、行方向接続領域34内に、VCOM線に接続される接合部30を1つ追加する。行方向Yには接合部30が1つだけ増えるが、カラム方向Xの接合部30の減少数が大きいいため、全体として、接合部30の数を大きく削減できる。

[0125] (第11回路構成例)

図27は画素アレイ部11とカラム読出し回路部13の第11回路構成例を示す回路図である。図27の回路は、カラム方向Xの両端側に配置された垂直駆動部12と行方向接続領域34とを有する。上チップ23内の画素列ごとに設けられるVCOM線は、カラム方向Xに延びる信号配線L3により短絡されて、両端側の行方向接続領域34内の接合部30に接続されている。

[0126] 下チップ24内の差動トランジスタ対35ごとに設けられるスイッチSW6の一端は、カラム方向Xに延びる信号配線L4により短絡されて、両端側の接合部30に接続されている。上チップ23内の接合部30と下チップ24内の接合部30は上下に接合される。

[0127] 図28Aは上チップ23における接合部30の配置場所を模式的に示す図、図28Bは下チップ24における接合部30の配置場所を模式的に示す図である。図28A及び図28Bに示すように、カラム方向XにはVCOM用の接合部30が不要となるため、カラム方向Xの接合部30の数を大幅に削減できる。また、行方向Yには、両端側に接合部30が設けられるため、図26A及び図26Bよりも行方向Yの接合部30の数は増えるが、カラム方向Xの接合部30の減少数の方がはるかに大きいいため、デッドスペースはそれほど増えない。むしろ、カラム方向Xの両端側に接合部30を設けることで、ノイズ耐性を高め、かつ信号配線の電圧変動を抑制する効果の方が大きい。

[0128] (第12回路構成例)

固体撮像装置1の撮像画像に、ストリーキングと呼ばれる現象が生じるこ

とがある。ストリーキングは、例えば暗闇の中で明るい点光源を撮影した場合に、撮影画像中の点光源の左右に白い直線が浮き上がる現象である。

[0129] 図29はストリーキング対策の一例を示す回路図である。図29の回路では、上チップ23と下チップ24にVCOMR線用の接合部30を設けている。上チップ23では、VCOMR線はVCOM線に接続されている。下チップ24では、VCOMR線は、スイッチSW15とトランジスタQ26を介してスイッチSW2の一端に接続されている。差動増幅方式の場合、スイッチSW15はオンしている。よって、トランジスタQ26をオンしたときだけ、VCOMR線を介してVSLR線とVCOM線が短絡される。これにより、定期的にVSLR線とVCOM線を短絡することで、ストリーキングを抑制できる。

[0130] 図29の回路では、上チップ23内のVCOMR線を下チップ24に接続するための接合部30を画素列ごとに設けなければならない、ストリーキング対策を行わない場合と比べて、画素列分の接合部30を新たにカラム方向接続領域33内に設ける必要がある。

[0131] 図30Aは上チップ23における接合部30の配置場所を模式的に示す図、図30Bは下チップ24における接合部30の配置場所を模式的に示す図である。図29の回路の場合、カラム方向接続領域33にはVCOMR線用の接合部30が新たに設けられる。

[0132] 図31は画素アレイ部11とカラム読出し回路部13の第12回路構成例を示す回路図である。図31の回路では、上チップ23内の画素列ごとに設けられるVCOMR線同士をカラム方向Xに延びる信号配線L5にて短絡する。同様に、下チップ24内の差動トランジスタ対35ごとに設けられるVCOMR線同士をカラム方向Xに延びる信号配線L6にて短絡する。カラム方向Xの複数箇所に、上チップ23と下チップ24のVCOMR線同士を接続する接合部30が設けられている。接合部30は、カラム方向Xに配置される複数のVCOMR線に1つの割合で設けられるため、カラム方向接続領域33内のVCOMR線用の接合部30の数を削減できる。

[0133] 図32Aは上チップ23における接合部30の配置場所を模式的に示す図、図32Bは下チップ24における接合部30の配置場所を模式的に示す図である。カラム方向接続領域33に設けられる接合部30の数は、VCOMR線用の接合部30を間引くことで、図30A及び図30Bよりも削減できる。

[0134] (第13回路構成例)

図33は画素アレイ部11とカラム読出し回路部13の第13回路構成例を示す回路図である。また、図34Aは上チップ23における接合部30の配置場所を模式的に示す図、図34Bは下チップ24における接合部30の配置場所を模式的に示す図である。

[0135] 図33の回路は、上チップ23内の画素列ごとに設けられるVCOMR線同士を、カラム方向Xに延びる信号配線L5で短絡し、その信号配線L5を行方向接続領域34内の接合部30に接続する。また、下チップ24内のVCOMR線同士を、カラム方向Xに延びる信号配線L6で短絡し、その信号配線L6を接合部30に接続する。これら接合部30同士を上下に接合することで、上チップ23のVCOMR線と下チップ24のVCOMR線を接続することができる。

[0136] 図33の回路によれば、カラム方向XにはVCOMR線用の接合部30を設けなくて済むため、カラム方向Xの接合部30の数を大幅に削減できる。また、行方向YにはVCOMR線用の接合部30が1つだけ追加になるが、デッドスペースを狭くするほどの不具合は起きない。

[0137] (第14回路構成例)

図35は画素アレイ部11とカラム読出し回路部13の第14回路構成例を示す回路図である。また、図36Aは上チップ23における接合部30の配置場所を模式的に示す図、図36Bは下チップ24における接合部30の配置場所を模式的に示す図である。

[0138] 図35の回路は、上チップ23内の画素アレイ部11のカラム方向Xの両端側に行方向接続領域34を備えている。画素列ごとに設けられるVCOM

R線同士は、カラム方向Xに延びる信号配線L5で短絡される。この信号配線は、カラム方向Xの両端側の行方向接続領域34内の接合部30に接続される。

[0139] また、下チップ24内のVCOMR配線同士も、カラム方向Xに延びる信号配線L6にて短絡され、両端側に設けられる接合部30に接続される。カラム方向Xの両端側に設けられる2つの接合部30にて、上チップ23のVCOMR線と下チップ24のVCOMR線が接続される。

[0140] 上述したように、上チップ23と下チップ24は、接合部30を介して接合される。接合部30の具体的な接合形態は、例えば、Cu-Cu接合、ビア、バンプなどである。

[0141] (第15回路構成例)

上述した第1～第14回路構成例では、画素アレイ部11内にVRD線が配置されているが、VRD線は必ずしも必須ではない。

[0142] 図37及び図38は画素アレイ部11とカラム読出し回路部13の第15回路構成例を示す回路図である。図37はソースフォロフ方式を選択した場合のスイッチ切換状態を示し、図38は差動増幅方式を選択した場合のスイッチ切換状態を示している。以下では、図13の第5回路構成例との相違点を中心に説明する。

[0143] 図37及び図38の画素アレイ部11は、図13の画素アレイ部11と同様に、2本のVSL線(VSL0とVSL1)を有し、行方向Yに配置された各画素は、2本のVSL線のいずれかに交互に接続されている。なお、VSL線の本数は任意である。

[0144] 図37及び図38の画素アレイ部11は、図13の画素アレイ部11のようなVRD線を備えていない。このため、図37及び図38の画素アレイ部11内の行方向Yに延びる縦配線の総数は、図13の画素アレイ部11内の縦配線の総数よりも少なくなる。また、VRD線を備えていないことから、図13の画素アレイ部11内のトランジスタQ21～Q24は不要となる。これにより、画素アレイ部11内の回路構成を簡略化できる。

- [0145] 図37及び図38の画素アレイ部11では、画素2内のリセットトランジスタQ2のドレインはVSL1線に接続されている。
- [0146] 図37及び図38のカラム読出し回路部13では、図13のカラム読出し回路13内のトランジスタQ25とスイッチSW7の代わりに、VSL選択器38が設けられている。VSL選択器38は、画素アレイ部11からのVSL0線、VSL1線のいずれか一つを選択する。VSL選択器38の選択出力ノードは、スイッチSW2がオンであれば、トランジスタQ6のソースに接続される。
- [0147] また、VSL0線とVSL1線に繋がる経路には、それぞれスイッチSW16、SW17が接続されている。スイッチSW16は、VSL0線を電源電圧VDDに設定するか否かを切り換える。スイッチSW17は、VSL1線を電源電圧VDDに設定するか否かを切り換える。スイッチSW16、SW17は、ソースフォロフ方式を選択した場合に、FDをリセットする際にオンして、VSL0線とVSL1線を電源電圧VDDに設定する。
- [0148] 第15回路構成例の回路動作は、図13と同様である。ソースフォロフ方式を選択した場合、図37に示すように、スイッチSW3がオンするため、VCOM線は電源電圧に設定される。また、上述したように、VSL0線とVSL1線は、FDのリセット時に電源電圧VDDに設定される。
- [0149] 差動増幅方式を選択した場合、図38に示すように、スイッチSW6とSW10がオンするため、VCOM線は電流源36、37に接続される。また、スイッチSW2がオンするため、VSL0線とVSL1線のいずれか一方は、VSL選択器38とスイッチSW2を介して、トランジスタQ6のソースに接続される。VSL選択器38は、奇数行の画素2の撮像データを読み出す場合にはVSL1線を選択し、偶数行の画素2の撮像データを読み出す場合にはVSL0線を選択する。
- [0150] 図37及び図38に示す画素アレイ部11及びカラム読出し回路部13では、図16の第6回路構成例などと同様に、カラム方向Xに配置された複数のVSLR線と複数のVCOM線の少なくとも一方を、間引くことができる

。図37と図38は、VSLR線を間引く例を示している。

[0151] このように、図37及び図38に示す第15回路構成例では、図13の第5回路構成例と比べて、VRD線を持たないため、行方向Yに延びる縦配線数を削減できる。また、画素アレイ部11内に、縦配線数を削減するためのトランジスタQ21～Q24を設けなくて済むため、画素アレイ部11の回路構成を簡略化できる。

[0152] (第16回路構成例)

第16回路構成例は、第15回路構成例と比べて、画素2内のリセットトランジスタの数を増やしたものである。

[0153] 図39及び図40は画素アレイ部11とカラム読出し回路部13の第16回路構成例を示す回路図である。図39はソースフォロフ方式を選択した場合のスイッチ切換状態を示し、図40は差動増幅方式を選択した場合のスイッチ切換状態を示している。以下では、図37及び図38との相違点を中心に説明する。

[0154] 図39及び図40の第16回路構成例は、VRD線を省略できるため、行方向Yに延びる縦配線を削減できる点では、図37及び図38の第15回路構成例と共通する。

図39及び図40の画素アレイ部11は、画素2内に新たなリセットトランジスタQ9を備えている。このリセットトランジスタQ9は、FDとVCOM線との間に配置されている。

[0155] 図37のカラム読出し回路部13では、ソースフォロフ方式の選択時に、スイッチSW16、SW17をオンにしてFDをリセットしていたが、図39では、画素2内の新たに設けたリセットトランジスタQ9にて、FDをVCOM線に短絡させることができるため、ソースフォロフ方式の選択時に、リセットトランジスタQ9をオンすることで、FDを電源電圧VDDに迅速に設定することができる。よって、図37のスイッチSW16、SW17は不要となる。

[0156] また、図39及び図40の第16回路構成例は、図37及び図38の第1

5回路構成例と同様に、カラム方向Xに配置された複数のVSLR線と複数のVCOM線の少なくとも一方を、間引くことができる。

[0157] このように、図39及び図40の第16回路構成例では、図13の第5回路構成例と比べて、行方向Yに延びる縦配線数を削減できる。また、画素2内に新たなリセットトランジスタQ9を設けて、FDとVCOM線を短絡できるようにしたため、P相のセtring時間を高速化できる。

[0158] (上チップ23と下チップ24の接合形態)

図41は画素アレイ部11が形成された上チップ23と、信号処理部17が形成された下チップ24とが貼り合わされた固体撮像装置1の断面図である。上チップ23は、薄膜化されたシリコンによる第1の半導体基板433に半導体ウェル領域430を形成し、この半導体ウェル領域430に、光電変換部となるPDと、複数の画素トランジスタTr1、Tr2からなる複数の画素2を列状に2次元配列した画素アレイ部11が形成される。PDは、画素アレイ部11を構成する有効画素アレイ442およびオプティカルブラック領域441に形成される。第1の半導体基板433の表面433a側には、層間絶縁膜453を介して複数、この例では5層のメタルM1乃至M5による接続配線435(435a乃至435d)および436を配置した多層配線層437が形成される。接続配線435および436は、デュアルダマシン法で形成された銅(Cu)配線が用いられる。第1の半導体基板433の裏面側には、絶縁膜438を介してオプティカルブラック領域441上を含んで遮光膜439が形成され、さらに平坦化膜443を介して有効画素アレイ442上にカラーフィルタ444およびレンズアレイ445が形成される。オプティカルブラック領域441上にもレンズアレイ445を形成することもできる。

[0159] 上チップ23の多層配線層437では、対応する画素トランジスタと配線435間、隣り合う上下層の配線435間が、導電ビア452を介して接続される。さらに、下チップ24との接合面440に臨んで、5層目のメタルM5による接続配線436が形成される。接続配線436は、導電ビア45

2を介して4層目のメタルM4による所要の配線435d1に接続される。

[0160] 下チップ24は、シリコンによる第2の半導体基板454に、半導体ウェル領域450を形成し、この半導体ウェル領域450に、周辺回路となる信号処理部17が形成される。信号処理部17は、CMOSトランジスタを含む複数のMOSトランジスタTr11乃至Tr14で形成される。図31に示される、第2の半導体基板454の表面側上には、層間絶縁膜456を介して複数層、本例では4層のメタルM11乃至M14による配線457（457a乃至457c）および458を配置した多層配線層459が形成される。配線457および458は、デュアルダマシン法による銅（Cu）配線が用いられる。

[0161] 下チップ24の多層配線層459では、MOSトランジスタTr11乃至Tr14と配線457間、隣り合う上下層の配線457間が、導電ビア464を介して接続される。さらに、上チップ23との接合面440に臨んで、4層目のメタルM14による接続配線458が形成される。接続配線458は、導電ビア464を介して3層目のメタルM13による所要の配線457cに接続される。

[0162] 上チップ23と下チップ24とは、互いの多層配線層437および459が向かい合うようにして、接合面440に臨む接続配線436および458を直接接合して、電氣的に接続される。Cu配線による接続配線436および458の直接接合は、熱拡散接合で行う。また、それ以外の方法として、互いの多層配線層437および459の表面に、絶縁性薄膜（不図示）を成膜して、プラズマ接合等で接合する方法でも可能である。このCu配線による接続配線436および458の直接接合が、Cu-Cu接合である。

[0163] 図42は上チップ23と下チップ24の接合形態の一変形例を示す断面図である。図42の一変形例では、積層構造体853では、上チップ23の配線層943と下チップ24の配線層923が、シリコン貫通電極949とチップ貫通電極945の2本の貫通電極により接続され、下チップ24の配線層923とはんだボール（裏面電極）854が、貫通ビア（シリコン貫通電

極) 928と再配線930により接続されている。これにより、撮像素子801の平面積を、極限まで小さくすることができる。

[0164] さらに、積層構造体853とガラス保護基板858との間を、キャビティレス構造にして、ガラスシール樹脂857により貼り合わせることににより、高さ方向についても低くすることができる。したがって、図42に示される撮像素子801によれば、より小型化した半導体装置(半導体パッケージ)を実現することができる。

[0165] このように、本実施形態による固体撮像装置1では、上チップ23と下チップ24で送受される種々の信号配線用の接合部30の数を削減するため、信号配線のピッチを合わせるために生じるデッドスペースを削減でき、固体撮像装置1の集積度の向上と小型化を実現できる。

[0166] より具体的には、本実施形態では、ソースフォロワ方式と差動増幅方式の切替が可能な固体撮像装置1において、VSL線とVRD線を短絡するか否かを切り替える第1切替回路28と、VRD線とVCOM線を短絡するか否かを切り替える第2切替回路29を上チップ23内に設けるため、VRD線を下チップ24側に配置する必要がなくなり、接合部30の数を削減できる。

[0167] また、本実施形態では、画素列ごとに設けられるVSLR線、VCOM線、及びVCOMR線の少なくとも一つを、カラム方向Xの延びる信号配線にて短絡することにより、上チップ23の接合部30と下チップ24の接合部30の数を削減できる。

[0168] <<応用例>>

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械(トラクター)などのいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0169] 図43は、本開示に係る技術が適用され得る移動体制御システムの一例で

ある車両制御システム7000の概略的な構成例を示すブロック図である。車両制御システム7000は、通信ネットワーク7010を介して接続された複数の電子制御ユニットを備える。図43に示した例では、車両制御システム7000は、駆動系制御ユニット7100、ボディ系制御ユニット7200、バッテリー制御ユニット7300、車外情報検出ユニット7400、車内情報検出ユニット7500、及び統合制御ユニット7600を備える。これらの複数の制御ユニットを接続する通信ネットワーク7010は、例えば、CAN (Controller Area Network)、LIN (Local Interconnect Network)、LAN (Local Area Network) 又はFlexRay (登録商標) 等の任意の規格に準拠した車載通信ネットワークであってよい。

[0170] 各制御ユニットは、各種プログラムにしたがって演算処理を行うマイクロコンピュータと、マイクロコンピュータにより実行されるプログラム又は各種演算に用いられるパラメータ等を記憶する記憶部と、各種制御対象の装置を駆動する駆動回路とを備える。各制御ユニットは、通信ネットワーク7010を介して他の制御ユニットとの間で通信を行うためのネットワークI/Fを備えるとともに、車内外の装置又はセンサ等との間で、有線通信又は無線通信により通信を行うための通信I/Fを備える。図43では、統合制御ユニット7600の機能構成として、マイクロコンピュータ7610、汎用通信I/F7620、専用通信I/F7630、測位部7640、ビーコン受信部7650、車内機器I/F7660、音声画像出力部7670、車載ネットワークI/F7680及び記憶部7690が図示されている。他の制御ユニットも同様に、マイクロコンピュータ、通信I/F及び記憶部等を備える。

[0171] 駆動系制御ユニット7100は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット7100は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制

御装置として機能する。駆動系制御ユニット 7100 は、ABS (Antilock Brake System) 又は ESC (Electronic Stability Control) 等の制御装置としての機能を有してもよい。

[0172] 駆動系制御ユニット 7100 には、車両状態検出部 7110 が接続される。車両状態検出部 7110 には、例えば、車体の軸回転運動の角速度を検出するジャイロセンサ、車両の加速度を検出する加速度センサ、あるいは、アクセルペダルの操作量、ブレーキペダルの操作量、ステアリングホイールの操舵角、エンジン回転数又は車輪の回転速度等を検出するためのセンサのうちの少なくとも一つが含まれる。駆動系制御ユニット 7100 は、車両状態検出部 7110 から入力される信号を用いて演算処理を行い、内燃機関、駆動用モータ、電動パワーステアリング装置又はブレーキ装置等を制御する。

[0173] ボディ系制御ユニット 7200 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 7200 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 7200 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 7200 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0174] バッテリ制御ユニット 7300 は、各種プログラムにしたがって駆動用モータの電力供給源である二次電池 7310 を制御する。例えば、バッテリ制御ユニット 7300 には、二次電池 7310 を備えたバッテリ装置から、バッテリ温度、バッテリ出力電圧又はバッテリの残存容量等の情報が入力される。バッテリ制御ユニット 7300 は、これらの信号を用いて演算処理を行い、二次電池 7310 の温度調節制御又はバッテリ装置に備えられた冷却装置等の制御を行う。

[0175] 車外情報検出ユニット 7400 は、車両制御システム 7000 を搭載した

車両の外部の情報を検出する。例えば、車外情報検出ユニット 7400 には、撮像部 7410 及び車外情報検出部 7420 のうちの少なくとも一方が接続される。撮像部 7410 には、ToF (Time of Flight) カメラ、ステレオカメラ、単眼カメラ、赤外線カメラ及びその他のカメラのうちの少なくとも一つが含まれる。車外情報検出部 7420 には、例えば、現在の天候又は気象を検出するための環境センサ、あるいは、車両制御システム 7000 を搭載した車両の周囲の他の車両、障害物又は歩行者等を検出するための周囲情報検出センサのうちの少なくとも一つが含まれる。

[0176] 環境センサは、例えば、雨天を検出する雨滴センサ、霧を検出する霧センサ、日照度合いを検出する日照センサ、及び降雪を検出する雪センサのうちの少なくとも一つであってよい。周囲情報検出センサは、超音波センサ、レーダ装置及び LIDAR (Light Detection and Ranging, Laser Imaging Detection and Ranging) 装置のうちの少なくとも一つであってよい。これらの撮像部 7410 及び車外情報検出部 7420 は、それぞれ独立したセンサないし装置として備えられてもよいし、複数のセンサないし装置が統合された装置として備えられてもよい。

[0177] ここで、図 44 は、撮像部 7410 及び車外情報検出部 7420 の設置位置の例を示す。撮像部 7910, 7912, 7914, 7916, 7918 は、例えば、車両 7900 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部のうちの少なくとも一つの位置に設けられる。フロントノーズに備えられる撮像部 7910 及び車室内のフロントガラスの上部に備えられる撮像部 7918 は、主として車両 7900 の前方の画像を取得する。サイドミラーに備えられる撮像部 7912, 7914 は、主として車両 7900 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 7916 は、主として車両 7900 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 7918 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

- [0178] なお、図44には、それぞれの撮像部7910, 7912, 7914, 7916の撮影範囲の一例が示されている。撮像範囲aは、フロントノーズに設けられた撮像部7910の撮像範囲を示し、撮像範囲b, cは、それぞれサイドミラーに設けられた撮像部7912, 7914の撮像範囲を示し、撮像範囲dは、リアバンパ又はバックドアに設けられた撮像部7916の撮像範囲を示す。例えば、撮像部7910, 7912, 7914, 7916で撮像された画像データが重ね合わせられることにより、車両7900を上方から見た俯瞰画像が得られる。
- [0179] 車両7900のフロント、リア、サイド、コーナ及び車室内のフロントガラスの上部に設けられる車外情報検出部7920, 7922, 7924, 7926, 7928, 7930は、例えば超音波センサ又はレーダ装置であってよい。車両7900のフロントノーズ、リアバンパ、バックドア及び車室内のフロントガラスの上部に設けられる車外情報検出部7920, 7926, 7930は、例えばLIDAR装置であってよい。これらの車外情報検出部7920～7930は、主として先行車両、歩行者又は障害物等の検出に用いられる。
- [0180] 図43に戻って説明を続ける。車外情報検出ユニット7400は、撮像部7410に車外の画像を撮像させるとともに、撮像された画像データを受信する。また、車外情報検出ユニット7400は、接続されている車外情報検出部7420から検出情報を受信する。車外情報検出部7420が超音波センサ、レーダ装置又はLIDAR装置である場合には、車外情報検出ユニット7400は、超音波又は電磁波等を発信させるとともに、受信された反射波の情報を受信する。車外情報検出ユニット7400は、受信した情報に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット7400は、受信した情報に基づいて、降雨、霧又は路面状況等を認識する環境認識処理を行ってもよい。車外情報検出ユニット7400は、受信した情報に基づいて、車外の物体までの距離を算出してもよい。

[0181] また、車外情報検出ユニット 7400 は、受信した画像データに基づいて、人、車、障害物、標識又は路面上の文字等を認識する画像認識処理又は距離検出処理を行ってもよい。車外情報検出ユニット 7400 は、受信した画像データに対して歪補正又は位置合わせ等の処理を行うとともに、異なる撮像部 7410 により撮像された画像データを合成して、俯瞰画像又はパノラマ画像を生成してもよい。車外情報検出ユニット 7400 は、異なる撮像部 7410 により撮像された画像データを用いて、視点変換処理を行ってもよい。

[0182] 車内情報検出ユニット 7500 は、車内の情報を検出する。車内情報検出ユニット 7500 には、例えば、運転者の状態を検出する運転者状態検出部 7510 が接続される。運転者状態検出部 7510 は、運転者を撮像するカメラ、運転者の生体情報を検出する生体センサ又は車室内の音声を集音するマイク等を含んでもよい。生体センサは、例えば、座面又はステアリングホイール等に設けられ、座席に座った搭乗者又はステアリングホイールを握る運転者の生体情報を検出する。車内情報検出ユニット 7500 は、運転者状態検出部 7510 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。車内情報検出ユニット 7500 は、集音された音声信号に対してノイズキャンセリング処理等の処理を行ってもよい。

[0183] 統合制御ユニット 7600 は、各種プログラムにしたがって車両制御システム 7000 内の動作全般を制御する。統合制御ユニット 7600 には、入力部 7800 が接続されている。入力部 7800 は、例えば、タッチパネル、ボタン、マイクロフォン、スイッチ又はレバー等、搭乗者によって入力操作され得る装置によって実現される。統合制御ユニット 7600 には、マイクロフォンにより入力される音声を音声認識することにより得たデータが入力されてもよい。入力部 7800 は、例えば、赤外線又はその他の電波を利用したリモートコントロール装置であってもよいし、車両制御システム 7000 の操作に対応した携帯電話又は PDA (Personal Digital Assistant

）等の外部接続機器であってもよい。入力部 7800 は、例えばカメラであってもよく、その場合搭乗者はジェスチャにより情報を入力することができる。あるいは、搭乗者が装着したウェアラブル装置の動きを検出することで得られたデータが入力されてもよい。さらに、入力部 7800 は、例えば、上記の入力部 7800 を用いて搭乗者等により入力された情報に基づいて入力信号を生成し、統合制御ユニット 7600 に出力する入力制御回路などを含んでもよい。搭乗者等は、この入力部 7800 を操作することにより、車両制御システム 7000 に対して各種のデータを入力したり処理動作を指示したりする。

[0184] 記憶部 7690 は、マイクロコンピュータにより実行される各種プログラムを記憶する ROM (Read Only Memory)、及び各種パラメータ、演算結果又はセンサ値等を記憶する RAM (Random Access Memory) を含んでもよい。また、記憶部 7690 は、HDD (Hard Disc Drive) 等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス又は光磁気記憶デバイス等によって実現してもよい。

[0185] 汎用通信 I/F 7620 は、外部環境 7750 に存在する様々な機器との間の通信を仲介する汎用的な通信 I/F である。汎用通信 I/F 7620 は、GSM (登録商標) (Global System of Mobile communications)、WiMAX (登録商標)、LTE (登録商標) (Long Term Evolution) 若しくは LTE-A (LTE-Advanced) などのセルラー通信プロトコル、又は無線 LAN (Wi-Fi (登録商標) ともいう)、Bluetooth (登録商標) などのその他の無線通信プロトコルを実装してよい。汎用通信 I/F 7620 は、例えば、基地局又はアクセスポイントを介して、外部ネットワーク (例えば、インターネット、クラウドネットワーク又は事業者固有のネットワーク) 上に存在する機器 (例えば、アプリケーションサーバ又は制御サーバ) へ接続してもよい。また、汎用通信 I/F 7620 は、例えば P2P (Peer To Peer) 技術を用いて、車両の近傍に存在する端末 (例えば、運転者、歩行者若しくは店舗の端末、又は MTC (Machine Type Communic

ation) 端末) と接続してもよい。

[0186] 専用通信 I / F 7 6 3 0 は、車両における使用を目的として策定された通信プロトコルをサポートする通信 I / F である。専用通信 I / F 7 6 3 0 は、例えば、下位レイヤの I E E E 8 0 2 . 1 1 p と上位レイヤの I E E E 1 6 0 9 との組合せである W A V E (Wireless Access in Vehicle Environment)、D S R C (Dedicated Short Range Communications)、又はセルラー通信プロトコルといった標準プロトコルを実装してよい。専用通信 I / F 7 6 3 0 は、典型的には、車車間 (Vehicle to Vehicle) 通信、路車間 (Vehicle to Infrastructure) 通信、車両と家との間 (Vehicle to Home) の通信及び歩車間 (Vehicle to Pedestrian) 通信のうちの 1 つ以上を含む概念である V 2 X 通信を遂行する。

[0187] 測位部 7 6 4 0 は、例えば、G N S S (Global Navigation Satellite System) 衛星からの G N S S 信号 (例えば、G P S (Global Positioning System) 衛星からの G P S 信号) を受信して測位を実行し、車両の緯度、経度及び高度を含む位置情報を生成する。なお、測位部 7 6 4 0 は、無線アクセスポイントとの信号の交換により現在位置を特定してもよく、又は測位機能を有する携帯電話、P H S 若しくはスマートフォンといった端末から位置情報を取得してもよい。

[0188] ビーコン受信部 7 6 5 0 は、例えば、道路上に設置された無線局等から発信される電波あるいは電磁波を受信し、現在位置、渋滞、通行止め又は所要時間等の情報を取得する。なお、ビーコン受信部 7 6 5 0 の機能は、上述した専用通信 I / F 7 6 3 0 に含まれてもよい。

[0189] 車内機器 I / F 7 6 6 0 は、マイクロコンピュータ 7 6 1 0 と車内に存在する様々な車内機器 7 7 6 0 との間の接続を仲介する通信インタフェースである。車内機器 I / F 7 6 6 0 は、無線 L A N、B l u e t o o t h (登録商標)、N F C (Near Field Communication) 又は W U S B (Wireless U S B) といった無線通信プロトコルを用いて無線接続を確立してもよい。また、車内機器 I / F 7 6 6 0 は、図示しない接続端子 (及び、必要であればケ

ーブル)を介して、USB (Universal Serial Bus)、HDMI (登録商標) (High-Definition Multimedia Interface、又はMHL (Mobile High-definition Link) 等の有線接続を確立してもよい。車内機器7760は、例えば、搭乗者が有するモバイル機器若しくはウェアラブル機器、又は車両に搬入され若しくは取り付けられる情報機器のうちの少なくとも1つを含んでいてもよい。また、車内機器7760は、任意の目的地までの経路探索を行うナビゲーション装置を含んでいてもよい。車内機器1/F7660は、これらの車内機器7760との間で、制御信号又はデータ信号を交換する。

[0190] 車載ネットワーク1/F7680は、マイクロコンピュータ7610と通信ネットワーク7010との間の通信を仲介するインタフェースである。車載ネットワーク1/F7680は、通信ネットワーク7010によりサポートされる所定のプロトコルに則して、信号等を送受信する。

[0191] 統合制御ユニット7600のマイクロコンピュータ7610は、汎用通信1/F7620、専用通信1/F7630、測位部7640、ビーコン受信部7650、車内機器1/F7660及び車載ネットワーク1/F7680のうちの少なくとも一つを介して取得される情報に基づき、各種プログラムにしたがって、車両制御システム7000を制御する。例えば、マイクロコンピュータ7610は、取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット7100に対して制御指令を出力してもよい。例えば、マイクロコンピュータ7610は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行ってもよい。また、マイクロコンピュータ7610は、取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行ってもよい。

[0192] マイクロコンピュータ 7610 は、汎用通信 I / F 7620、専用通信 I / F 7630、測位部 7640、ビーコン受信部 7650、車内機器 I / F 7660 及び車載ネットワーク I / F 7680 のうちの少なくとも一つを介して取得される情報に基づき、車両と周辺の構造物や人物等の物体との間の 3次元距離情報を生成し、車両の現在位置の周辺情報を含むローカル地図情報を作成してもよい。また、マイクロコンピュータ 7610 は、取得される情報に基づき、車両の衝突、歩行者等の近接又は通行止めの道路への進入等の危険を予測し、警告用信号を生成してもよい。警告用信号は、例えば、警告音を発生させたり、警告ランプを点灯させたりするための信号であってよい。

[0193] 音声画像出力部 7670 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 43 の例では、出力装置として、オーディオスピーカ 7710、表示部 7720 及びインストルメントパネル 7730 が例示されている。表示部 7720 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。表示部 7720 は、AR (Augmented Reality) 表示機能を有していてもよい。出力装置は、これらの装置以外の、ヘッドホン、搭乗者が装着する眼鏡型ディスプレイ等のウェアラブルデバイス、プロジェクタ又はランプ等の他の装置であってもよい。出力装置が表示装置の場合、表示装置は、マイクロコンピュータ 7610 が行った各種処理により得られた結果又は他の制御ユニットから受信された情報を、テキスト、イメージ、表、グラフ等、様々な形式で視覚的に表示する。また、出力装置が音声出力装置の場合、音声出力装置は、再生された音声データ又は音響データ等からなるオーディオ信号をアナログ信号に変換して聴覚的に出力する。

[0194] なお、図 43 に示した例において、通信ネットワーク 7010 を介して接続された少なくとも二つの制御ユニットが一つの制御ユニットとして一体化されてもよい。あるいは、個々の制御ユニットが、複数の制御ユニットによ

り構成されてもよい。さらに、車両制御システム 7000 が、図示されていない別の制御ユニットを備えてもよい。また、上記の説明において、いずれかの制御ユニットが担う機能の一部又は全部を、他の制御ユニットに持たせてもよい。つまり、通信ネットワーク 7010 を介して情報の送受信がされるようになっていけば、所定の演算処理が、いずれかの制御ユニットで行われるようになってもよい。同様に、いずれかの制御ユニットに接続されているセンサ又は装置が、他の制御ユニットに接続されるとともに、複数の制御ユニットが、通信ネットワーク 7010 を介して相互に検出情報を送受信してもよい。

[0195] なお、本技術は以下のような構成を取ることができる。

(1) それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第 1 基板を備え、

前記第 1 基板は、

前記画素アレイ部内の第 1 方向に配置された 2 以上の前記画素から読み出された撮像素信号を伝送する第 1 配線と、

前記第 1 配線を初期化するためのリセット電圧を供給する第 2 配線と、

前記第 1 配線と前記第 2 配線とを短絡するか否かを切り替える第 1 切替回路と、を有する、固体撮像装置。

(2) 前記画素アレイ部内の前記複数の画素は、前記第 1 方向及び第 2 方向に配置されており、

前記第 1 基板は、

それぞれが前記第 1 方向に延びて、前記第 2 方向に間隔を隔てて配置される複数の前記第 1 配線と、

前記複数の第 1 配線に対応する複数の前記第 2 配線と、

前記複数の第 1 配線と対応する前記複数の第 2 配線とを短絡するか否かを切り替える複数の前記第 1 切替回路と、を有する、(1)に記載の固体撮像装置。

(3) 前記第 1 基板は、

前記複数の第1配線及び前記複数の第2配線に対応して設けられ、基準電圧に設定される複数の第3配線と、

前記複数の第2配線と対応する前記複数の第3配線とを短絡するか否かを切り替える複数の第2切替回路と、を有する、(2)に記載の固体撮像装置。

(4) 前記第1方向に配置された前記2以上の画素を含む画素列ごとに、1本の前記第1配線が設けられ、

前記1本の第1配線に対して、一つの前記第1切替回路及び一つの前記第2切替回路とが設けられる、(3)に記載の固体撮像装置。

(5) 前記第1方向に配置された前記2以上の画素を含む画素列ごとに、複数本の前記第1配線が設けられ、

前記複数本の第1配線に対して、複数の前記第1切替回路及び複数の前記第2切替回路が設けられる、(3)に記載の固体撮像装置。

(6) 前記複数の第1切替回路及び前記複数の第2切替回路は、前記第1基板上の前記複数の画素の配置領域の外側に配置される、(5)に記載の固体撮像装置。

(7) 前記複数の第1切替回路は、前記複数の第1配線と対応する前記複数の第2配線とを短絡するか否かを切り替える複数の第1トランジスタを有し、

前記複数の第2切替回路は、前記複数の第2配線と対応する前記複数の第3配線とを短絡するか否かを切り替える複数の第2トランジスタを有する、(3)乃至(6)のいずれか一項に記載の固体撮像装置。

(8) 前記複数の第1切替回路のそれぞれは、

第1光電変換部と、

第1フローティングディフュージョンと、

対応する前記画素を選択するための第3トランジスタと、

前記第1フローティングディフュージョンの電圧レベルを増幅する第4トランジスタと、

対応する前記第 1 配線と対応する前記第 2 配線とを短絡するか否かを切り替える第 5 トランジスタと、を有し、

前記複数の第 2 切替回路のそれぞれは、

第 2 光電変換部と、

第 2 フローティングディフュージョンと、

対応する前記画素を選択するための第 6 トランジスタと、

前記第 2 フローティングディフュージョンの電圧レベルを増幅する第 7 トランジスタと、

対応する前記第 2 配線と対応する前記第 3 配線とを短絡するか否かを切り替える第 8 トランジスタと、を有する、(3)乃至(6)のいずれか一項に記載の固体撮像装置。

(9) 第 2 方向に配置される 2 以上の画素を含む画素行ごとに、対応する画素行を駆動するための駆動信号を生成する駆動部を備え、

前記駆動部は、前記複数の第 1 切替回路を切替制御する第 1 切替制御信号と、前記複数の第 2 切替回路を切替制御する第 2 切替制御信号とを出力する、(2)乃至(8)のいずれか一項に記載の固体撮像装置。

(10) 前記画素アレイ部は、参照画素信号を出力する参照画素を有し、前記複数の画素は、対応する前記光電変換部で光電変換された画素信号に応じた前記撮像画素信号を生成する複数のソースフォロワ回路を有し、

対応する前記複数のソースフォロワ回路により生成された前記撮像画素信号を前記複数の第 1 配線に供給する第 1 撮像方式と、差動増幅器にて前記画素信号と前記参照画素信号との比較により生成される前記撮像画素信号を前記複数の第 1 配線に供給する第 2 撮像方式とが択一的に選択される、(2)乃至(9)のいずれか一項に記載の固体撮像装置。

(11) 前記複数の第 1 切替回路、前記複数の第 2 切替回路、及び前記複数の第 3 切替回路は、前記第 1 撮像方式と前記第 2 撮像方式とでは、互いに異なる切替動作を行う、(10)に記載の固体撮像装置。

(12) 前記第 1 撮像方式が選択された場合、

前記複数の第 1 切替回路は、前記複数の第 1 配線と対応する前記複数の第 2 配線との接続を遮断し、かつ

前記複数の第 2 切替回路は、前記複数の第 1 配線と対応する前記複数の第 3 配線とを短絡し、

前記第 2 撮像方式が選択された場合、

前記複数の第 1 切替回路は、前記複数の第 1 配線と対応する前記複数の第 2 配線とを短絡し、かつ

前記複数の第 2 切替回路は、前記複数の第 1 配線と対応する前記複数の第 3 配線との接続を遮断する、(11)に記載の固体撮像装置。

(13)それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第 1 基板と、

前記第 1 基板に積層され、前記画素アレイ部から出力された撮像画素信号の信号処理を行う第 2 基板と、を備え、

前記第 1 基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第 1 配線と、

前記複数の第 1 配線の数よりも少ない数だけ設けられ、前記複数の第 1 配線に電氣的に接続される第 1 接合部と、を有し、

前記第 2 基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第 2 配線と、

前記第 1 接合部と同じ数だけ設けられて、対応する前記第 1 接合部と接合され、前記複数の第 2 配線に電氣的に接続される第 2 接合部と、を有する、固体撮像装置。

(14)前記複数の画素は、前記第 1 基板上の第 1 方向及び第 2 方向に配置されており、

前記第 2 方向に配置される 2 以上の画素を含む画素行ごとに、対応する画素行を駆動するための駆動信号を生成する駆動部を有し、

前記駆動部は、前記第 1 接合部及び前記第 2 接合部に電氣的に接続される出力配線を有する、(13)に記載の固体撮像装置。

(15) 前記駆動部は、前記第2基板に配置され、

前記第1基板は、

前記第1方向に配置され、前記第1接合部と、前記駆動部に接続される第3接合部とを有する第1接続領域と、

前記第2方向に配置され、前記第1基板と前記第2基板との間で送受される信号が接続される第4接合部とを有する第2接続領域と、を有する、(14)に記載の固体撮像装置。

(16) 前記駆動部は、前記第2方向の両側に配置される第1駆動部及び第2駆動部を有し、

前記第1駆動部及び前記第2駆動部のそれぞれは、前記第1接合部及び前記第3接合部に電氣的に接続される出力配線をそれぞれ有する、(15)に記載の固体撮像装置。

(17) 前記第2接続領域は、前記第1基板上の前記第2方向の両端側に配置される2つの接続領域を有し、

前記2つの接続領域は、前記第1接合部及び前記第3接合部を有する、(15)に記載の固体撮像装置。

(18) 前記画素アレイ部は、参照画素信号を出力する参照画素を有し、

前記複数の画素は、対応する前記光電変換部で光電変換された画素信号に応じた前記撮像画素信号を生成する複数のソースフォロワ回路を有し、

対応する前記複数のソースフォロワ回路により生成された前記撮像画素信号を前記複数の第1配線に供給する第1撮像方式と、差動増幅器で前記画素信号と前記参照画素信号とを比較した結果に応じた前記撮像画素信号を前記複数の第1配線に供給する第2撮像方式とが択一的に選択され、

前記複数の第1配線は、基準電圧に設定される複数の配線、前記第2撮像方式の選択時には前記差動増幅器と接続されて前記第1撮像方式の選択時には前記差動増幅器との接続が遮断される複数の配線、又は前記第2撮像方式の選択時に所定のタイミングで前記第1基板及び前記第2基板の基準電圧レベルを一致させる複数の配線である、(13)乃至(17)のいずれか一項

に記載の固体撮像装置。

(19) 複数の画素にて光電変換を行った撮像画素信号を出力する固体撮像装置と、

前記撮像画素信号に基づいて信号処理を行う信号処理装置と、を備える電子機器であって、

前記固体撮像装置は、

それぞれが光電変換部を有する前記複数の画素が配置された画素アレイ部を有する第1基板を備え、

前記第1基板は、

前記画素アレイ部内の第1方向に配置された2以上の前記画素から読み出された撮像画素信号を伝送する第1配線と、

前記第1配線を初期化するためのリセット電圧を供給する第2配線と、

前記第1配線と前記第2配線とを短絡するか否かを切り替える第1切替回路と、を有する、電気機器。

(20) 複数の画素にて光電変換を行った撮像画素信号を出力する固体撮像装置と、

前記撮像画素信号に基づいて信号処理を行う信号処理装置と、を備える電子機器であって、

前記固体撮像装置は、

それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第1基板と、

前記第1基板に積層され、前記画素アレイ部から出力された撮像画素信号の信号処理を行う第2基板と、を備え、

前記第1基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第1配線と、

前記複数の第1配線の数よりも少ない数だけ設けられ、前記複数の第1配線に電氣的に接続される第1接合部と、を有し、

前記第2基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第2配線と、
前記第1接合部と同じ数だけ設けられて、対応する前記第1接合部と接合され、前記複数の第2配線に電氣的に接続される第2接合部と、を有する、電子機器。

[0196] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0197] 1 固体撮像装置、2 画素、11 画素アレイ部、12 垂直駆動部、13 カラム読出し回路部、14 カラム信号処理部、15 水平駆動部、16 システム制御部、17 信号処理部、18 データ格納部、21 アナログフロントエンド回路、22 AD変換器、23 上チップ、24 下チップ、25 接続領域、26 読出し画素領域、27 参照画素領域、28 第1切替回路、29 第2切替回路、30 接合部、31 画素駆動線、32 垂直画素配線、33 カラム方向接続領域、34 行方向接続領域、35 差動トランジスタ対、36 電流源、37 電流源

請求の範囲

- [請求項1] それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第1基板を備え、
- 前記第1基板は、
- 前記画素アレイ部内の第1方向に配置された2以上の前記画素から読み出された撮像素信号を伝送する第1配線と、
- 前記第1配線を初期化するためのリセット電圧を供給する第2配線と、
- 前記第1配線と前記第2配線とを短絡するか否かを切り替える第1切替回路と、を有する、固体撮像装置。
- [請求項2] 前記画素アレイ部内の前記複数の画素は、前記第1方向及び第2方向に配置されており、
- 前記第1基板は、
- それぞれが前記第1方向に延びて、前記第2方向に間隔を隔てて配置される複数の前記第1配線と、
- 前記複数の第1配線に対応する複数の前記第2配線と、
- 前記複数の第1配線と対応する前記複数の第2配線とを短絡するか否かを切り替える複数の前記第1切替回路と、を有する、請求項1に記載の固体撮像装置。
- [請求項3] 前記第1基板は、
- 前記複数の第1配線及び前記複数の第2配線に対応して設けられ、基準電圧に設定される複数の第3配線と、
- 前記複数の第2配線と対応する前記複数の第3配線とを短絡するか否かを切り替える複数の第2切替回路と、を有する、請求項2に記載の固体撮像装置。
- [請求項4] 前記第1方向に配置された前記2以上の画素を含む画素列ごとに、
- 1本の前記第1配線が設けられ、
- 前記1本の第1配線に対して、一つの前記第1切替回路及び一つの

前記第2切替回路とが設けられる、請求項3に記載の固体撮像装置。

[請求項5] 前記第1方向に配置された前記2以上の画素を含む画素列ごとに、複数本の前記第1配線が設けられ、

前記複数本の第1配線に対して、複数の前記第1切替回路及び複数の前記第2切替回路が設けられる、請求項3に記載の固体撮像装置。

[請求項6] 前記複数の第1切替回路及び前記複数の第2切替回路は、前記第1基板上の前記複数の画素の配置領域の外側に配置される、請求項5に記載の固体撮像装置。

[請求項7] 前記複数の第1切替回路は、前記複数の第1配線と対応する前記複数の第2配線とを短絡するか否かを切り替える複数の第1トランジスタを有し、

前記複数の第2切替回路は、前記複数の第2配線と対応する前記複数の第3配線とを短絡するか否かを切り替える複数の第2トランジスタを有する、請求項3に記載の固体撮像装置。

[請求項8] 前記複数の第1切替回路のそれぞれは、

第1光電変換部と、

第1フローティングディフュージョンと、

対応する前記画素を選択するための第3トランジスタと、

前記第1フローティングディフュージョンの電圧レベルを増幅する第4トランジスタと、

対応する前記第1配線と対応する前記第2配線とを短絡するか否かを切り替える第5トランジスタと、を有し、

前記複数の第2切替回路のそれぞれは、

第2光電変換部と、

第2フローティングディフュージョンと、

対応する前記画素を選択するための第6トランジスタと、

前記第2フローティングディフュージョンの電圧レベルを増幅する第7トランジスタと、

対応する前記第2配線と対応する前記第3配線とを短絡するか否かを切り替える第8トランジスタと、を有する、請求項3に記載の固体撮像装置。

[請求項9] 第2方向に配置される2以上の画素を含む画素行ごとに、対応する画素行を駆動するための駆動信号を生成する駆動部を備え、

前記駆動部は、前記複数の第1切替回路を切替制御する第1切替制御信号と、前記複数の第2切替回路を切替制御する第2切替制御信号とを出力する、請求項2に記載の固体撮像装置。

[請求項10] 前記画素アレイ部は、参照画素信号を出力する参照画素を有し、

前記複数の画素は、対応する前記光電変換部で光電変換された画素信号に応じた前記撮像画素信号を生成する複数のソースフォロワ回路を有し、

対応する前記複数のソースフォロワ回路により生成された前記撮像画素信号を前記複数の第1配線に供給する第1撮像方式と、差動増幅器にて前記画素信号と前記参照画素信号との比較により生成される前記撮像画素信号を前記複数の第1配線に供給する第2撮像方式とが択一的に選択される、請求項2に記載の固体撮像装置。

[請求項11] 前記複数の第1切替回路、前記複数の第2切替回路、及び前記複数の第3切替回路は、前記第1撮像方式と前記第2撮像方式とでは、互いに異なる切替動作を行う、請求項10に記載の固体撮像装置。

[請求項12] 前記第1撮像方式が選択された場合、

前記複数の第1切替回路は、前記複数の第1配線と対応する前記複数の第2配線との接続を遮断し、かつ

前記複数の第2切替回路は、前記複数の第1配線と対応する前記複数の第3配線とを短絡し、

前記第2撮像方式が選択された場合、

前記複数の第1切替回路は、前記複数の第1配線と対応する前記複数の第2配線とを短絡し、かつ

前記複数の第2切替回路は、前記複数の第1配線と対応する前記複数の第3配線との接続を遮断する、請求項11に記載の固体撮像装置。

[請求項13] それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第1基板と、

前記第1基板に積層され、前記画素アレイ部から出力された撮像画素信号の信号処理を行う第2基板と、を備え、

前記第1基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第1配線と、

前記複数の第1配線の数よりも少ない数だけ設けられ、前記複数の第1配線に電氣的に接続される第1接合部と、を有し、

前記第2基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第2配線と、

前記第1接合部と同じ数だけ設けられて、対応する前記第1接合部と接合され、前記複数の第2配線に電氣的に接続される第2接合部と、を有する、固体撮像装置。

[請求項14] 前記複数の画素は、前記第1基板上の第1方向及び第2方向に配置されており、

前記第2方向に配置される2以上の画素を含む画素行ごとに、対応する画素行を駆動するための駆動信号を生成する駆動部を有し、

前記駆動部は、前記第1接合部及び前記第2接合部に電氣的に接続される出力配線を有する、請求項13に記載の固体撮像装置。

[請求項15] 前記駆動部は、前記第2基板に配置され、

前記第1基板は、

前記第1方向に配置され、前記第1接合部と、前記駆動部に接続される第3接合部とを有する第1接続領域と、

前記第2方向に配置され、前記第1基板と前記第2基板との間で送受される信号が接続される第4接合部とを有する第2接続領域と、を有する、請求項14に記載の固体撮像装置。

[請求項16] 前記駆動部は、前記第2方向の両側に配置される第1駆動部及び第2駆動部を有し、

前記第1駆動部及び前記第2駆動部のそれぞれは、前記第1接合部及び前記第3接合部に電氣的に接続される出力配線をそれぞれ有する、請求項15に記載の固体撮像装置。

[請求項17] 前記第2接続領域は、前記第1基板上の前記第2方向の両端側に配置される2つの接続領域を有し、

前記2つの接続領域は、前記第1接合部及び前記第3接合部を有する、請求項15に記載の固体撮像装置。

[請求項18] 前記画素アレイ部は、参照画素信号を出力する参照画素を有し、

前記複数の画素は、対応する前記光電変換部で光電変換された画素信号に応じた前記撮像画素信号を生成する複数のソースフォロワ回路を有し、

対応する前記複数のソースフォロワ回路により生成された前記撮像画素信号を前記複数の第1配線に供給する第1撮像方式と、差動増幅器で前記画素信号と前記参照画素信号とを比較した結果に応じた前記撮像画素信号を前記複数の第1配線に供給する第2撮像方式とが択一的に選択され、

前記複数の第1配線は、基準電圧に設定される複数の配線、前記第2撮像方式の選択時には前記差動増幅器と接続されて前記第1撮像方式の選択時には前記差動増幅器との接続が遮断される複数の配線、又は前記第2撮像方式の選択時に所定のタイミングで前記第1基板及び前記第2基板の基準電圧レベルを一致させる複数の配線である、請求項13に記載の固体撮像装置。

[請求項19] 複数の画素にて光電変換を行った撮像画素信号を出力する固体撮像

装置と、

前記撮像素素信号に基づいて信号処理を行う信号処理装置と、を備える電子機器であって、

前記固体撮像装置は、

それぞれが光電変換部を有する前記複数の画素が配置された画素アレイ部を有する第1基板を備え、

前記第1基板は、

前記画素アレイ部内の第1方向に配置された2以上の前記画素から読み出された撮像素素信号を伝送する第1配線と、

前記第1配線を初期化するためのリセット電圧を供給する第2配線と、

前記第1配線と前記第2配線とを短絡するか否かを切り替える第1切替回路と、を有する、電気機器。

[請求項20]

複数の画素にて光電変換を行った撮像素素信号を出力する固体撮像装置と、

前記撮像素素信号に基づいて信号処理を行う信号処理装置と、を備える電子機器であって、

前記固体撮像装置は、

それぞれが光電変換部を有する複数の画素が配置された画素アレイ部を有する第1基板と、

前記第1基板に積層され、前記画素アレイ部から出力された撮像素素信号の信号処理を行う第2基板と、を備え、

前記第1基板は、

それぞれを短絡させても回路動作に支障が生じない複数の第1配線と、

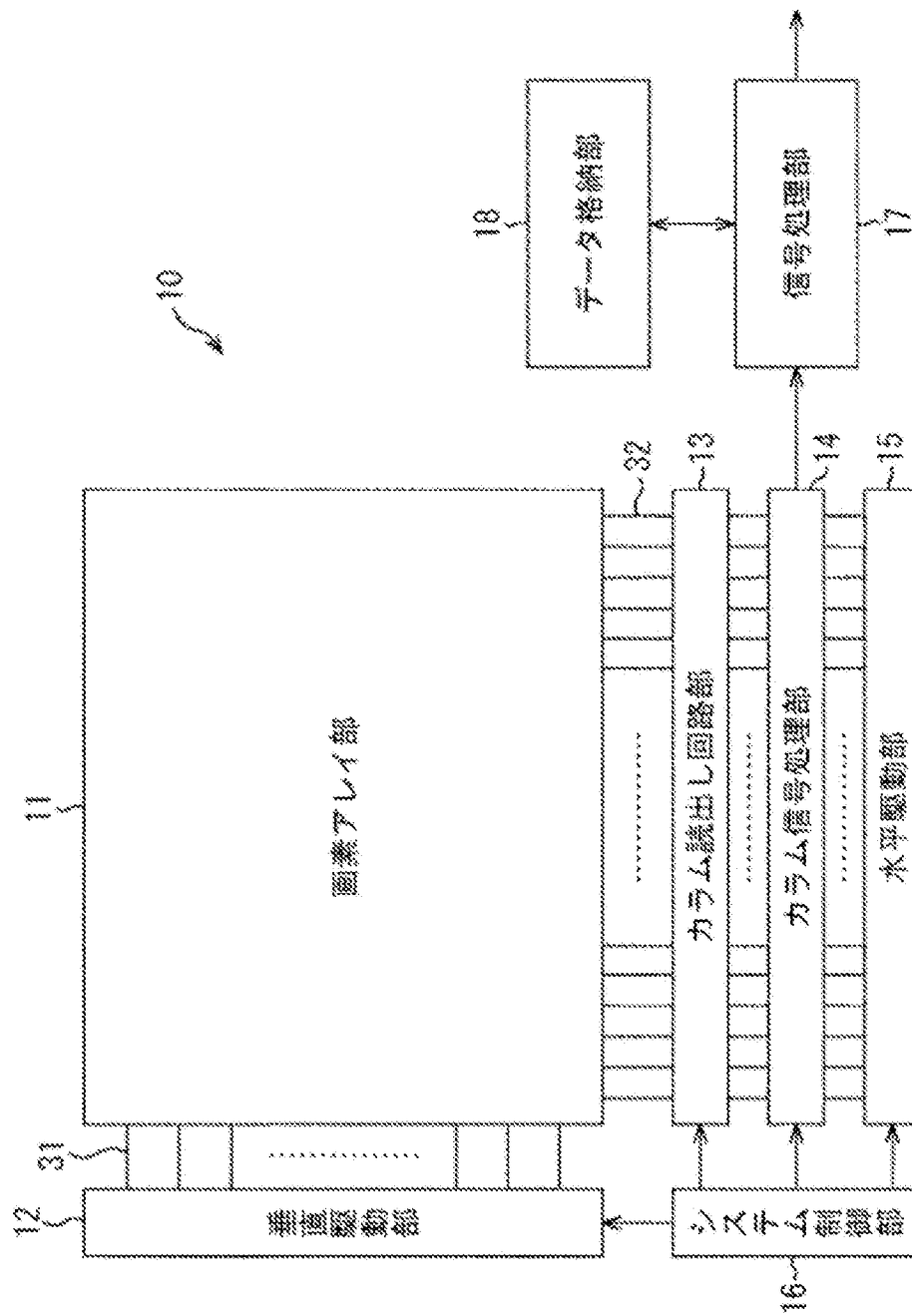
前記複数の第1配線の数よりも少ない数だけ設けられ、前記複数の第1配線に電氣的に接続される第1接合部と、を有し、

前記第2基板は、

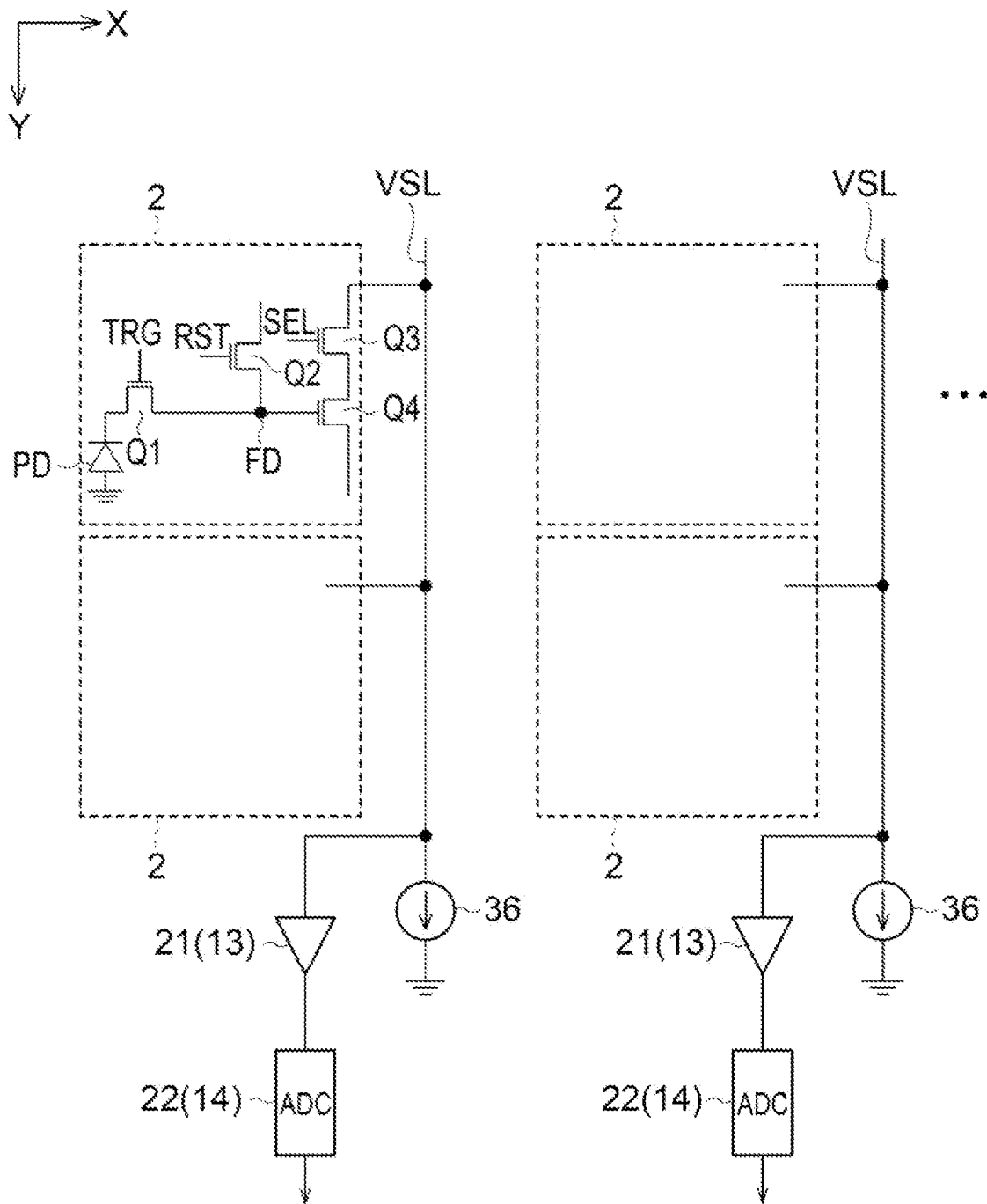
それぞれを短絡させても回路動作に支障が生じない複数の第 2 配線と、

前記第 1 接合部と同じ数だけ設けられて、対応する前記第 1 接合部と接合され、前記複数の第 2 配線に電氣的に接続される第 2 接合部と、を有する、電子機器。

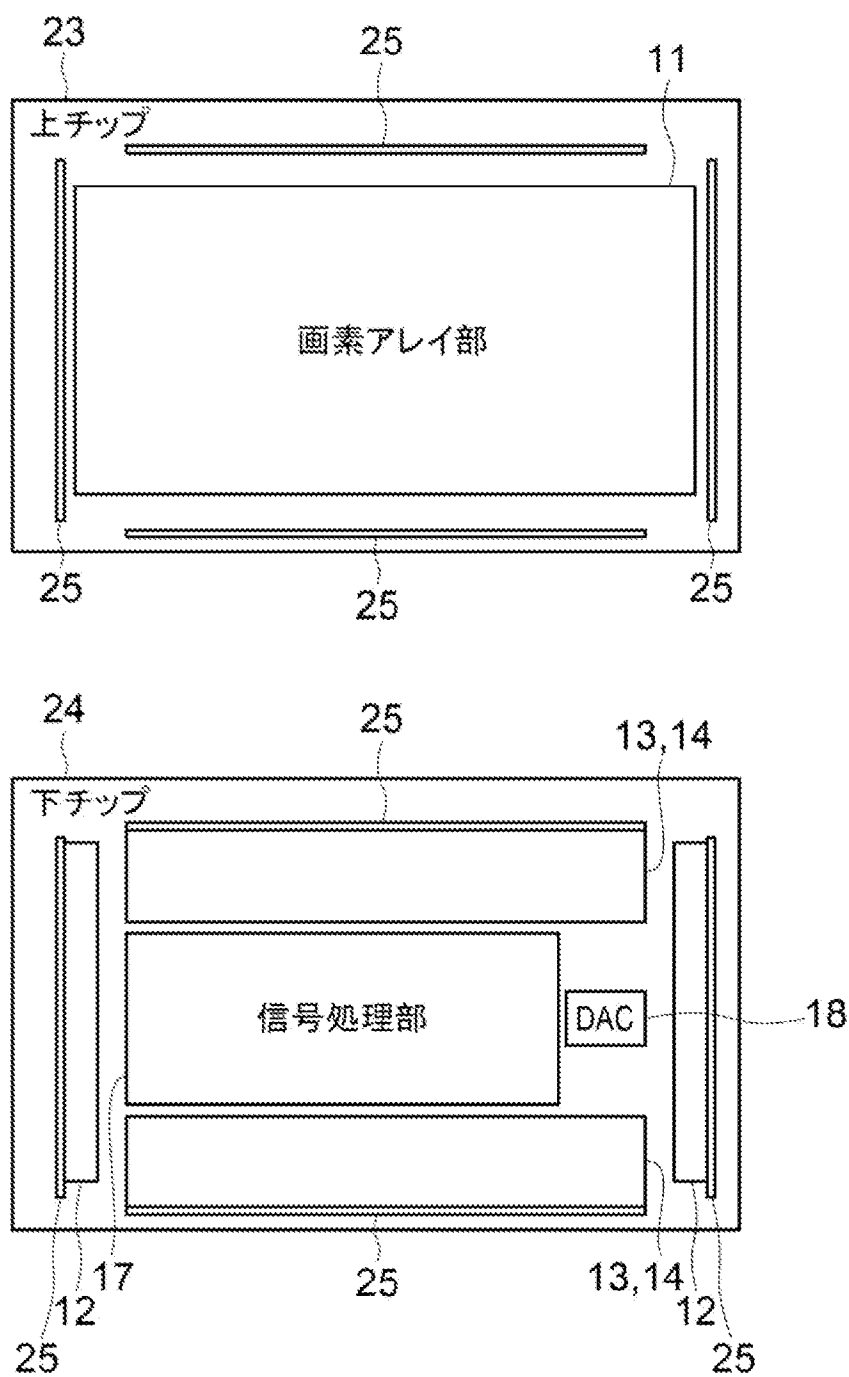
[図1]



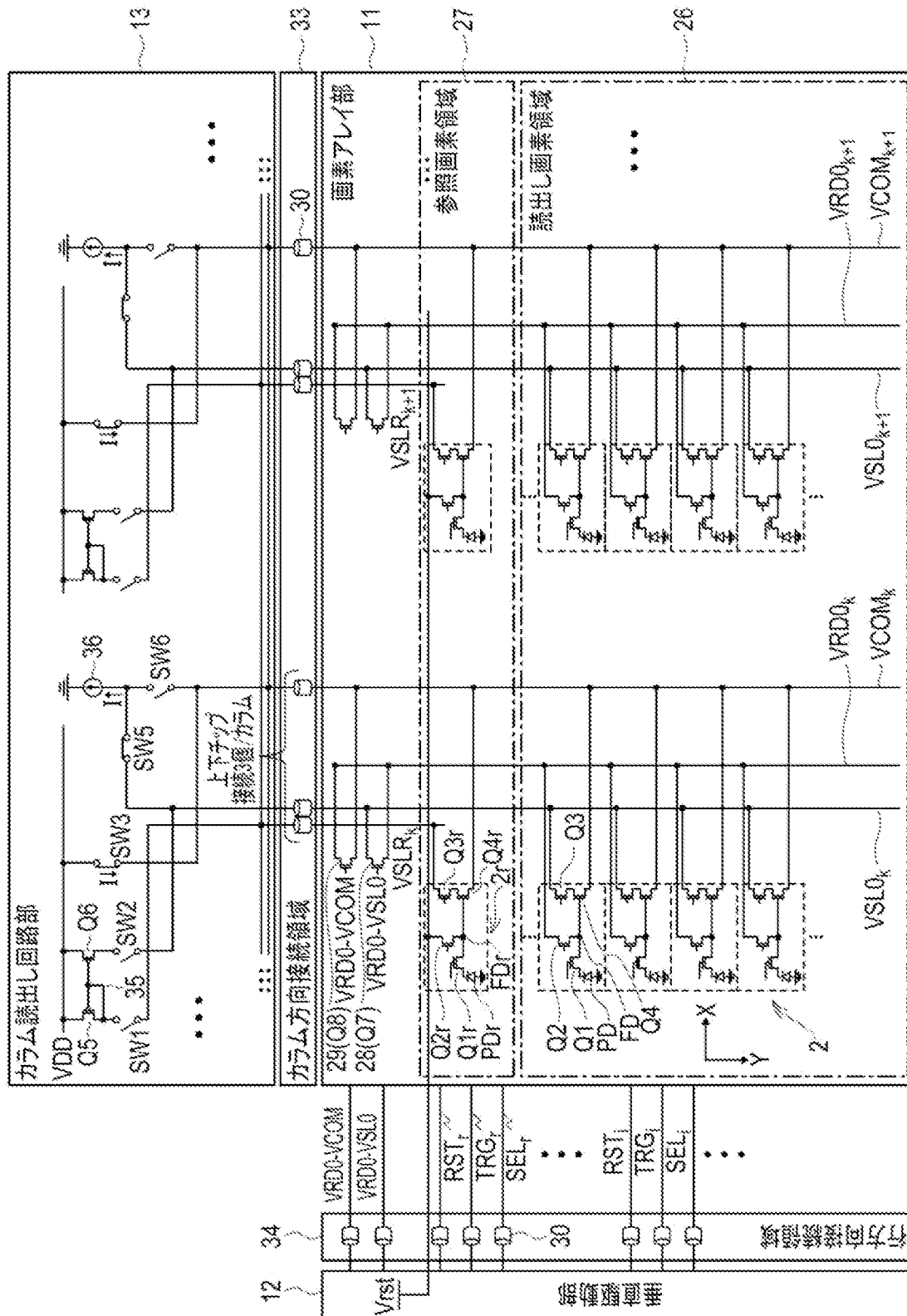
[図2]



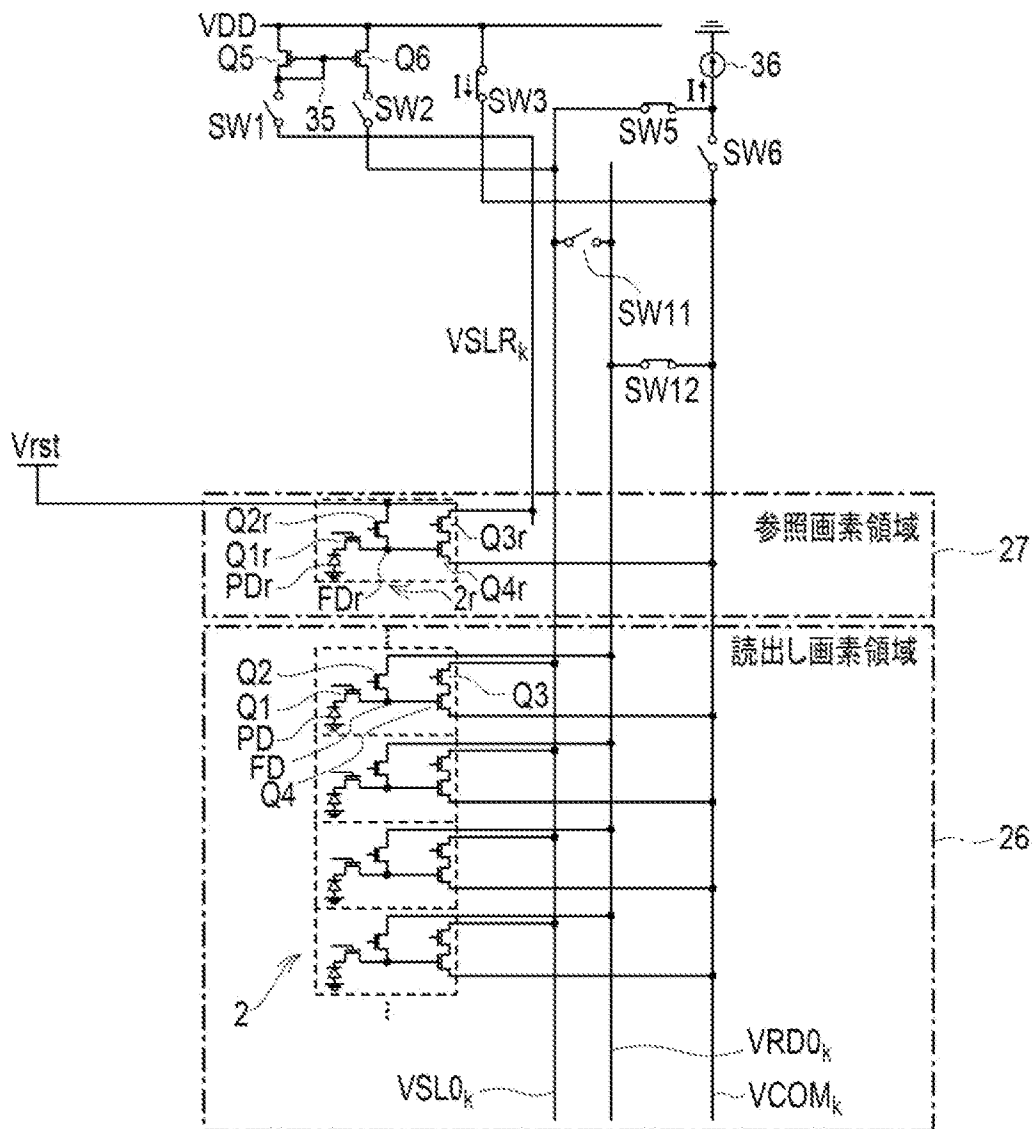
[図3]



[図4]

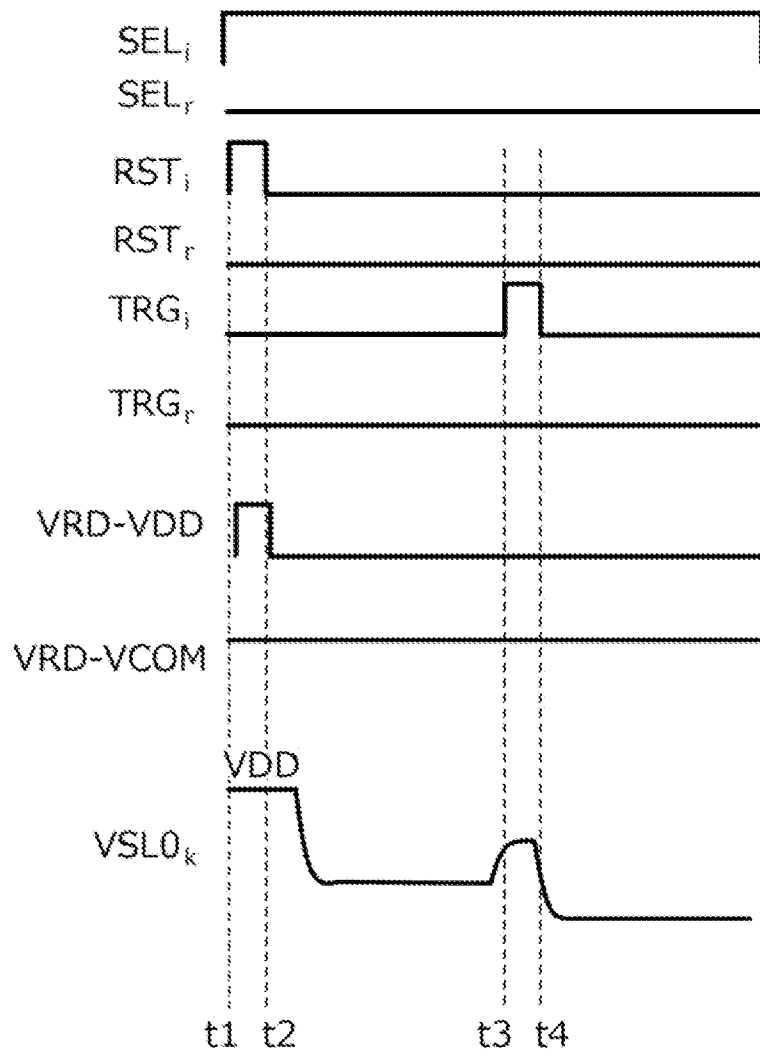


[図5A]

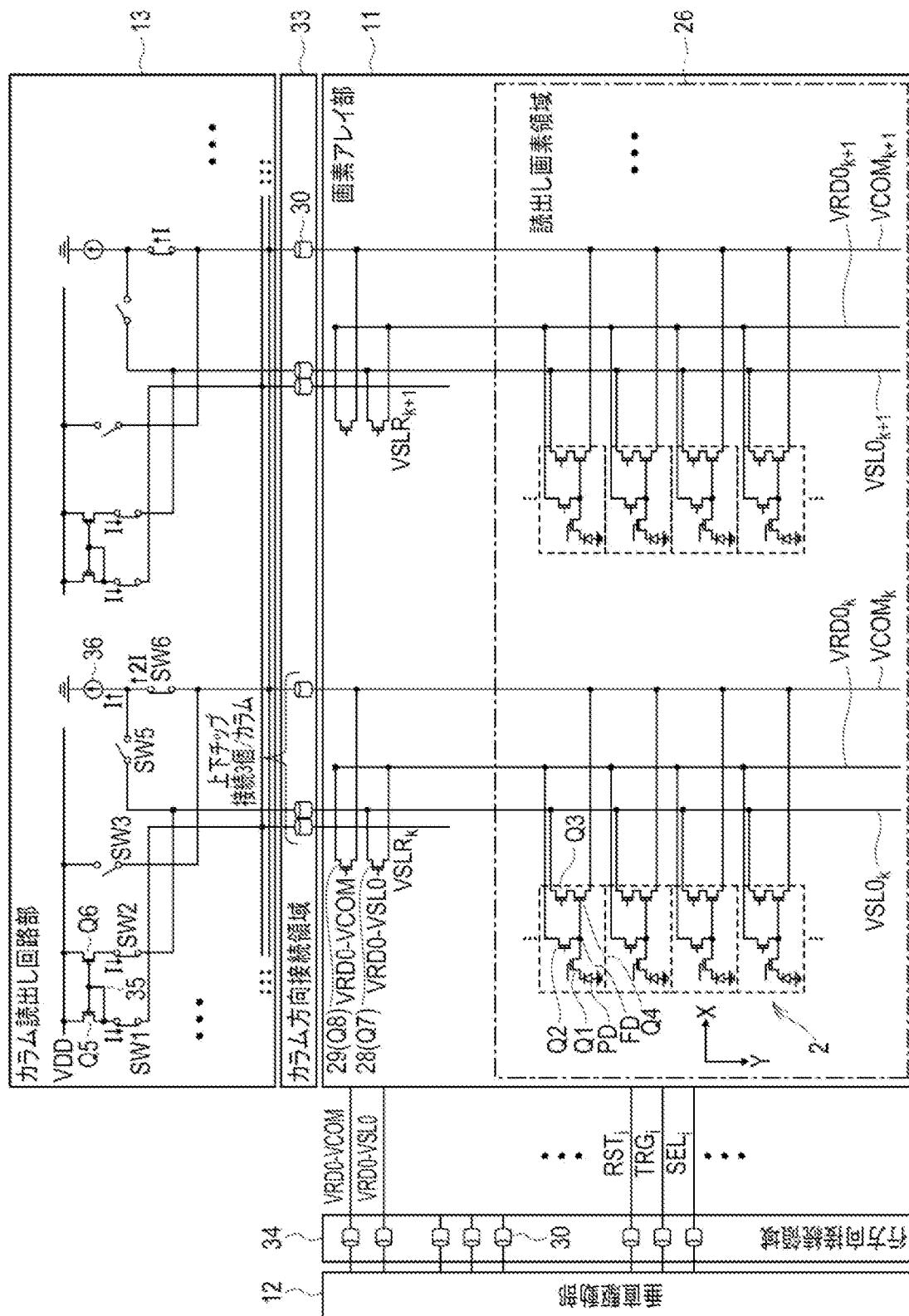


SF動作

[図5B]

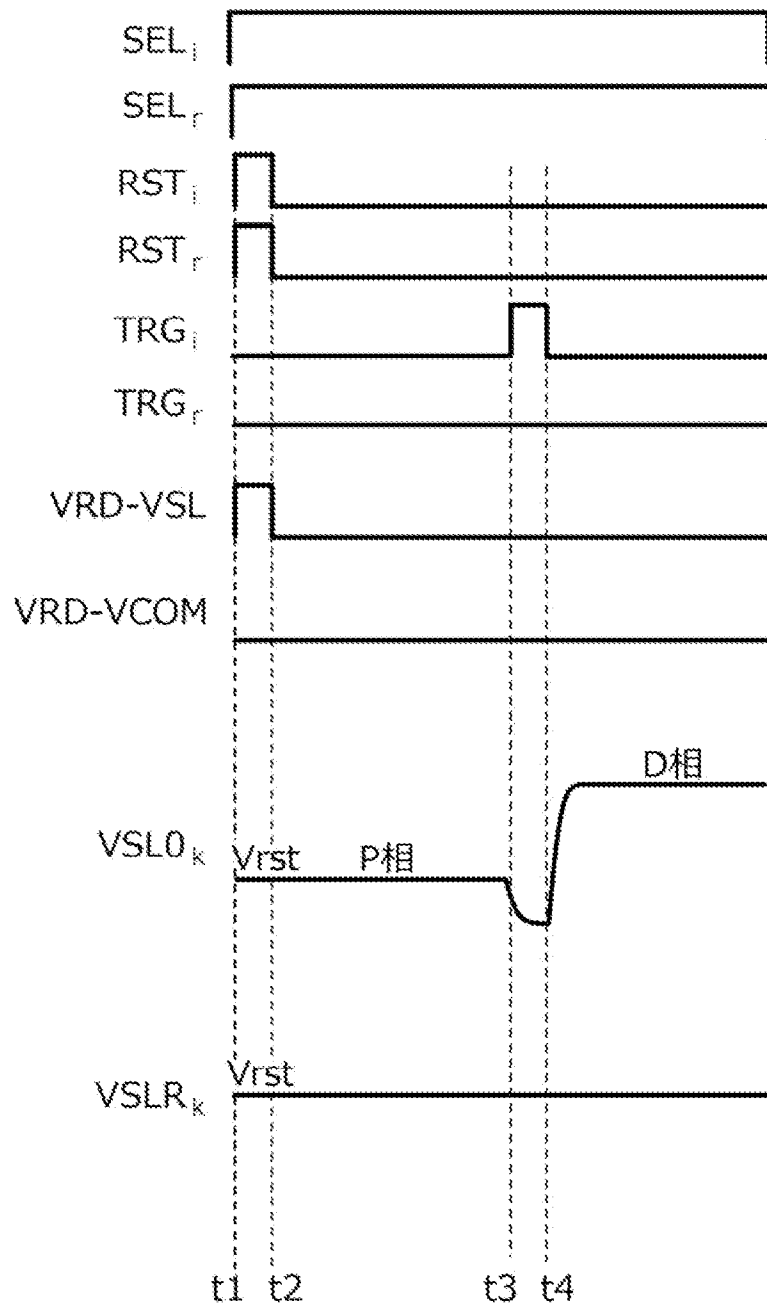


[図6]

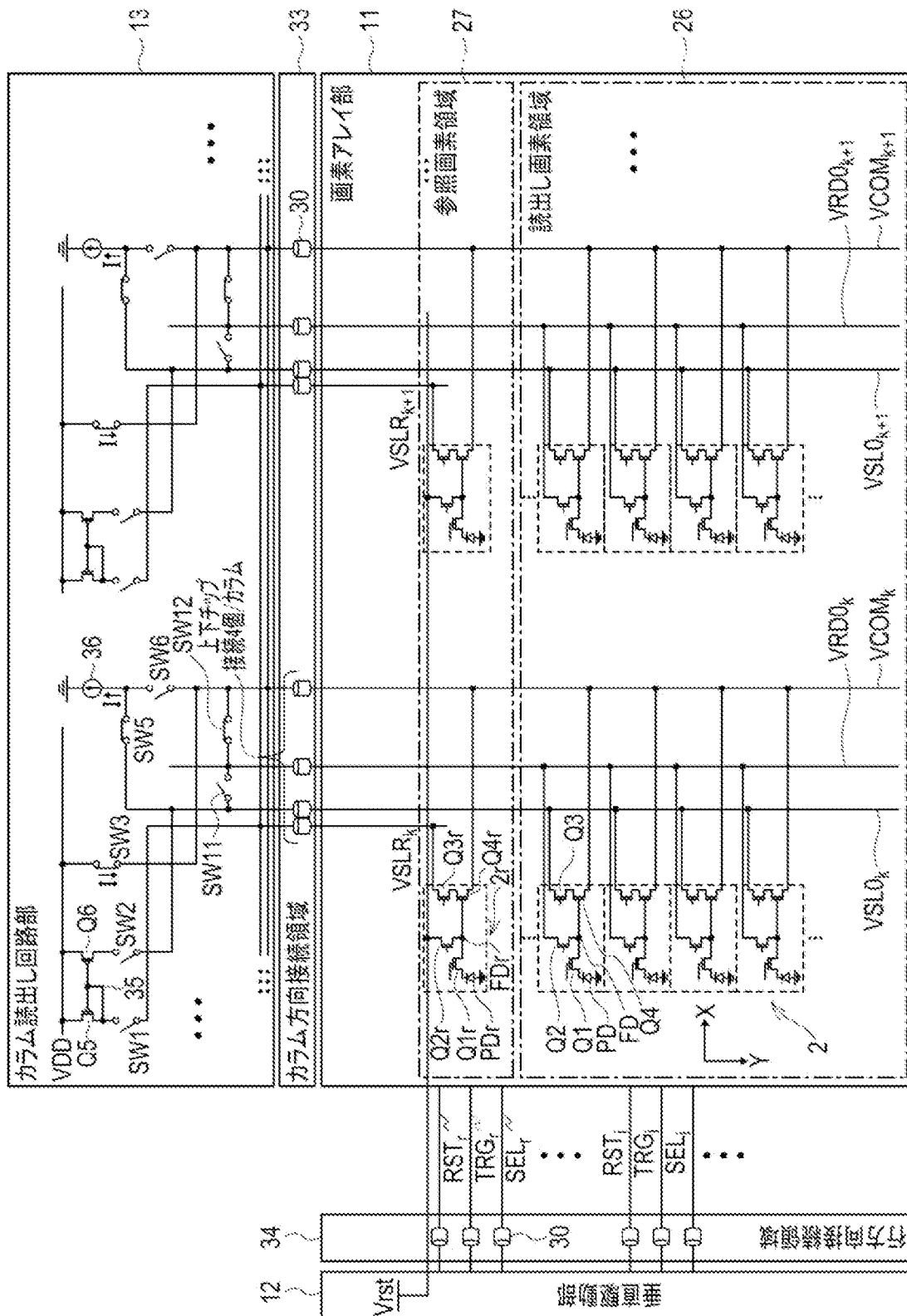


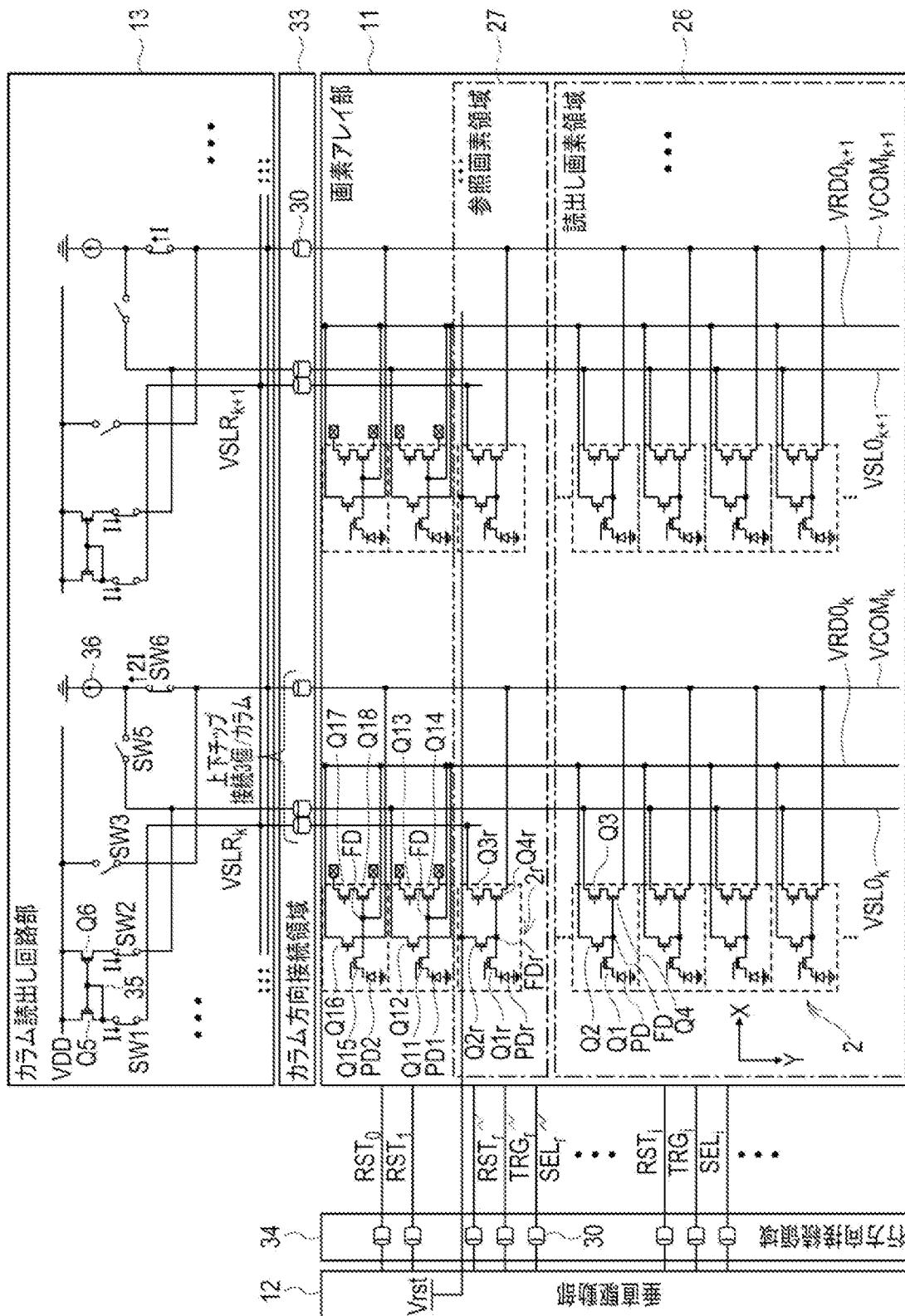
差動動作

[図7B]

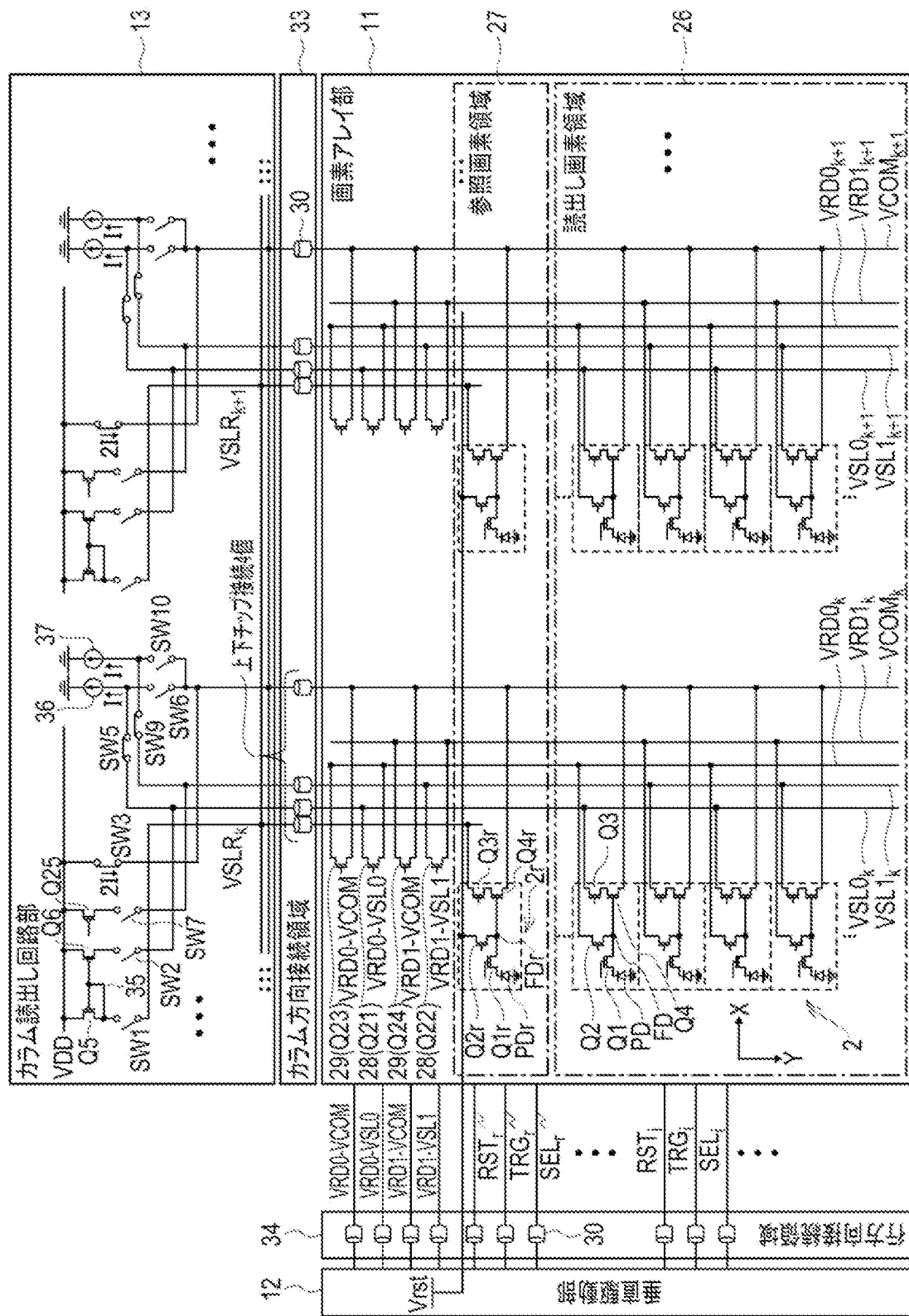


[図8]

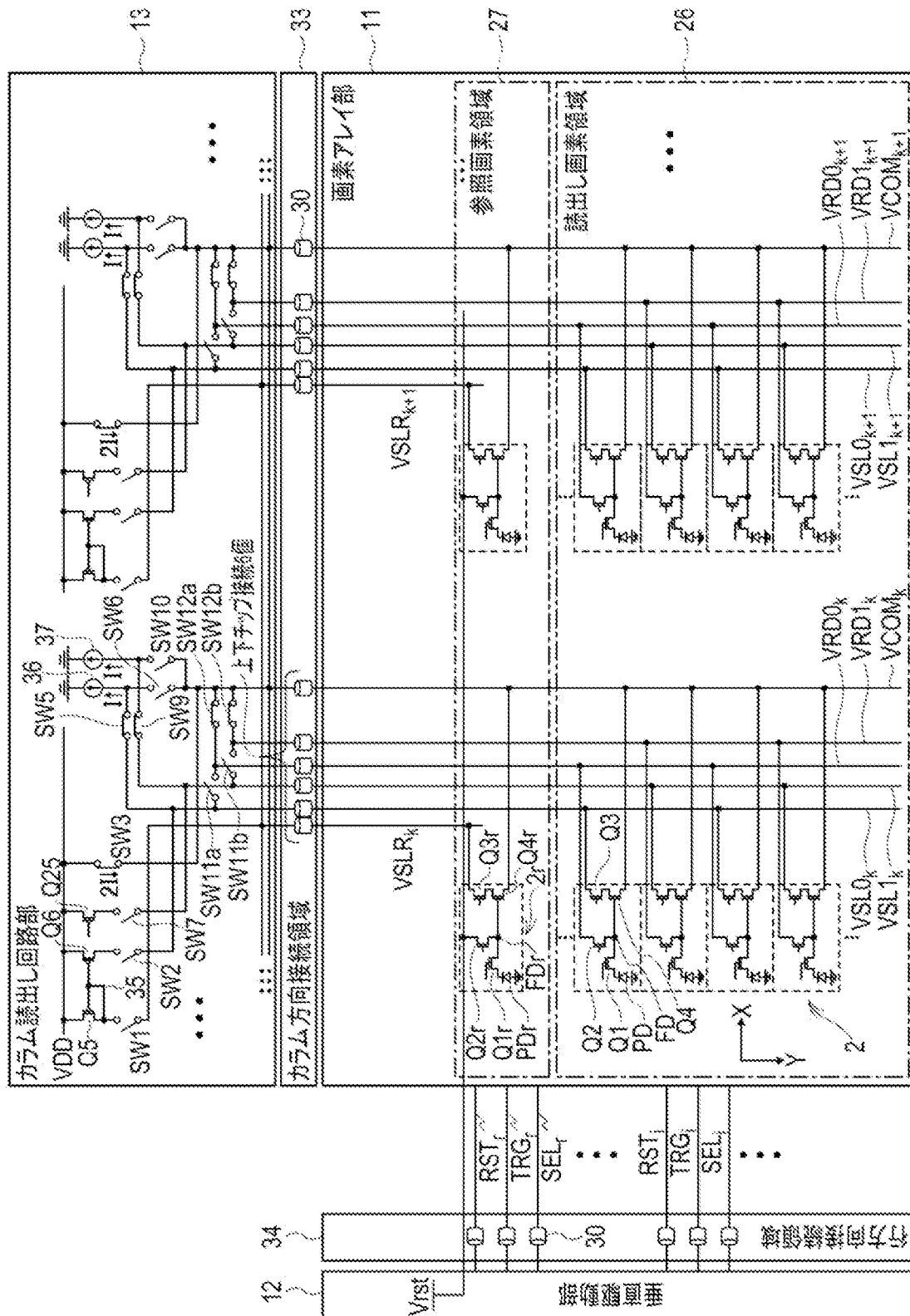




[図13]

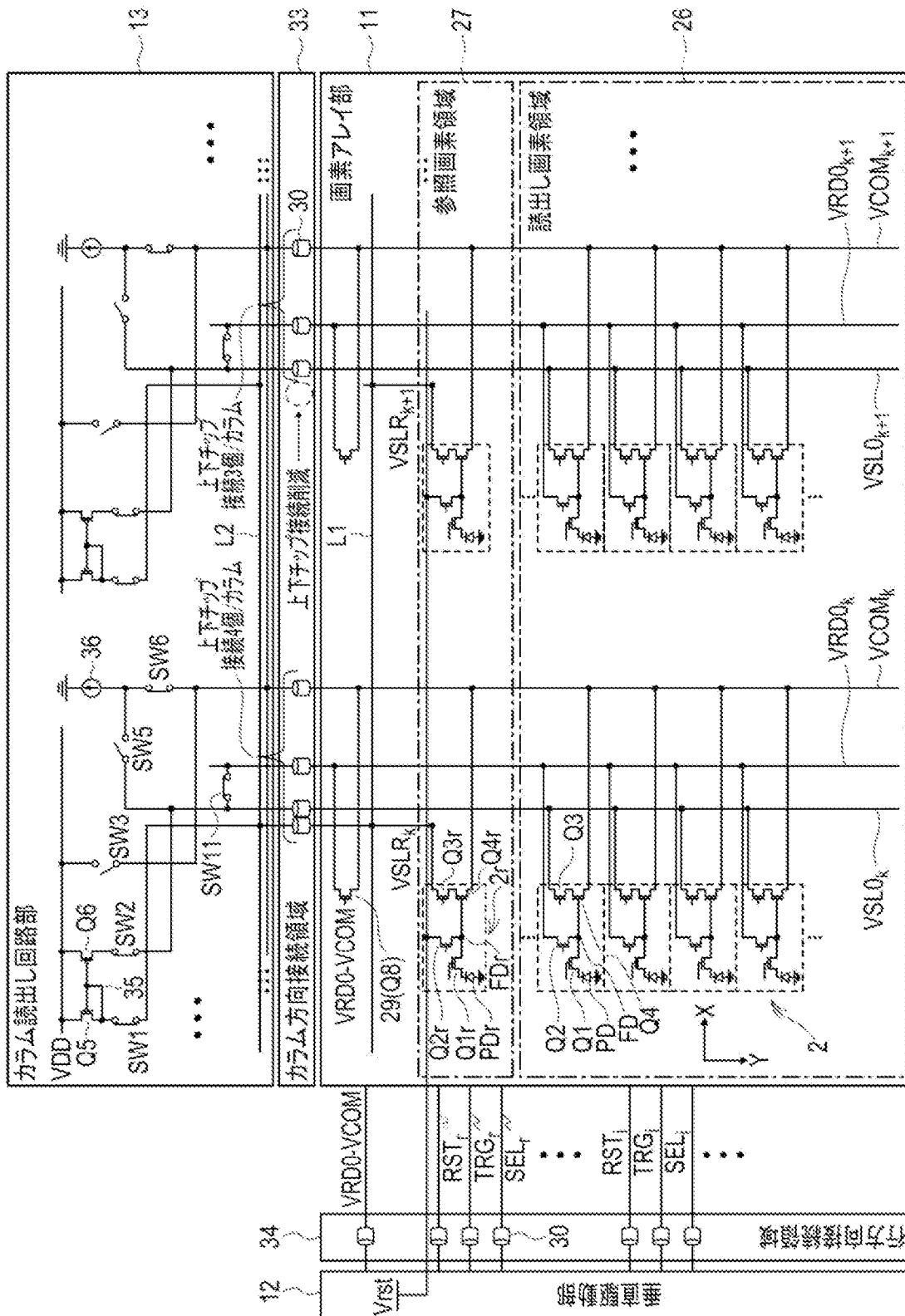


[図14]

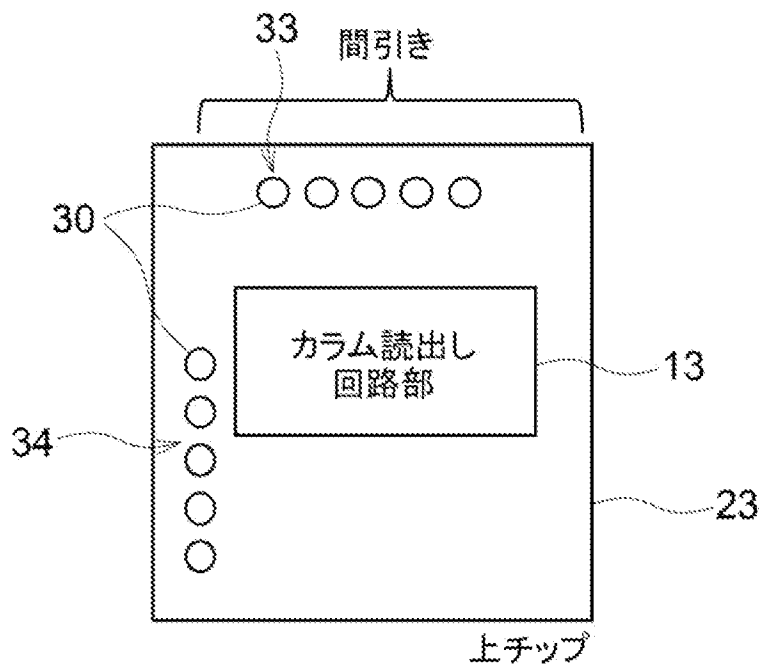


[illegible]

[図16]



[図17A]



[図17B]

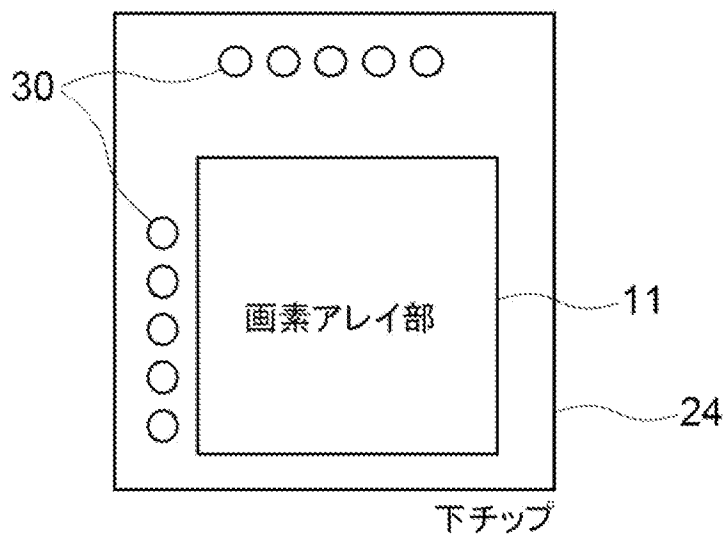
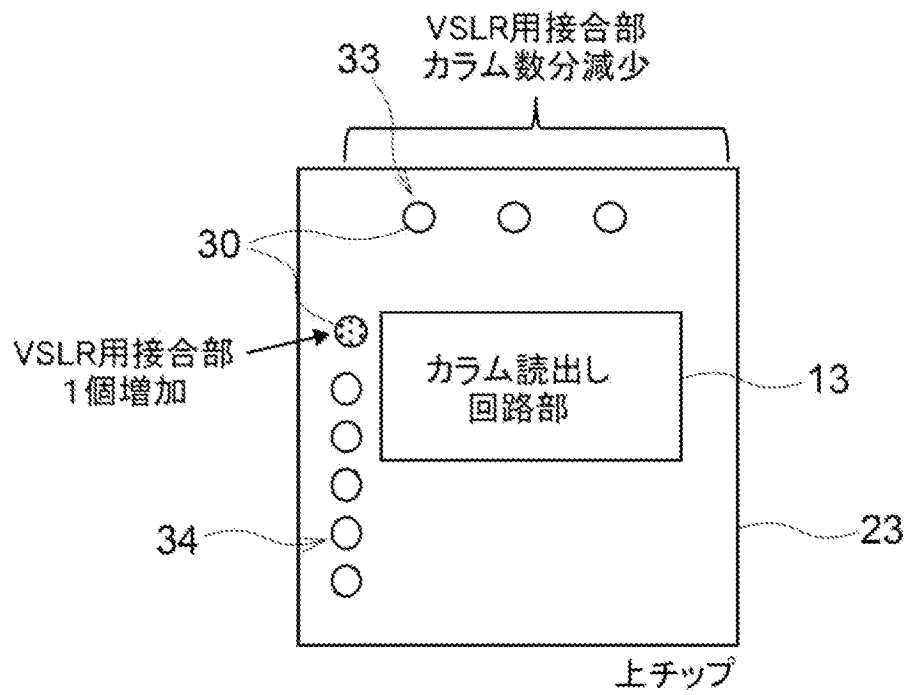


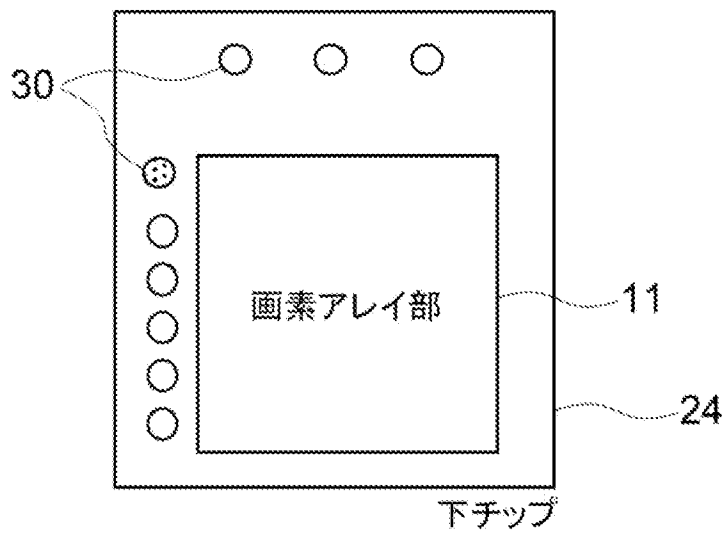
Figure 1 is a block diagram of a column output circuit. The circuit is divided into several functional blocks:

- Column Output Circuit (13):** This block contains a network of transistors (Q5, Q6) and switches (SW1, SW2, SW3, SW5, SW6, SW11) connected to a VDD supply. It is associated with a "上下チップ接続4個/カラム" (4 connections per column) and a "上下チップ接続1個/カラム" (1 connection per column).
- Column Direction Connection Region (12):** This region receives control signals: $VRD0-VCOM$, RST , TRG , and SEL .
- Output Region (11):** This region outputs signals $VSLR_k$ and $VSLR_{k+1}$. It is further divided into:
 - Reference Element Region (27):** Contains transistors Q2r, Q1r, PD, and FD, and switches Q3r, Q4r.
 - Readout Element Region (26):** Contains transistors Q2, Q1, PD, and FD, and switches Q3, Q4.
- Output Signals:** The circuit outputs $VRD0_k$, $VRD0_{k+1}$, $VCOM_k$, and $VCOM_{k+1}$.

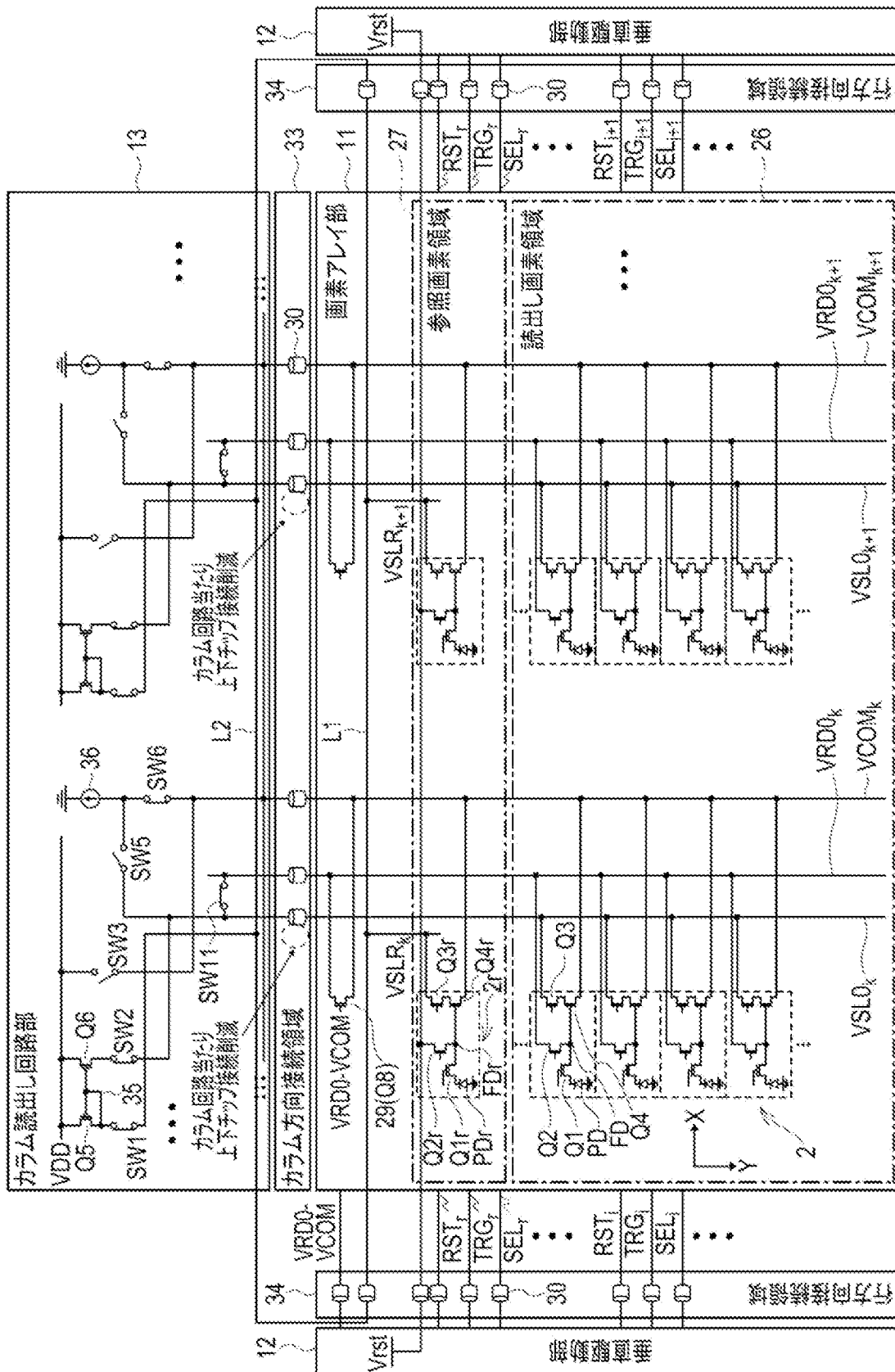
[図20A]



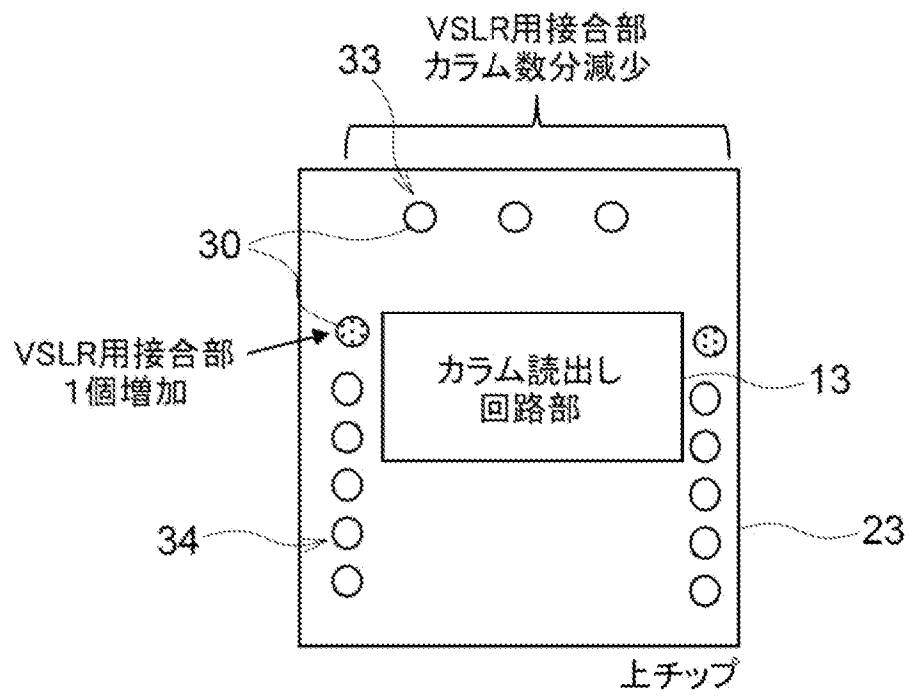
[図20B]



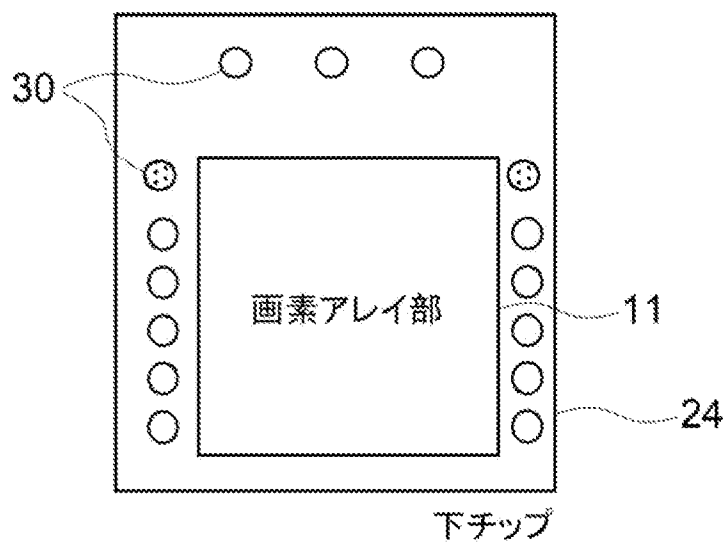
[図21]



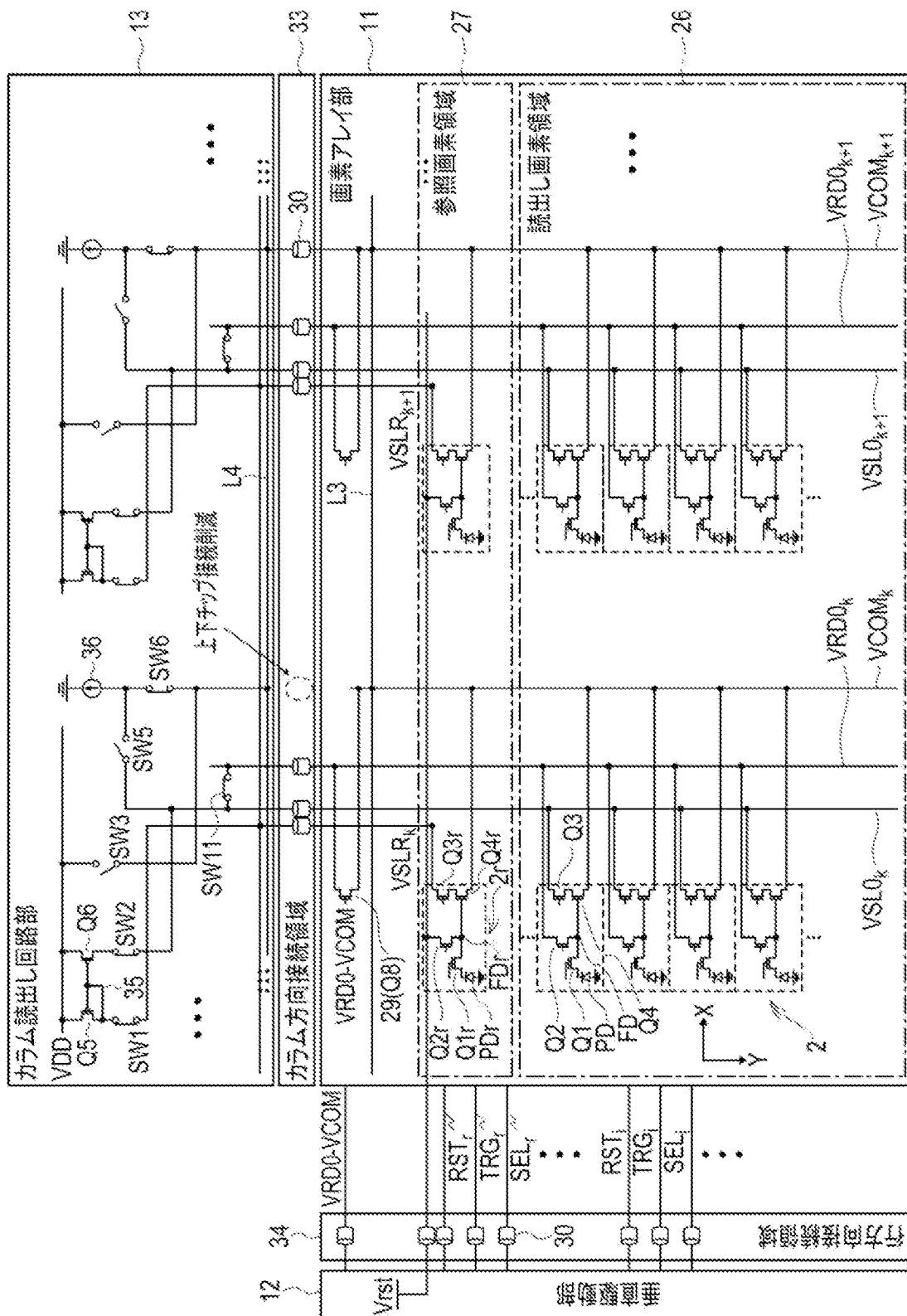
[図22A]



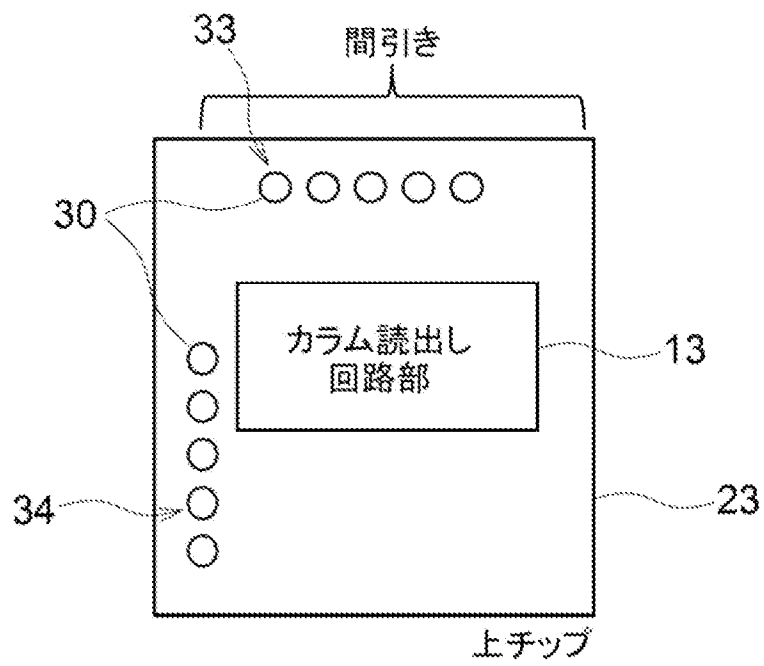
[図22B]



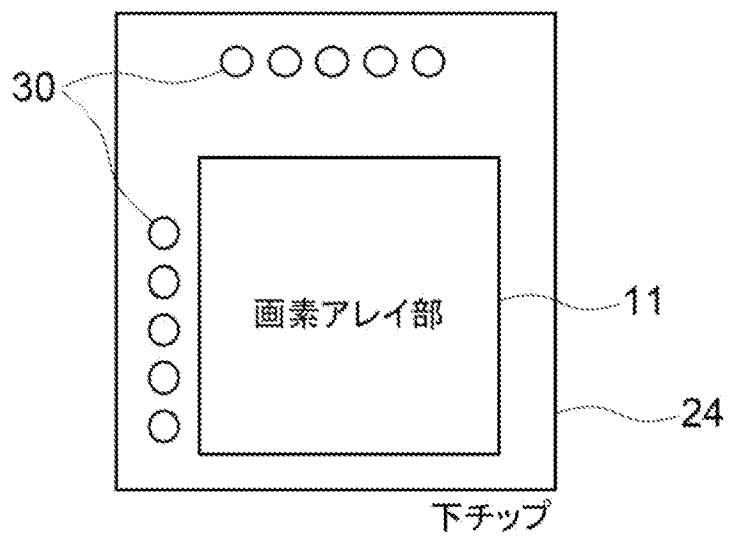
[図23]

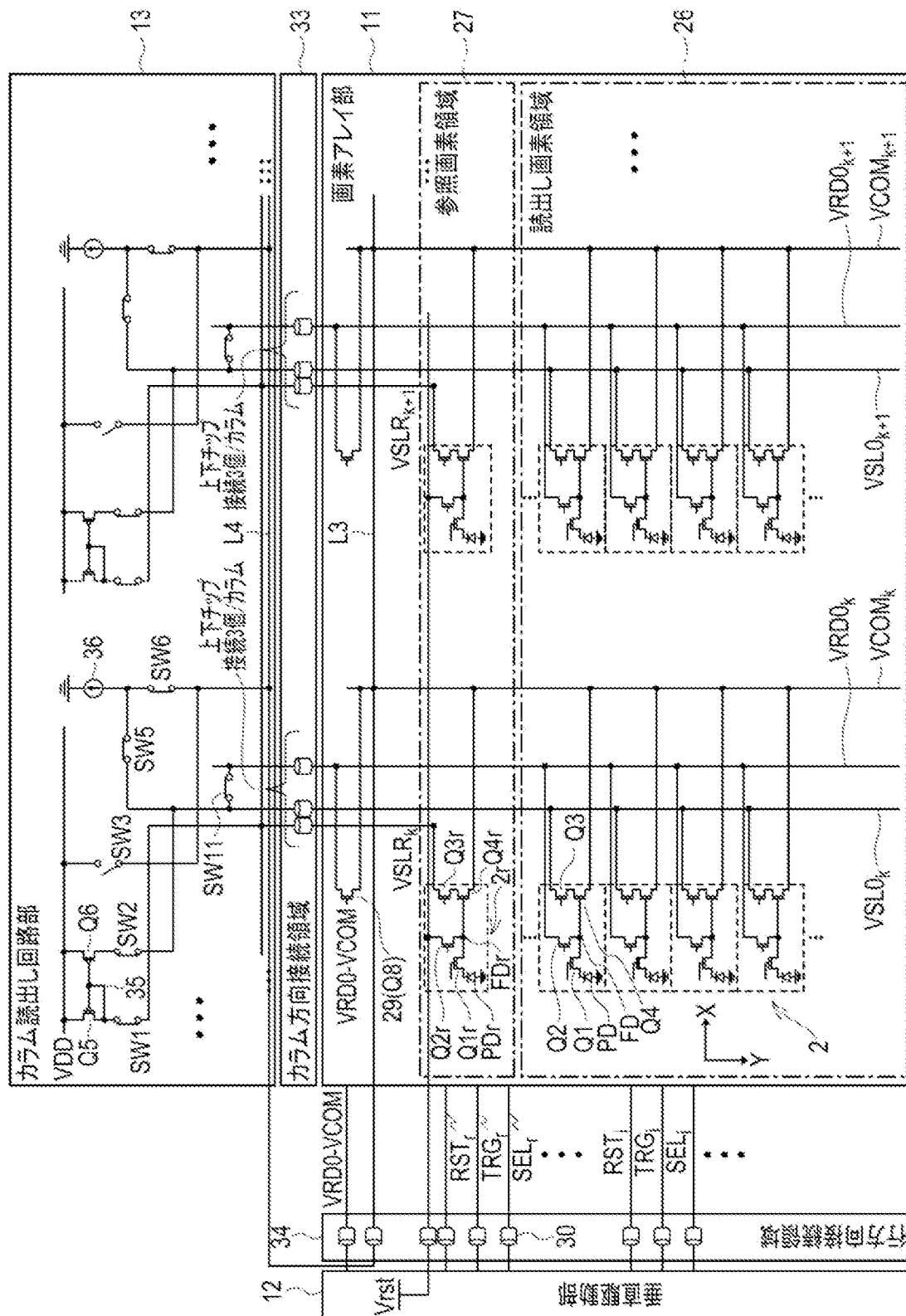


[図24A]



[図24B]





VCOM用接合部
カラム数分減少

33

30

VCOM用接合部
1個増加

カラム読出し
回路部

13

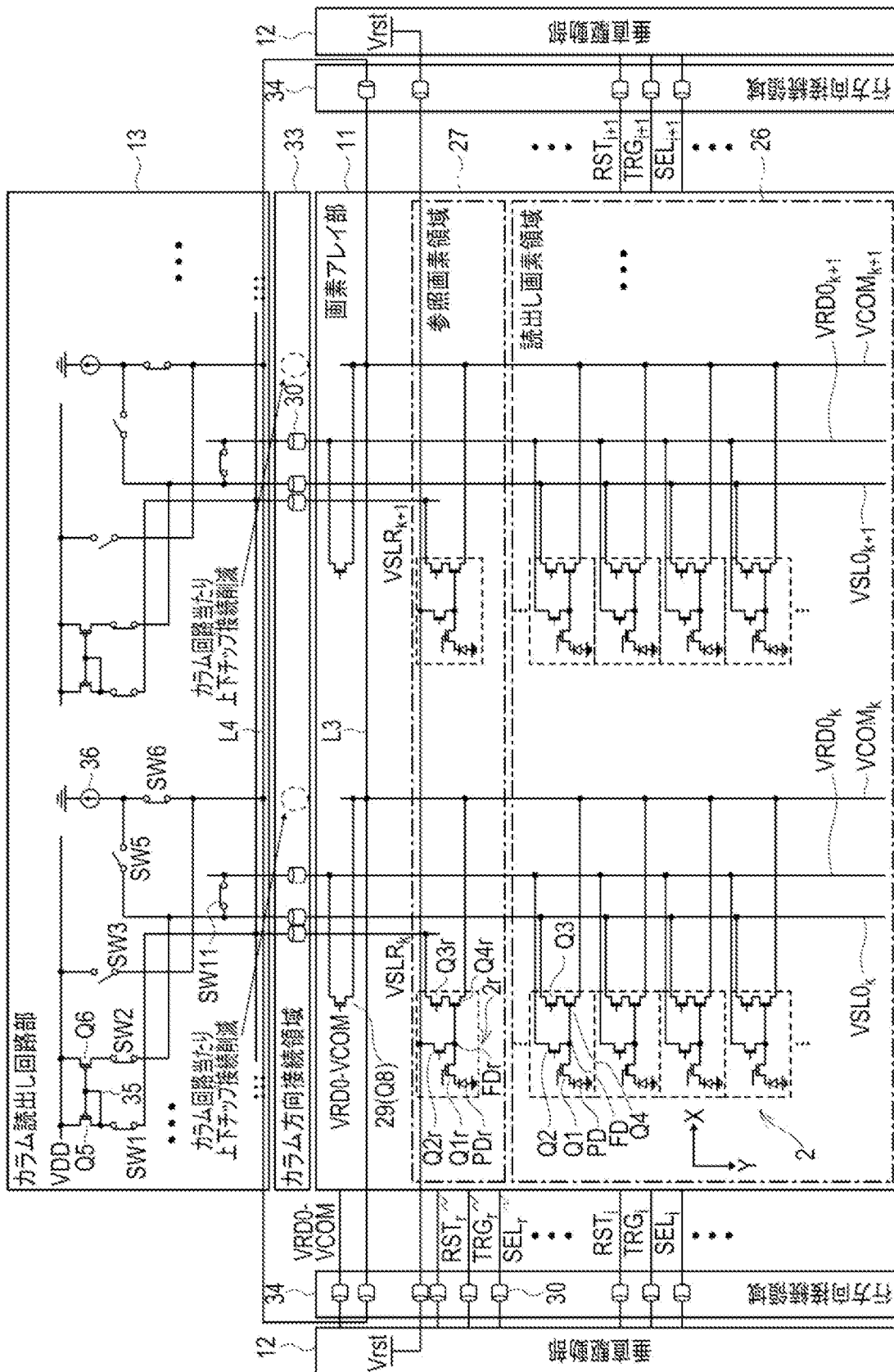
34

23

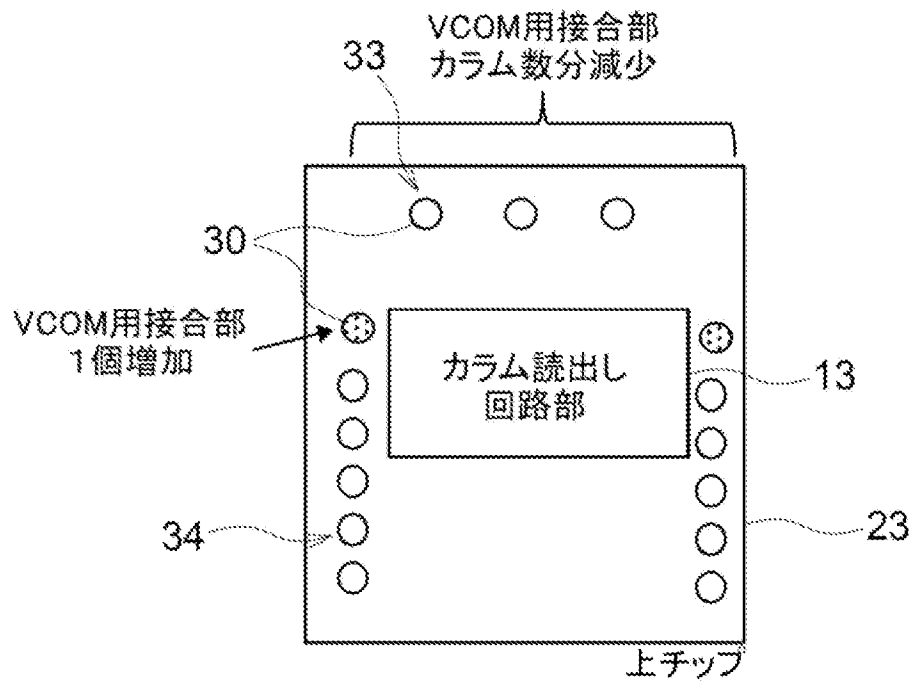
上チップ

下チップ

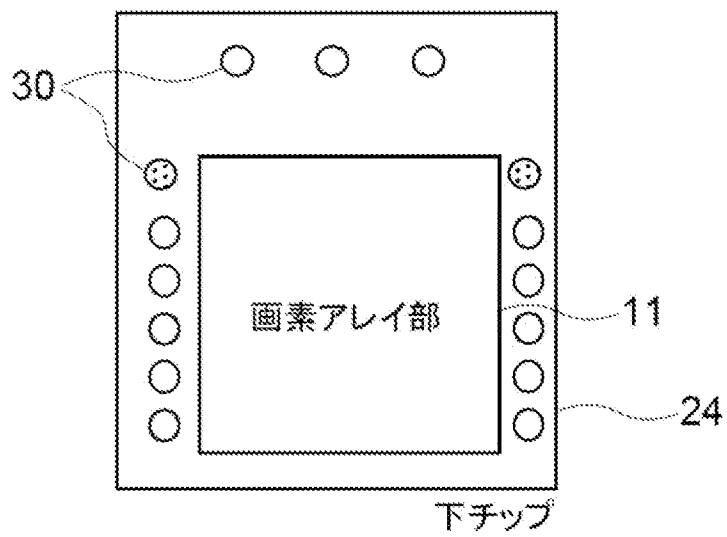
[図27]



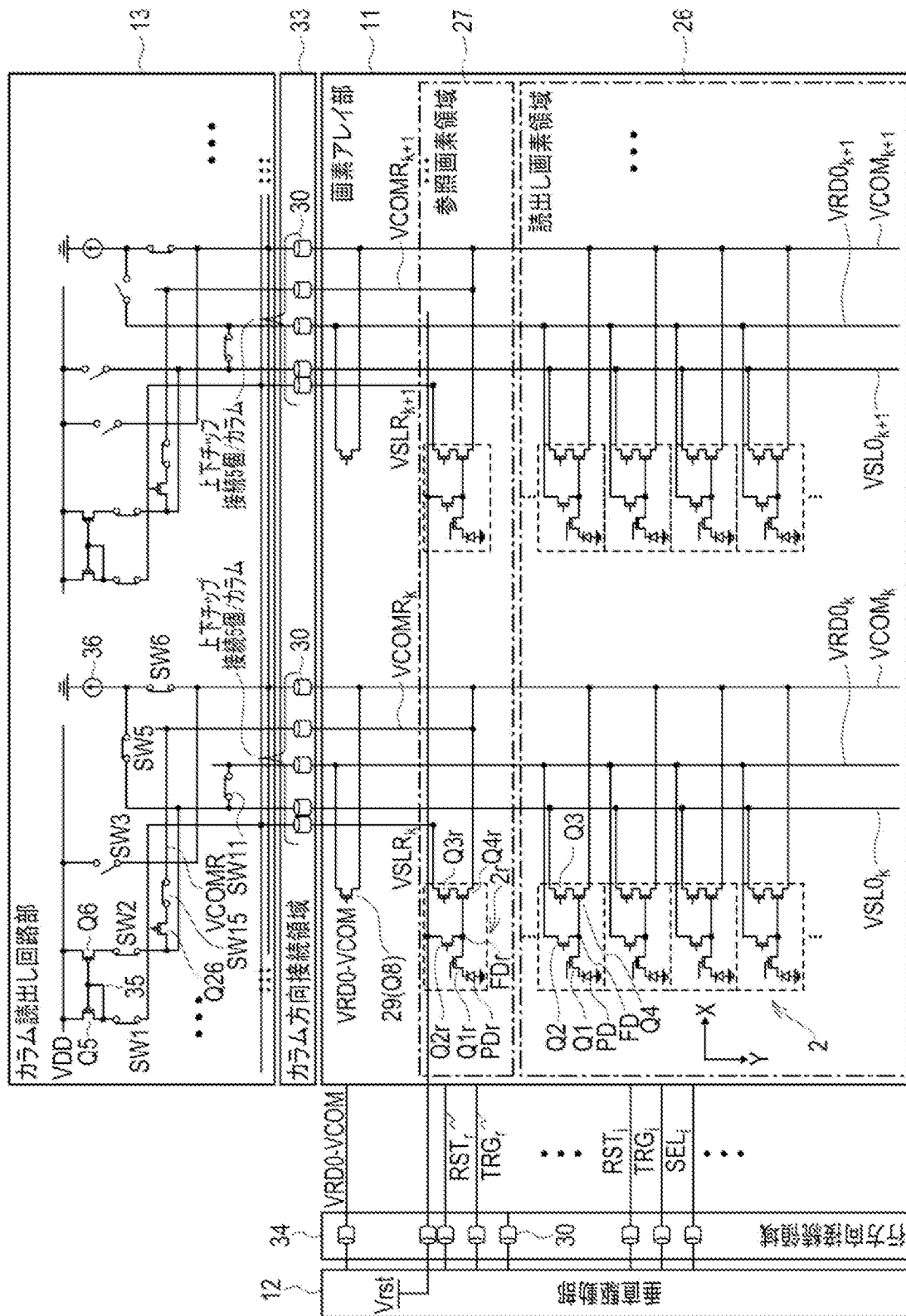
[図28A]



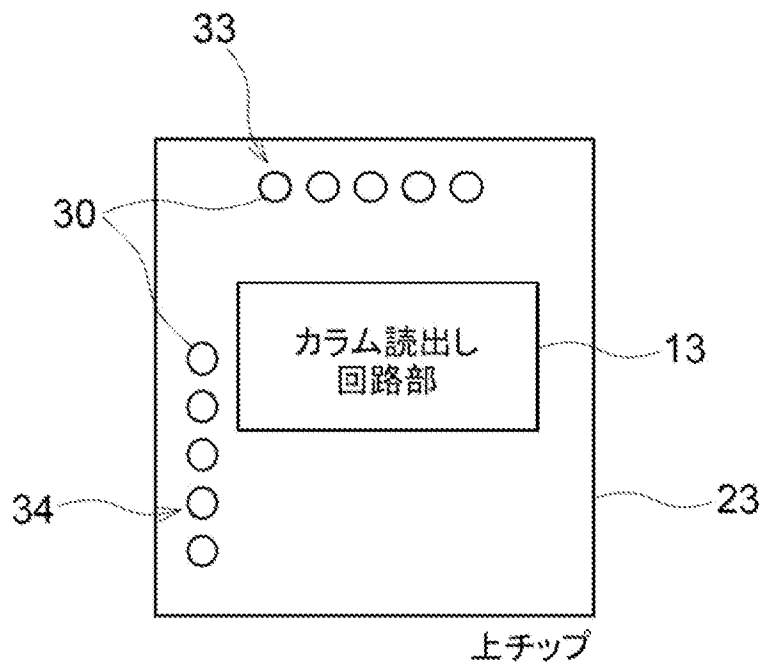
[図28B]



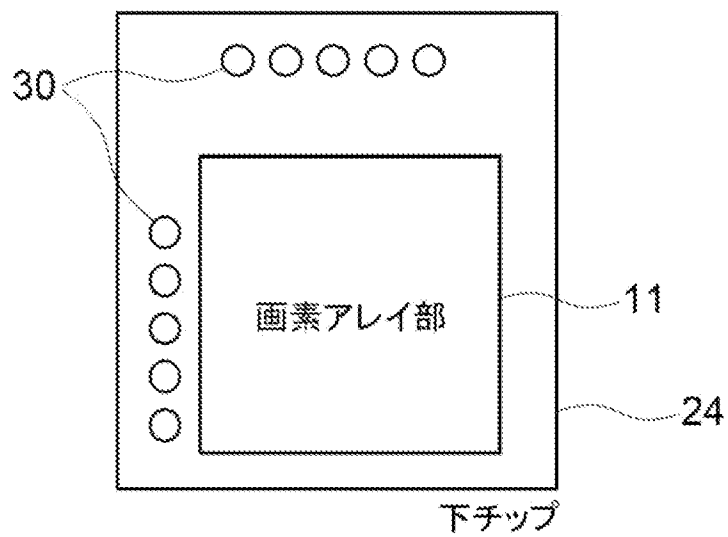
[図29]



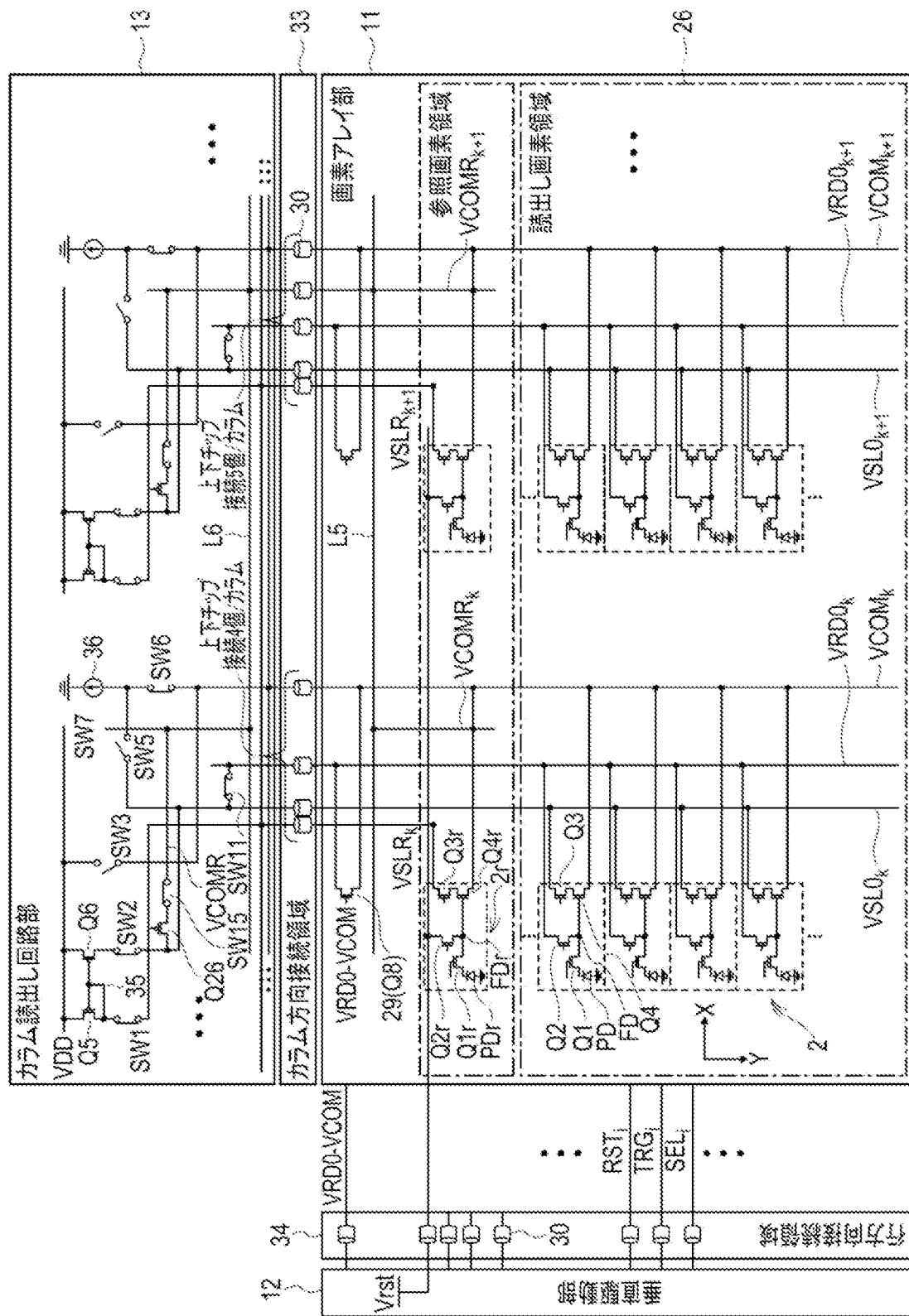
[図30A]



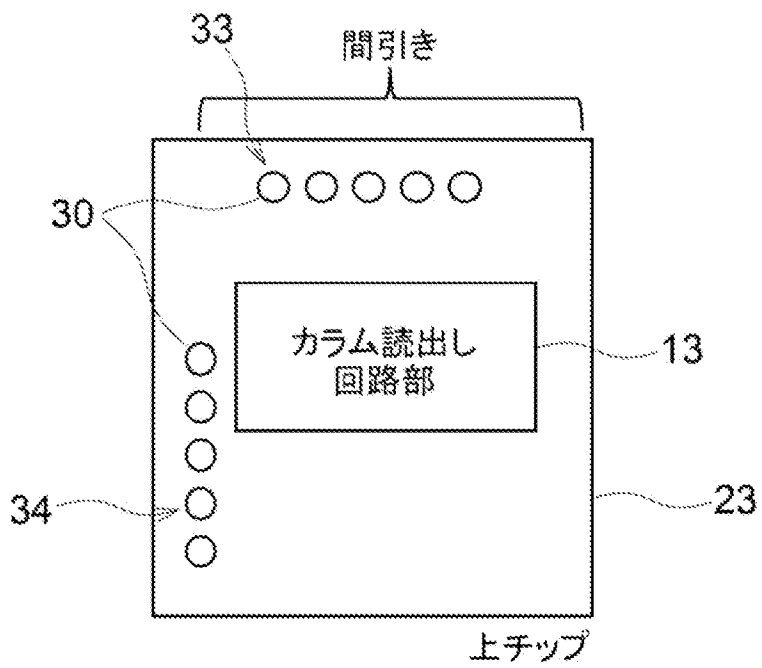
[図30B]



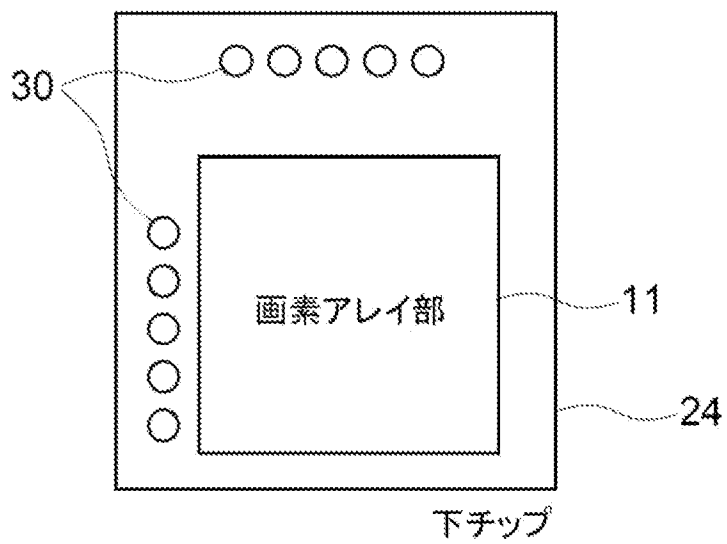
[図31]



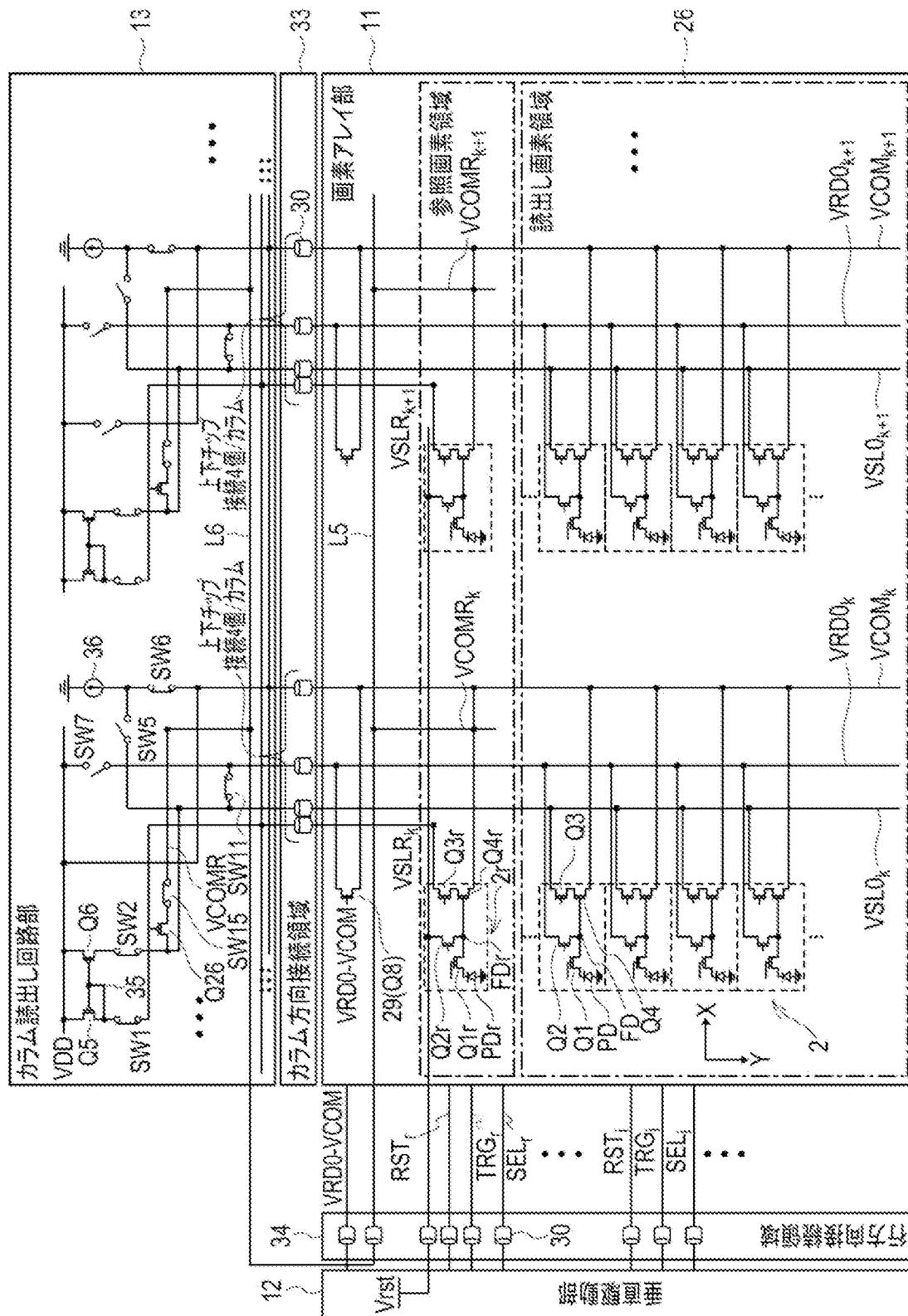
[図32A]



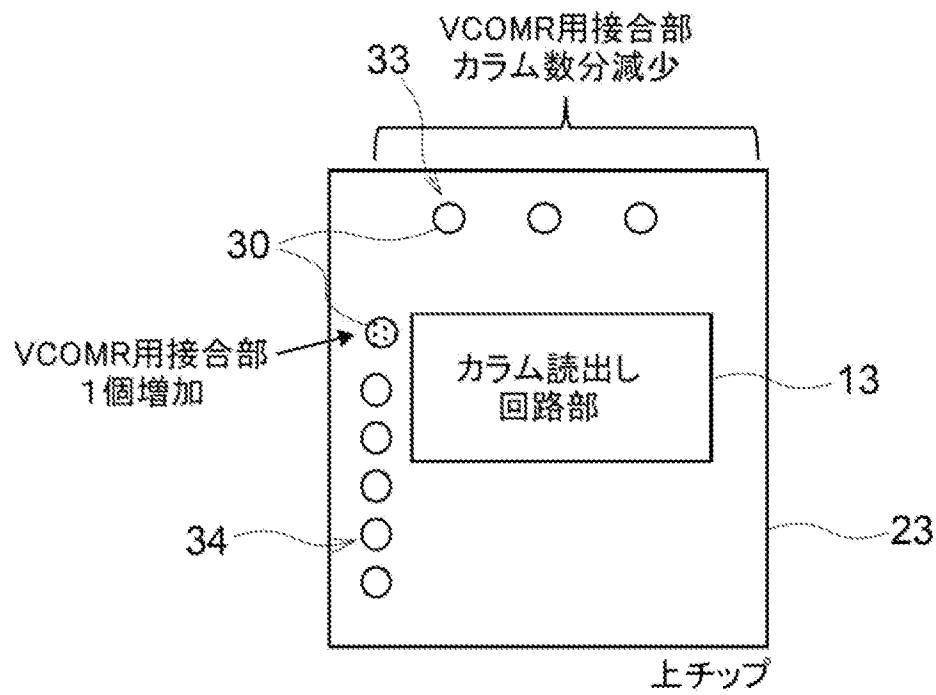
[図32B]



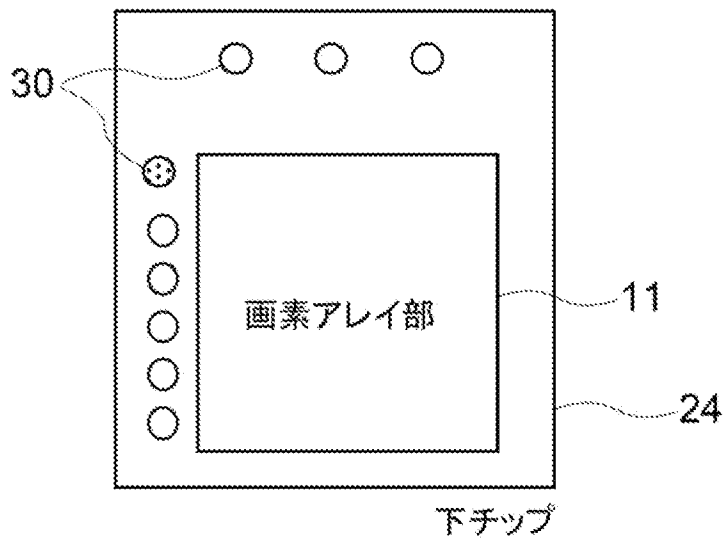
[図33]

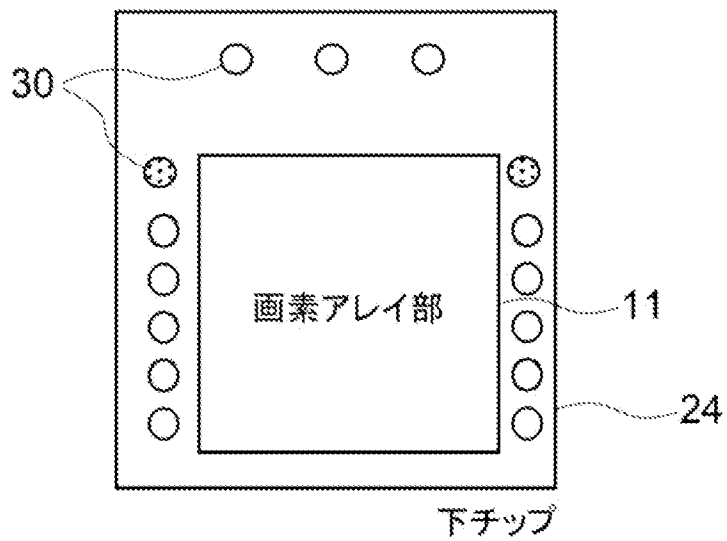


[図34A]

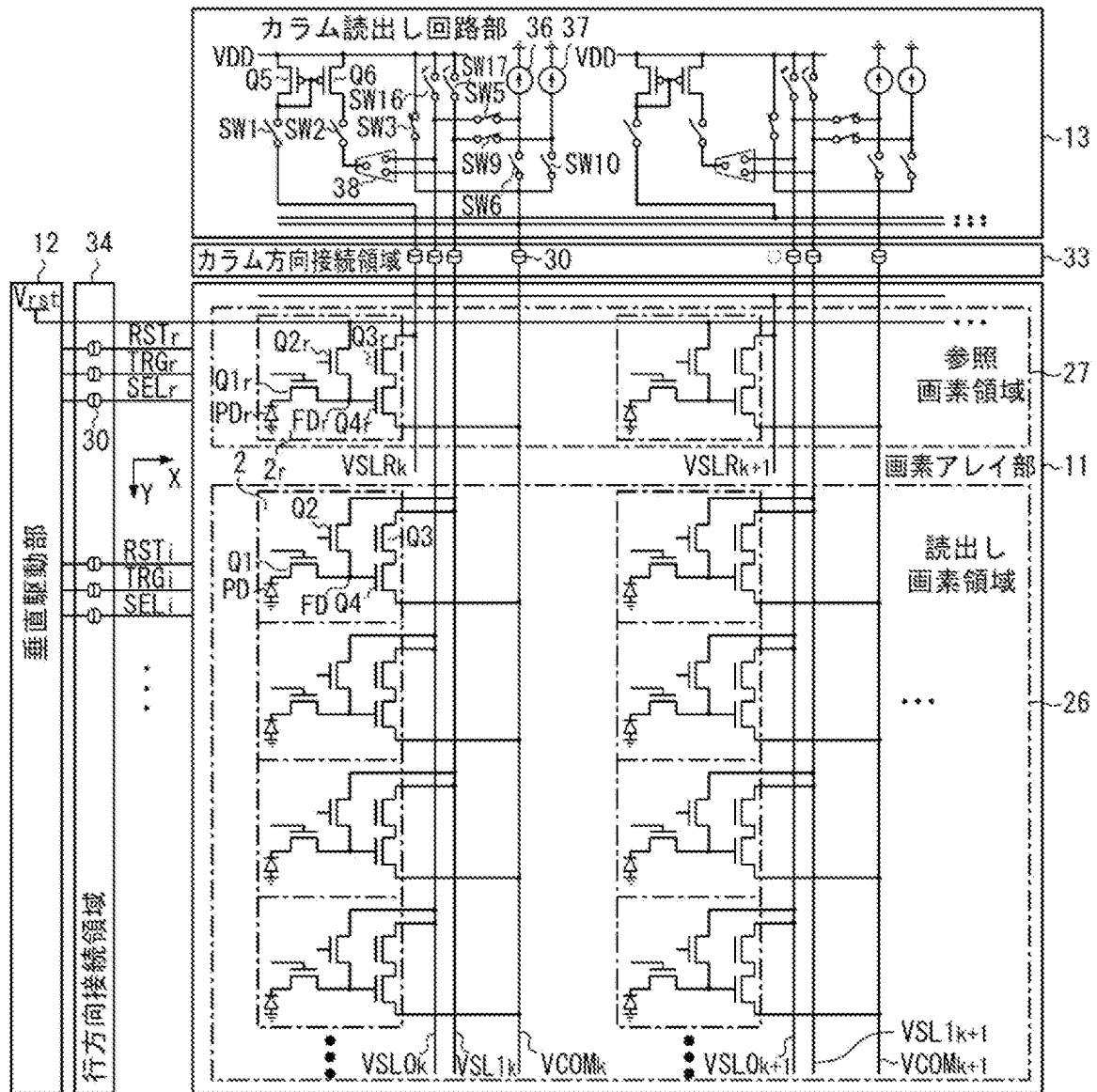


[図34B]

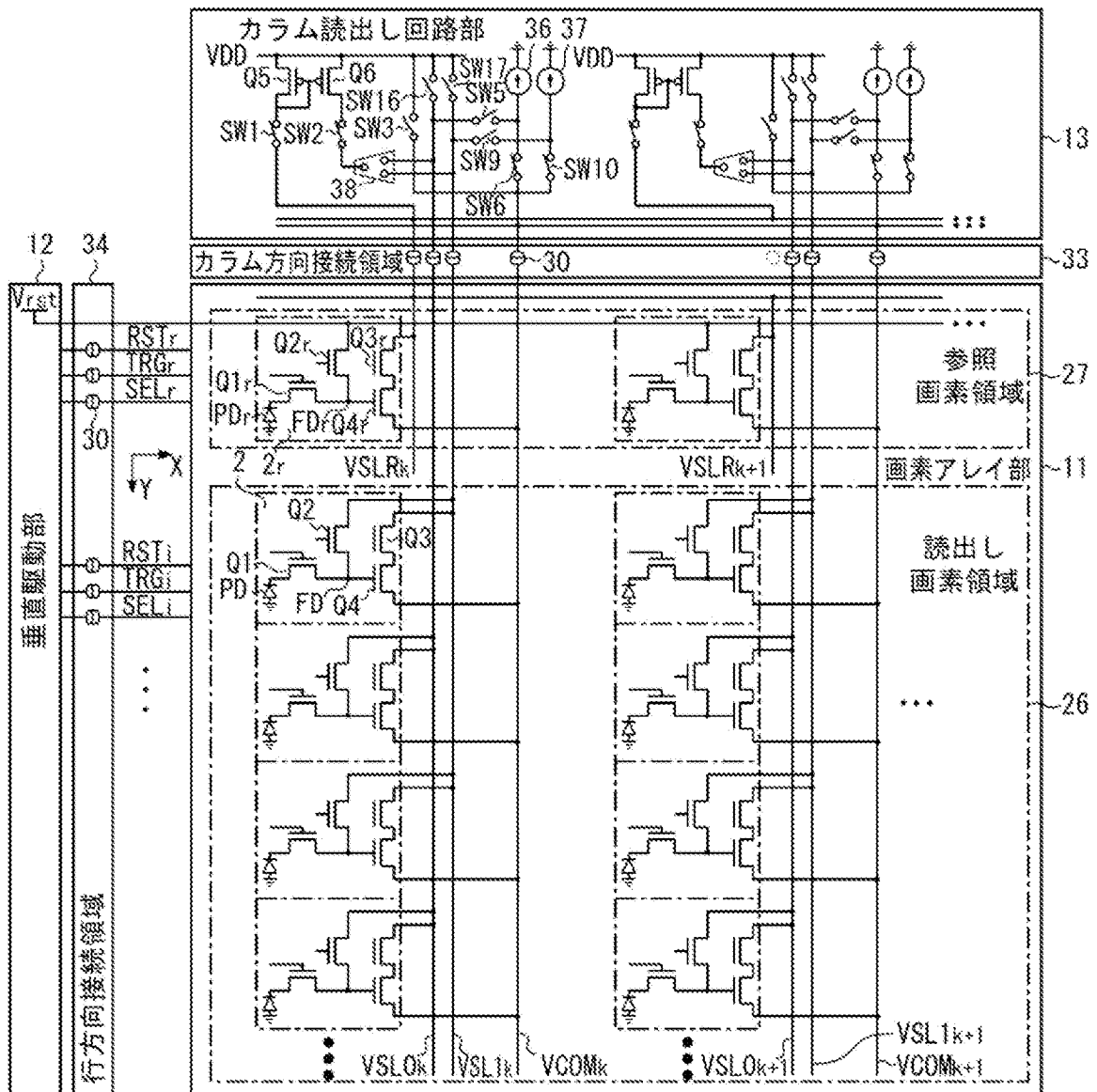




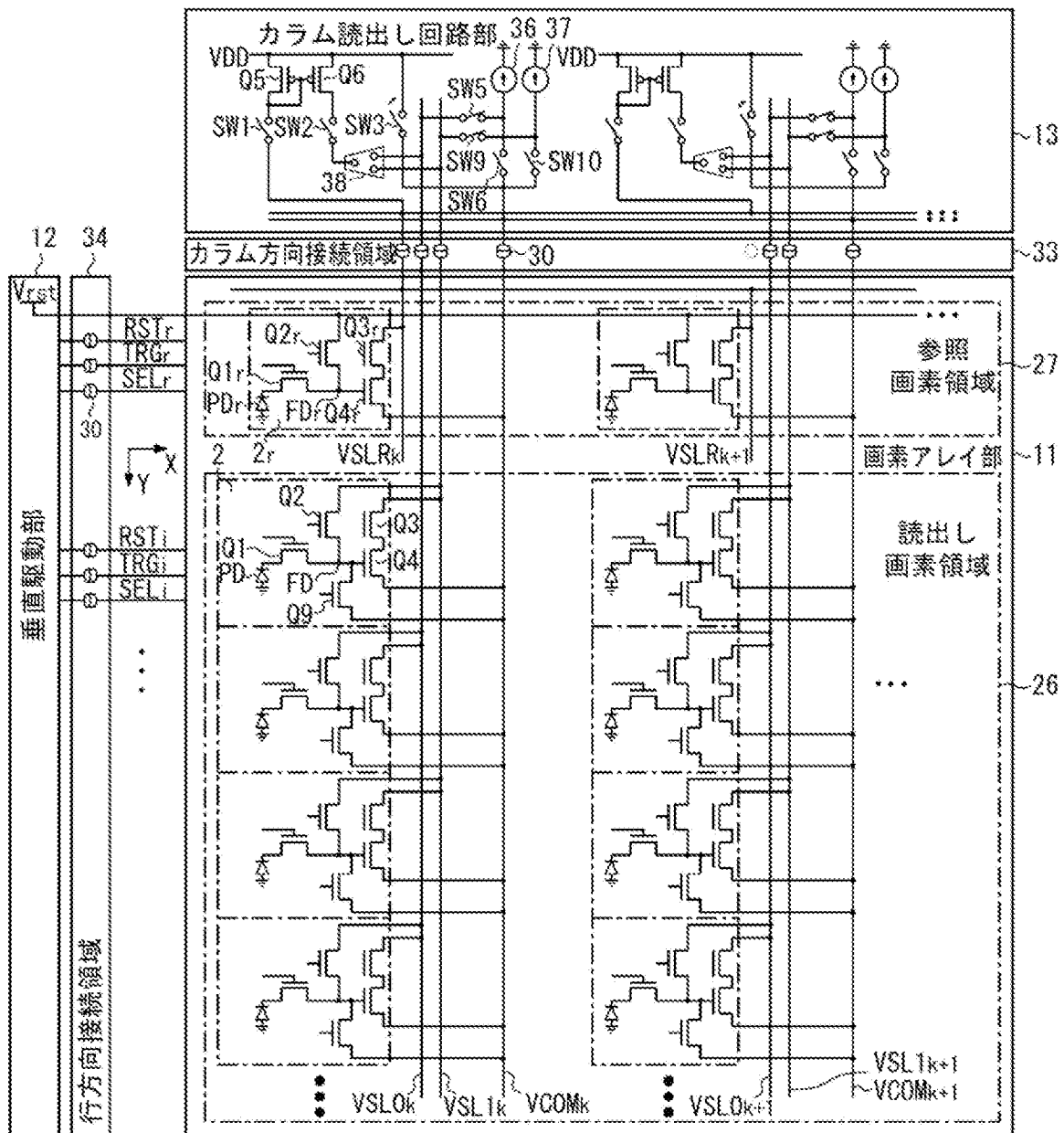
[図37]



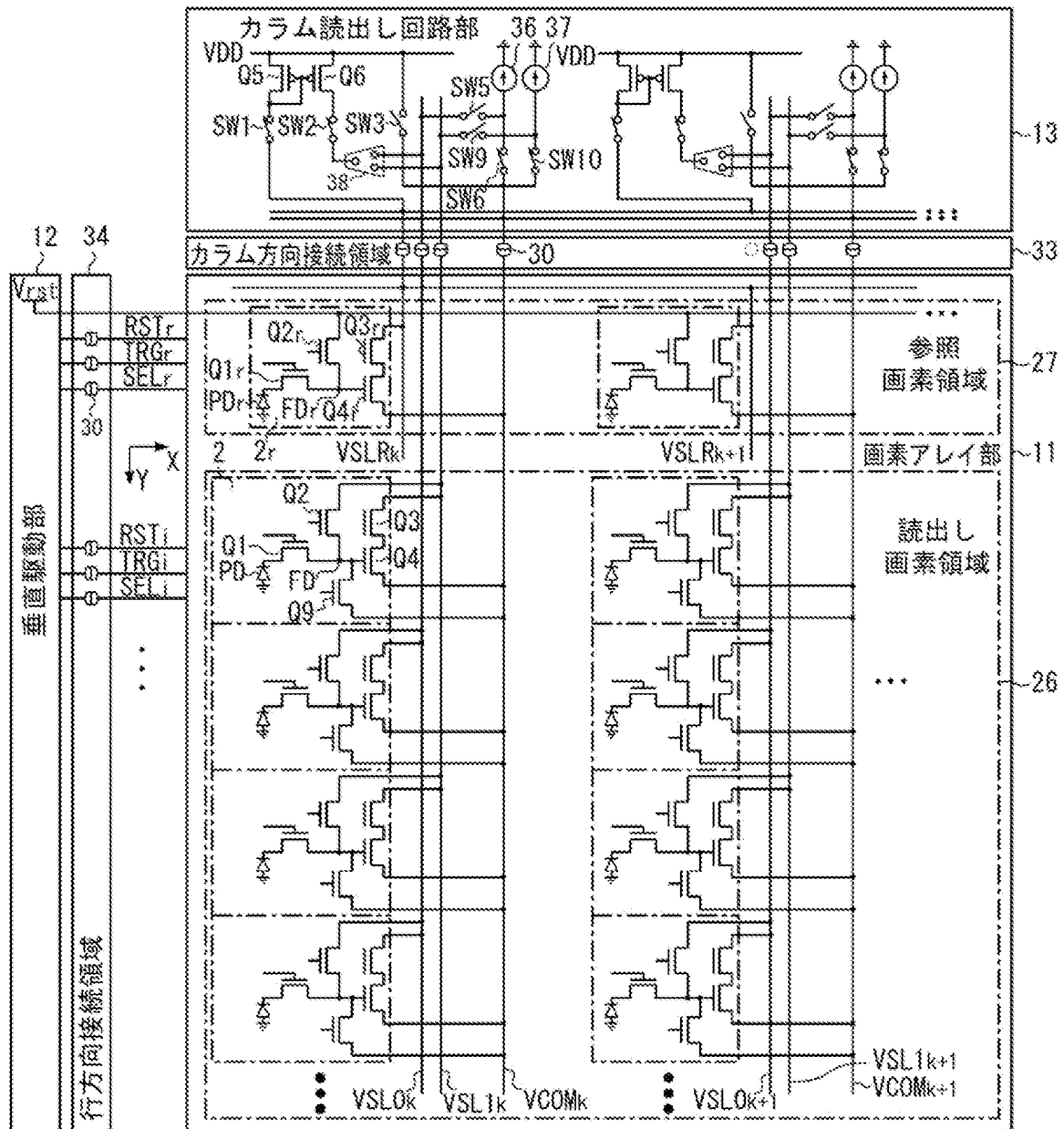
[図38]



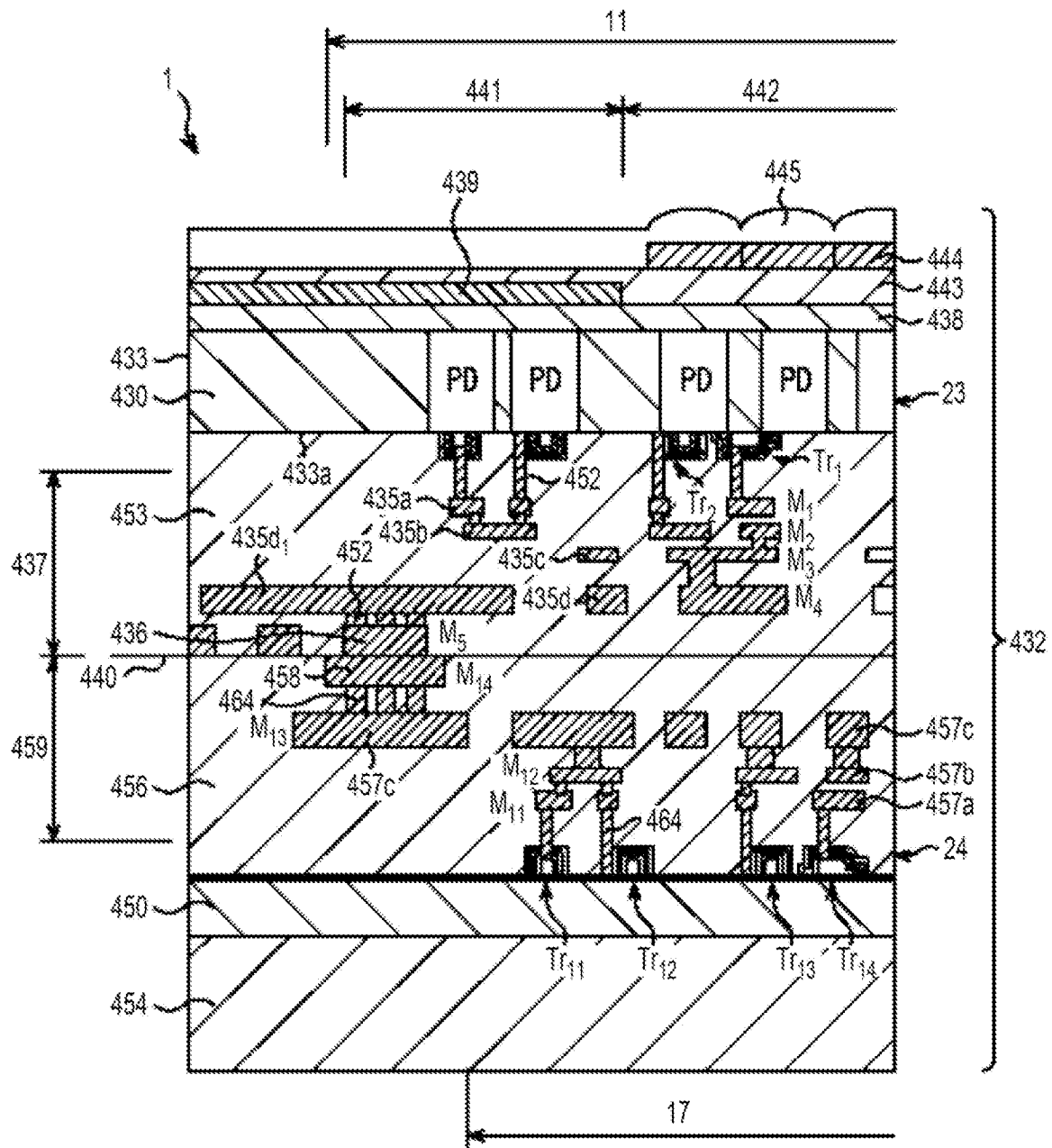
[図39]



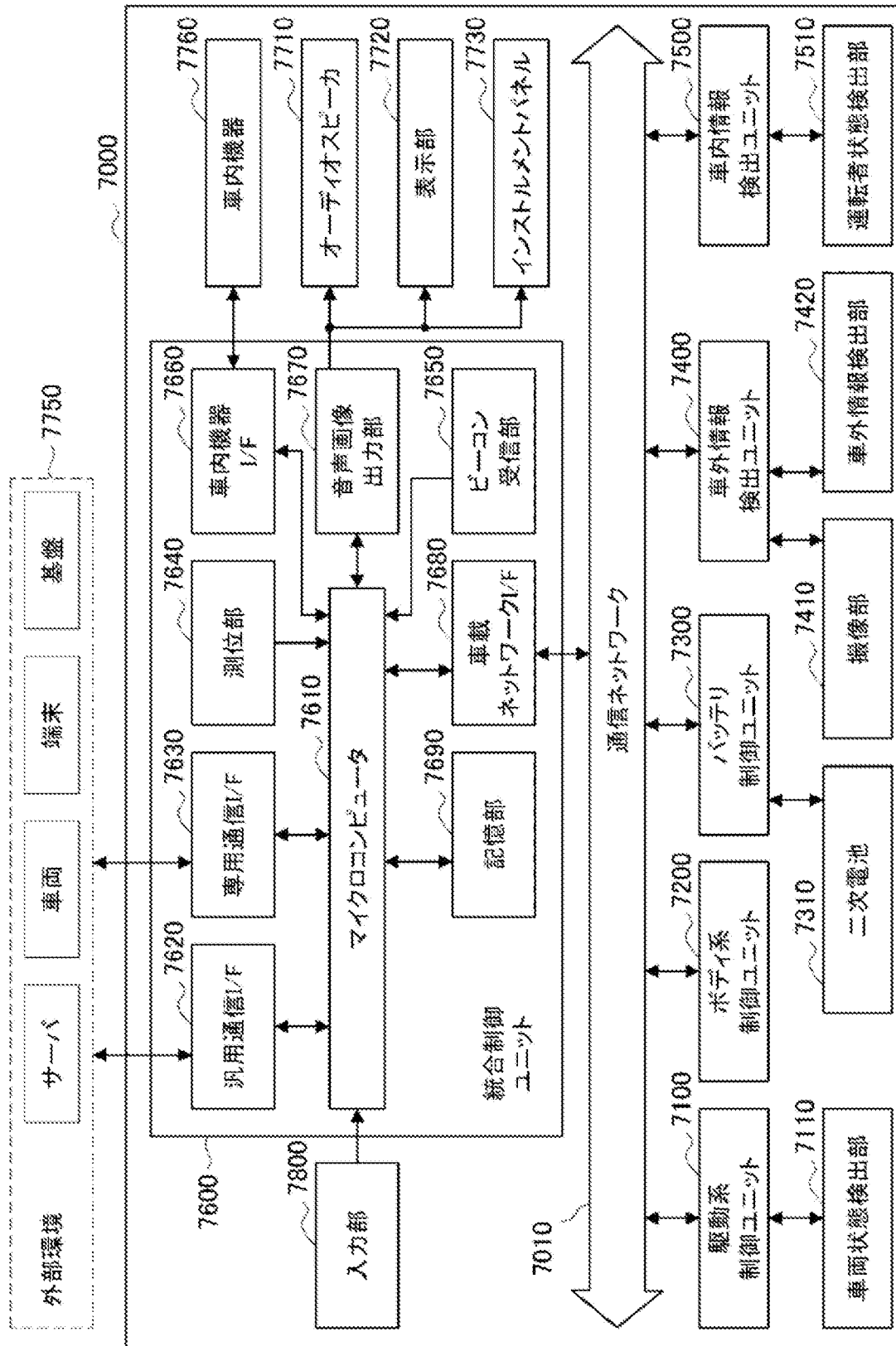
[図40]



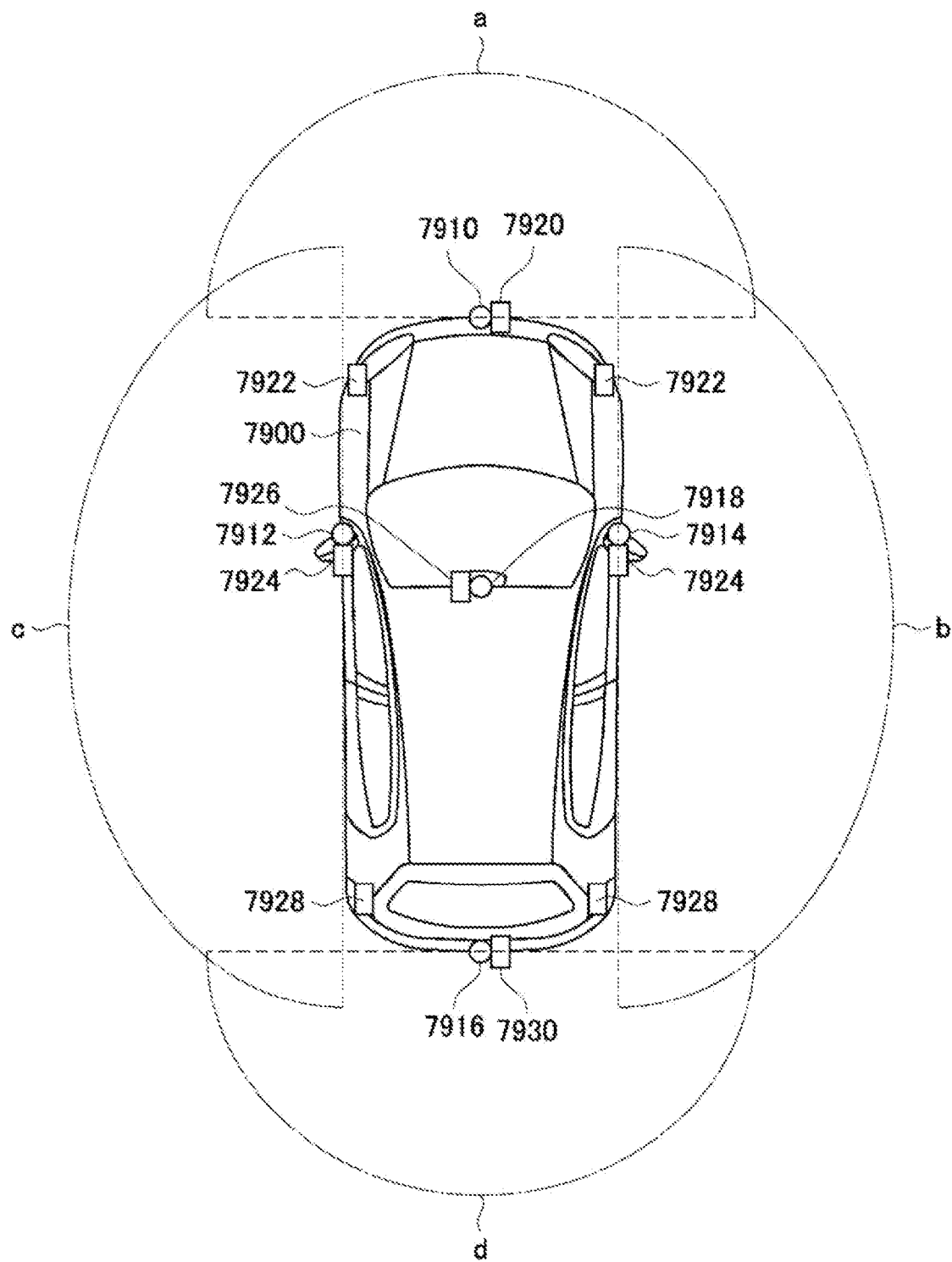
[図41]



[図43]



[図44]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/048901

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/374**(2011.01)i; **H01L 27/146**(2006.01)i; **H04N 5/376**(2011.01)i

FI: H04N5/374; H01L27/146 A; H01L27/146 D; H04N5/376

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374; H01L27/146; H04N5/376

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/040066 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 27 February 2020 (2020-02-27) paragraphs [0071]-[0081], fig. 8	1, 2, 10, 19
A		3-9, 11-18, 20
A	JP 2020-156070 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 24 September 2020 (2020-09-24) paragraphs [0068]-[0074], fig. 6	1-20
A	JP 2011-151375 A (SONY CORP.) 04 August 2011 (2011-08-04) paragraph [0034], fig. 2B	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 February 2022

Date of mailing of the international search report

22 February 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/048901

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/040066	A1	27 February 2020	US 2021/0168317 A1 paragraphs [0138]-[0149], fig. 8	
JP	2020-156070	A	24 September 2020	WO 2020/183809 A1 paragraphs [0068]-[0074], fig. 6	
JP	2011-151375	A	04 August 2011	US 2012/0153419 A1 paragraph [0097], fig. 2B CN 102569314 A KR 10-2012-0067282 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/374(2011.01)i; H01L 27/146(2006.01)i; H04N 5/376(2011.01)i FI: H04N5/374; H01L27/146 A; H01L27/146 D; H04N5/376		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/374; H01L27/146; H04N5/376		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/040066 A1（ソニーセミコンダクタソリューションズ株式会社）27.02.2020 (2020-02-27) 段落 [0071] - [0081]、図8	1, 2, 10, 19
A		3-9, 11-18, 20
A	JP 2020-156070 A（ソニーセミコンダクタソリューションズ株式会社）24.09.2020 (2020-09-24) 段落 [0068] - [0074]、図6	1-20
A	JP 2011-151375 A（ソニー株式会社）04.08.2011 (2011-08-04) 段落 [0034]、図2B	1-20
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.02.2022		国際調査報告の発送日 22.02.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/048901

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/040066	A1	27.02.2020	US 2021/0168317 A1 段落 [0138] - [0149] 、図 8	
JP	2020-156070	A	24.09.2020	WO 2020/183809 A1 段落 [0068] - [0074] 、図 6	
JP	2011-151375	A	04.08.2011	US 2012/0153419 A1 段落 [0097] 、図2B CN 102569314 A KR 10-2012-0067282 A	