



(12) 发明专利申请

(10) 申请公布号 CN 104900543 A

(43) 申请公布日 2015. 09. 09

(21) 申请号 201410081136. X

(22) 申请日 2014. 03. 06

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 陈福成 洪中山

(74) 专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51) Int. Cl.

H01L 21/60(2006. 01)

H01L 21/603(2006. 01)

H01L 23/488(2006. 01)

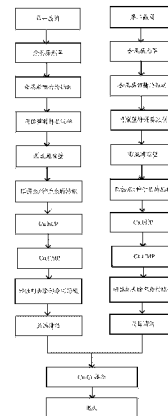
权利要求书2页 说明书8页 附图4页

(54) 发明名称

一种半导体器件及其制备方法

(57) 摘要

本发明涉及一种半导体器件及其制备方法, 提供基底, 所述基底上形成有层间介电层; 图案化所述层间介电层, 以在所述层间介电层中形成接合焊盘凹槽; 在所述接合焊盘凹槽的侧壁上形成间隙壁; 选用接合焊盘材料填充所述接合焊盘凹槽, 以形成接合焊盘; 蚀刻所述间隙壁, 以去除部分所述间隙壁, 在所述层间介电层和所述接合焊盘之间形成凹槽。本发明为了解决现有技术中存在的问题, 在目前的工艺流程中, 在不影响图案化密度(pattern density) 情况下, 在不增加接合(Bonding) 对准精度的情况下, 增加接合(bonding) 工艺的工艺窗口。



1. 一种半导体器件的制备方法,包括:
提供基底,所述基底上形成有层间介电层;
图案化所述层间介电层,以在所述层间介电层中形成接合焊盘凹槽;
在所述接合焊盘凹槽的侧壁上形成间隙壁;
选用接合焊盘材料填充所述接合焊盘凹槽,以形成接合焊盘;
蚀刻所述间隙壁,以去除部分所述间隙壁,在所述层间介电层和所述接合焊盘之间形成凹槽。
2. 根据权利要求1所述的方法,其特征在于,所述间隙壁的形成方法包括:
在所述层间介电层、所述接合焊盘凹槽侧壁以及底部沉积间隙壁材料层;
蚀刻去除所述层间介电层、所述接合焊盘凹槽底部的所述间隙壁材料层,以在所述接合焊盘凹槽的侧壁上形成间隙壁。
3. 根据权利要求1所述的方法,其特征在于,形成所述接合焊盘的方法包括:
在所述接合焊盘凹槽中形成铜扩散阻挡层;
沉积金属 Cu 的种子层,并通过电化学镀铜的方法形成金属 Cu,以填充所述接合焊盘凹槽;
执行平坦化步骤,以获得高度均一的接合焊盘。
4. 根据权利要求1或3所述的方法,其特征在于,所述接合焊盘的高度大于所述间隙壁和所述层间介电层的高度,以便于焊盘之间的接合。
5. 根据权利要求1所述的方法,其特征在于,选用和所述层间介电层具有高蚀刻选择比的方法回蚀刻所述间隙壁,以将所述间隙壁蚀刻至所述层间介电层顶部以下,形成所述凹槽。
6. 根据权利要求1所述的方法,其特征在于,所述间隙壁选用 Si_3N_4 、TiN、低 K 材料或者碳基材料。
7. 根据权利要求6所述的方法,其特征在于,所述碳基材料包括氧化物、SiN 和 SiON。
8. 根据权利要求1或6所述的方法,其特征在于,所述层间介电层选用 SiO_2 ;
当所述间隙壁选用 Si_3N_4 时,所述蚀刻选用低功率的干法蚀刻;
当所述间隙壁选用低 K 材料时,所述蚀刻选用 DHF;
当所述间隙壁选用低 TiN 材料时,所述蚀刻选用 H_2O_2 ;
当所述间隙壁选用碳基材料时,所述蚀刻选用氧基干法蚀刻。
9. 根据权利要求1所述的方法,其特征在于,所述间隙壁的宽度为所述接合焊盘宽度的 5% ~ 25%。
10. 根据权利要求1所述的方法,其特征在于,所述方法还进一步包括:
提供第一晶圆和第二晶圆,其中所述第一晶圆和 / 或所述第二晶圆的接合焊盘包含所述凹槽;
对所述第一晶圆和所述第二晶圆进行清洗,去除表面形成的氧化物;
然后将所述第一晶圆中的接合焊盘和所述第二晶圆中的接合焊盘进行低温热压接合;
执行退火步骤。
11. 根据权利要求10所述的方法,其特征在于,所述低温热压接合的温度为

300-400℃, 接合时间为 30-90 分钟, 接合压力为 30-60KN。

12. 根据权利要求 10 所述的方法, 其特征在于, 所述退火为低温退火, 退火温度为 300-400℃, 时间为 30-90 分钟。

13. 一种半导体器件, 包括:

基底;

层间介电层, 位于所述基底上;

接合焊盘, 嵌于所述层间介电层中, 其高度高于所述层间介电层的高度;

凹槽, 位于所述层间介电层和所述接合焊盘之间。

14. 根据权利要求 13 所述的半导体器件, 其特征在于, 所述半导体器件还包括间隙壁, 位于所述接合焊盘和所述层间介电层之间, 位于所述凹槽的下方。

15. 根据权利要求 14 所述的半导体器件, 其特征在于, 所述半导体器件还包括扩散阻挡层, 位于所述接合焊盘的侧壁上, 位于所述焊盘和所述间隙壁之间。

一种半导体器件及其制备方法

技术领域

[0001] 本发明涉及半导体领域,具体地,本发明涉及一种半导体器件及其制备方法。

背景技术

[0002] 在电子消费领域,多功能设备越来越受到消费者的喜爱,相比于功能简单的设备,多功能设备制作过程将更加复杂,比如需要在电路版上集成多个不同功能的芯片,因而出现了 3D 集成电路(integrated circuit, IC)技术,3D 集成电路(integrated circuit, IC)被定义为一种系统级集成结构,将多个芯片在垂直平面方向堆叠,从而节省空间,各个芯片的边缘部分可以根据需要引出多个引脚,根据需要利用这些引脚,将需要互相连接的的芯片通过金属线互联,但是上述方式仍然存在很多不足,比如堆叠芯片数量较多,而且芯片之间的连接关系比较复杂,那么就会需要利用多条金属线,最终的布线方式比较混乱,而且也会导致体积增加。

[0003] 因此,目前在所述 3D 集成电路(integrated circuit, IC)技术中大都采用硅通孔(Through Silicon Via, TSV)以及位于硅通孔上方的金属互连结构形成电连接,然后进一步实现晶圆之间的键合。

[0004] 在 3D IC 立体叠合技术,硅通孔(TSV)、中介板(Interposer)等关键技术、封装组件的协助下,在有限面积内进行最大程度的晶片叠加与整合,进一步缩减 SoC 晶片面积、封装体积并提升晶片沟通效率。

[0005] 因此,晶圆水平上的 Cu-Cu 接合(Wafer level Cu-Cu bonding)作为 3DIC 中的一项关键技术,目前还处在研发阶段,在 3D CIS 等高端产品上的有重要的应用趋势。

[0006] 现有技术中晶圆水平上的 Cu-Cu 接合(Wafer level Cu-Cu bonding)的方法,如图 3 所示,首先提供第一晶圆 10 和第二晶圆 20,通过第一晶圆 10 上的铜焊盘 102 和第二晶圆 10 上的铜焊盘之间接合,实现晶片面对面堆叠(F2F Stacking)。其制备工艺流程如图 2 所示,提供第一晶圆和第二晶圆,在所述第一晶圆和所述第二晶圆中首先形成层间介电层,然后在所述层间介电层上形成光罩,并图案化所述层间介电层,在所述层间介电层中形成金属焊盘凹槽,然后在所述凹槽内形成阻挡层以及种子层,然后在所述凹槽内通过 Cu ECP 形成金属铜,然后执行平坦化步骤,以形成铜焊盘;然后清洁所述晶圆,接着通过低温热压键合方式将所述第一晶圆和第二晶圆接合为一体,最后执行退火步骤。

[0007] 在 3D IC 封装技术,晶片面对面堆叠(F2F Stacking)、2.5D 硅中介层(Interposer)等,都会涉及到硅片与硅片的键合技术,而目前常用的是铜-铜的低温热压键合方式。在这个技术发展过程中,由于 Cu 焊盘(pad)的密度越来越高,所以设计规则越来越小,Cu 焊盘(pad)与 Cu 焊盘(pad)之间的距离也越来越小。在接合的过程中,由于 Cu 在热压过程中,Cu 具有一定的延展性,当键合时键合力控制不是很均匀,容易看到相邻的接合焊盘(Bonding pad)由于 Cu 在热压时的延展造成连接,造成短路(short)的情况,如图 1b。同时,接合质量很好时,如果如 1a 所示,由于接合之后细缝的存在,会导致稳定性(reliability)问题,接合界面(bonding interface)的接合力也不太够。

[0008] 因此需要对现有技术中的晶圆之间接合方法做进一步的改进,以消除现有技术中存在的各种弊端。

发明内容

[0009] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0010] 本发明为了克服目前存在问题,提供了一种半导体器件的制备方法,包括:

[0011] 提供基底,所述基底上形成有层间介电层;

[0012] 图案化所述层间介电层,以在所述层间介电层中形成接合焊盘凹槽;

[0013] 在所述接合焊盘凹槽的侧壁上形成间隙壁;

[0014] 选用接合焊盘材料填充所述接合焊盘凹槽,以形成接合焊盘;

[0015] 蚀刻所述间隙壁,以去除部分所述间隙壁,在所述层间介电层和所述接合焊盘之间形成凹槽。

[0016] 作为优选,所述间隙壁的形成方法包括:

[0017] 在所述层间介电层、所述接合焊盘凹槽侧壁以及底部沉积间隙壁材料层;

[0018] 蚀刻去除所述层间介电层、所述接合焊盘凹槽底部的所述间隙壁材料层,以在所述接合焊盘凹槽的侧壁上形成间隙壁。

[0019] 作为优选,形成所述接合焊盘的方法包括:

[0020] 在所述接合焊盘凹槽中形成铜扩散阻挡层;

[0021] 沉积金属 Cu 的种子层,并通过电化学镀铜的方法形成金属 Cu,以填充所述接合焊盘凹槽;

[0022] 执行平坦化步骤,以获得高度均一的接合焊盘。

[0023] 作为优选,所述接合焊盘的高度大于所述间隙壁和所述层间介电层的高度,以便于焊盘之间的接合。

[0024] 作为优选,选用和所述层间介电层具有高蚀刻选择比的方法回蚀刻所述间隙壁,以将所述间隙壁蚀刻至所述层间介电层顶部以下,形成所述凹槽。

[0025] 作为优选,所述间隙壁选用 Si_3N_4 、TiN、低 K 材料或者碳基材料。

[0026] 作为优选,所述碳基材料包括氧化物、SiN 和 SiON。

[0027] 作为优选,所述层间介电层选用 SiO_2 ;

[0028] 当所述间隙壁选用 Si_3N_4 时,所述蚀刻选用低功率的干法蚀刻;

[0029] 当所述间隙壁选用低 K 材料时,所述蚀刻选用 DHF;

[0030] 当所述间隙壁选用低 TiN 材料时,所述蚀刻选用 H_2O_2 ;

[0031] 当所述间隙壁选用碳基材料时,所述蚀刻选用氧基干法蚀刻。

[0032] 作为优选,所述间隙壁的宽度为所述接合焊盘宽度的 5% ~ 25%。

[0033] 作为优选,所述方法还进一步包括:

[0034] 提供第一晶圆和第二晶圆,其中所述第一晶圆和 / 或所述第二晶圆的接合焊盘包含所述凹槽;

[0035] 对所述第一晶圆和所述第二晶圆进行清洗,去除表面形成的氧化物;

- [0036] 然后将所述第一晶圆中的接合焊盘和所述第二晶圆中的接合焊盘进行低温热压接合；
- [0037] 执行退火步骤。
- [0038] 作为优选，所述低温热压接合的温度为 300-400℃，接合时间为 30-90 分钟，接合压力为 30-60KN。
- [0039] 作为优选，所述退火为低温退火，退火温度为 300-400℃，时间为 30-90 分钟。
- [0040] 本发明还提供了一种半导体器件，包括：
- [0041] 基底；
- [0042] 层间介电层，位于所述基底上；
- [0043] 接合焊盘，嵌于所述层间介电层中，其高度高于所述层间介电层的高度；
- [0044] 凹槽，位于所述层间介电层和所述接合焊盘之间。
- [0045] 作为优选，所述半导体器件还包括间隙壁，位于所述接合焊盘和所述层间介电层之间，位于所述凹槽的下方。
- [0046] 作为优选，所述半导体器件还包括扩散阻挡层，位于所述接合焊盘的侧壁上，位于所述焊盘和所述间隙壁之间。
- [0047] 本发明为了解决现有技术中存在的问题，在目前的工艺流程中，在不影响图案化密度(pattern density)情况下，在不增加接合(Bonding)对准精度的情况下，增加接合(bonding)工艺的工艺窗口。
- [0048] 本发明中在金属沟槽蚀刻(Cu trench etch)完成之后，增加间隙壁(spacer)工艺；在 Cu CMP 之后，再部分(partial)刻蚀间隙壁(spacer)，形成凹槽；通过增加凹陷的间隙壁(recessed spacer)，使得 Cu-Cu 接合过程中，挤压出来的 Cu 可以流入到凹陷的间隙壁形成的凹槽中，避免了目前在 Cu-Cu 接合(Bonding)过程中，由于热压工艺过程中，Cu 的延展造成相邻 Cu 焊盘的连接，保证在现有 Cu 焊盘密度的情况下，保证目前对准余裕(overlay margin)的情况下，增加接合工艺的工艺窗口。

附图说明

- [0049] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述，用来解释本发明的装置及原理。在附图中，
- [0050] 图 1a-1b 为现有技术中 Cu-Cu 接合的 SEM 图，其中图 1a 为接合质量较好的情况，图 1b 为接合质量不好，容易发生短路的情况；
- [0051] 图 2 为现有技术中两晶圆中 Cu-Cu 接合的工艺流程图；
- [0052] 图 3 为现有技术中两晶圆 Cu-Cu 接合的局部结构示意图；
- [0053] 图 4a-4d 为本发明一具体地实施方式中 Cu-Cu 接合中铜焊盘的制备过程示意图；
- [0054] 图 5 为本发明一具体地实施方式中两晶圆 Cu-Cu 接合的局部结构示意图；
- [0055] 图 6 为本发明一具体地实施方式中两晶圆 Cu-Cu 接合的工艺流程图。

具体实施方式

- [0056] 在下文的描述中，给出了大量具体的细节以便提供对本发明更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本发明可以无需一个或多个这些细节而得以

实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0057] 为了彻底理解本发明,将在下列的描述中提出详细的描述,以说明本发明所述半导体器件的制备方法。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0058] 应予以注意的是,这里所使用的术语仅是为了描述具体实施例,而非意图限制根据本发明的示例性实施例。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。此外,还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0059] 现在,将参照附图更详细地描述根据本发明的示例性实施例。然而,这些示例性实施例可以多种不同的形式来实施,并且不应当被解释为只限于这里所阐述的实施例。应当理解的是,提供这些实施例是为了使得本发明的公开彻底且完整,并且将这些示例性实施例的构思充分传达给本领域普通技术人员。在附图中,为了清楚起见,夸大了层和区域的厚度,并且使用相同的附图标记表示相同的元件,因而将省略对它们的描述。

[0060] 实施例 1

[0061] 本发明为了解决目前晶圆接合过程中存在的问题,提供了一种新的接合焊盘及其制备方法,下面结合附图 4a-4d 以及图 6 对所述方法作进一步的说明,其中图 6 为本发明一具体实施方式的流程示意图。

[0062] 首先,执行步骤 201,提供基底 201,在所述基底 201 上形成有元器件以及互联结构。

[0063] 具体地,参照图 4a,在该步骤中,所述基底 201 可以为以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)以及绝缘体上锗化硅(SiGeOI)等。

[0064] 所述基底中至少含有半导体衬底,所述半导体衬底中可以形成有有源器件以及互联结构。具体地,在所述半导体衬底中形成硅通孔结构(图中未示出),所述硅通孔结构的形成方法为首先在所述半导体衬底上形成掩膜层,优选为硬掩膜层,然后图案化所述硬掩膜层,以形成所述硅通孔凹槽的形状,然后以所述硬掩膜层为掩膜蚀刻所述半导体衬底,以在所述半导体衬底中形成所述硅通孔凹槽。所述蚀刻方法可以选用干法蚀刻或者湿法蚀刻,并不局限于某一种方法。

[0065] 然后所述硅通孔凹槽中形成隔离层,具体地,在本发明的一具体地实施方式中,通过热氧化的方法来形成所述隔离层,所述隔离层为 SiO_2 层,其厚度为 8-50 埃,但并不局限于该厚度。所述热氧化步骤可以选用常规的快速热氧化方法进行,在本发明的一具体实施方式中选用 O_2 或者含有 O_2 的气氛对所述器件进行热处理,所述热处理温度在 800-1500 $^\circ\text{C}$,优选为 1100-1200 $^\circ\text{C}$,处理时间为 2-30min,经过所述处理在所述衬底上形成厚度为 2-8 埃的氧化物层,作为优选,所述热氧化物层 105 的厚度为 5 埃。

[0066] 在所述硅通孔凹槽中填充导电材料,以形成硅通孔结构。选用金属铜填充所述硅通孔凹槽,在本发明中可以通过物理气相沉积(PVD)法或者电化学镀铜(ECP)的方法填充

所述硅通孔凹槽。

[0067] 接着进行化学机械抛光 (CMP) 工艺,平坦化所述导电材料,可以使用半导体制造领域中常规的平坦化方法来实现表面的平坦化。该平坦化方法的非限制性实例包括机械平坦化方法和化学机械抛光平坦化方法。化学机械抛光平坦化方法更常用。

[0068] 然后在所述元器件上形成互联结构,例如在所述硅通孔结构上形成所述互连结构,所述互连结构位于所述元器件上方的通孔、层间金属层以及顶部通孔。

[0069] 所述通孔、层间金属层以及顶部通孔的形成方法都可以通过以下方法实现,但是并不局限于以下方法。

[0070] 以所述通孔为例,在所述半导体衬底上沉积层间介电层,并且图案化所述层间介电层,形成开口,以露出所述有源器件,然后选用导电材料填充所述开口,并且平坦化,以和所述半导体器件中的有源器件形成电连接。

[0071] 然后形成所述层间金属层以及顶部通孔,形成方法可以参照所述通孔的形成方法,或者选用本领域常用的其他方法,在此不再赘述。

[0072] 执行步骤 202,在所述基底上形成层间介电层 202,并图案化所述层间介电层 202,以在所述层间介电层 202 中形成接合焊盘凹槽。

[0073] 具体地,如图 4a 所示,在所述基底上沉积层间介电层 202,其中所述层间介电层 202 可以选用常用的介电材料,在本发明的一具体地实施方式中优选为 SiO_2 。

[0074] 所述层间介电层 202 的沉积方法可以选用化学气相沉积 (CVD) 法、物理气相沉积 (PVD) 法或原子层沉积 (ALD) 法等形成的低压化学气相沉积 (LPCVD)、激光烧蚀沉积 (LAD) 以及选择外延生长 (SEG) 中的一种。本发明中优选化学气相沉积 (CVD) 法。

[0075] 然后图案化所述层间介电层 202,以在所述层间介电层 202 中形成接合焊盘凹槽。

[0076] 具体地,如图 4a 所示,首先在所述层间介电层 202 上形成图案化的光刻胶层或者有机分布层 (Organic distribution layer, ODL),含硅的底部抗反射涂层 (Si-BARC) 以及位于顶部的图案化了的光刻胶层 (图中未示出),其中所述光刻胶上的图案定义了所述接合焊盘凹槽的图案,然后以所述光刻胶层为掩膜层蚀刻所述有机分布层、底部抗反射涂层形成接合焊盘凹槽的图案,然后以所述有机分布层、底部抗反射涂层为掩膜,蚀刻所述层间金属介电层,以形成所述接合焊盘凹槽。

[0077] 进一步,所述接合焊盘凹槽可以选用普通的形状,例如上下开口的关键尺寸一样的普通凹槽,或者还可以选用上宽下窄的凹槽,并不局限于某一形状,可以根据需要进行设置。所述接合焊盘凹槽的数目,也并非局限于某一数值范围。

[0078] 具体地,在该步骤中选用干法蚀刻或者湿法蚀刻,在本发明中优选 C-F 蚀刻剂来蚀刻所述半导体衬底 201,所述 C-F 蚀刻剂为 CF_4 、 CHF_3 、 C_4F_8 和 C_5F_8 中的一种或多种。在该实施方式中,所述干法蚀刻可以选用 CF_4 、 CHF_3 ,另外加上 N_2 、 CO_2 中的一种作为蚀刻气氛,其中气体流量为 CF_4 10-200sccm, CHF_3 10-200sccm, N_2 或 CO_2 或 O_2 10-400sccm,所述蚀刻压力为 30-150mTorr,蚀刻时间为 5-120s,优选为 5-60s,更优选为 5-30s。

[0079] 执行步骤 203,在所述接合焊盘凹槽的侧壁上形成间隙壁 203。

[0080] 具体地,如图 4a-4b 所示,首先在所述层间介电层 202、所述接合焊盘凹槽侧壁以及底部沉积间隙壁材料层,以完全覆盖所述基底,其中所述间隙壁 203 选用 Si_3N_4 、TiN、低 K 材料或者碳基材料 (carbon based materials),例如 SiN, SiON 或氧化物等。

[0081] 其中所述间隙壁材料层应该和所述层间介电层 202 具有较大的蚀刻选择比,以便在后续的步骤中能够更加容易形成所述凹槽。

[0082] 然后蚀刻去除所述层间介电层 202、所述接合焊盘凹槽底部的所述沉积间隙壁材料层,以在所述接合焊盘凹槽的侧壁上形成间隙壁 203,在该步骤中选用全面蚀刻(Blank etch)的方法蚀刻所述间隙壁材料层,仅保留所述接合焊盘凹槽的侧壁上的间隙壁材料层,形成间隙壁 203,如图 4b 所示。所述间隙壁 203 的宽度为所述接合焊盘宽度的 5% ~ 25%。

[0083] 在该步骤中选用干法全面蚀刻(Blank dry etch),具体地选用何种干法蚀刻,需要根据所述间隙壁材料层的选用进行选择,并不局限于某一种方法,本领域技术人员可以根据具体情况进行选择。

[0084] 执行步骤 204,选用接合焊盘材料填充所述接合焊盘凹槽,以形成接合焊盘。

[0085] 如图 4c 所示,首先在所述接合焊盘凹槽中形成铜扩散阻挡层;然后沉积金属 Cu 的种子层,并通过电化学镀铜的方法形成金属 Cu,以填充所述接合焊盘凹槽;接着执行平坦化步骤,以获得高度均一的接合焊盘。

[0086] 具体地,在该步骤中首先在所述接合焊盘凹槽中形成扩散阻挡层 205 (barrier),优选形成铜扩散阻挡层,所述铜扩散阻挡层的形成方法可以为主要选用物理气相沉积法和化学气相沉积法,具体地,可以选用蒸发、电子束蒸发、等离子体喷射沉积以及溅射,在本发明中优选等离子体喷射沉积以及溅射法形成所述铜扩散阻挡层。所述铜扩散阻挡层的厚度并不局限于某一数值或者范围内,可以根据需要进行调整。

[0087] 作为优选,所述扩散阻挡层材料可以为选自 TaN、Ta、TiN、Ti 中的一种或多种,来减小因寄生电阻和寄生电容引起的 RC 迟延时间。作为优选,在本发明的一具体地实施方式中优选为 TaN 和 / 或 Ta。

[0088] 然后在首先在所述扩散阻挡层上沉积金属铜的种子层,所述种子层的沉积方法可以选用化学气相沉积(CVD)法、物理气相沉积(PVD)法或原子层沉积(ALD)法等。

[0089] 然后选用电化学镀铜(ECP)的方法形成所述金属铜 204,作为优选,在电镀时还可以使用添加剂,所述添加剂为平坦剂(LEVELER),加速剂(ACCELERATORE)和抑制剂(SUPPRESSOR)。

[0090] 作为优选,在形成所述金属铜 204 形成后还可以进一步包含退火的步骤,退火可以在 80-160℃ 下进行 2-4 小时,以促使铜重新结晶,长大晶粒,降低电阻和提高稳定性。

[0091] 接着平坦化所述金属铜 204 材料,平坦化所述金属层 204 以及所述扩散阻挡层 205 至所述层间介电层 202 顶部的上方,其高度大于所述层间介电层的高度。

[0092] 执行步骤 205,回蚀刻所述间隙壁 203,以去除部分所述间隙壁 203,在所述层间介电层 202 和所述接合焊盘之间形成凹槽。

[0093] 具体地,如图 4d 所示,在该步骤中选用干法蚀刻或者湿法蚀刻回蚀刻所述间隙壁 203,进一步,选用和所述层间介电层 202 具有高蚀刻选择比的蚀刻方法回蚀刻所述间隙壁 203,以将所述间隙壁 203 蚀刻至所述层间介电层 202 顶部以下,以在所述层间介电层 202 和所述接合焊盘之间形成凹槽,使得 Cu-Cu 接合过程中,挤压出来的 Cu 可以流入到凹陷的间隙壁形成的凹槽中,避免了目前在 Cu-Cu 接合(Bonding)过程中,由于热压工艺过程中,Cu 的延展造成相邻 Cu 焊盘的连接。

[0094] 进一步,当所述间隙壁材料层选用不同的材料时,选用不同的蚀刻方法,所述层间

介电层选用 SiO_2 ; 当所述间隙壁选用 Si_3N_4 时, 所述回蚀刻选用低功率的干法蚀刻 ; 当所述间隙壁选用低 K 材料时, 所述回蚀刻选用 DHF ; 当所述间隙壁选用低 TiN 材料时, 所述回蚀刻选用 H_2O_2 , 当所述间隙壁选用碳基材料时, 所述回蚀刻选用氧基干法蚀刻。

[0095] 执行步骤 206, 将包含所述接合焊盘的两个晶圆接合, 所述接合包括接合焊盘之间的接合。

[0096] 具体地, 如图 5 所示, 两个晶圆分别为第一晶圆和第二晶圆, 其中所述第一晶圆和第二晶圆中所述接合焊盘均通过上述方法制备, 或者仅第一晶圆或者仅第二晶圆中的接合焊盘通过上述方法形成, 通过该方法形成的所述接合焊盘和所述层间介电层之间形成有凹槽, 而另外晶圆中的接合焊盘通过常规方法形成, 并不包含形成间隙壁以及回蚀刻的步骤。

[0097] 作为优选, 在第一晶圆和第二晶圆接合之前, 还包括对所述第一晶圆和所述第二晶圆进行清洗的步骤, 去除表面形成的氧化物, 例如去除表面形成的铜氧化物。

[0098] 然后将所述第一晶圆中的接合焊盘和所述第二晶圆中的接合焊盘进行低温热压接合 ; 所述低温热压接合的温度为 $300\text{--}400\text{ }^\circ\text{C}$, 接合时间为 $30\text{--}90$ 分钟, 接合压力为 $30\text{--}60\text{KN}$ 。

[0099] 最后执行退火步骤, 所述退火为低温退火, 退火温度为 $300\text{--}400\text{ }^\circ\text{C}$, 时间为 $30\text{--}90$ 分钟。在本发明中可以选用快速热退火, 具体地, 可以选用以下几种方式中的一种 : 脉冲激光快速退火、脉冲电子束快速退火、离子束快速退火、连续波激光快速退火以及非相干宽带光源(如卤灯、电弧灯、石墨加热)快速退火等。本领域技术人员可以根据需要进行选择, 也并非局限于所举示例。

[0100] 实施例 2

[0101] 本发明还提供了一种高密度接合焊盘, 包括 :

[0102] 基底 201 ;

[0103] 层间介电层 202, 位于所述基底 201 上 ;

[0104] 接合焊盘, 嵌于所述层间介电层 202 中, 其高度高于所述层间介电层 202 的高度 ;

[0105] 凹槽, 位于所述层间介电层 202 和所述接合焊盘之间。

[0106] 所述半导体器件还包括间隙壁 203, 位于所述接合焊盘和所述层间介电层 202 之间, 位于所述凹槽的下方。

[0107] 所述半导体器件还包括扩散阻挡层, 位于所述接合焊盘的侧壁上, 位于所述焊盘和所述间隙壁 203 之间。

[0108] 所述间隙壁 203 位于所述接合焊盘和所述层间介电层 202 之间, 其高度小于所述层间介电层 202 的高度, 以在所述间隙壁 203 上方的所述层间介电层 202 和所述接合焊盘之间形成凹槽, 使得 Cu-Cu 接合过程中, 挤压出来的 Cu 可以流入到凹陷的间隙壁形成的凹槽中, 避免了目前在 Cu-Cu 接合 (Bonding) 过程中, 由于热压工艺过程中, Cu 的延展造成相邻 Cu 焊盘的连接。

[0109] 作为优选, 所述接合焊盘还包括位于扩散阻挡层, 位于所述焊盘的侧壁上, 位于所述焊盘和所述间隙壁之间。

[0110] 本发明为了解决现有技术中存在的问题, 在目前的工艺流程中, 在不影响图案化密度 (pattern density) 情况下, 在不增加接合 (Bonding) 对准精度的情况下, 增加接合 (bonding) 工艺的工艺窗口。

[0111] 本发明中在金属沟槽蚀刻(Cu trench etch)完成之后,增加间隙壁(spacer)工艺;在Cu CMP之后,再部分(partial)刻蚀间隙壁(spacer),形成凹槽;通过增加凹陷的间隙壁(recessed spacer),使得Cu-Cu接合过程中,挤压出来的Cu可以流入到凹陷的间隙壁形成的凹槽中,避免了目前在Cu-Cu接合(Bonding)过程中,由于热压工艺过程中,Cu的延展造成相邻Cu焊盘的连接,保证在现有Cu焊盘密度的情况下,保证目前对准余裕(overlay margin)的情况下,增加接合工艺的工艺窗口。

[0112] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围以内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

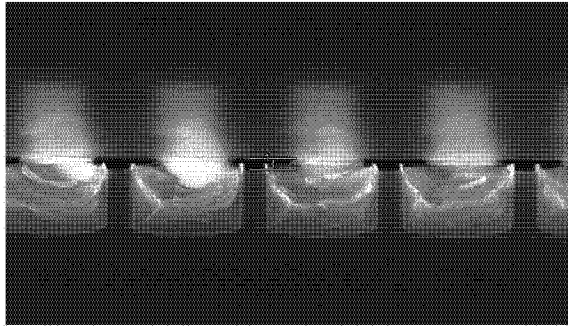


图 1a

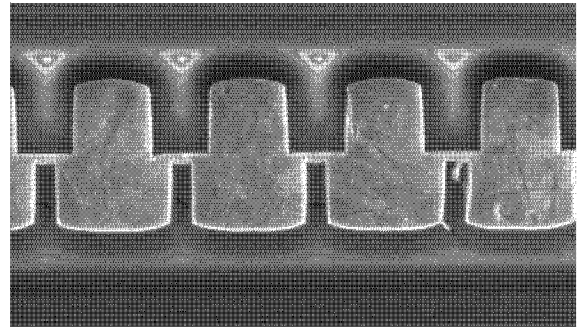


图 1b

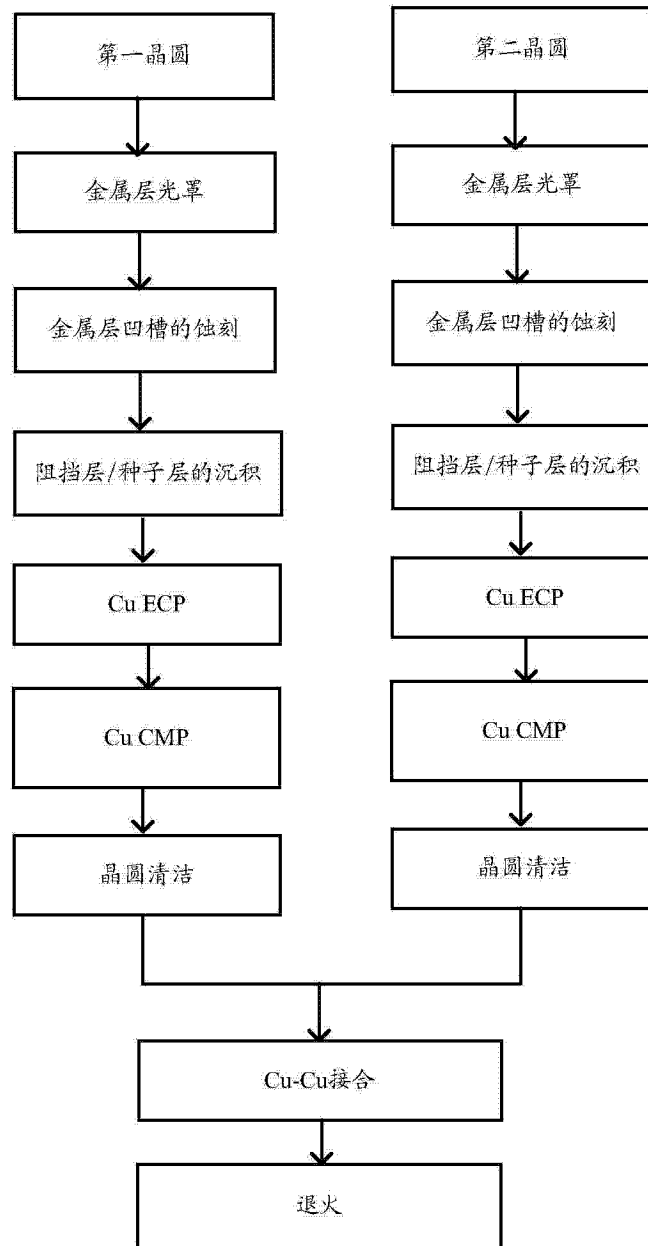


图 2

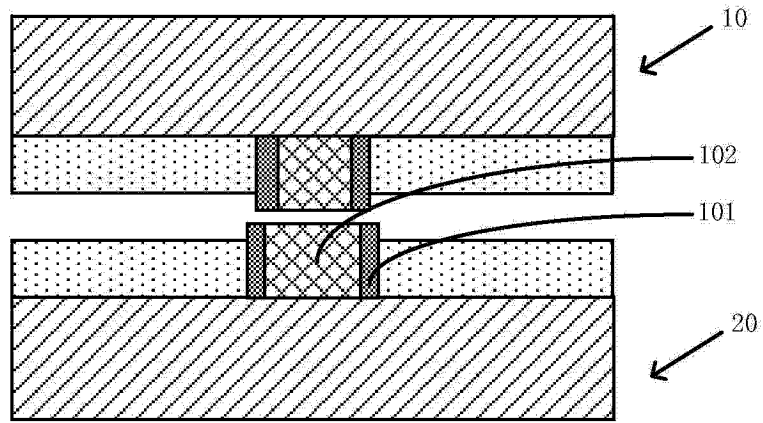


图 3

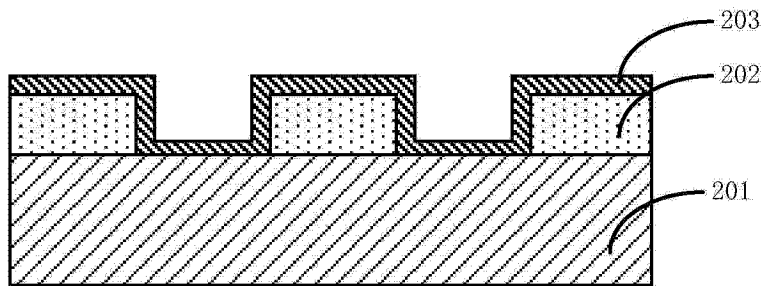


图 4a

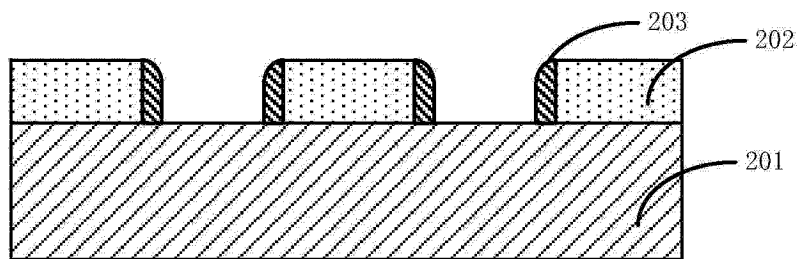


图 4b

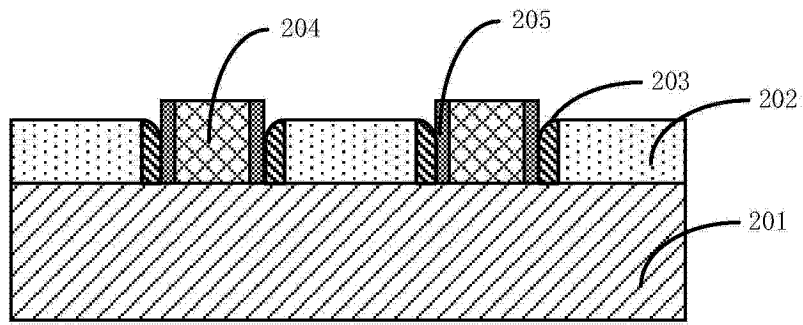


图 4c

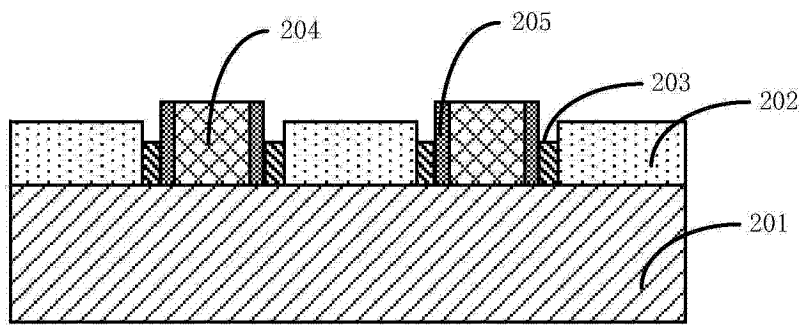


图 4d

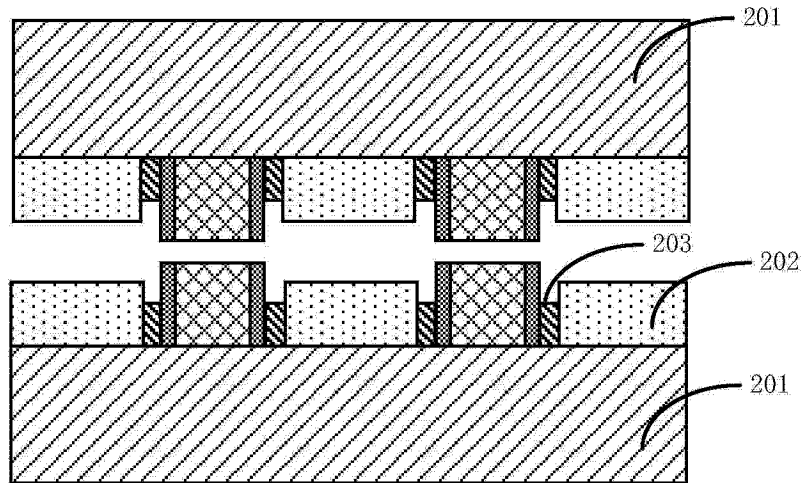


图 5

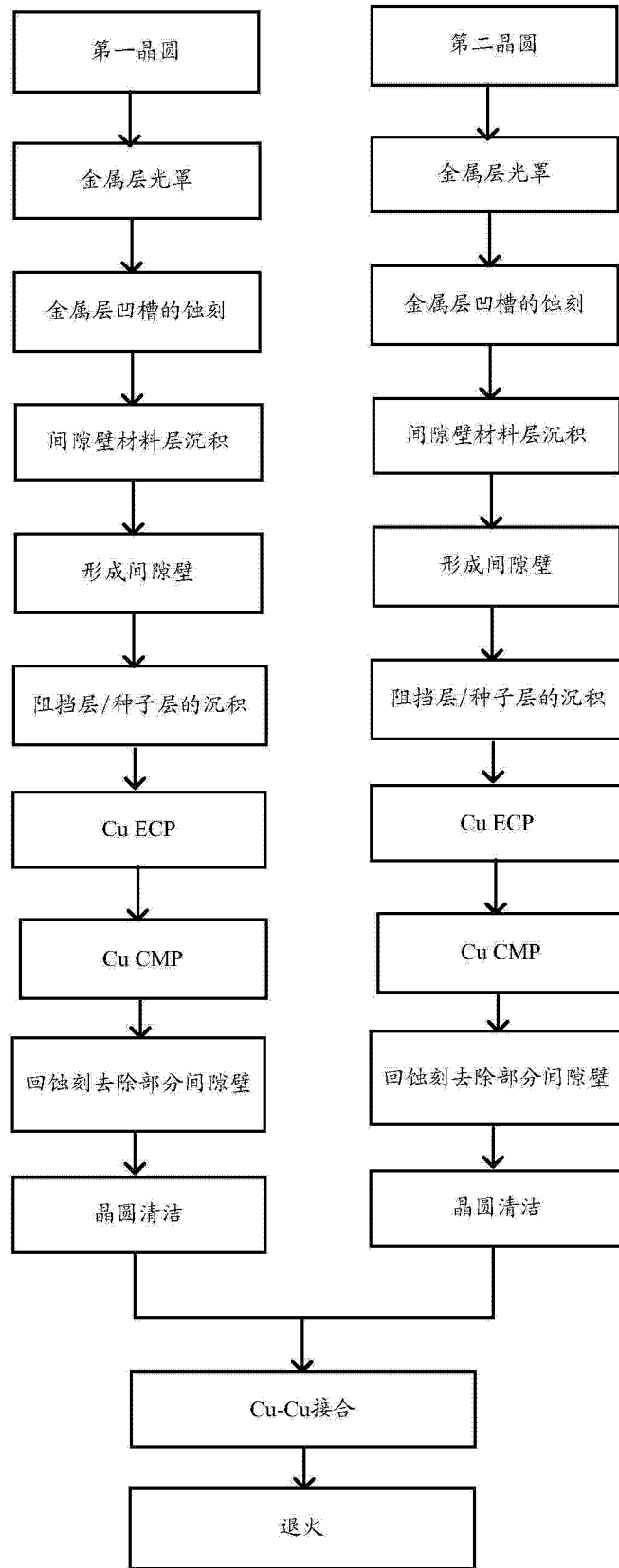


图 6