



(12) 发明专利

(10) 授权公告号 CN 102696064 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201080061403. 7

(22) 申请日 2010. 12. 17

(30) 优先权数据

2010-006419 2010. 01. 15 JP

(85) PCT国际申请进入国家阶段日

2012. 07. 13

(86) PCT国际申请的申请数据

PCT/JP2010/073476 2010. 12. 17

(87) PCT国际申请的公布数据

W02011/086837 EN 2011. 07. 21

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 穴戸英明

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 杨美灵 李浩

(51) Int. Cl.

G09G 3/20(2006. 01)

G09F 9/30(2006. 01)

(56) 对比文件

CN 101609654 A, 2009. 12. 23, 全文.

CN 101796565 A, 2010. 08. 04, 全文.

JP 2000148067 A, 2000. 05. 26, 说明书第
1-10, 21-70 段、附图 1-9.

US 2009303404 A1, 2009. 12. 10, 全文.

审查员 张景美

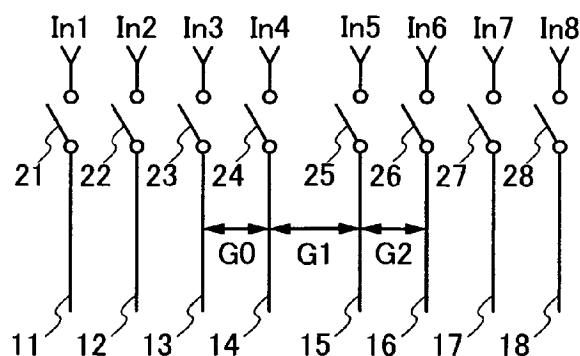
权利要求书4页 说明书18页 附图24页

(54) 发明名称

半导体装置和电子装置

(57) 摘要

为了抑制半导体装置中的信号的变化。通过抑制变化,例如能够抑制在半导体装置上显示图像中的条纹图案的形成。在不同时间段中进入浮态的两个相邻信号线之间的距离(G1)比在相同时间段中进入浮态的两个相邻信号线之间的距离(G0、G2)要长。因此,因电容耦合引起的信号线的电位的变化能够得到抑制。例如,在信号线是有源矩阵显示装置中的源极信号线的情况下,所显示图像中的条纹图案的形成能够得到抑制。



1. 一种半导体装置,包括:

第一至第 n 开关,配置成在第一时间段中接通而在第二时间段中关断,其中 n 为 2 或更大的自然数;

第 $(n+1)$ 至第 m 开关,配置成在第一时间段中关断而在第二时间段中接通,其中 m 为 $n+2$ 或更大的自然数;

第一至第 n 信号线;以及

第 $(n+1)$ 至第 m 信号线,

其中信号在所述第一时间段中通过所述第一开关提供给所述第一信号线,并且所述第一信号线在所述第二时间段中处于浮态,

其中信号在所述第一时间段中通过所述第 n 开关提供给所述第 n 信号线,并且所述第 n 信号线在所述第二时间段中处于浮态,

其中所述第 $(n+1)$ 信号线在所述第一时间段中处于浮态,并且信号在所述第二时间段中通过所述第 $(n+1)$ 开关提供给所述第 $(n+1)$ 信号线,

其中所述第 m 信号线在所述第一时间段中处于浮态,并且信号在所述第二时间段中通过所述第 m 开关提供给所述第 m 信号线,

其中所述第一至第 m 信号线是平行或近似平行的,

其中所述第 n 信号线与所述第 $(n+1)$ 信号线之间的距离比所述第 $(n-1)$ 信号线与所述第 n 信号线之间的距离要长,并且比所述第 $(n+1)$ 信号线与所述第 $(n+2)$ 信号线之间的距离要长,以及

其中所述第一至第 m 开关是第一至第 m 晶体管,所述第一至第 m 晶体管包括沟道形成区,所述沟道形成区包括氧化物半导体。

2. 根据权利要求 1 所述的半导体装置,

其中,信号通过相同布线提供给所述第一至第 n 信号线的任一个以及所述第 $(n+1)$ 至第 m 信号线的任一个。

3. 根据权利要求 1 所述的半导体装置,

其中,满足 $m=2n$ 。

4. 根据权利要求 1 所述的半导体装置,

其中,所述第一至第 m 晶体管以规则间隔或者以近似规则间隔分开,并且所述第一至第 m 晶体管的沟道长度方向垂直或近似垂直于所述第一至第 m 信号线,

其中所述第 n 晶体管的源极端子和漏极端子其中之一比所述第 n 晶体管的源极端子和漏极端子中的另一个更接近所述第 $(n+1)$ 晶体管,

其中所述第 $(n+1)$ 晶体管的源极端子和漏极端子其中之一比所述第 $(n+1)$ 晶体管的源极端子和漏极端子中的另一个更接近所述第 n 晶体管,

其中所述第 n 晶体管的源极端子和漏极端子中的另一个电连接到所述第 n 信号线,以及

其中所述第 $(n+1)$ 晶体管的源极端子和漏极端子中的另一个电连接到所述第 $(n+1)$ 信号线。

5. 根据权利要求 1 所述的半导体装置,

其中,包括控制所述第一至第 m 晶体管的开关的移位寄存器电路,以及

其中所述移位寄存器电路包括其沟道形成区包括氧化物半导体的晶体管。

6. 一种包括根据权利要求 1 所述的半导体装置的电子装置。

7. 一种半导体装置, 包括:

第一至第 n 开关, 配置成在第一时间段中接通而在第二时间段中关断, 其中 n 为 2 或更大的自然数;

第 $(n+1)$ 至第 m 开关, 配置成在第一时间段中关断而在第二时间段中接通, 其中 m 为 $n+2$ 或更大的自然数;

第一至第 n 源极信号线; 以及

第 $(n+1)$ 至第 m 源极信号线,

其中图像信号在所述第一时间段中通过所述第一开关提供给所述第一源极信号线, 并且所述第一源极信号线在所述第二时间段中处于浮态,

其中图像信号在所述第一时间段中通过所述第 n 开关提供给所述第 n 源极信号线, 并且所述第 n 源极信号线在所述第二时间段中处于浮态,

其中所述第 $(n+1)$ 源极信号线在所述第一时间段中处于浮态, 并且图像信号在所述第二时间段中通过所述第 $(n+1)$ 开关提供给所述第 $(n+1)$ 源极信号线,

其中所述第 m 源极信号线在所述第一时间段中处于浮态, 并且图像信号在所述第二时间段中通过所述第 m 开关提供给所述第 m 源极信号线,

其中所述第一至第 m 源极信号线是平行或近似平行的,

其中所述第 n 源极信号线与所述第 $(n+1)$ 源极信号线之间的距离比所述第 $(n-1)$ 源极信号线与所述第 n 源极信号线之间的距离要长, 并且比所述第 $(n+1)$ 源极信号线与所述第 $(n+2)$ 源极信号线之间的距离要长, 以及

其中所述第一至第 m 开关是第一至第 m 晶体管, 所述第一至第 m 晶体管包括沟道形成区, 所述沟道形成区包括氧化物半导体。

8. 根据权利要求 7 所述的半导体装置,

其中, 图像信号通过相同布线提供给所述第一至第 n 源极信号线的任一个以及所述第 $(n+1)$ 至第 m 源极信号线的任一个。

9. 根据权利要求 7 所述的半导体装置,

其中, 满足 $m=2n$ 。

10. 根据权利要求 7 所述的半导体装置,

其中, 所述第一至第 m 晶体管以规则间隔或者以近似规则间隔分开, 并且所述第一至第 m 晶体管的沟道长度方向垂直或近似垂直于所述第一至第 m 源极信号线,

其中所述第 n 晶体管的源极端子和漏极端子其中之一比所述第 n 晶体管的源极端子和漏极端子中的另一个更接近所述第 $(n+1)$ 晶体管,

其中所述第 $(n+1)$ 晶体管的源极端子和漏极端子其中之一比所述第 $(n+1)$ 晶体管的源极端子和漏极端子中的另一个更接近所述第 n 晶体管,

其中所述第 n 晶体管的源极端子和漏极端子中的另一个电连接到所述第 n 源极信号线, 以及

其中所述第 $(n+1)$ 晶体管的源极端子和漏极端子中的另一个电连接到所述第 $(n+1)$ 源极信号线。

11. 根据权利要求 7 所述的半导体装置，

其中，包括控制所述第一至第 m 晶体管的开关的移位寄存器电路，以及其中所述移位寄存器电路包括其沟道形成区包括氧化物半导体的晶体管。

12. 根据权利要求 7 所述的半导体装置，

其中，包括电连接到所述第一至第 m 源极信号线的任一个源极信号线的像素，以及其中所述像素包括其沟道形成区包括氧化物半导体的晶体管。

13. 根据权利要求 12 所述的半导体装置，

其中，包括控制所述像素中包括的晶体管的开关的栅极信号线驱动器电路，以及其中所述栅极信号线驱动器电路包括其沟道形成区包括氧化物半导体的晶体管。

14. 一种包括根据权利要求 7 所述的半导体装置的电子装置。

15. 一种半导体装置，包括：

第一至第 n 开关，配置成在第一时间段中接通而在第二时间段中关断，其中 n 为 2 或更大的自然数；

第 $(n+1)$ 至第 m 开关，配置成在第一时间段中关断而在第二时间段中接通，其中 m 为 $n+2$ 或更大的自然数；

第一至第 n 信号线；以及

第 $(n+1)$ 至第 m 信号线，

其中所述第一至第 m 信号线是平行或近似平行的，

其中所述第 n 信号线与所述第 $(n+1)$ 信号线之间的距离比所述第 $(n-1)$ 信号线与所述第 n 信号线之间的距离要长，并且比所述第 $(n+1)$ 信号线与所述第 $(n+2)$ 信号线之间的距离要长，以及

其中所述第一至第 m 开关是第一至第 m 晶体管，所述第一至第 m 晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

16. 根据权利要求 15 所述的半导体装置，

其中，信号通过相同布线提供给所述第一至第 n 信号线的任一个以及所述第 $(n+1)$ 至第 m 信号线的任一个。

17. 根据权利要求 15 所述的半导体装置，

其中，满足 $m=2n$ 。

18. 根据权利要求 15 所述的半导体装置，

其中，所述第一至第 m 晶体管以规则间隔或者以近似规则间隔分开，并且所述第一至第 m 晶体管的沟道长度方向垂直或近似垂直于所述第一至第 m 信号线，

其中所述第 n 晶体管的源极端子和漏极端子其中之一比所述第 n 晶体管的源极端子和漏极端子中的另一个更接近所述第 $(n+1)$ 晶体管，

其中所述第 $(n+1)$ 晶体管的源极端子和漏极端子其中之一比所述第 $(n+1)$ 晶体管的源极端子和漏极端子中的另一个更接近所述第 n 晶体管，

其中所述第 n 晶体管的源极端子和漏极端子中的另一个电连接到所述第 n 信号线，以及

其中所述第 $(n+1)$ 晶体管的源极端子和漏极端子中的另一个电连接到所述第 $(n+1)$ 信号线。

19. 根据权利要求 15 所述的半导体装置，

其中，包括控制所述第一至第 m 晶体管的开关的移位寄存器电路，以及
其中所述移位寄存器电路包括其沟道形成区包括氧化物半导体的晶体管。

20. 一种包括根据权利要求 15 所述的半导体装置的电子装置。

21. 一种半导体装置，包括：

第一至第 n 晶体管，配置成在第一时间段中接通而在第二时间段中关断，其中 n 为 2 或更大的自然数；

第 $(n+1)$ 至第 m 晶体管，配置成在第一时间段中关断而在第二时间段中接通，其中 m 为 $n+2$ 或更大的自然数；

第一至第 n 源极信号线；以及

第 $(n+1)$ 至第 m 源极信号线，

其中所述第一至第 m 源极信号线是平行或近似平行的，

其中所述第 n 晶体管的源极端子和漏极端子其中之一比所述第 n 晶体管的源极端子和漏极端子中的另一个更接近所述第 $(n+1)$ 晶体管，

其中所述第 $(n+1)$ 晶体管的源极端子和漏极端子其中之一比所述第 $(n+1)$ 晶体管的源极端子和漏极端子中的另一个更接近所述第 n 晶体管，

其中所述第 n 晶体管的源极端子和漏极端子中的另一个电连接到所述第 n 源极信号线，

其中所述第 $(n+1)$ 晶体管的源极端子和漏极端子中的另一个电连接到所述第 $(n+1)$ 源极信号线，以及

其中所述第一至第 m 晶体管包括沟道形成区，所述沟道形成区包括氧化物半导体。

22. 根据权利要求 21 所述的半导体装置，

其中，图像信号通过相同布线提供给所述第一至第 n 源极信号线的任一个以及所述第 $(n+1)$ 至第 m 源极信号线的任一个。

23. 根据权利要求 21 所述的半导体装置，

其中，满足 $m=2n$ 。

24. 根据权利要求 21 所述的半导体装置，

其中，所述第一至第 m 晶体管以规则间隔或者以近似规则间隔分开，并且所述第一至第 m 晶体管的沟道长度方向垂直或近似垂直于所述第一至第 m 源极信号线。

25. 根据权利要求 21 所述的半导体装置，

其中，包括控制所述第一至第 m 晶体管的开关的移位寄存器电路，以及
其中所述移位寄存器电路包括其沟道形成区包括氧化物半导体的晶体管。

26. 根据权利要求 21 所述的半导体装置，

其中，包括电连接到所述第一至第 m 源极信号线的任一个源极信号线的像素，以及
其中所述像素包括其沟道形成区包括氧化物半导体的晶体管。

27. 根据权利要求 26 所述的半导体装置，

其中，包括控制所述像素中包括的晶体管的开关的栅极信号线驱动器电路，以及
其中所述栅极信号线驱动器电路包括其沟道形成区包括氧化物半导体的晶体管。

28. 一种包括根据权利要求 21 所述的半导体装置的电子装置。

半导体装置和电子装置

技术领域

[0001] 本发明涉及半导体装置。具体来说,本发明涉及通过有源矩阵驱动来显示图像的半导体装置。此外,本发明涉及包括半导体装置的电子装置。

[0002] 注意,本说明书中的半导体装置表示通过利用半导体特性进行操作的所有装置。

背景技术

[0003] 广泛使用通过有源矩阵驱动来显示图像的半导体装置(下文中,这种装置又称作有源矩阵显示装置)。半导体装置包括显示图像的像素部分以及控制像素部分中的图像的显示的驱动器电路。具体来说,在半导体装置中,输入到以矩阵布置在像素部分中的多个像素的图像信号由驱动器电路来控制,并且这样显示图像。注意,驱动器电路以及设置在像素部分中的多个像素各具有晶体管。

[0004] 从降低制造成本并且降低这种半导体装置的尺寸和重量的观点来看,期望各像素中包括的晶体管以及驱动器电路或者驱动器电路的一部分中包括的晶体管在相同衬底之上形成。注意,这些晶体管所要求的特性相互不同。例如,要求各像素中包括的晶体管在玻璃衬底之上形成(通过低温过程来形成),而要求驱动器电路中包括的晶体管以高频率来驱动。因此,能够通过诸如等离子体 CVD 之类的低温过程来形成的晶体管作为各像素中包括的晶体管是优选的,而具有高场效应迁移率的晶体管作为驱动器电路中包括的晶体管是优选的。

[0005] 通常,包括非晶硅的晶体管作为各像素中包括的晶体管是优选的,而包括单晶硅或多晶硅的晶体管作为驱动器电路中包括的晶体管是优选的。但是,难以以高频率来驱动包括非晶硅的晶体管,并且难以通过低温过程来形成包括单晶硅或多晶硅的晶体管。

[0006] 鉴于上述问题,已经开发称作多相驱动(下文中又称作数据划分驱动)的技术。数据划分驱动是一种技术,其中从外部输入的图像信号分为多个图像信号,并且多个图像信号并发地输入到多个像素。因此,驱动器电路的工作频率能够降低。例如,当一个图像信号分为四个图像信号时,驱动器电路的工作频率能够降低到信号划分之前的工作频率的四分之一。

[0007] 但是,在执行数据划分驱动的情况下,驱动器电路具有复杂结构;例如,向像素部分提供图像信号的布线(下文中,这类布线又称作数据信号线)的数量增加。因此,向像素提供图像信号的布线(下文中,这类布线又称作源极信号线)的布线电阻和寄生电容可能变化。在那种情况下,输入到像素的图像信号因源极信号线之间在布线电阻和寄生电容方面的差而变化,由此条纹图案可能在所显示图像中形成。

[0008] 在专利文献 1 中,公开一种抑制条纹图案的形成的技术。具体来说,在专利文献 1 中公开通过拉平多个源极信号线中的布线电阻和寄生电容来抑制所显示图像中的条纹图像的形成的技术。

[0009] [参考文献]

[0010] [专利文献 1] 日本专利申请公布号 H9-325347。

发明内容

[0011] 如上所述,在有源矩阵显示装置中,从外部输入的图像信号通过数据信号线输入到像素部分。一般来说,开关设置在一个数据信号线与多个源极信号线的每个源极信号线之间,并且数据信号线与源极信号线之间的电连接通过开关来控制。换言之,多个开关接连接通,使得多个源极信号线一个接一个电连接到数据信号线。相应地,期望图像信号从数据信号线提供给每个源极信号线。

[0012] 又在执行数据划分驱动的显示装置中,图像信号按照相似方式从数据信号线提供给每个源极信号线。具体来说,在一个图像信号分为四个图像信号的情况下,设置四个数据信号线,并且开关设置在每个数据信号线与多个源极信号线的每个源极信号线之间。开关分为各包括四个开关的编组。也就是说,各包括四个开关的编组接连接通,以便各编组中的四个源极信号线可电连接到四个数据信号线。因此,开关的工作频率降低到信号划分之前的工作频率的四分之一,并且期望图像信号从数据信号线提供给每个源极信号线。

[0013] 但是,在执行数据划分驱动的显示装置中,所显示图像可能在编组的边界具有条纹图案。更具体来说,在开关分为四的编组的情况下,所显示图像可能在第 $4k$ 位置(k 为自然数)中的源极信号线与第 $(4k+1)$ 位置中的源极信号线之间的边界具有条纹图案。

[0014] 鉴于上述问题,本发明的一实施例的目的是抑制半导体装置中的信号的变化。注意,通过抑制变化,例如能够抑制在半导体装置上显示图像中的条纹图案的形成。

[0015] 上述问题之一能够通过抑制因电容耦合引起的半导体装置中的信号的改变得到解决。

[0016] 也就是说,本发明的一实施例是一种半导体装置,其中包括:第一至第 n 开关(n 为2或更大的自然数),在第一时间段中接通而在第二时间段中关断;第 $(n+1)$ 至第 m 开关(m 为 $n+2$ 或更大的自然数),在第一时间段中关断而在第二时间段中处于通态;第一至第 n 信号线;以及第 $(n+1)$ 至第 m 信号线。信号在第一时间段中通过第一开关提供给第一信号线,并且第一信号线在第二时间段中处于浮态。信号在第一时间段中通过第 n 开关提供给第 n 信号线,并且第 n 信号线在第二时间段中处于浮态。第 $(n+1)$ 信号线在第一时间段中处于浮态,并且信号在第二时间段中通过第 $(n+1)$ 开关提供给第 $(n+1)$ 信号线。第 m 信号线在第一时间段中处于浮态,并且信号在第二时间段中通过第 m 开关提供给第 m 信号线。第一至第 m 信号线是平行或近似平行的。第 n 信号线与第 $(n+1)$ 信号线之间的距离比第 $(n-1)$ 信号线与第 n 信号线之间的距离要长,并且比第 $(n+1)$ 信号线与第 $(n+2)$ 信号线之间的距离要长。

[0017] 在作为本发明的一实施例的半导体装置中,在不同时间段中进入浮态的两个相邻信号线之间的距离比在相同时间段中进入浮态的两个相邻信号线之间的距离要长。因此,因电容耦合引起的信号线的电位的变化能够得到抑制。例如,在信号线是有源矩阵显示装置中的源极信号线的情况下,所显示图像中的条纹图案的形成能够得到抑制。

附图说明

[0018] 图1A至图1C示出实施例1中的半导体装置。

[0019] 图2A和图2B示出实施例1中的半导体装置。

- [0020] 图 3A 和图 3B 示出实施例 1 中的半导体装置。
- [0021] 图 4A 至图 4C 示出实施例 1 中的半导体装置。
- [0022] 图 5A 和图 5B 示出实施例 1 中的半导体装置。
- [0023] 图 6A 和图 6B 示出实施例 1 中的半导体装置。
- [0024] 图 7 示出实施例 1 中的半导体装置。
- [0025] 图 8A 和图 8B 示出实施例 2 中的半导体装置。
- [0026] 图 9A 和图 9B 示出实施例 2 中的半导体装置。
- [0027] 图 10 示出实施例 2 中的半导体装置。
- [0028] 图 11 示出实施例 2 中的半导体装置。
- [0029] 图 12 示出实施例 2 中的半导体装置。
- [0030] 图 13A 至图 13D 示出实施例 3 中的晶体管。
- [0031] 图 14A 至图 14F 示出实施例 4 中的电子装置。

具体实施方式

[0032] 下文中将参照附图详细描述本发明的实施例。注意，本发明并不局限于以下描述，并且本领域的技术人员易于理解，能够进行各种改变和修改，而没有背离本发明的精神和范围。因此，本发明不应当局限于以下实施例的描述。

[0033] 注意，在一些情况下，为了简洁起见，实施例中的附图等中所示的各结构的区域或层的大小、厚度经过放大。因此，本发明的实施例并不局限于这类比例。此外，在本说明书中，使用诸如“第一”、“第二”和“第三”之类的序数以便避免组件之间的混淆，并且这些术语不是在数字上限制组件。

[0034] （实施例 1）

[0035] 在这个实施例中，参照图 1A 至图 1C、图 2A 和图 2B、图 3A 和图 3B、图 4A 至图 4C、图 5A 和图 5B、图 6A 和图 6B 以及图 7 来描述作为本发明的一实施例的半导体装置。

[0036] 图 1A 示出多个信号线 11 至 18 以及多个开关 21 至 28 的位置，多个开关 21 至 28 控制将信号输入到多个信号线 11 至 18，它们被包括在这个实施例的半导体装置中。注意，开关 21 控制将输入信号 (In1) 提供给信号线 11。类似地，开关 22 至 28 控制将输入信号 (In2 至 In8) 提供给信号线 12 至 18。另外，多个信号线 11 至 18 设置成相互平行或近似平行。此外，信号线 14 与信号线 15 之间的距离 (G1) 比信号线 13 与信号线 14 之间的距离 (G0) 要长，并且比信号线 15 与信号线 16 之间的距离 (G2) 要长。注意，在这个实施例的半导体装置中，信号仅通过开关 21 至 28 提供给信号线 11 至 18。因此，在开关 21 至 28 处于断态的情况下，信号线 11 至 18 处于浮态（又称作高阻抗状态）。

[0037] 图 1B 示出图 1A 中的半导体装置中包括的开关 21 至 28 的操作。如图 1B 中所示，在时间段 T1 中，开关 21 至 24 处于通态，而开关 25 至 28 处于断态。在时间段 T2 中，开关 21 至 24 处于断态，而开关 25 至 28 处于通态。

[0038] 在图 1A 和图 1B 中所示的半导体装置中，在不同时间段中进入浮态的两个相邻信号线之间的距离（信号线 14 与信号线 15 之间的距离 (G1)）比在相同时间段中进入浮态的两个相邻信号线之间的距离（信号线 13 与信号线 14 之间的距离 (G0) 以及信号线 15 与信号线 16 之间的距离 (G2)）要长。因此，因电容耦合引起的信号线 14 或信号线 15 的电位的

变化能够得到抑制。具体来说,因在时间段 T1 中将输入信号 (In4) 输入到信号线 14 引起的信号线 15 的电位的变化以及因在时间段 T2 中将输入信号 (In5) 输入到信号线 15 引起的信号线 14 的电位的变化能够得到抑制。

[0039] 注意,通过在不同时间段中接通的开关将信号提供给多个信号线能够借助于相同布线来执行。例如,如图 1C 中所示,将信号提供给信号线 11 和 15 能够借助于布线 31 来执行。对于成对信号线 12 和 16、信号线 13 和 17 以及信号线 14 和 18,能够说情况是相同的。将信号提供给信号线 12 和 16 能够借助于布线 32 来执行。将信号提供给信号线 13 和 17 能够借助于布线 33 来执行。将信号提供给信号线 14 和 18 能够借助于布线 34 来执行。也就是说,提供给信号线 11 的信号是在时间段 T1 中所输入的输入信号 (In9) 并且提供给信号线 15 的信号是在时间段 T2 中所输入的输入信号 (In9)。类似地,提供给信号线 12 的信号是在时间段 T1 中所输入的输入信号 (In10) 并且提供给信号线 16 的信号是在时间段 T2 中所输入的输入信号 (In10);提供给信号线 13 的信号是在时间段 T1 中所输入的输入信号 (In11) 并且提供给信号线 17 的信号是在时间段 T2 中所输入的输入信号 (In11);以及提供给信号线 14 的信号是在时间段 T1 中所输入的输入信号 (In12),并且提供给信号线 18 的信号是在时间段 T2 中所输入的输入信号 (In12)。

[0040] 此外,作为开关 21 至 28,能够使用晶体管。图 2A 示出采用晶体管来取代图 1A 中的半导体装置中包括的开关 21 至 28 的图。在图 2A 中所示的半导体装置中,晶体管 41 至 44 的栅极端子通过控制信号 (C1) 来控制,并且晶体管 45 至 48 的栅极端子通过控制信号 (C2) 来控制。注意,在这里,晶体管 41 至 48 是 n 沟道晶体管。图 2B 示出控制信号 (C1) 和控制信号 (C2) 的电位的改变。控制信号 (C1) 是其电位在时间段 T1 中处于高电平而在时间段 T2 中处于低电平的信号。控制信号 (C2) 是其电位在时间段 T1 中处于低电平而在时间段 T2 中处于高电平的信号。因此,晶体管 41 至 44 能够在时间段 T1 中处于通态而在时间段 T2 中处于断态,以及晶体管 45 至 48 能够在时间段 T1 中处于断态而在时间段 T2 中处于通态。

[0041] 图 3A 是示出图 2A 中所示半导体装置的一部分的特定结构的平面图。图 3B 是沿图 3A 中的线 A-B 所取的截面图。图 3B 中所示的晶体管 45 包括衬底 50 之上的导电层 51、衬底 50 和导电层 51 之上的绝缘层 52、绝缘层 52 之上的半导体层 53 以及绝缘层 52 和半导体层 53 之上的导电层 54 和导电层 55。注意,图 3B 中,导电层 51 用作晶体管 45 的栅极端子,绝缘层 52 用作晶体管 45 的栅绝缘层,导电层 54 用作晶体管 45 的源极端子和漏极端子其中之一,以及导电层 55 用作晶体管 45 的源极端子和漏极端子中的另一个。图 3A 中所示的晶体管 43、44 和 46 的每个晶体管的结构与晶体管 45 的结构是相同或基本上相同的。

[0042] 注意,衬底 50 的示例包括半导体衬底(例如单晶衬底或硅衬底)、SOI 衬底、玻璃衬底、石英衬底、其顶面设置有绝缘层的导电衬底、诸如塑料衬底之类的柔性衬底、键合膜(bonding film)、包含纤维材料的纸张以及基膜。玻璃衬底的示例包括钡硼硅酸盐玻璃衬底、铝硼硅酸盐玻璃衬底以及碱石灰玻璃衬底。柔性衬底的示例包括诸如由聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)和聚醚砜(PES)以及丙烯酸所代表的塑料之类的柔性合成树脂。

[0043] 作为导电层 51、54 和 55,能够使用从铝(Al)、铜(Cu)、钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)和钪(Sc)中选择的元素或者包含这些元素中的任何元素的合金或者

包含这些元素中的任何元素的氮化物。还能够使用这些材料的堆叠结构。

[0044] 作为绝缘层 52, 能够使用诸如氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝或氧化钽之类的绝缘体。还能够使用采用这些材料所形成的堆叠结构。注意, 氧氮化硅指的是一种物质, 该物质包含的氧比氮多, 并且以分别从 55 原子%(atomic%) 至 65 原子%、1 原子% 至 20 原子%、25 原子% 至 35 原子% 以及 0.1 原子% 至 10 原子% 的范围的给定浓度来包含氧、氮、硅和氢, 其中原子的总百分比为 100 原子%。此外, 氮氧化硅指的是一种物质, 该物质包含的氮比氧多, 并且以分别从 15 原子% 至 30 原子%、20 原子% 至 35 原子%、25 原子% 至 35 原子% 以及 15 原子% 至 25 原子% 的范围的给定浓度来包含氧、氮、硅和氢, 其中原子的总百分比为 100 原子%。

[0045] 半导体层 53 能够使用下列半导体材料中的任何材料来形成, 例如: 能够使用包含属于周期表的 14 族的元素(例如硅(Si) 或锗(Ge)) 作为其主要成分的材料; 化合物, 例如硅锗(SiGe) 或砷化镓(GaAs); 诸如氧化锌(ZnO) 或者包含镧(In) 和镓(Ga) 的氧化锌之类的氧化物; 或者呈现半导体特性的有机化合物。还能够使用采用这些半导体材料所形成的层的堆叠结构。

[0046] 图 3A 中所示的半导体装置中包括的晶体管 43 至 46 的沟道长度方向与信号线 13 至 16 垂直或近似垂直。另外, 晶体管 44 的源极端子和漏极端子其中之一(其离晶体管 45 更远) 电连接到信号线 14, 并且晶体管 45 的源极端子和漏极端子其中之一(其离晶体管 44 更远) 电连接到信号线 15。换言之, 在晶体管 44 的源极端子和漏极端子其中之一比晶体管 44 的源极端子和漏极端子中的另一个更接近晶体管 45 以及晶体管 45 的源极端子和漏极端子其中之一比晶体管 45 的源极端子和漏极端子中的另一个更接近晶体管 44 的情况下, 晶体管 44 的源极端子和漏极端子中的另一个电连接到信号线 14, 并且晶体管 45 的源极端子和漏极端子中的另一个电连接到信号线 15。注意, 如图 3A 中所示, 使用相同导电层来形成晶体管 43 至 46 的源极端子和漏极端子以及信号线 13 至 16。因此, 在前面的描述中, 晶体管 44 和 45 的每个晶体管的源极端子和漏极端子中的另一个能够表示为信号线 14 和 15 的每个信号线的一部分。

[0047] 通过图 3A 中所示的设计, 能够使信号线 14 与信号线 15 之间的距离(G1) 比信号线 13 与信号线 14 之间的距离(G0) 以及信号线 15 与信号线 16 之间的距离(G2) 要长。因此, 因电容耦合引起的信号线 14 或信号线 15 的电位的变化能够得到抑制。

[0048] 此外, 能够通过只选择以规则间隔或者以近似规则间隔分开的多个晶体管中电连接到信号线的端子, 来实现图 3A 中所示的结构。换言之, 图 3A 中所示的结构是其中信号线之间的距离能够通过简单设计来调整的结构。因此, 在目的是使在不同时间段中进入浮态的两个相邻信号线之间的距离比在相同时间段中进入浮态的两个相邻信号线之间的距离要长的情况下, 此目的能够易于采用图 3A 中所示的结构来实现。因此, 图 3A 中所示的结构是优选的。

[0049] 上述半导体装置是一实施例的示例, 并且具有与前面的描述不同的点的半导体装置也被包括在这个实施例中。

[0050] 例如, 虽然上述半导体装置具有其中信号的输入按照各包括四个信号线的编组来控制的结构, 如上所述(参见图 1A), 但是各编组中的信号线的数量并不局限于四个。各编组中的信号线的数量可以是任何数量, 只要它是二或更大的自然数。

[0051] 此外,虽然上述半导体装置具有其中在多个开关中在时间段 T1 中接通的开关的数量与在时间段 T2 中接通的开关的数量相同的结构(该结构包括具有相同数量的开关的编组),如上所述(参见图 1B),但是编组中的开关的数量可以相互不同。

[0052] 此外,虽然上述半导体装置具有其中在借助于相同布线将信号提供给多个信号线的情况下借助于相同的布线将信号提供给在其编组中具有相同位置的信号线的结构,如上所述(参见图 1C),但是借助于相同布线向其提供信号的信号线在其编组中可具有不同位置。具体来说,可采用图 4A 和图 4B 中所示的结构提供信号给多个信号线。此外,各布线可如图 4C 中所示延伸。因此,能够拉平布线中的布线电阻和寄生电容。

[0053] 此外,在以上描述中,示出一个示例,其中作为图 1A 中的开关 21 至 28 的 n 沟道晶体管用于上述半导体装置中(参见图 2A)。但是,如图 5A 中所示,p 沟道晶体管 61 至 68 可用作图 1A 中所示的开关 21 至 28。注意,在 p 沟道晶体管用作开关的情况下,必要的是,控制信号 (C1) 在时间段 T1 中处于低电平而在时间段 T2 中处于高电平,并且控制信号 (C2) 在时间段 T1 中处于高电平而在时间段 T2 中处于低电平,如图 5B 中所示。

[0054] 另外,在以上描述中,示出一个示例,其中具有底栅结构的晶体管用作上述半导体装置中的晶体管(参见图 3A 和图 3B)。但是,晶体管的结构并不局限于底栅结构。例如,具有顶栅结构的晶体管、包括半导体层之上和之下的栅极端子的晶体管等能够用作晶体管。图 6A 和图 6B 示出具有顶栅结构的晶体管用于这个实施例的半导体装置的示例。注意,图 6A 是示出图 2A 中所示半导体装置的一部分的特定结构的平面图,以及图 6B 是沿图 6A 中的线 C-D 所取的截面图。图 6B 中所示的晶体管 45 包括衬底 70 之上的绝缘层 71、绝缘层 71 之上的半导体层 72、半导体层 72 之上的绝缘层 73、绝缘层 73 之上的导电层 74、绝缘层 73 和导电层 74 之上的绝缘层 75 以及通过绝缘层 73 和绝缘层 75 中设置的接触孔与半导体层相接触的导电层 76 和导电层 77。注意,在图 6B 中所示的晶体管 45 中,导电层 74 用作栅极端子,绝缘层 73 用作栅绝缘层,导电层 76 用作源极端子和漏极端子其中之一,以及导电层 77 用作源极端子和漏极端子中的另一个。图 6A 中所示的晶体管 43、44 和 46 的每个晶体管的结构与图 6B 中所示的晶体管 45 的结构是相同或基本上相同的。

[0055] 注意,与用于图 3B 中所示衬底 50 的材料相同或基本上相同的材料能够用于衬底 70。因此,参阅前面的描述。此外,与用于图 3B 中所示绝缘层 52 的材料相同或基本上相同的材料能够用于绝缘层 71、73 和 75;与用于图 3B 中所示半导体层 53 的材料相同或基本上相同的材料能够用于半导体层 72;以及与用于图 3B 中所示导电层 51、54 和 55 的材料相同或基本上相同的材料能够用于导电层 74、76 和 77。因此,参阅前面的描述。此外,有机材料,诸如聚酰亚胺、聚酰胺、聚乙烯基苯酚(polyvinylphenol)、苯并环丁烯、丙烯酸或环氧树脂;硅氧烷材料,诸如硅氧烷树脂;恶唑树脂(oxazole resin)等也能够用于绝缘层 75。注意,硅氧烷材料对应于包含 Si-O-Si 键的材料。硅氧烷包括由硅(Si)和氧(O)的键所形成的骨架。作为取代,可使用有机基(例如烷基或芳族烃)或氟基。有机基可包含氟基。

[0056] 此外,在上述半导体装置中,在相同时间段中处于浮态的信号线的布置不受限制。也就是说,在电连接到在相同时间段中进入浮态的多个信号线的晶体管中,能够适当地选择各晶体管中的源极端子和漏极端子的哪一个电连接到每个信号线。例如,在相同时间段中进入浮态的多个信号线能够分为各包括两个信号线的编组,并且这两个信号线能够电连接到相邻晶体管的邻近端子(参见图 7)。注意,图 7 中所示的结构对于借助于相同布线将

信号提供给多个信号线的半导体装置是优选的（参见图 1C）。

[0057] 下面详细地描述原因。在这里，假定晶体管 43 的源极端子和漏极端子其中之一是电连接到信号线 13 的端子，并且假定晶体管 43 的源极端子和漏极端子中的另一个是电连接到布线 33 的端子。在那种情况下，晶体管 43 的源极端子和漏极端子中的另一个的电位变化，而与信号是否提供给信号线 13 无关。那时，图 7 中所示结构中的信号线 14 与晶体管 43 的源极端子和漏极端子中的另一个之间的距离比图 3A 中所示结构中要长。因此，通过图 7 中所示的结构，与图 3A 中所示的结构相比，因电容耦合引起的信号线 14 的电位的变化能够得到抑制。因此，图 7 中所示的结构是优选的。

[0058] 注意，这个实施例或者这个实施例的一部分能够与其它实施例或者其它实施例的一部分自由结合。

[0059] （实施例 2）

[0060] 在这个实施例中，描述本发明的一实施例的半导体装置。具体来说，参照图 8A 和图 8B、图 9A 和图 9B、图 10、图 11 以及图 12 来描述执行数据划分驱动的有源矩阵显示装置的示例。

[0061] 图 8A 示出有源矩阵显示装置的结构示例。图 8A 中所示的显示装置包括像素部分 101、源极信号线驱动器电路 102、栅极信号线驱动器电路 103、平行或近似平行布置的多个源极信号线 104 以及平行或近似平行布置的多个栅极信号线 105。像素部分 101 包括多个像素 107。注意，多个像素 107 以矩阵布置。多个源极信号线 104 的每个电连接到以矩阵布置的多个像素的任何列中的像素，并且多个栅极信号线 105 的每个电连接到以矩阵布置的多个像素的任何行中的像素。注意，信号（图像信号、时钟信号、启动信号等）通过柔性印刷电路 106A 和 106B 从外部输入到源极信号线驱动器电路 102 和栅极信号线驱动器电路 103。

[0062] 图 8B 示出图 8A 中的源极信号线驱动器电路 102 的结构示例。图 8B 中所示的源极信号线驱动器电路 102 包括移位寄存器电路 111 和取样电路 112。时钟信号（CK）、启动信号（SP）等输入到移位寄存器电路 111。图像信号（数据）、从移位寄存器电路 111 所输出的多个信号等输入到取样电路 112。注意，取样电路 112 将图像信号（数据）输出到像素部分 101 中布置的多个源极信号线。

[0063] 图 9A 示出图 8B 中所示的取样电路 112 的结构示例。图 9A 中所示的取样电路 112 包括数据信号线 121 至 124 以及晶体管 131 至 139。

[0064] 从外部作为图像信号（数据）所输入的信号分为四个图像信号，使得四个图像信号的每个具有降低到图像信号（数据）的频率的四分之一的频率。因此，得到图像信号（数据 1 至数据 4）。数据信号线 121 至 124 的每个提供图像信号（数据 1 至数据 4）之一。

[0065] 晶体管 131 至 134 的栅极端子电连接到用于输出作为从移位寄存器电路 111 所输出的多个信号之一的信号（SRout1）的端子。晶体管 135 至 138 的栅极端子电连接到用于输出作为从移位寄存器电路 111 所输出的多个信号之一的信号（SRout2）的端子。晶体管 139 的栅极端子电连接到用于输出作为从移位寄存器电路 111 所输出的多个信号之一的信号（SRout3）的端子。

[0066] 晶体管 131、135 和 139 的每个晶体管的源极端子和漏极端子其中之一电连接到数据信号线 121。晶体管 132 和 136 的每个晶体管的源极端子和漏极端子其中之一电连接到

数据信号线 122。晶体管 133 和 137 的每个晶体管的源极端子和漏极端子其中之一电连接到数据信号线 123。晶体管 134 和 138 的每个晶体管的源极端子和漏极端子其中之一电连接到数据信号线 124。

[0067] 晶体管 131 至 139 的每个晶体管的源极端子和漏极端子中的另一个电连接到像素部分 101 中平行或近似平行布置的源极信号线 141 至 149 中的任何源极信号线。

[0068] 注意,源极信号线 144 与源极信号线 145 之间的距离 (g4) 以及源极信号线 148 与源极信号线 149 之间的距离 (g8) 比其它相邻源极信号线之间的距离 (即, g1、g2、g3、g5、g6 或 g7) 要长。

[0069] 图 9B 示出输入到图 9A 中所示的取样电路 112 的信号的特定示例。

[0070] 具体来说,信号 (SRout1) 是在时间段 t1 中处于高电平而在时间段 t2 和时间段 t3 中处于低电平的信号;信号 (SRout2) 是在时间段 t2 中处于高电平而在时间段 t1 和时间段 t3 中处于低电平的信号;以及信号 (SRout3) 是在时间段 t3 中处于高电平而在时间段 t1 和时间段 t2 中处于低电平的信号。注意,时间段 t1 至 t3 具有相同长度。

[0071] 图像信号 (数据) 是其电位电平在通过将时间段 t1 至 t3 的每个分为四分之一所得到的每一时间段 (时间段 t11 至 t14、时间段 t21 至 t24 以及时间段 t31 至 t34) 发生改变的信号。此外,图像信号 (数据 1) 是在时间段 t1 中保持图像信号 (数据) 在时间段 t11 中所保持的电位、在时间段 t2 中保持图像信号 (数据) 在时间段 t21 中所保持的电位以及在时间段 t3 中保持图像信号 (数据) 在时间段 t31 中所保持的电位的信号。对于其它图像信号 (数据 2 至数据 4),能够说情况也是这样。图像信号 (数据 2) 是在时间段 t1 中保持图像信号 (数据) 在时间段 t12 中所保持的电位、在时间段 t2 中保持图像信号 (数据) 在时间段 t22 中所保持的电位以及在时间段 t3 中保持图像信号 (数据) 在时间段 t32 中所保持的电位的信号。图像信号 (数据 3) 是在时间段 t1 中保持图像信号 (数据) 在时间段 t13 中所保持的电位、在时间段 t2 中保持图像信号 (数据) 在时间段 t23 中所保持的电位以及在时间段 t3 中保持图像信号 (数据) 在时间段 t33 中所保持的电位的信号。图像信号 (数据 4) 是在时间段 t1 中保持图像信号 (数据) 在时间段 t14 中所保持的电位、在时间段 t2 中保持图像信号 (数据) 在时间段 t24 中所保持的电位以及在时间段 t3 中保持图像信号 (数据) 在时间段 t34 中所保持的电位的信号。

[0072] 这个实施例的半导体装置采用上述结构来执行数据划分驱动。更具体来说,图像信号 (数据) 分为四个图像信号 (数据 1 至数据 4),并且图像信号 (数据 1 至数据 4) 在每一特定时间段 (时间段 t1、时间段 t2 和时间段 t3) 并发地提供给像素部分 101 中布置的四个源极信号线。因此,取样电路 112 (晶体管 131 至 139) 的工作频率能够降低到向每个源极信号线接连提供图像信号 (数据) 的取样电路的工作频率的四分之一。

[0073] 此外,在这个实施例的半导体装置中,在不同时间段中进入浮态的两个相邻源极信号线之间的距离 (g4 或 g8) 比在相同时间段中进入浮态的两个相邻源极信号线之间的距离 (g1、g2、g3、g5、g6 或 g7) 要长。因此,因电容耦合引起的源极信号线 144、源极信号线 145、源极信号线 148 或源极信号线 149 的电位的变化能够得到抑制。具体来说,有可能抑制因在时间段 t1 中将图像信号 (数据 4) 输入到源极信号线 144 引起的源极信号线 145 的电位的变化、因在时间段 t2 中将图像信号 (数据 1) 输入到源极信号线 145 引起的源极信号线 144 的电位的变化、因在时间段 t2 中将图像信号 (数据 4) 输入到源极信号线 148 引

起的源极信号线 149 的电位的变化以及因在时间段 t_3 中将图像信号（数据 1）输入到源极信号线 149 引起的源极信号线 148 的电位的变化。因此，这个实施例的半导体装置上显示的图像中的条纹图像的形成能够得到抑制。

[0074] 图 10 是示出图 9A 中所示半导体装置的一部分的特定结构的平面图。注意，图 10 中所示的晶体管是反交错晶体管（inverted staggered transistor）（参见图 3A 和图 3B）。

[0075] 图 10 中所示的半导体装置中包括的晶体管 133 至 139 布置成使得晶体管 133 至 139 的沟道长度方向垂直或近似垂直于源极信号线 143 至 149。

[0076] 另外，晶体管 134 的源极端子和漏极端子其中之一（其离晶体管 135 更远）电连接到源极信号线 144，并且晶体管 135 的源极端子和漏极端子其中之一（其离晶体管 134 更远）电连接到源极信号线 145。换言之，在晶体管 134 的源极端子和漏极端子其中之一比晶体管 134 的源极端子和漏极端子中的另一个更接近晶体管 135 以及晶体管 135 的源极端子和漏极端子其中之一比晶体管 135 的源极端子和漏极端子中的另一个更接近晶体管 134 的情况下，晶体管 134 的源极端子和漏极端子中的另一个电连接到源极信号线 144，并且晶体管 135 的源极端子和漏极端子中的另一个电连接到源极信号线 145。

[0077] 类似地，晶体管 138 的源极端子和漏极端子其中之一（其离晶体管 139 更远）电连接到源极信号线 148，并且晶体管 139 的源极端子和漏极端子其中之一（其离晶体管 138 更远）电连接到源极信号线 149。换言之，在晶体管 138 的源极端子和漏极端子其中之一比晶体管 138 的源极端子和漏极端子中的另一个更接近晶体管 139 以及晶体管 139 的源极端子和漏极端子其中之一比晶体管 139 的源极端子和漏极端子中的另一个更接近晶体管 138 的情况下，晶体管 138 的源极端子和漏极端子中的另一个电连接到源极信号线 148，并且晶体管 139 的源极端子和漏极端子中的另一个电连接到源极信号线 149。

[0078] 注意，如图 10 中所示，使用相同导电层来形成晶体管 133 至 139 的源极端子和漏极端子以及信号线 143 至 149。因此，在前面的描述中，晶体管 134、135、138 和 139 的每个晶体管的源极端子和漏极端子中的另一个能够表示为源极信号线 144、145、148 和 149 的每个源极信号线的一部分。

[0079] 通过图 10 中所示的设计，能够使源极信号线 144 与源极信号线 145 之间的距离（ g_4 ）以及源极信号线 148 与源极信号线 149 之间的距离（ g_8 ）比其它相邻源极信号线之间的距离（即， g_1 、 g_2 、 g_3 、 g_5 、 g_6 或 g_7 ）要长。因此，因电容耦合引起的源极信号线 144、源极信号线 145、源极信号线 148 或源极信号线 149 的电位的变化能够得到抑制。

[0080] 此外，能够通过只选择以规则间隔或者以近似规则间隔分开的多个晶体管中电连接到源极信号线的端子，来实现图 10 中所示的结构。换言之，图 10 中所示的结构是其中源极信号线之间的距离能够通过简单设计来调整的结构。因此，在目的是使在不同时间段中进入浮态的两个相邻源极信号线之间的距离比在相同时间段中进入浮态的两个相邻源极信号线之间的距离要长的情况下，此目的能够易于采用图 10 中所示的结构来实现。因此，图 10 中所示的结构是优选的。

[0081] 上述半导体装置是一实施例的示例，并且具有与前面的描述不同的点的半导体装置也被包括在这个实施例中。

[0082] 例如，虽然上述半导体装置包括按照条状阵列所布置的多个像素 107（参见图 10），但是多个像素 107 可按照三角阵列来布置（参见图 11）。

[0083] 此外,在上述半导体装置中,在相同时间段中进入浮态的源极信号线的布置不受限制。也就是说,在电连接到在相同时间段中进入浮态的多个源极信号线的晶体管中,能够适当地选择各晶体管中的源极端子和漏极端子的哪一个电连接到每个源极信号线。例如,在相同时间段中进入浮态的多个源极信号线能够分为各包括两个源极信号线的编组,并且这两个源极信号线能够电连接到相邻晶体管的邻近端子(参见图 12)。注意,图 12 中所示的结构对于借助于相同布线将信号提供给多个源极信号线的半导体装置是优选的。

[0084] 下面详细地描述原因。在这里,假定晶体管 133 的源极端子和漏极端子其中之一是电连接到源极信号线 143 的端子,并且假定晶体管 133 的源极端子和漏极端子中的另一个是电连接到数据信号线 123 的端子。在那种情况下,改变晶体管 133 的源极端子和漏极端子中的另一个端子的电位,而与信号是否提供给源极信号线 143 无关。那时,图 12 中所示结构中的源极信号线 144 与晶体管 133 的源极端子和漏极端子中的另一个之间的距离比图 10 和图 11 的每个中所示结构中要长。因此,通过图 12 中所示的结构,与图 10 和图 11 中所示的结构相比,因电容耦合引起的源极信号线 144 的电位的变化能够得到抑制。因此,图 12 中所示的结构是优选的。

[0085] 注意,这个实施例或者这个实施例的一部分能够与其它实施例或者其它实施例的一部分自由结合。

[0086] (实施例 3)

[0087] 在这个实施例中,将描述实施例 1 或实施例 2 中所述的半导体装置中包括的晶体管的示例。具体来说,参照图 13A 至图 13D 来描述使用氧化物半导体来形成其沟道形成区的晶体管的结构以及用于制造该晶体管的方法的示例。

[0088] 图 13A 至图 13D 示出用于制造实施例 1 中的晶体管的特定结构和过程的示例。注意,图 13D 中所示的晶体管 410 具有称作沟道蚀刻类型的底栅结构,并且又称作反交错晶体管。虽然图 13D 中示出单栅晶体管,但是能够根据需要形成包括多个沟道形成区的多栅晶体管。

[0089] 下面参照图 13A 至图 13D 来描述用于在衬底 400 之上制造晶体管 410 的过程。

[0090] 首先,在具有绝缘表面的衬底 400 之上形成导电膜,并且然后通过第一光刻步骤来形成栅电极层 411。注意,该步骤中使用的抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0091] 注意,在这个实施例中,术语“膜”意味着在衬底的整个表面之上形成并且将要在后一个光刻步骤等中处理为期望形状的某物以及处理之前的某物。词语“层”意味着通过经由光刻步骤等将“膜”处理和成形为期望形状所得到的某物或者将要在衬底的整个表面上形成的某物。

[0092] 虽然对于能够用作具有绝缘表面的衬底 400 的衬底没有具体限制,然而必要的是,衬底至少具有对后来执行的热处理的足够耐热性。例如,能够使用采用钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等等所形成的玻璃衬底。在使用玻璃衬底并且用以后来执行热处理的温度较高的情况下,优选地使用其应变点(strain point)大于或等于 730℃的玻璃衬底。

[0093] 此外,用作基层的绝缘层可设置在衬底 400 与栅电极层 411 之间。基层具有防止杂质元素从衬底 400 扩散的功能,并且能够使用氮化硅膜、氧化硅膜、氮氧化硅膜和氧氮化硅膜中的一个或多个形成有单层结构或分层结构。

[0094] 栅电极层 411 能够使用诸如钼、钛、铬、钽、钨、铝、铜、钕或钐之类的金属材料或者包含这些材料中的任何材料作为其主要成分的合金材料来形成有单层结构或分层结构。

[0095] 例如,作为栅电极层 411 的双层结构,下列结构是优选的:其中钼层堆叠在铝层之上的结构,其中钼层堆叠在铜层之上的结构,其中氮化钛层或氮化钽层堆叠在铜层之上的结构,或者其中堆叠氮化钛层和钼层的结构。作为三层结构,钨层或氮化钨层、铝和硅的合金或者铝和钛的合金的层以及氮化钛层或钛层的三层结构是优选的。

[0096] 然后,在栅电极层 411 之上形成栅绝缘层 402。

[0097] 栅绝缘层 402 能够通过等离子体 CVD 方法、溅射方法等使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层和氧化铝层中的一个或多个形成有单层结构或分层结构。例如,可通过等离子体 CVD 方法,使用包含硅烷 (SiH_4)、氧和氮的沉积气体来形成氧氮化硅层。此外,诸如氧化铪 (HfO_x) 或氧化钽 (TaO_x) 之类的高 k 材料能够用作栅绝缘层。栅绝缘层 402 形成成为 55 nm 至 500 nm (包括两端) 的厚度;在栅绝缘层 402 形成有分层结构的情况下,例如堆叠厚度为 50 nm 至 200 nm (包括两端) 的第一栅绝缘层以及厚度为 5 nm 至 300 nm (包括两端) 的第二栅绝缘层。

[0098] 在这里,通过等离子体 CVD 方法,氧氮化硅层作为栅绝缘层 402 形成为 100 nm 或更小的厚度。

[0099] 此外,作为栅绝缘层 402,氧氮化硅层可采用高密度等离子体设备来形成。在这里,高密度等离子体设备指的是能够实现高于或等于 $1 \times 10^{11} / \text{cm}^3$ 的等离子体密度的设备。例如,通过施加 3 kW 至 6 kW 的微波功率来生成等离子体,使得形成绝缘层。

[0100] 将硅烷气体 (SiH_4)、一氧化二氮 (N_2O) 和稀有气体作为源气体 (source gas) 引入室中,以便在 10 Pa 至 30 Pa 的压力下生成高密度等离子体,并且在具有绝缘表面的衬底 (例如玻璃衬底) 之上形成绝缘层。此后,停止提供硅烷 (SiH_4),并且可通过引入一氧化二氮 (N_2O) 和稀有气体,来对绝缘层的表面执行等离子体处理,而没有暴露于空气。通过引入一氧化二氮 (N_2O) 和稀有气体来对绝缘层的表面所执行的等离子体处理至少在形成绝缘层之后执行。例如,通过上述过程程序所形成的绝缘层具有小厚度,并且对应于即使其具有小于 100 nm 的厚度也能够确保其可靠性的绝缘层。

[0101] 在形成栅绝缘层 402 中,引入室中的硅烷 (SiH_4) 对一氧化二氮 (N_2O) 的流量比是在 1:10 至 1:200 的范围之中。另外,作为引入室中的稀有气体,能够使用氦、氩、氦、氙等。具体来说,优选地使用低成本的氩。

[0102] 另外,由于通过使用高密度等离子体设备所形成的绝缘层能够具有某个厚度,所以绝缘层具有优良的阶梯覆盖 (step coverage)。此外,对于通过使用高密度等离子体设备所形成的绝缘层,能够准确控制薄膜的厚度。

[0103] 通过上述过程程序所形成的绝缘层与使用常规平行板等离子体 CVD 设备所形成的绝缘层极为不同。在具有相同蚀刻剂的蚀刻速率相互比较的情况下,通过上述过程程序所形成的绝缘膜的蚀刻速率比使用常规平行板等离子体 CVD 设备所形成的绝缘膜要低 10% 或更多或者 20% 或更多。因此,能够说,使用高密度等离子体设备所形成的绝缘层是致密膜 (dense film)。

[0104] 在后来步骤制作为本征 (i 型) 或者基本上本征的氧化物半导体 (高纯度氧化物半导体) 对界面态和界面电荷极为敏感;因此,氧化物半导体与栅绝缘层之间的界面是重

要的。因此,与高纯度氧化物半导体相接触的栅绝缘层需要高质量。因此,优选地采用借助于微波(2.45 GHz)的高密度等离子体CVD设备,因为能够形成具有高耐受电压的致密且高质量绝缘膜的形成。当高纯度氧化物半导体和高质量栅绝缘层相互紧密接触时,界面态密度能够降低,并且能够得到有利的界面特性。重要的是,栅绝缘层具有与氧化物半导体的较低界面态密度和有利的界面以及具有作为栅绝缘层的有利膜质量。

[0105] 然后,氧化物半导体膜430在栅绝缘层402之上形成2 nm至200 nm(包括两端)的厚度。注意,在通过溅射方法来形成氧化物半导体膜430之前,优选地通过其中引入氩气体并且生成等离子体的反向溅射(reverse sputtering),去除附于栅绝缘层402的表面的粉状物质(又称作微粒或灰尘)。反向溅射指的是一种方法,其中没有将电压施加到靶侧,而是使用RF电源在氩气氛中将电压施加到衬底侧,以便使表面改性。注意,代替氩气氛,可使用氮气气氛、氦气氛、氧气气氛等。

[0106] 作为氧化物半导体膜430,使用In-Ga-Zn-O基氧化物半导体膜、In-Sn-O基氧化物半导体膜、In-Sn-Zn-O基氧化物半导体膜、In-Al-Zn-O基氧化物半导体膜、Sn-Ga-Zn-O基氧化物半导体膜、Al-Ga-Zn-O基氧化物半导体膜、Sn-Al-Zn-O基氧化物半导体膜、In-Ga-O基氧化物半导体膜、In-Zn-O基氧化物半导体膜、Sn-Zn-O基氧化物半导体膜、Al-Zn-O基氧化物半导体膜、In-O基氧化物半导体膜、Sn-O基氧化物半导体膜或者Zn-O基氧化物半导体膜。在这个实施例中,氧化物半导体膜430通过溅射方法借助于In-Ga-Zn-O基金属氧化物靶来形成。图13A中示出这个阶段的截面图。备选地,氧化物半导体膜430能够通过溅射方法在稀有气体(通常为氩)气氛、氧气气氛或者包含稀有气体(通常为氩)和氧的混合气氛中形成。注意,当使用溅射方法时,优选的是使用包括2重量百分比或更多和10重量百分比或更少的SiO₂的靶来执行沉积,包括抑制氧化物半导体膜430中的晶化的SiO_x($x > 0$),使得在为后来过程中执行的脱水或脱氢执行的热处理时抑制晶化。

[0107] 在这里,使用包含In、Ga和Zn(In₂O₃:Ga₂O₃:ZnO=1:1:1[摩尔]、In:Ga:Zn=1:1:0.5[原子])的金属氧化物靶来执行膜沉积。沉积条件设定如下:衬底与靶之间的距离为100 mm,压力为0.2 Pa,直流(DC)功率为0.5 kW,以及气氛是氩和氧的混合气氛(氩:氧=30 sccm:20 sccm,并且氧流率为40%)。注意,脉冲直流(DC)电源是优选的,因为能够降低沉积时生成的粉状物质,并且能够使膜厚度均匀。In-Ga-Zn-O基膜形成2 nm至200 nm(包括两端)的厚度。在这个实施例中,作为氧化物半导体膜,20 nm厚的In-Ga-Zn-O基膜通过溅射方法借助于In-Ga-Zn-O基金属氧化物靶来形成。作为包含In、Ga和Zn的金属氧化物靶,还能够使用组成比为In:Ga:Zn=1:1:1[原子]的靶或者组成比为In:Ga:Zn=1:1:2[原子]的靶。

[0108] 溅射方法的示例包括:RF溅射方法,其中高频电源用作溅射电源;DC溅射方法;以及脉冲DC溅射方法,其中以脉冲方式来施加偏压(bias)。RF溅射方法主要用于形成绝缘膜的情况中,而DC溅射方法主要用于形成金属膜的情况中。

[0109] 另外,还存在多源溅射设备,其中能够设定不同材料的多个靶。通过多源溅射设备,不同材料的膜能够形成为堆叠在相同室中,或者多种材料的膜能够通过相同室中同时放电来形成。

[0110] 另外,存在一种溅射设备,该溅射设备设置有室内部的磁系统并且用于磁控管溅射(magnetron sputtering),以及存在一种用于ECR溅射的溅射设备,其中使用借助于微

波所生成的等离子体,而无需使用辉光放电(glow discharge)。

[0111] 此外,作为通过溅射方法的沉积方法,还存在反应溅射方法,其中靶物质和溅射气体成分在沉积期间相互起化学反应,以便形成其化合物薄膜,并且存在偏压溅射,其中电压在沉积期间还施加到衬底。

[0112] 然后,氧化物半导体膜 430 通过第二光刻步骤处理为岛状氧化物半导体层。注意,该步骤中使用的抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0113] 随后,执行氧化物半导体层的脱水或脱氢。用于脱水或脱氢的第一热处理的温度高于或等于 400℃且低于或等于 750℃,优选地高于或等于 400℃且低于衬底的应变点。在这里,将衬底引入作为一种热处理设备的电炉中,在氮气氛中以 450℃对氧化物半导体层执行 1 小时热处理,于是氧化物半导体层没有暴露于空气,使得防止水和氢进入氧化物半导体层;因此得到氧化物半导体层 431(参见图 13B)。

[0114] 注意,热处理设备并不局限于电炉,而是可包括用于通过来自诸如电阻加热元件之类的加热元件的热传导或热辐射来加热待处理对象的装置。例如,能够使用诸如 GRTA(气体快速热退火)设备或 LRTA(灯快速热退火)设备之类的 RTA(快速热退火)设备。LRTA 设备是用于通过从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯之类的灯所发射的光(电磁波)的辐射来加热待处理对象的设备。GRTA 设备是用于使用高温气体的热处理的设备。作为气体,使用诸如氮之类的不会通过热处理来与待处理对象发生反应的惰性气体或者诸如氩之类的稀有气体。

[0115] 例如,作为第一热处理,可执行 GRTA,通过 GRTA 将衬底移入加热到高达 650℃至 700℃的温度的惰性气体,加热数分钟,并且从加热到高温的惰性气体中移出。通过 GRTA,能够实现短时间段的高温热处理。

[0116] 注意,在第一热处理中,优选的是,水、氢等没有被包含在氮或者诸如氮、氩或氩之类的稀有气体的气氛中。优选的是,引入热处理设备中的氮或者诸如氮、氩或氩之类的稀有气体的纯度设定为 6N(99.9999%)或更高、优选地为 7N(99.99999%)或更高(也就是说,杂质浓度为 1 ppm 或更低,优选地为 0.1 ppm 或更低)。

[0117] 对氧化物半导体层所执行的第一热处理可对尚未被处理为岛状氧化物半导体层的氧化物半导体膜 430 来执行。在那种情况下,在第一热处理之后,从热处理设备中取出衬底,并且然后执行第二光刻步骤。

[0118] 用于对氧化物半导体层的脱水或脱氢的热处理可在下列定时中的任何定时执行:在形成氧化物半导体层之后;在氧化物半导体层之上形成源电极层和漏电极层之后;以及在源电极层和漏电极层之上形成保护绝缘膜之后。

[0119] 此外,在栅绝缘层 402 中形成开口部分的情况下,形成开口部分的步骤可在氧化物半导体膜 430 经过脱水或脱氢处理之前或之后执行。

[0120] 注意,氧化物半导体膜 430 的蚀刻并不局限于湿法蚀刻,而是还可使用干法蚀刻。

[0121] 作为用于干法蚀刻的蚀刻气体,优选地使用包含氯的气体(氯基气体,例如氯(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)或四氯化碳(CCl_4))。

[0122] 备选地,能够使用包含氟的气体(氟基气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)或三氟甲烷(CHF_3));溴化氢(HBr);氧(O_2);对其添加了诸如氦(He)或氩

(Ar) 之类的稀有气体的这些气体中的任何气体 ; 等等。

[0123] 作为干法蚀刻方法, 能够使用平行板 RIE(活性离子蚀刻) 方法或 ICP(感应耦合等离子体) 蚀刻方法。为了将膜蚀刻成期望形状, 蚀刻条件 (施加到线圈形状电极的电功率量、施加到衬底侧的电极的电功率量和衬底侧的电极的温度等) 经过适当调整。

[0124] 作为用于湿法蚀刻的蚀刻剂, 能够使用磷酸、醋酸和硝酸等的混合溶液。另外, 还可使用 IT007N(由日本关东化学株式会社生产)。

[0125] 湿法蚀刻之后蚀刻剂连同被蚀刻材料一起通过清洗被去除。包括蚀刻剂和蚀刻掉的材料的废液可经过纯化, 并且材料可再使用。当氧化物半导体层中包括的诸如钨之类的材料在蚀刻之后从废液中被收集并且再使用时, 能够有效地使用资源, 并且能够降低成本。

[0126] 蚀刻条件 (例如蚀刻剂、蚀刻时间和温度) 根据材料来适当地调整, 使得材料能够蚀刻成期望形状。

[0127] 随后, 在栅绝缘层 402 和氧化物半导体层 431 之上形成金属导电膜。金属导电膜可通过溅射方法或真空蒸发方法来形成。作为金属导电膜的材料, 能够给出从铝 (Al)、铬 (Cr)、铜 (Cu)、钽 (Ta)、钛 (Ti)、钼 (Mo) 和钨 (W) 中选择的元素、包含这些元素中的任何元素作为成分的合金、组合地包含这些元素中的任何元素的合金等。备选地, 可使用从锰 (Mn)、镁 (Mg)、锆 (Zr)、铍 (Be) 和钇 (Y) 中选择的一种或多种材料。此外, 金属导电膜可具有单层结构或者双层或更多层的分层结构。例如, 能够给出下列结构 : 包括硅的铝膜的单层结构、铜膜或包括铜作为主要成分的膜的单层结构、其中钛膜堆叠在铝膜之上的双层结构、其中铜膜堆叠在氮化钽膜或氮化铜膜之上的双层结构以及其中铝膜堆叠在钛膜并且另一个钛膜堆叠在铝膜之上的三层结构。备选地, 可使用包含铝 (Al) 以及从钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd) 和钪 (Sc) 中选择的一种或多种元素的膜、合金膜或者氮化物膜。

[0128] 如果热处理在形成金属导电膜之后执行, 则优选的是, 金属导电膜具有足够的耐热性以耐受热处理。

[0129] 执行第三光刻步骤。在金属导电膜之上形成抗蚀剂掩模, 并且有选择地执行蚀刻, 使得形成源电极层 415a 和漏电极层 415b。然后, 去除抗蚀剂掩模 (参见图 13C)。

[0130] 注意, 材料和蚀刻条件经过适当调整, 使得氧化物半导体层 431 没有通过蚀刻金属导电膜被去除。

[0131] 在这里, 钛膜用作金属导电膜, In-Ga-Zn-O 基氧化物用于氧化物半导体层 431, 以及使用氨过氧化氢混合物 (氨、水和过氧化氢溶液的混合溶液)。

[0132] 注意, 在第三光刻步骤中, 仅蚀刻氧化物半导体层 431 的一部分, 由此在一些情况下形成具有凹槽 (凹陷部分) 的氧化物半导体层。备选地, 该步骤中使用的抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模 ; 因此, 制造成本能够降低。

[0133] 为了降低光刻步骤中使用的光掩模的数量并且降低光刻步骤的数量, 蚀刻步骤可借助于作为可透射光线以具有多个强度的曝光掩模的多色调掩模 (multi-tone mask) 来执行。由于使用多色调掩模所形成的抗蚀剂掩模具有多个厚度并且能够通过执行灰化 (ashing) 进一步改变形状, 所以抗蚀剂掩模能够在多个蚀刻步骤中用于提供不同的图案。因此, 与至少两种或更多种不同图案对应的抗蚀剂掩模能够通过一个多色调掩模来形成。

因此,曝光掩模的数量能够降低,并且对应光刻步骤的数量也能够降低,由此能够实现过程的简化。

[0134] 随后,执行使用诸如一氧化二氮 (N_2O)、氮 (N_2) 或氩 (Ar) 之类的气体的等离子体处理。通过这种等离子体处理,去除吸附到氧化物半导体层的暴露表面上的水等。也可使用氧和氩的混合气体来执行等离子体处理。

[0135] 在等离子体处理之后,形成用作保护绝缘膜并且与氧化物半导体层的一部分相接触的氧化物绝缘层 416,而没有暴露于空气。

[0136] 厚度至少为 1 nm 或更多的氧化物绝缘层 416 能够适当地通过溅射方法等来形成,溅射方法等作为用以没有将诸如水和氢之类的杂质混合到氧化物绝缘层 416 中的方法。当氢被包含在氧化物绝缘层 416 中时,引起氢进入氧化物半导体层,由此使氧化物半导体层 431 的背沟道(backchannel)具有较低电阻(具有 n 型导电率)并且形成寄生沟道。因此,重要的是,采用其中没有使用氢的形成方法,以便形成包含尽可能少的氢的氧化物绝缘层 416。

[0137] 在这里,200 nm 厚的氧化硅膜通过溅射方法作为氧化物绝缘层 416 来沉积。沉积中的衬底温度可高于或等于室温且低于或等于 300°C,并且在这个实施例中为 100°C。通过溅射方法形成氧化硅膜能够在稀有气体(通常为氩)气氛、氧气气氛或者稀有气体(通常为氩)和氧的气氛中执行。作为靶,可使用氧化硅靶或硅靶。例如,氧化硅膜能够通过溅射方法在包括氧和氮的气氛中使用硅靶来形成。

[0138] 随后,优选地在惰性气体气氛或氧气气氛中执行第二热处理(优选地以 200°C 至 400°C(包括两端),更优选地以 250°C 至 350°C(包括两端))。例如,第二热处理在氮气气氛中以 250°C 执行 1 小时。通过第二热处理,氧化物半导体层的一部分(沟道形成区)在与氧化物绝缘层 416 相接触的同时被加热。因此,将氧提供给氧化物半导体层的一部分(沟道形成区)。

[0139] 通过上述过程程序,氧化物半导体层经过用于脱水或脱氢的热处理,并且然后有选择地使氧化物半导体层的一部分(沟道形成区)处于氧过剩状态。因此,与栅电极层 411 重叠的沟道形成区 413 变为 i 型,并且与源电极层 415a 重叠的源区 414a 以及与漏电极层 415b 重叠的漏区 414b 以自对齐方式来形成。因此,形成晶体管 410。

[0140] 在 85°C 以 2×10^6 V/cm 为时 12 小时的栅极偏压温度应力测试(BT 测试)中,如果将杂质添加到氧化物半导体,则杂质与氧化物半导体的主要成分之间的键被高电场(B:偏压)和高温(T:温度)破坏,并且所生成的悬空键(dangling bond)引起阈值电压(V_{th})的漂移。另一方面,通过尽可能去除氧化物半导体中的杂质,特别是氢或水,并且使用高密度等离子体 CVD 设备,能够得到如上所述具有高耐受电压以及绝缘膜与氧化物半导体之间的良好界面特性的致密且高质量绝缘膜;因此,能够得到甚至在 BT 测试中也是稳定的晶体管。

[0141] 此外,可在空气中以 100°C 至 200°C(包括两端)执行热处理 1 小时至 30 小时(包括两端)。在这里,以 150°C 执行 10 小时热处理。这种热处理可在固定加热温度下执行。备选地,加热温度的下列改变可重复进行多次:加热温度从室温增加到 100°C 至 200°C 的温度,并且然后下降到室温。此外,这种热处理可在形成氧化物绝缘膜之前在降低压力下来执行。在降低压力下,热处理时间能够缩短。通过热处理,在氧化物绝缘层中从氧化物半导体

层取走氢。

[0142] 通过在与漏电极层 415b 重叠的氧化物半导体层的一部分中形成漏区 414b, 晶体管的可靠性能够改进。具体来说, 通过形成漏区 414b, 能够得到其中导电率能够通过漏区 414b 从漏电极层 415b 到沟道形成区 413 变化的结构。

[0143] 此外, 在氧化物半导体层的厚度为 15 nm 或更小的情况下, 氧化物半导体层中的源区或漏区沿整个厚度方向来形成。在氧化物半导体层的厚度为 30 nm 至 50 nm (包括两端) 的情况下, 在氧化物半导体层的一部分中, 即, 在源电极层或漏电极层相接触的氧化物半导体层的区域中及其附近, 电阻被降低, 并且形成源区或漏区, 同时能够使氧化物半导体层中接近栅绝缘层的区域为 i 型。

[0144] 还可在氧化物绝缘层 416 之上形成保护绝缘层。例如, 通过 RF 溅射方法来形成氮化硅膜。由于 RF 溅射方法具有高生产率, 所以它优选地用作保护绝缘层的膜形成方法。作为保护绝缘层, 使用没有包括诸如水分、氢离子和 OH 之类的杂质并且阻止这些杂质从外部进入的无机绝缘膜; 使用氮化硅膜、氮化铝膜、氮氧化硅膜、氧氮化铝膜等。在这个实施例中, 作为保护绝缘层, 使用氮化硅膜来形成保护绝缘层 403 (参见图 13D)。

[0145] 这个实施例中所述的晶体管是能够在玻璃衬底之上形成的晶体管 (它能够通过低温过程来形成)。此外, 这个实施例中所述的晶体管的场效应迁移率比使用非晶硅来形成其沟道形成区的晶体管的场效应迁移率要高。因此, 这个实施例中所述的晶体管作为有源矩阵显示装置的各像素中的晶体管是优选的。

[0146] 同时, 使用氧化物半导体来形成其沟道形成区的晶体管的场效应迁移率比使用单晶硅来形成其沟道形成区的晶体管要低。因此, 在使用单晶硅来形成其沟道形成区的晶体管用作驱动器电路中包括的晶体管的有源矩阵显示装置中, 难以采用使用氧化物半导体来形成其沟道形成区的晶体管取代驱动器电路中包括的晶体管。

[0147] 但是, 通过数据划分驱动, 驱动器电路的工作频率能够降低, 如实施例 2 等中所述。因此, 晶体管的应用范围能够扩展; 例如, 这个实施例中所述的晶体管能够用作驱动器电路中包括的晶体管。因此, 有源矩阵显示装置的制造成本能够降低, 并且显示装置的尺寸和重量能够降低。

[0148] 具体来说, 在实施例 2 中所述的有源矩阵显示装置中, 这个实施例的晶体管能够用作取样电路中包括的晶体管和像素中包括的晶体管。另外, 这个实施例中的晶体管能够用作栅极信号线驱动器电路中或者该电路的一部分中包括的晶体管和 / 或源极信号线驱动器电路中除了取样电路之外的电路 (例如, 移位寄存器电路) 中或者该电路的一部分中包括的晶体管。自然, 优选的是扩展这个实施例的晶体管的应用范围, 因为范围的扩展促进显示装置的制造成本的降低以及显示装置的尺寸和重量的降低。

[0149] 注意, 这个实施例的内容或者其一部分能够与其它实施例的内容或者其一部分或者示例的内容或者其一部分自由结合。

[0150] (实施例 4)

[0151] 在这个实施例中, 参照图 14A 至图 14F 来描述实施例 1 或实施例 2 中的半导体装置安装于其上的电子装置的示例。

[0152] 图 14A 示出膝上型计算机, 其包括主体 2201、壳体 (housing) 2202、显示部分 2203、键盘 2204 等。

[0153] 图 14B 示出个人数字助理 (PDA), 其包括主体 2211, 具有显示部分 2213、外部接口 2215、操作按钮 2214 等。作为配件包括用于操作的输入笔(stylus) 2212。

[0154] 图 14C 示出作为电子纸的示例的电子书阅读器 2220。电子书阅读器 2220 包括两个壳体: 壳体 2221 和 2223。壳体 2221 和 2223 通过轴(hinge)2237 相互接合, 电子书阅读器 2220 能够沿其开启和闭合。通过这种结构, 电子书阅读器 2220 能够用作纸书。

[0155] 显示部分 2225 结合在壳体 2221 中, 而显示部分 2227 结合在壳体 2223 中。显示部分 2225 和显示部分 2227 可显示一个图像或者不同图像。在显示部分显示相互不同的图像的结构中, 例如, 右显示部分(图 14C 中的显示部分 2225) 能够显示文本, 而左显示部分(图 14C 中的显示部分 2227) 能够显示图像。

[0156] 此外, 在图 14C 中, 壳体 2221 设置有操作部分等。例如, 壳体 2221 设置有电源按钮 2231、操作按钮 2233、扬声器 2235 等。通过操作按钮 2233 能够翻页。注意, 键盘、定点装置(pointing device) 等也可设置在其上设置显示部分的壳体的表面上。此外, 外部连接端子(耳机端子、USB 端子、能够连接到例如 AC 适配器和 USB 缆线等各种缆线的端子等等)、记录介质插入部分等等可设置在壳体的背面或侧面上。此外, 电子书阅读器 2220 可具有电子词典的功能。

[0157] 电子书阅读器 2220 可配置成无线地传送和接收数据。通过无线通信, 期望书数据等等能够从电子书服务器购买和下载。

[0158] 注意, 电子纸能够应用于各种领域中的装置, 只要它们显示信息。例如, 除了电子书阅读器之外, 电子纸还能够用于海报、诸如火车之类的车辆中的广告、诸如信用卡之类的各种卡中的显示等。

[0159] 图 14D 示出移动电话。移动电话包括两个壳体: 壳体 2240 和 2241。壳体 2241 设置有显示面板 2242、扬声器 2243、麦克风 2244、定点装置 2246、摄像机镜头 2247、外部连接端子 2248 等。壳体 2240 设置有对移动电话充电的太阳能电池(solar cell)2249、外部存储器槽 2250 等。天线结合在壳体 2241 中。

[0160] 显示面板 2242 具有触摸面板功能。显示为图像的多个操作按钮 2245 在图 14D 中由虚线示出。注意, 移动电话包括用于将从太阳能电池 2249 所输出的电压增加到各电路所需的电压的升压电路。此外, 除了上述结构之外, 移动电话还能够包括非接触 IC 芯片、小记录装置等。

[0161] 显示面板 2242 的显示取向按照应用模式适当地发生改变。此外, 摄像机镜头 2247 设置在与显示面板 2242 相同的表面上, 并且因而它能够用作视频电话。扬声器 2243 和麦克风 2244 能够用于视频电话呼叫、记录和播放声音等以及语音呼叫。此外, 处于其中它们如图 14D 中所示展开的状态的壳体 2240 和 2241 能够滑动, 使得相互搭接; 因此, 便携电话的尺寸能够降低, 这使便携电话适合携带。

[0162] 外部连接端子 2248 能够连接到 AC 适配器或者诸如 USB 缆线之类的各种缆线, 其实现对移动电话的充电和数据通信。此外, 较大量数据能够通过将记录介质插入外部存储器槽 2250 来保存和移动。此外, 除了上述功能之外, 还可设置红外通信功能、电视接收功能等。

[0163] 图 14E 示出数字摄像机, 其包括主体 2261、显示部分 (A) 2267、目镜(eyepiece) 2263、操作开关 2264、显示部分 (B) 2265、电池 2266 等。

[0164] 图 14F 示出电视机 2270,其包括结合在壳体 2271 中的显示部分 2273。显示部分 2273 能够显示图像。在这里,壳体 2271 由支架 2275 来支持。

[0165] 电视机 2270 能够通过壳体 2271 的操作开关或者独立遥控器 2280 来操作。频道和音量能够采用遥控器 2280 的操作按键 2279 来控制,使得能够控制显示部分 2273 上显示的图像。此外,遥控器 2280 可具有显示部分 2277,其中显示从遥控器 2280 出局的信息。

[0166] 注意,电视机 2270 优选地设置有接收器、调制解调器等。采用接收器,能够接收一般电视广播。此外,当电视机经由调制解调器有线或无线连接到通信网络时,能够执行单向(从发送器到接收器)或双向(在发送器与接收器之间或者在接收器之间)数据通信。

[0167] 本申请基于 2010 年 1 月 15 日向日本专利局提交的日本专利申请序号 2010-006419,通过引用将其完整内容结合于此。

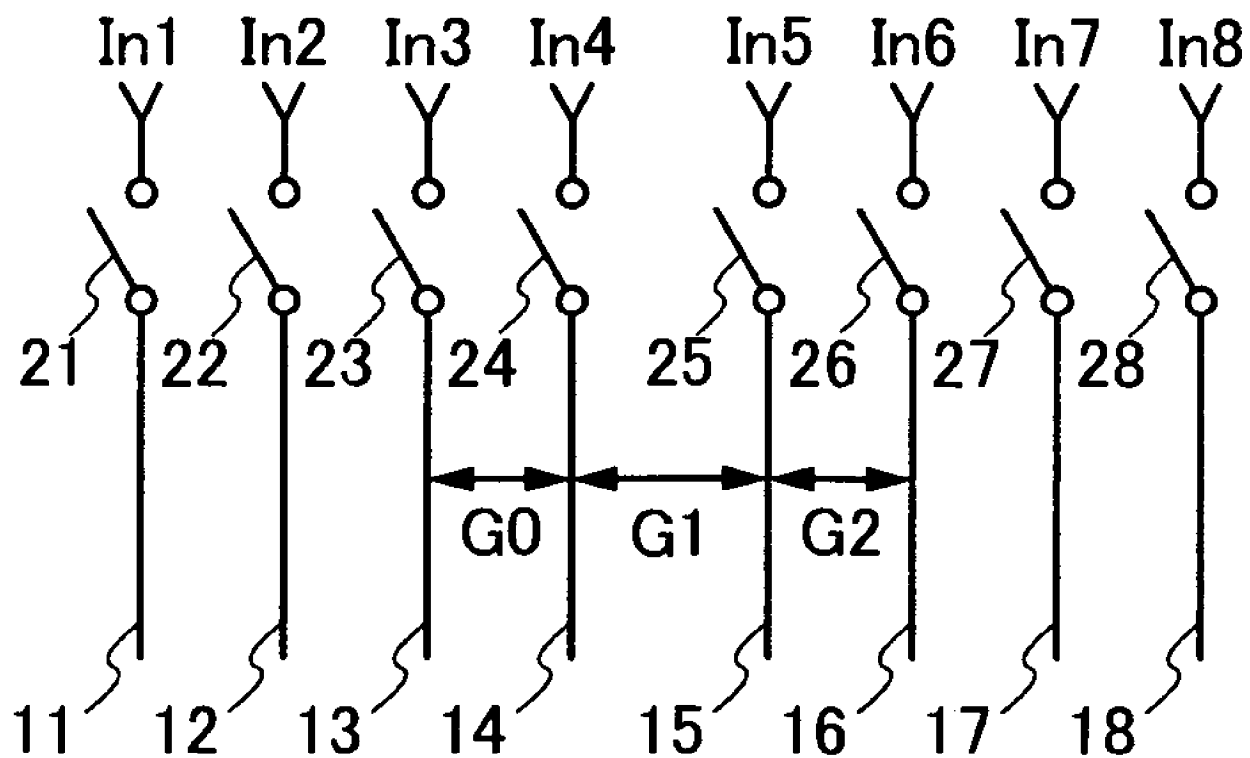


图 1A

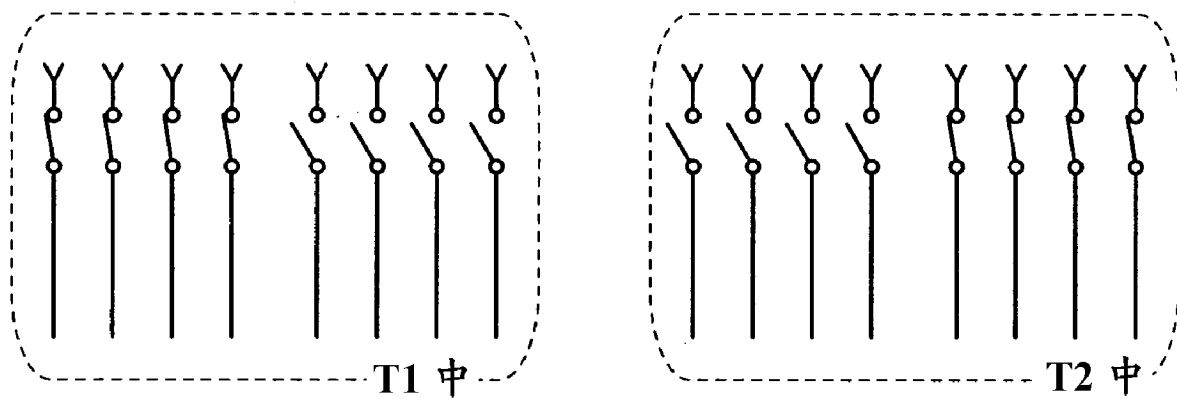


图 1B

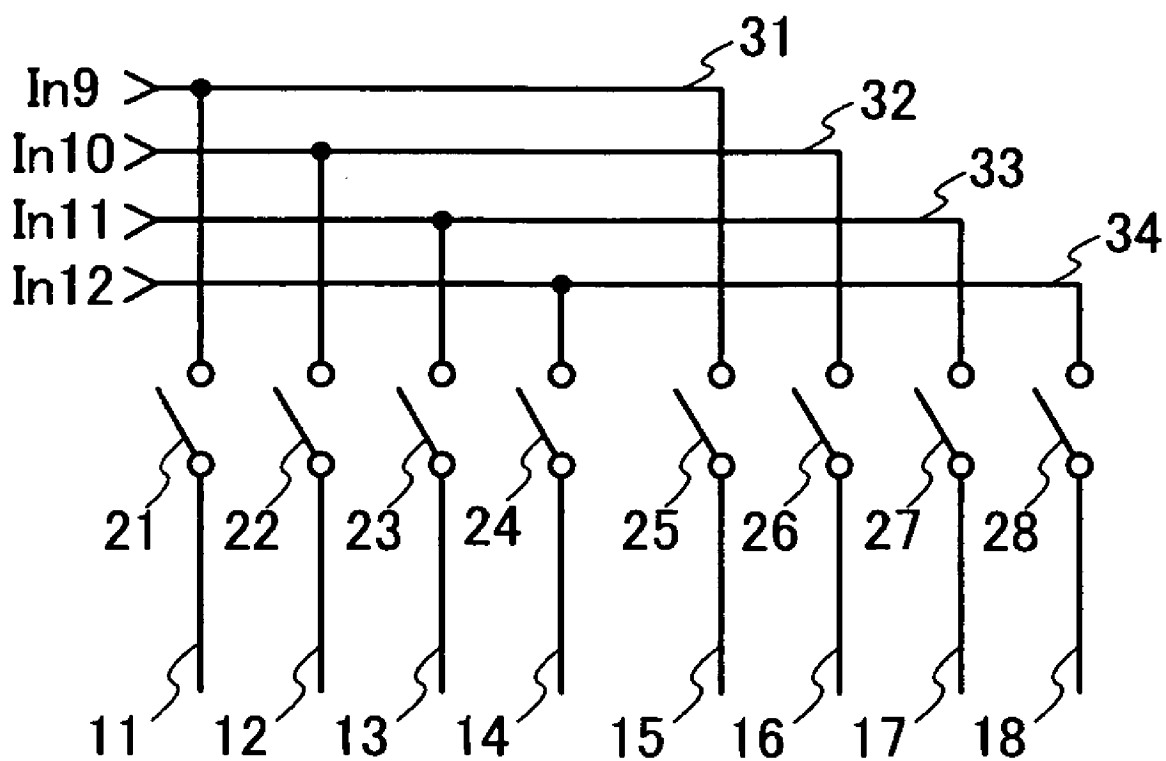


图 1C

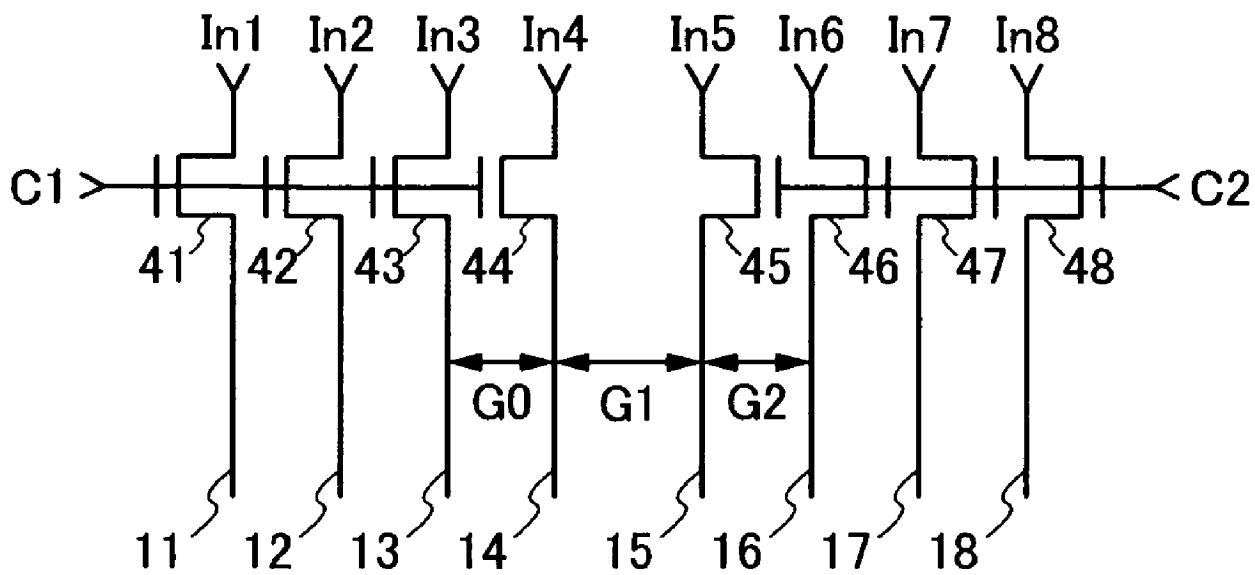


图 2A

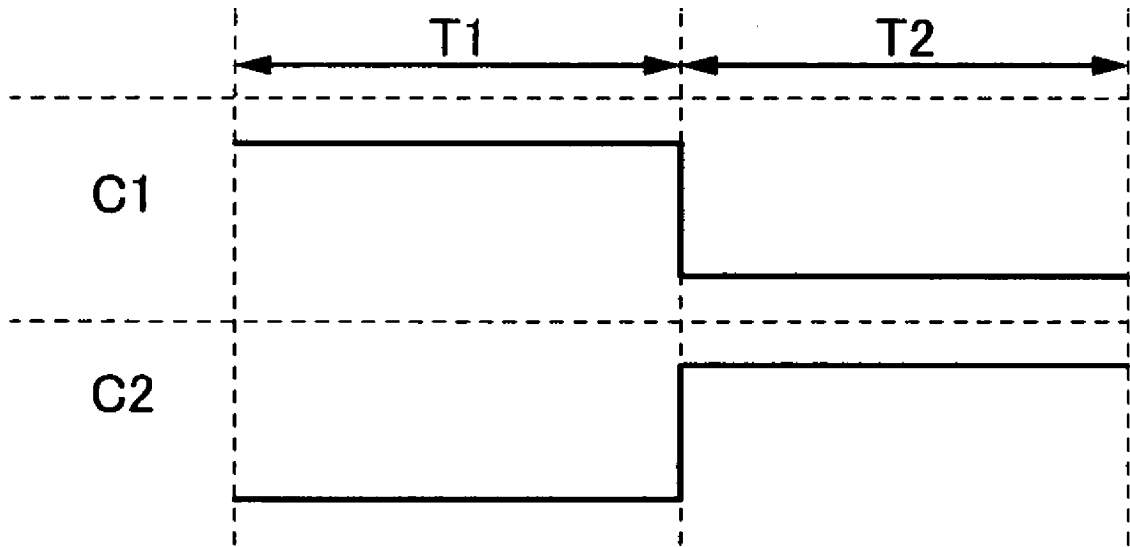


图 2B

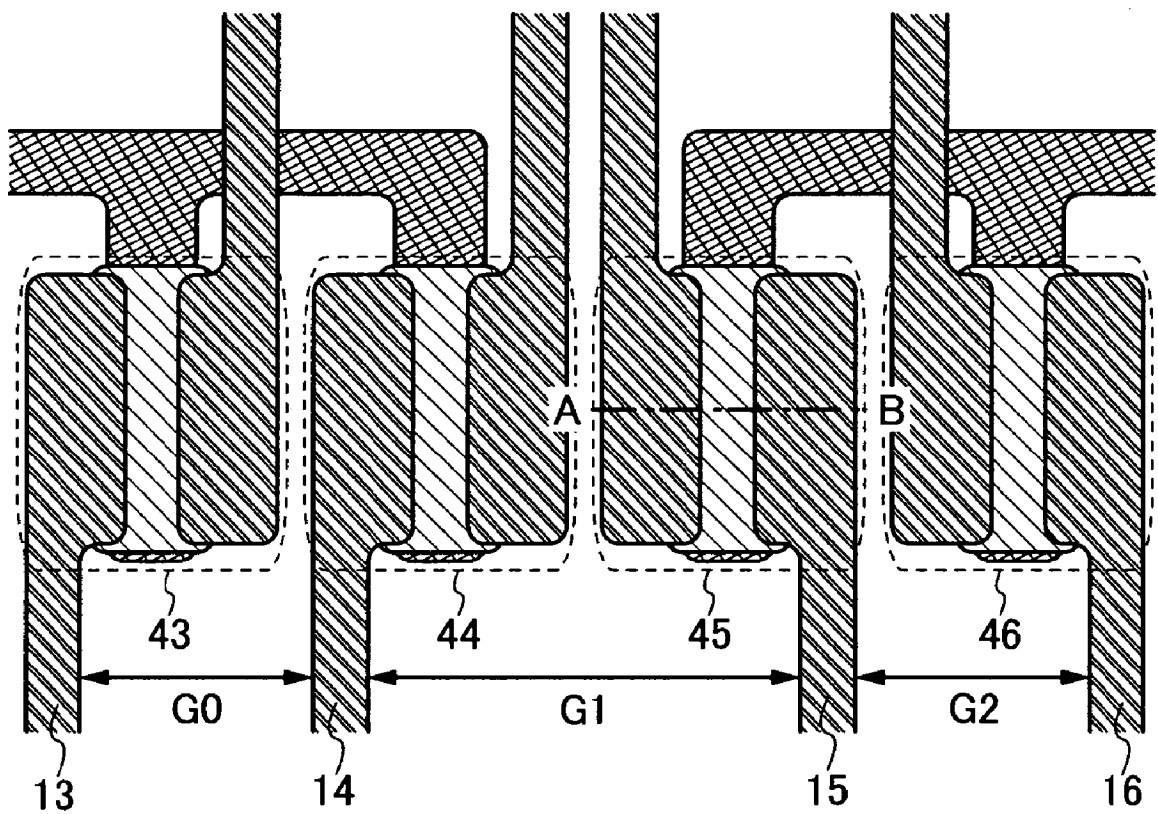


图 3A

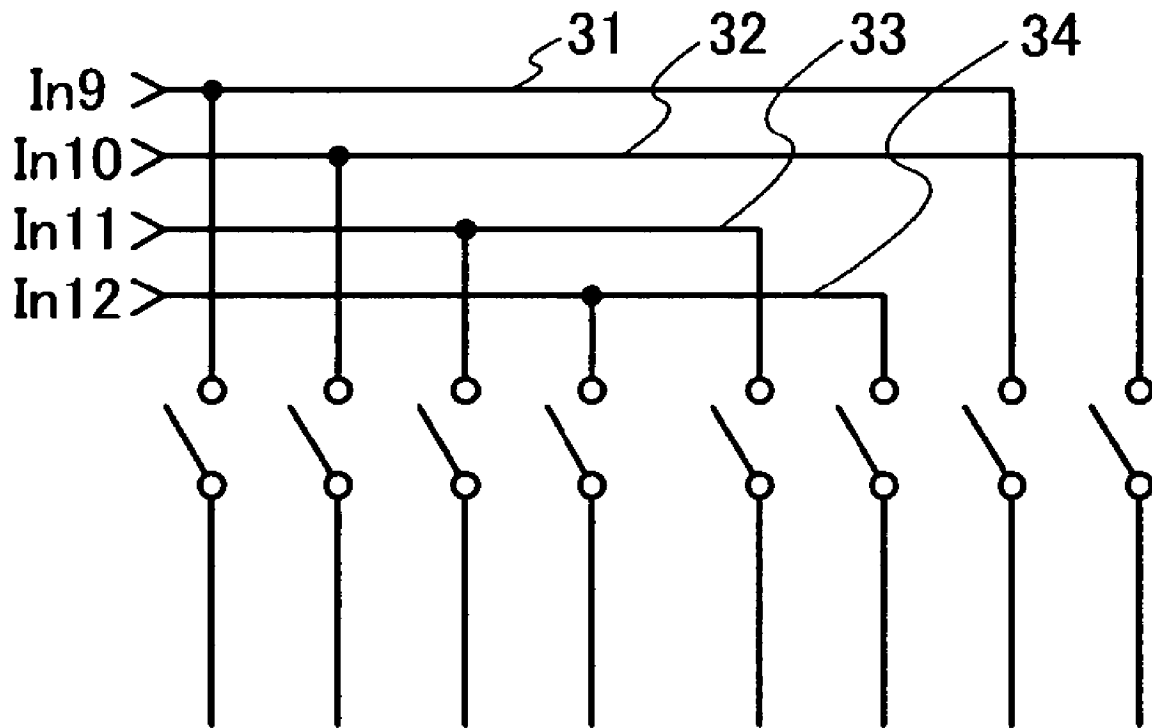


图 4B

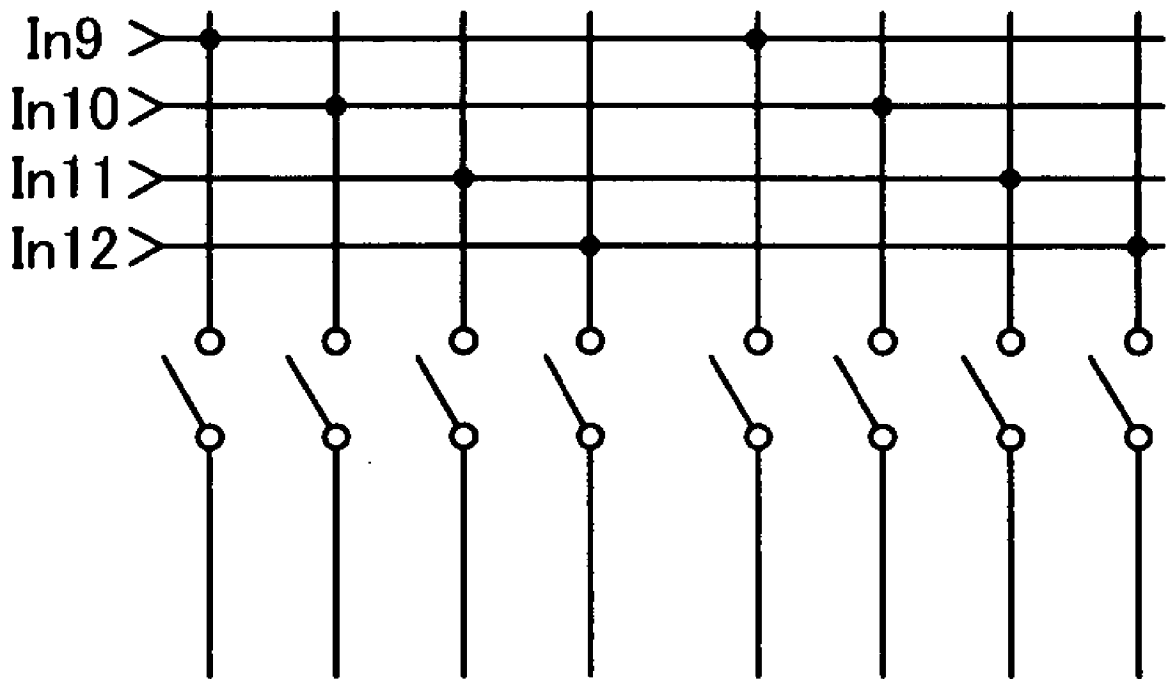


图 4C

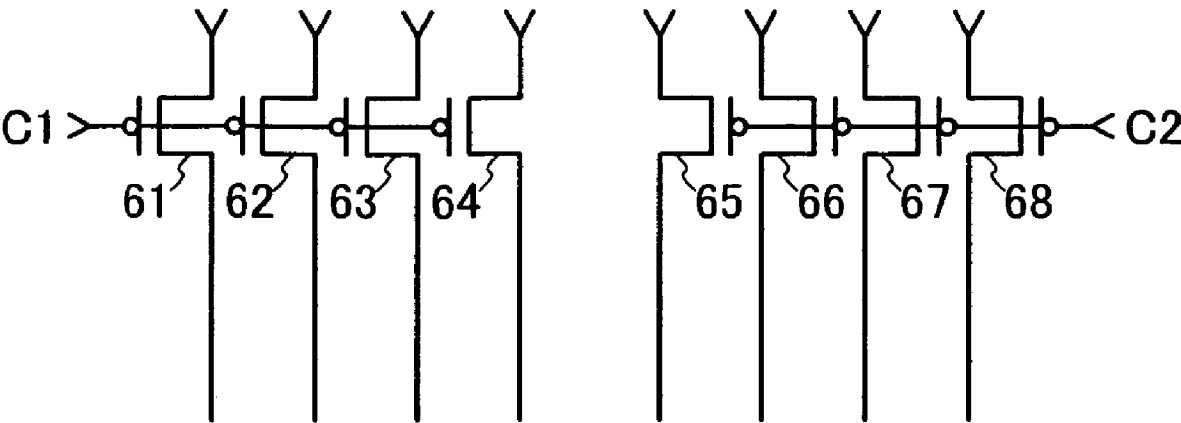


图 5A

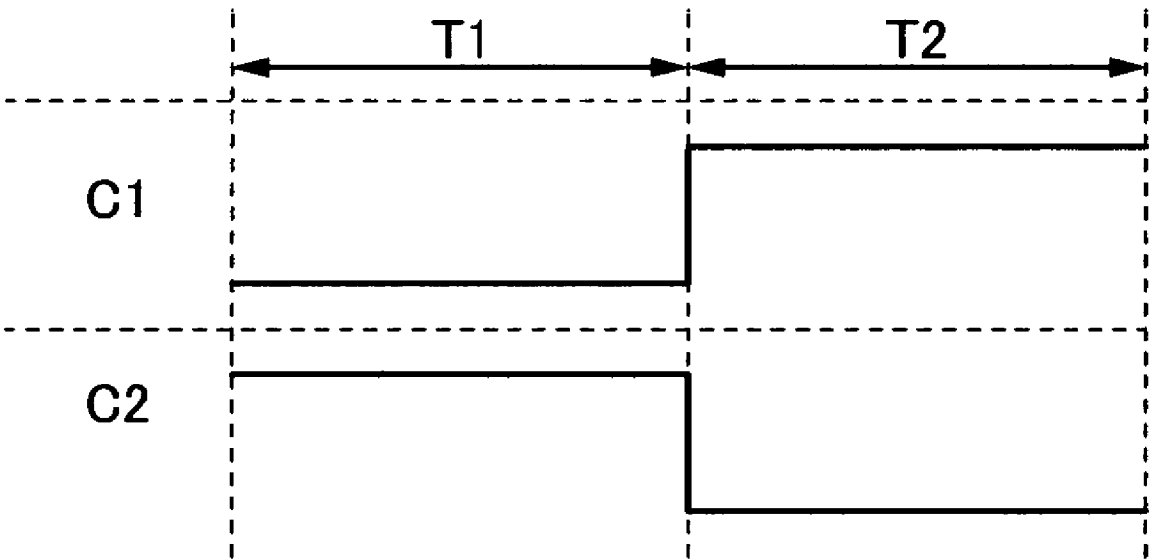
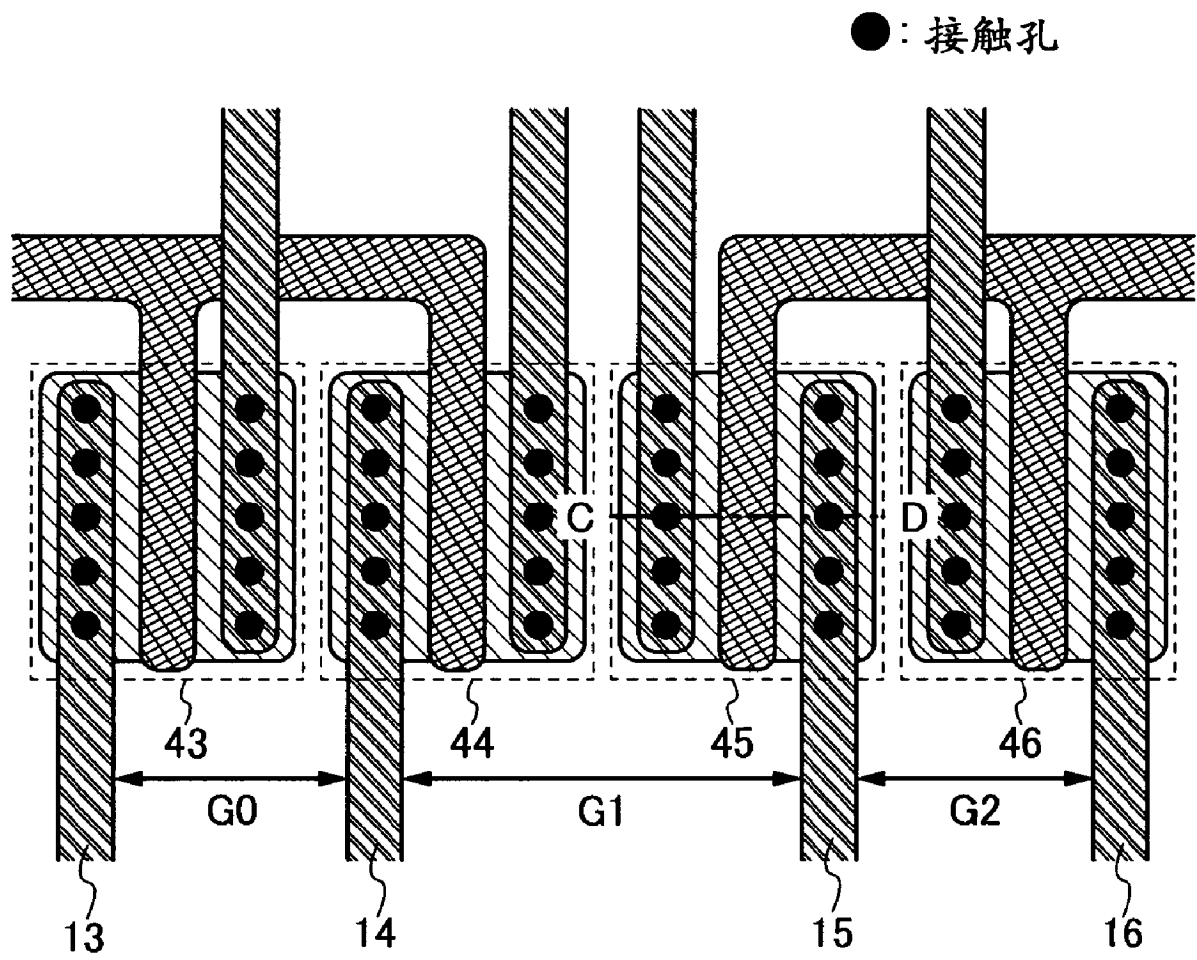


图 5B



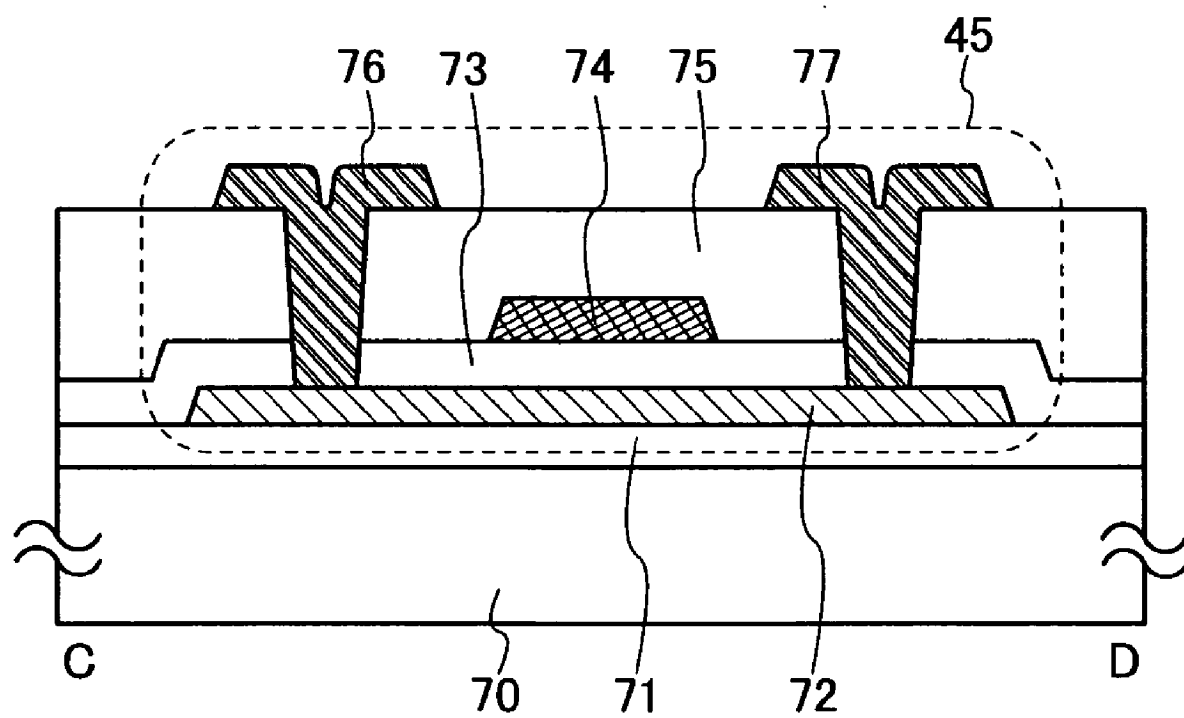


图 6B

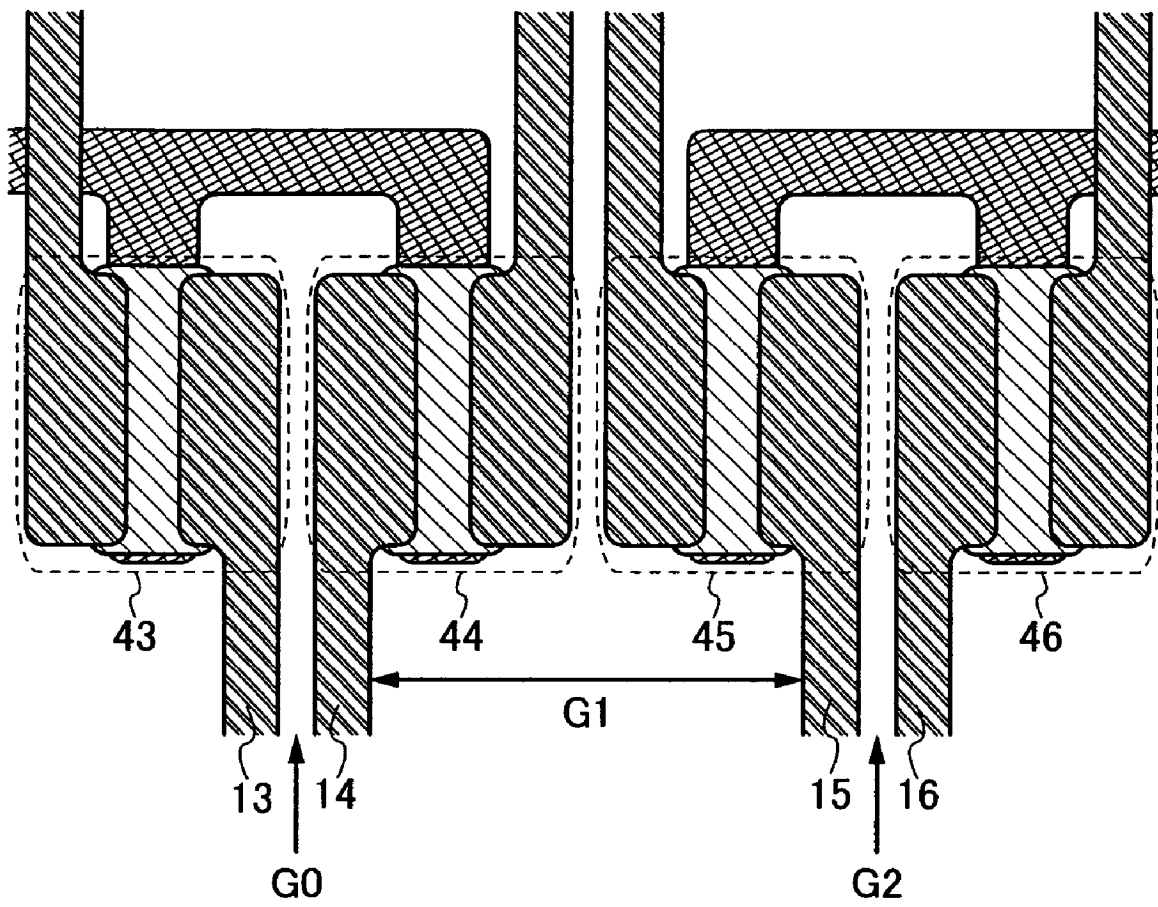


图 7

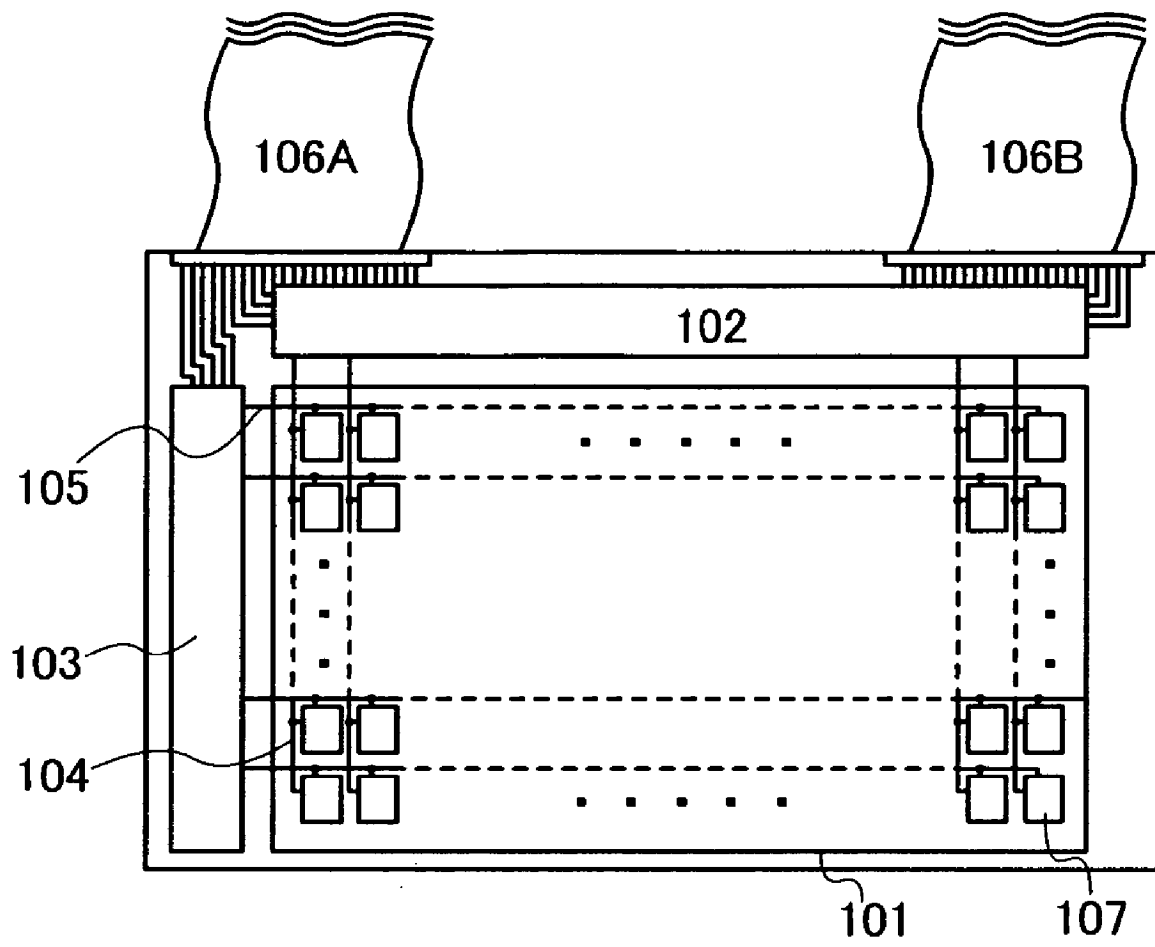


图 8A

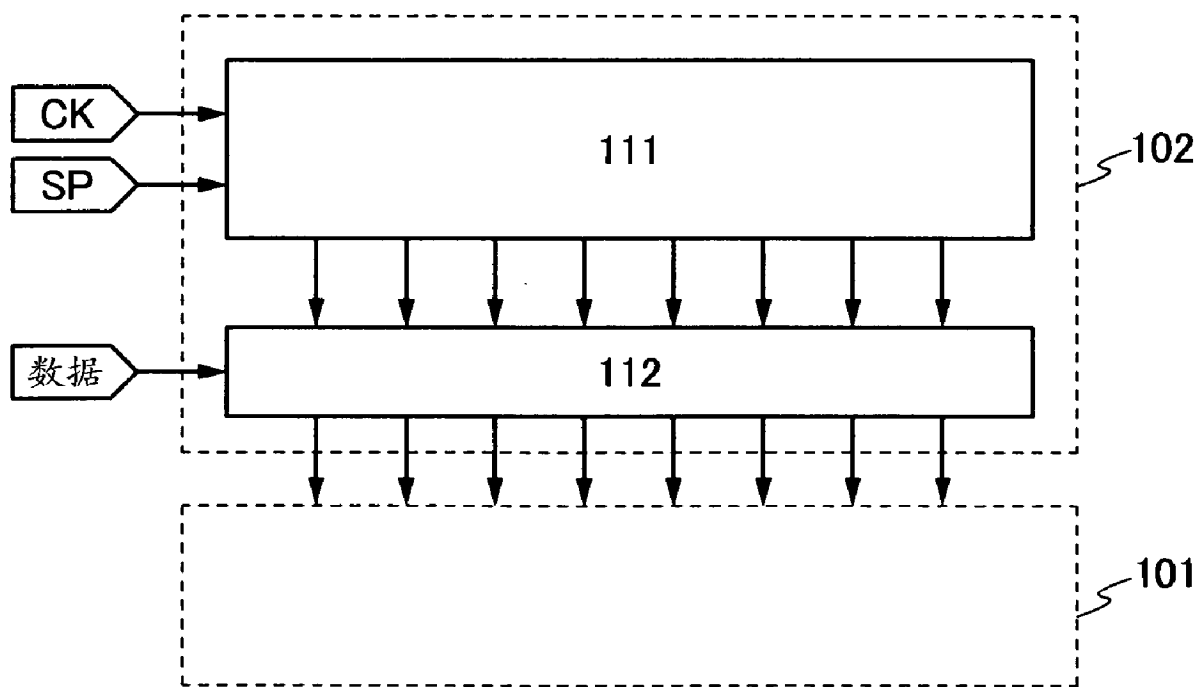


图 8B

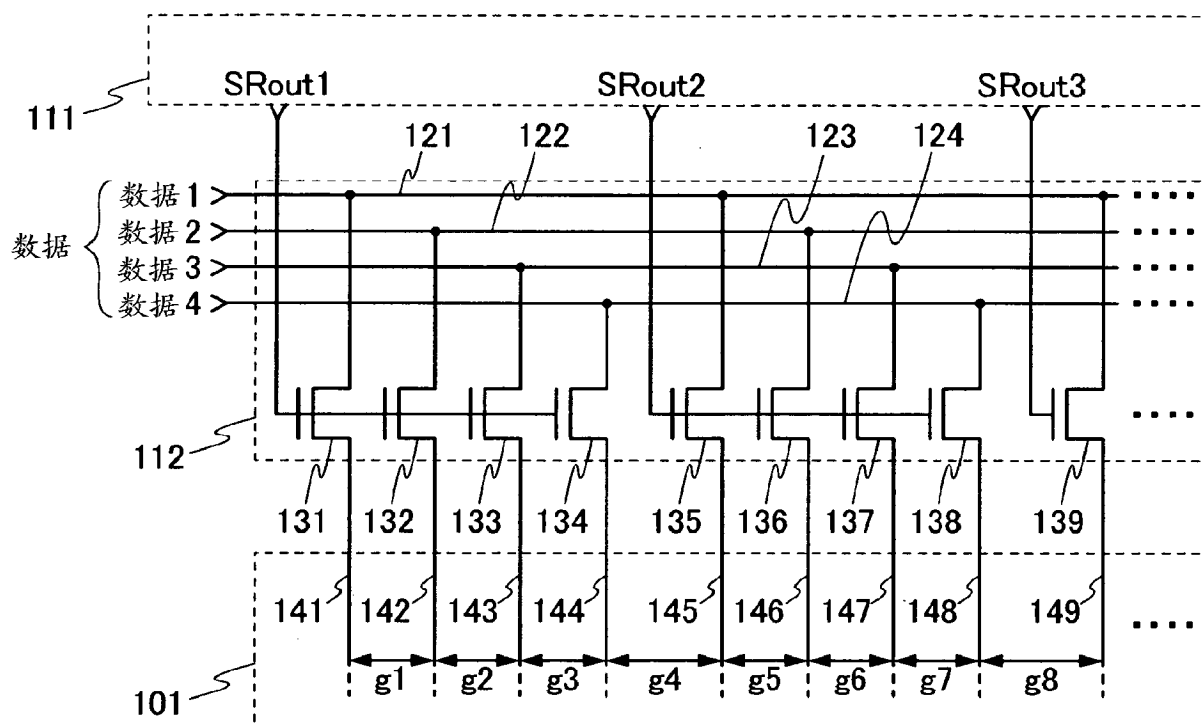


图 9A

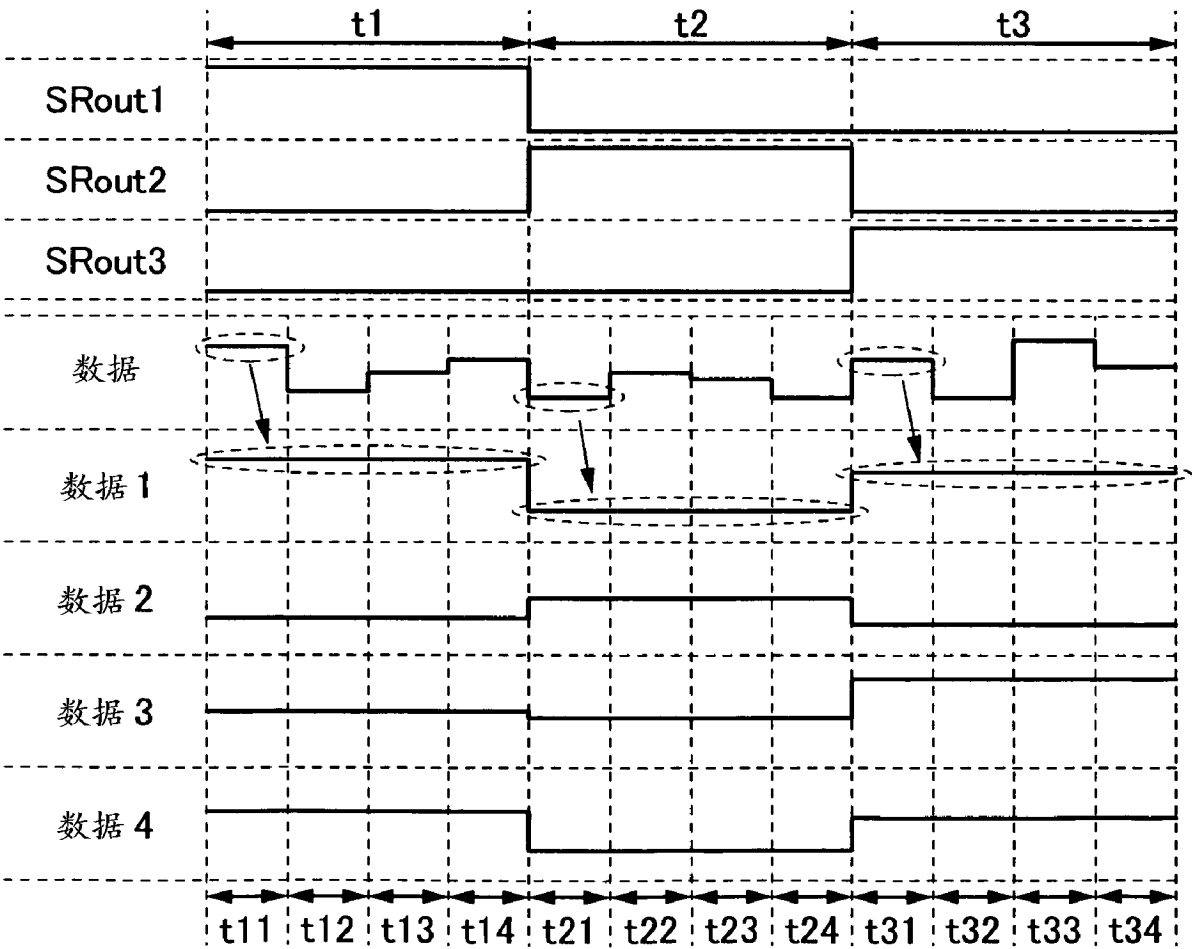


图 9B

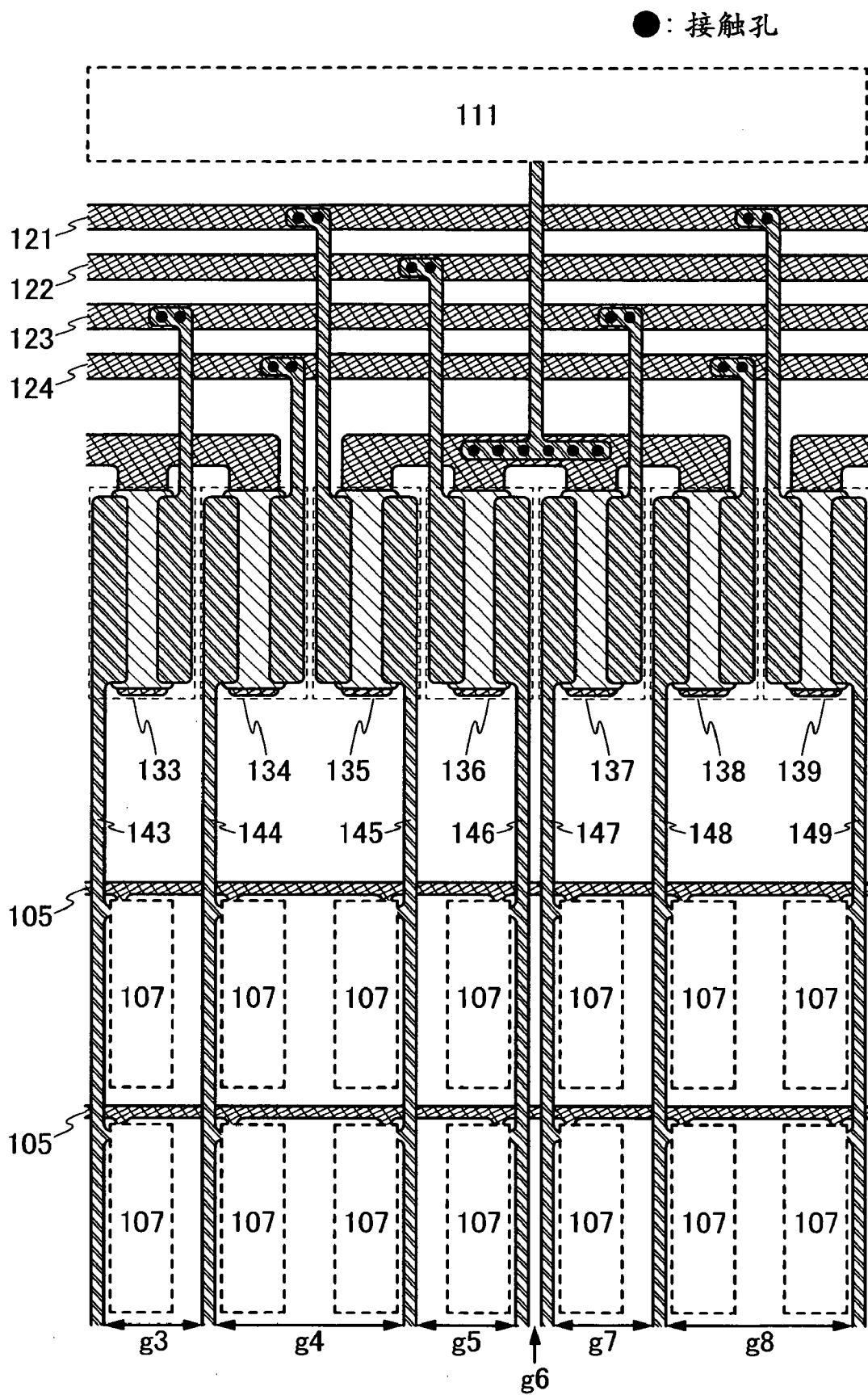


图 10

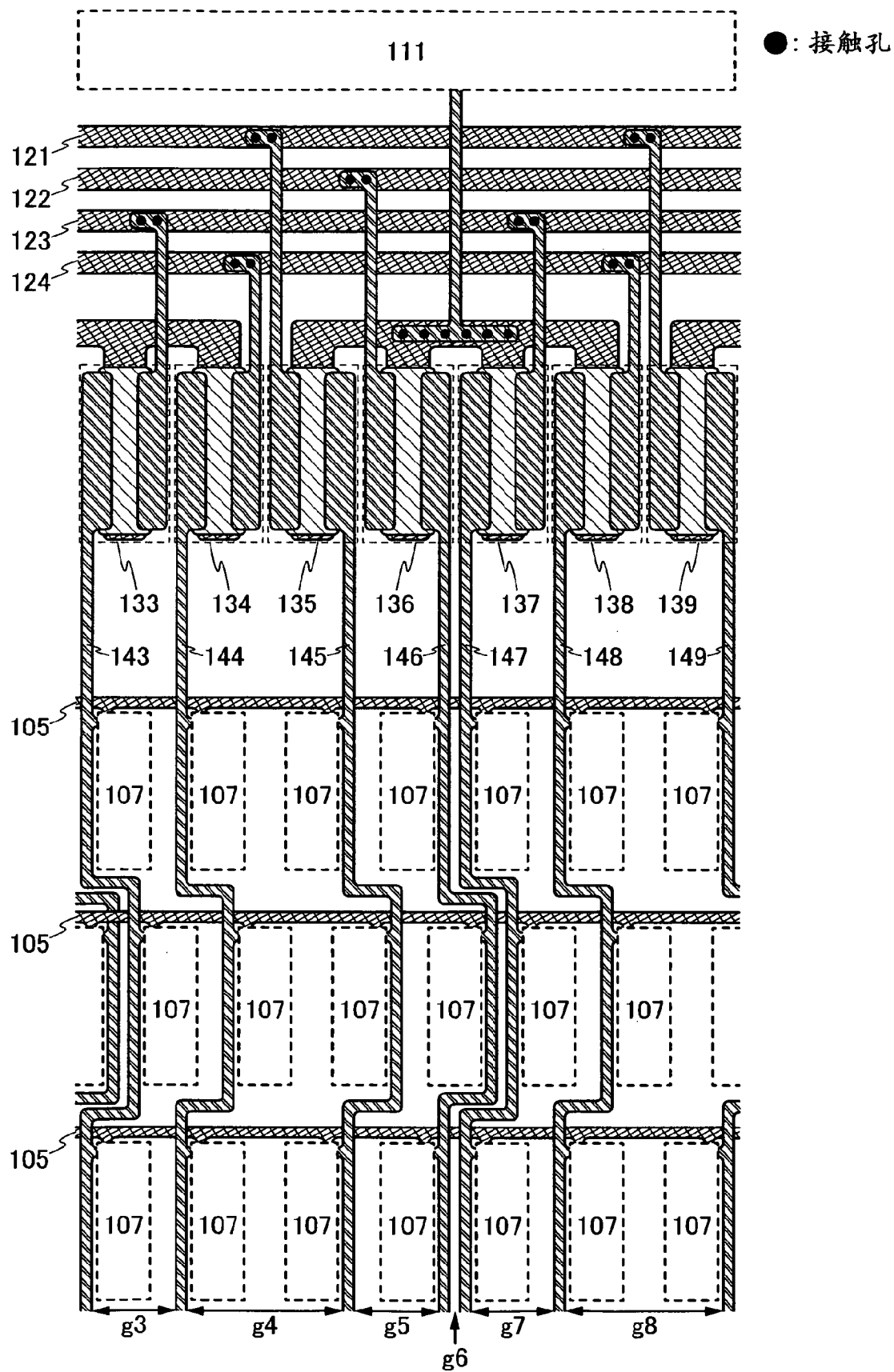


图 11

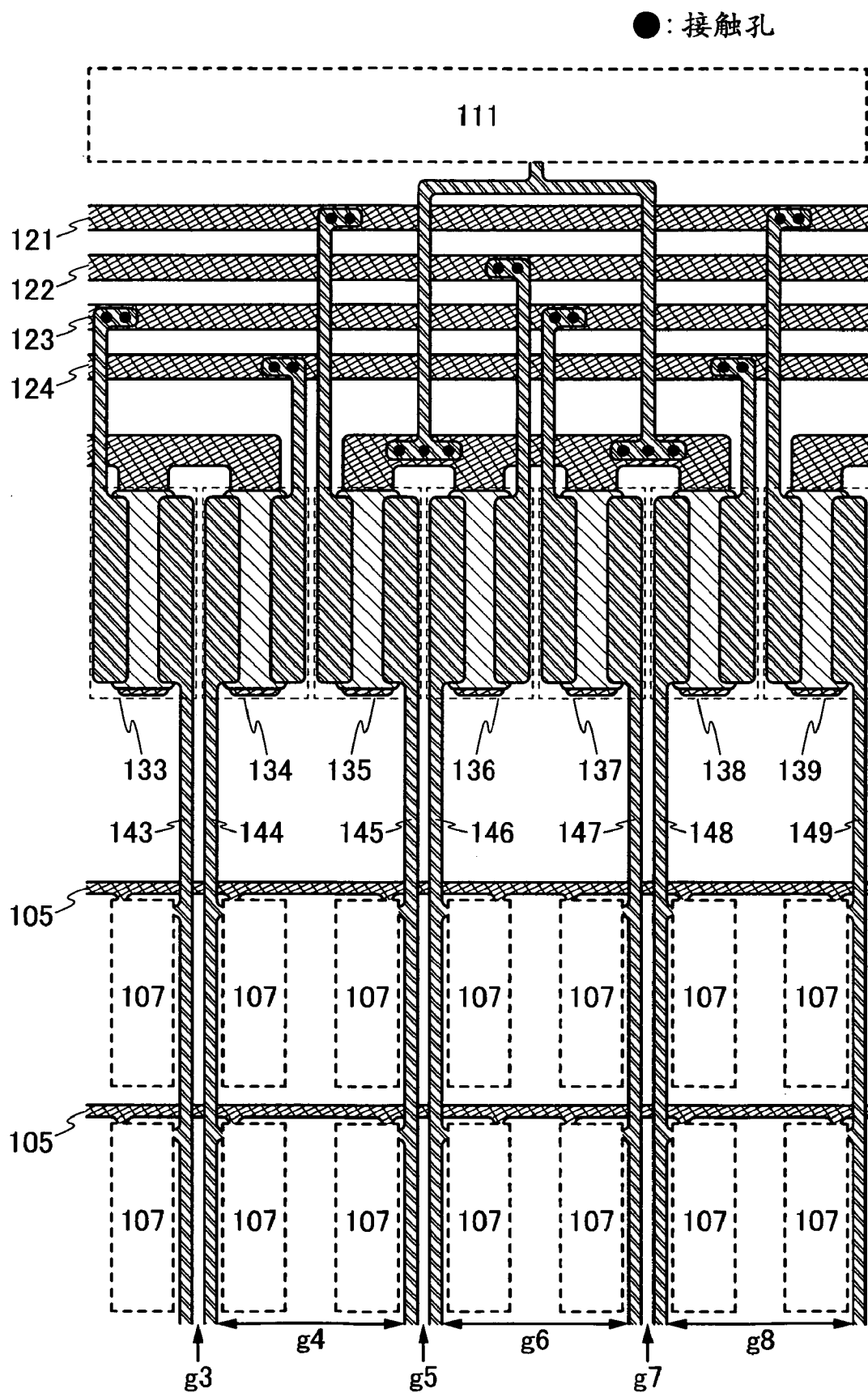


图 12

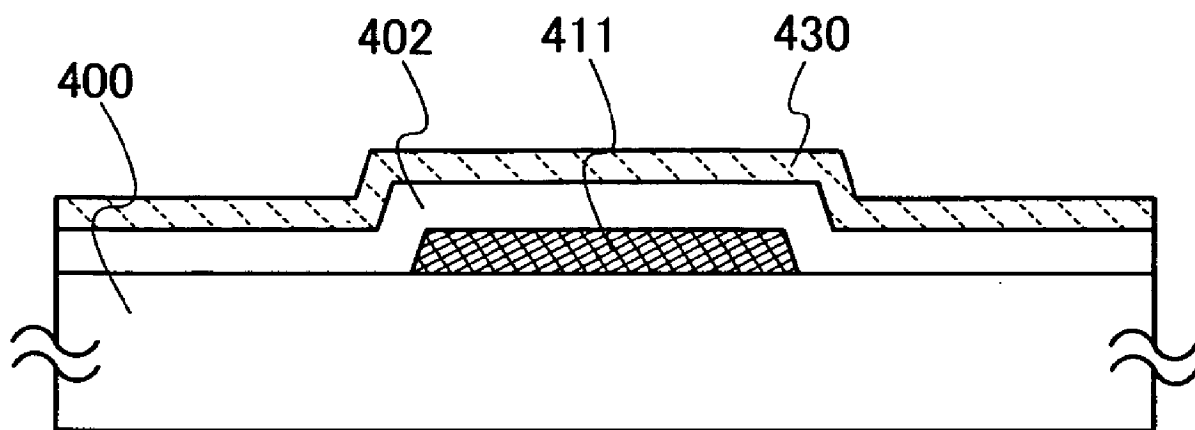


图 13A

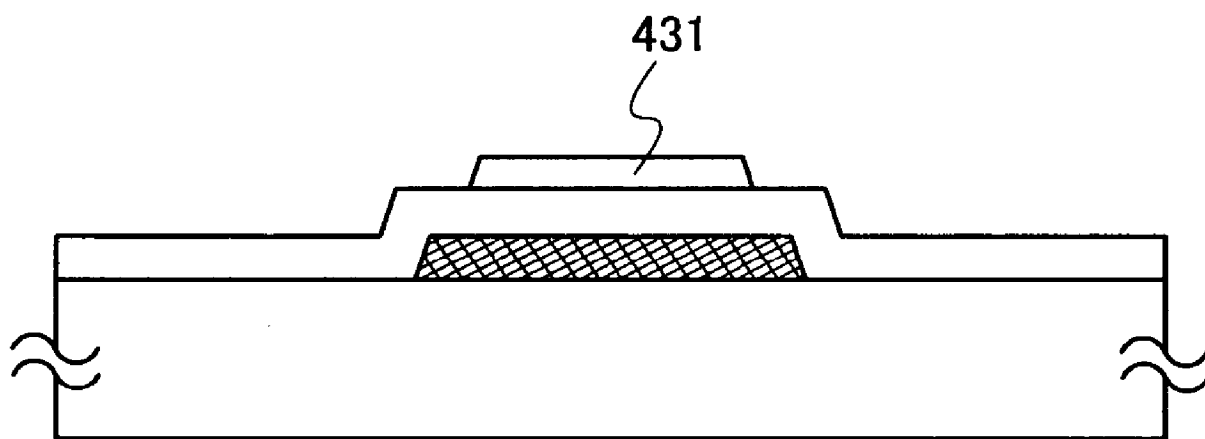


图 13B

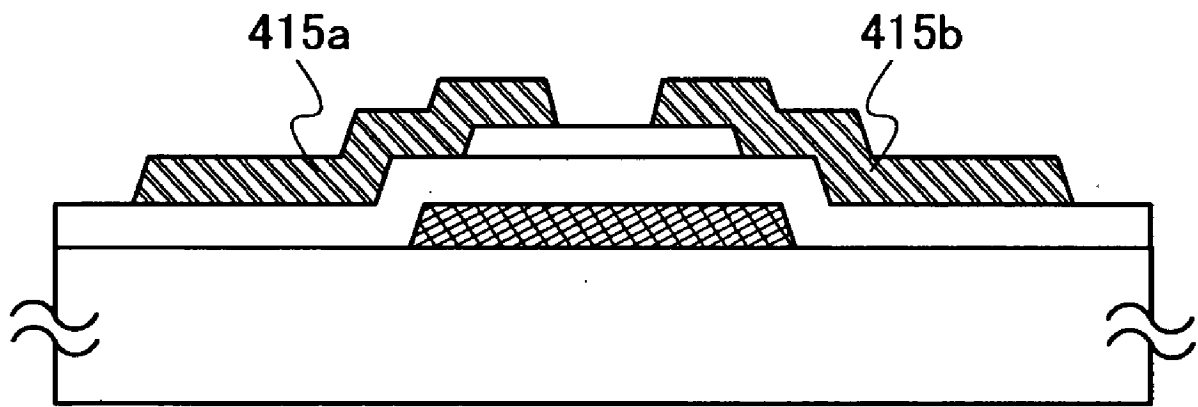


图 13C

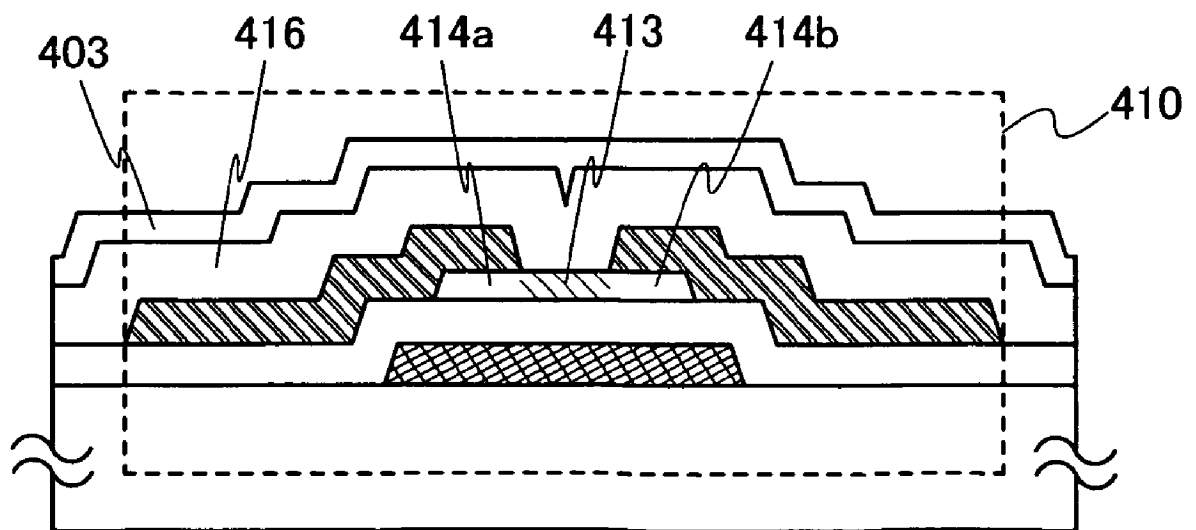


图 13D

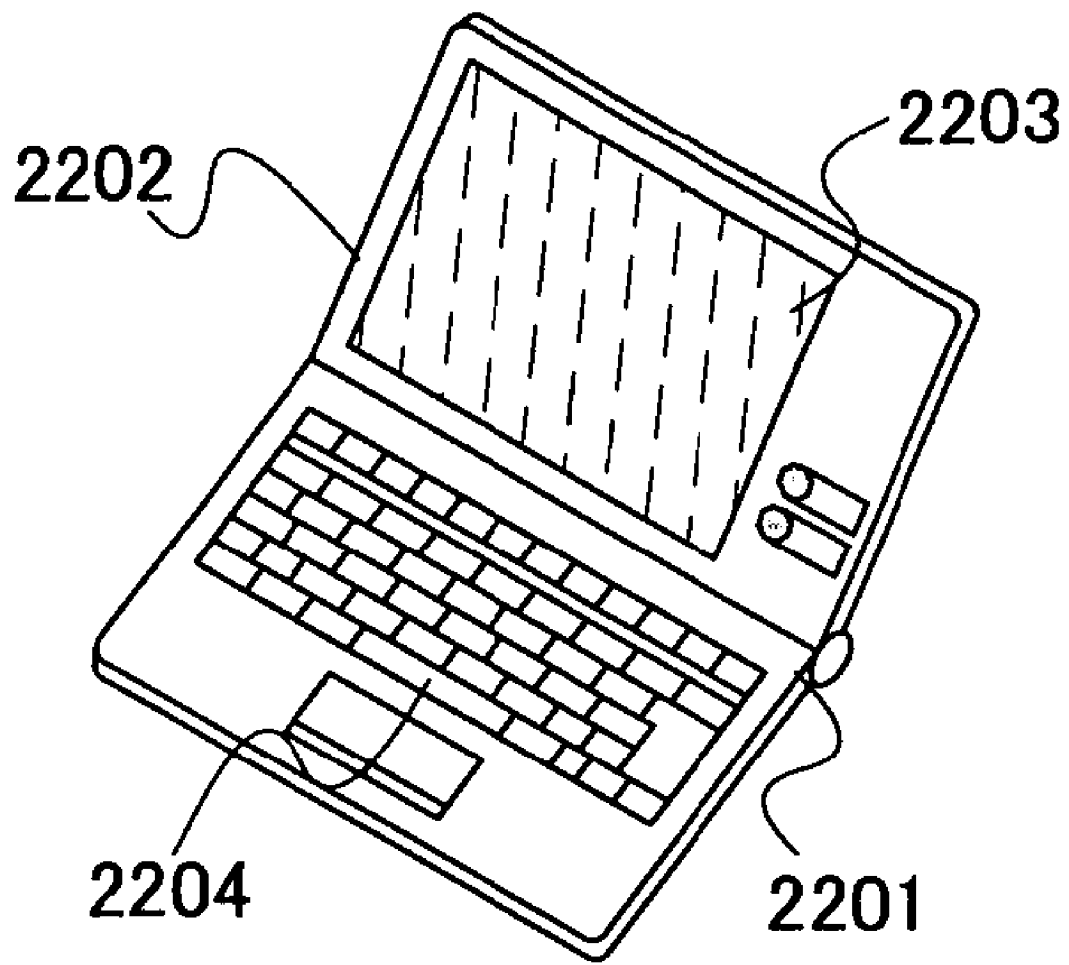


图 14A

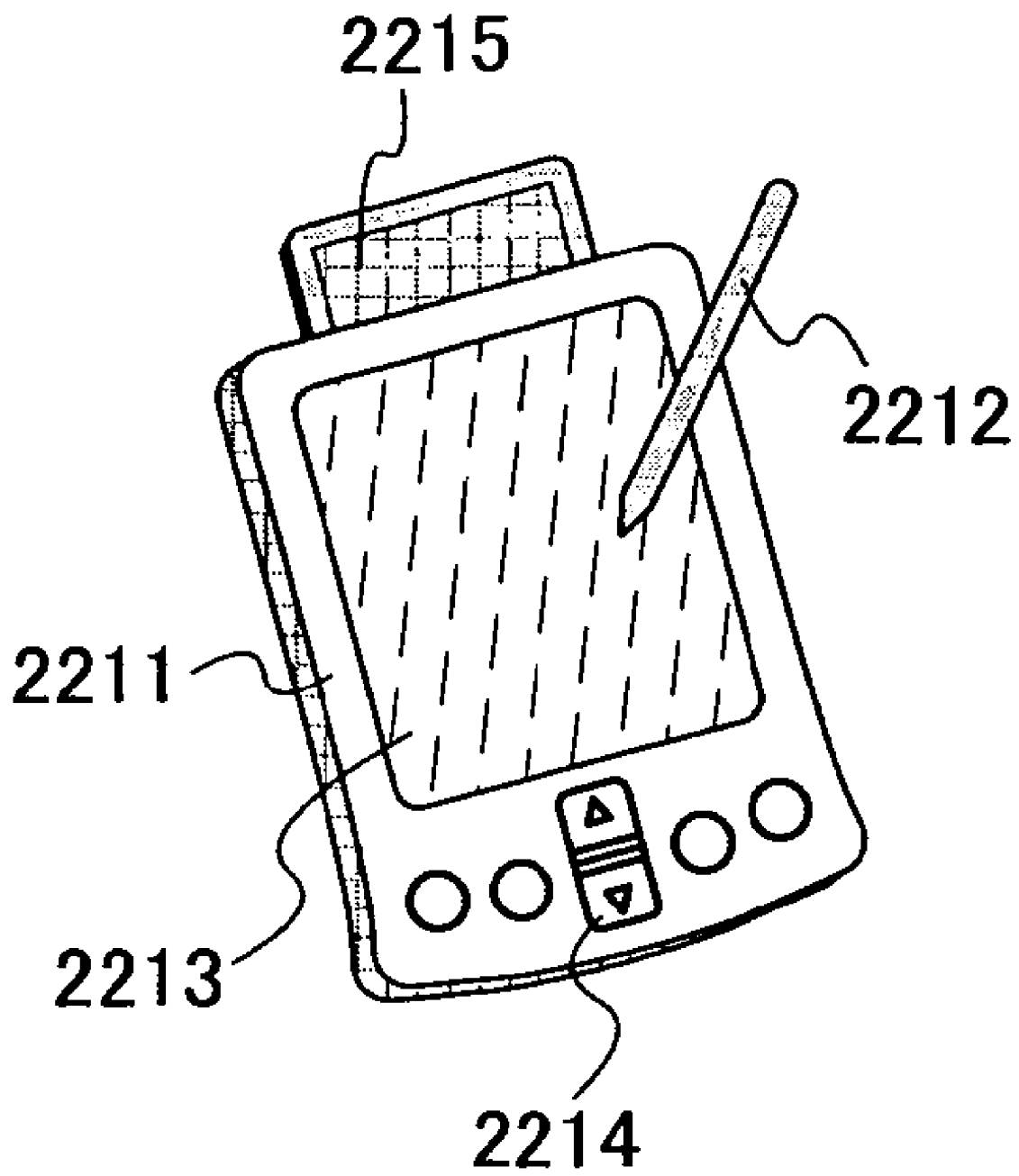


图 14B

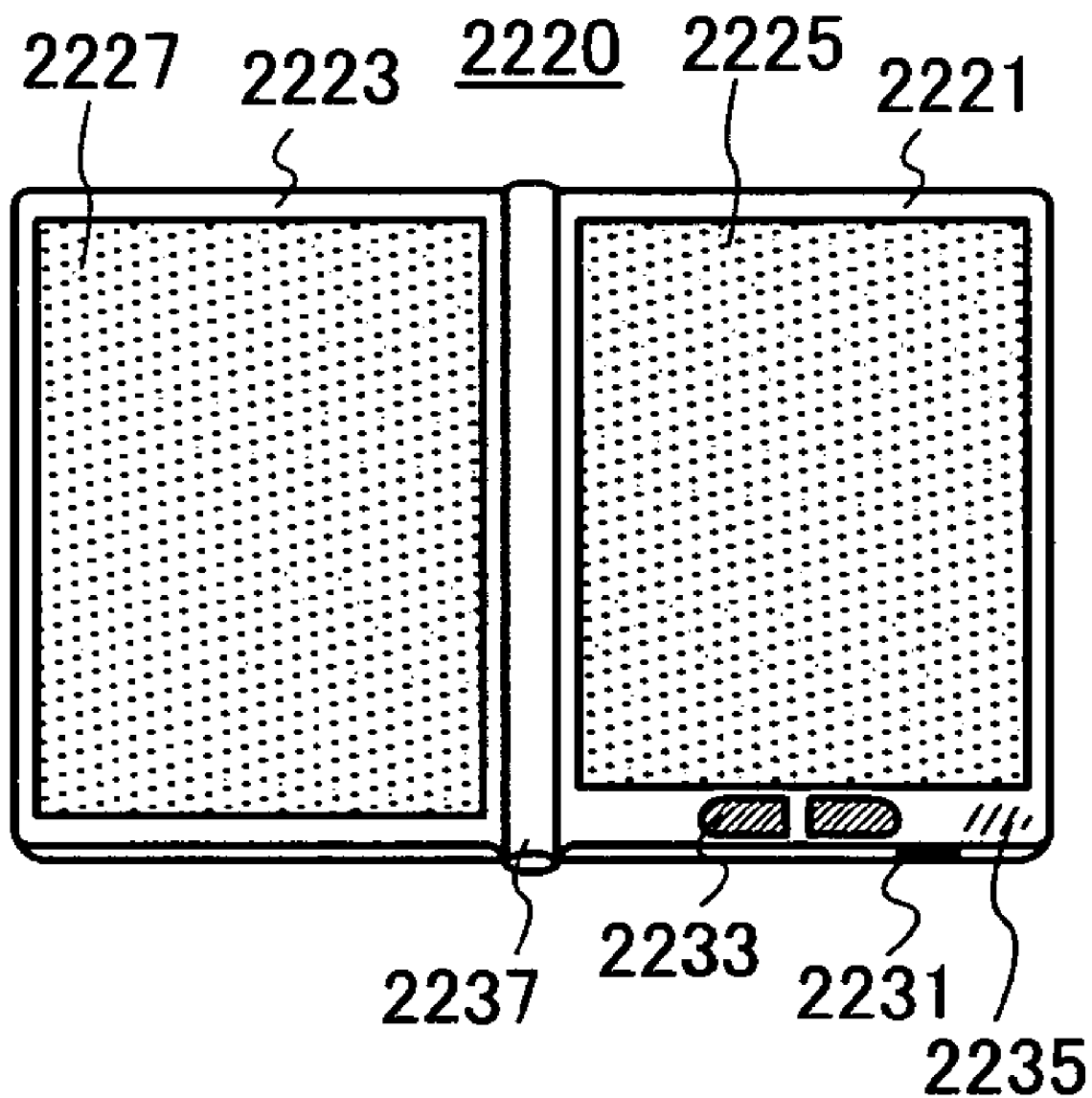


图 14C

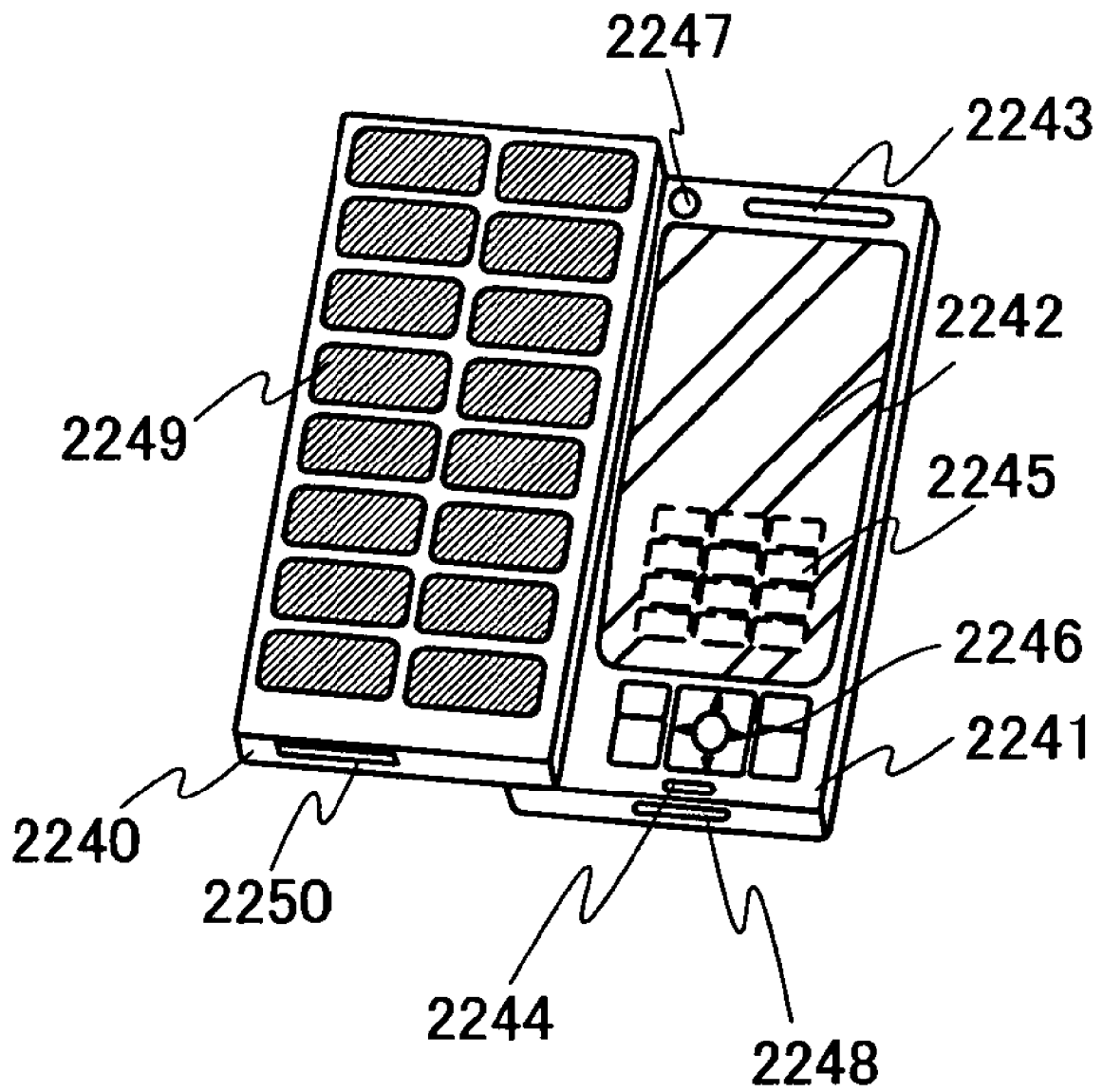


图 14D

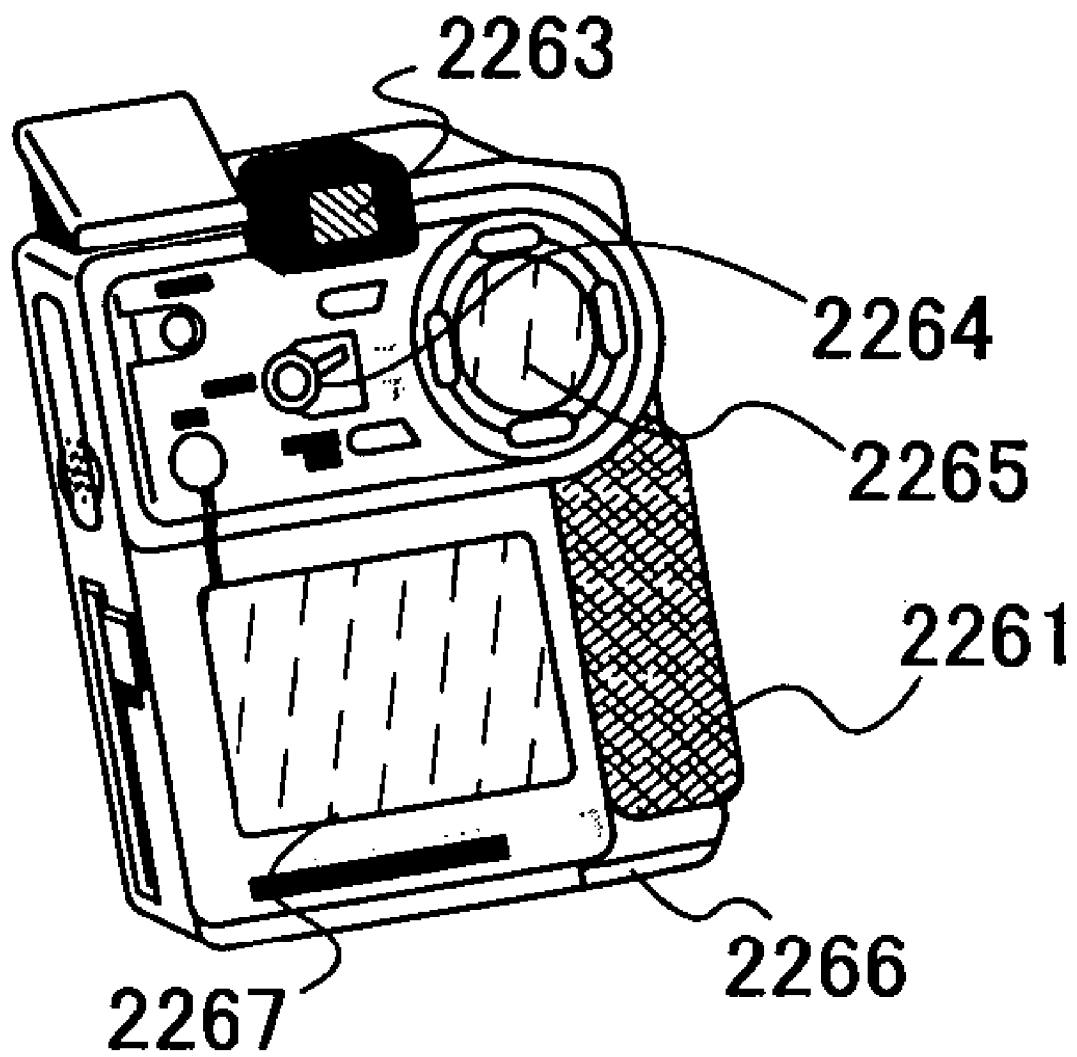


图 14E

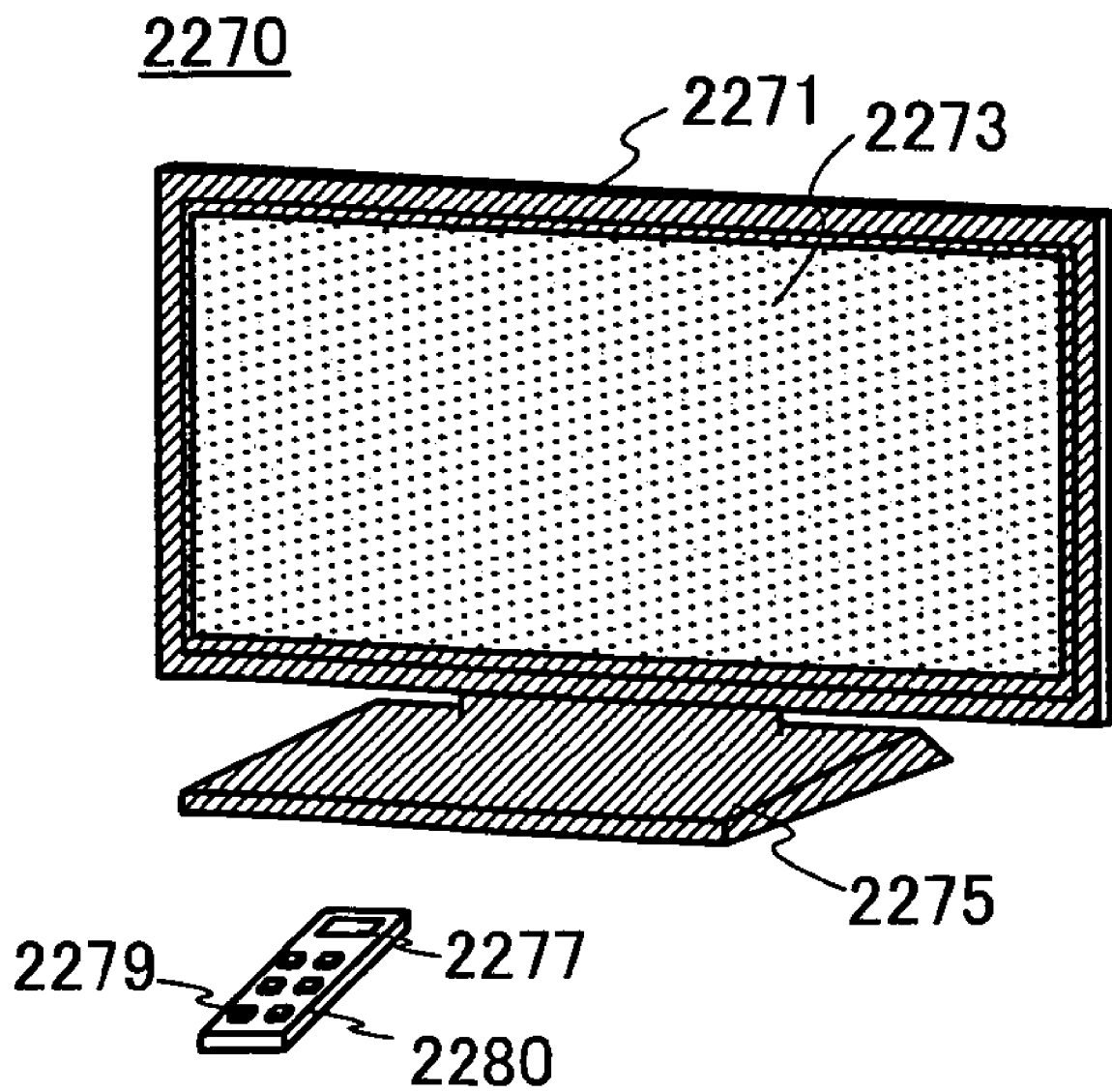


图 14F

参考说明

11 至 18: 信号线, 21 至 28: 开关, 31 至 34: 布线, 41 至 48: 晶体管, 50: 衬底, 51: 导电层, 52: 绝缘层, 53: 半导体层, 54: 导电层, 55: 导电层, 61 至 68: 晶体管, 70: 衬底, 71: 绝缘层, 72: 半导体层, 73: 绝缘层, 74: 导电层, 75: 绝缘层, 76: 导电层, 77: 导电层, 101: 像素部分, 102: 源极信号线驱动器电路, 103: 栅极信号线驱动器电路, 104: 源极信号线, 105: 栅极信号线, 106A: 柔性印刷电路, 106B: 柔性印刷电路, 107: 像素, 111: 移位寄存器电路, 112: 取样电路, 121 至 124: 数据信号线, 131 至 139: 晶体管, 141 至 149: 源极信号线, 400: 衬底, 402: 栅绝缘层, 403: 保护绝缘层, 410: 晶体管, 411: 栅电极层, 413: 沟道形成区, 414a: 源区, 414b: 漏区, 415a: 源电极层, 415b: 漏电极层, 416: 氧化物绝缘层, 430: 氧化物半导体膜, 431: 氧化物半导体层, 2201: 主体, 2202: 壳体, 2203: 显示部分, 2204: 键盘, 2211: 主体, 2212: 输入笔, 2213: 显示部分, 2214: 操作按钮, 2215: 外部接口, 2220: 电子书阅读器, 2221: 壳体, 2223: 壳体, 2225: 显示部分, 2227: 显示部分, 2231: 电源按钮, 2233: 操作按键, 2235: 扬声器, 2237: 轴, 2240: 壳体, 2241: 壳体, 2242: 显示面板, 2243: 扬声器, 2244: 麦克风, 2245: 操作按键, 2246: 定点装置, 2247: 摄像机镜头, 2248: 外部连接端子, 2249: 太阳能电池, 2250: 外部存储器槽, 2261: 主体, 2263: 目镜, 2264: 操作开关, 2265: 显示部分(B), 2266: 电池, 2267: 显示部分(A), 2270: 电视机, 2271: 壳体, 2273: 显示部分, 2275: 支架, 2277: 显示部分, 2279: 操作按键, 2280: 遥控器