



(12)发明专利

(10)授权公告号 CN 102623042 B

(45)授权公告日 2016.12.28

(21)申请号 201210015549.9

(22)申请日 2012.01.18

(65)同一申请的已公布的文献号

申请公布号 CN 102623042 A

(43)申请公布日 2012.08.01

(30)优先权数据

2011-012544 2011.01.25 JP

(73)专利权人 索尼公司

地址 日本东京都

(72)发明人 中西健一

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临

(51)Int.Cl.

G11C 8/08(2006.01)

G11C 11/22(2006.01)

(56)对比文件

JP 特开平10-111839 A,1998.04.28,说明书摘要、权利要求4、说明书第0017-0026段以及说明书附图1.

JP 特开2007-115013 A,2007.05.10,说明书第0023-0035段以及说明书附图1.

TW 201035987 A1,2010.10.01,全文.

US 2010/0211851 A1,2010.08.19,说明书第0017-0053段以及说明书附图1-2.

审查员 邢白灵

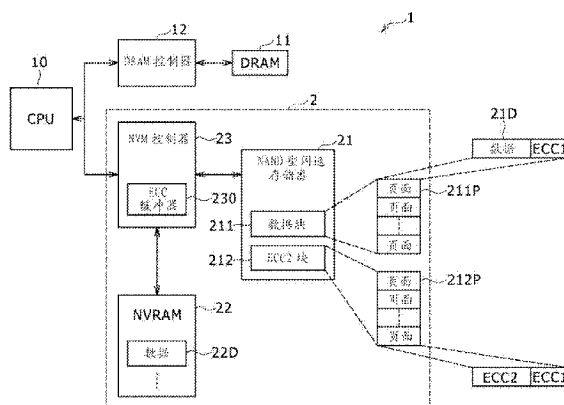
权利要求书2页 说明书13页 附图10页

(54)发明名称

存储器系统及其操作方法

(57)摘要

提供了存储器系统及其操作方法。该存储器系统包括：第一非易失存储器，用于存储要以块为单位存取的数据；第二非易失存储器，用于存储要在随机存取第二非易失存储器时以字为单位存取的数据；控制部分，配置为控制第一和第二非易失存储器的操作，其中在第一非易失存储器中保存要应用于存储在第二非易失存储器中的数据的误差校正码。



1. 一种存储器系统,包括:

第一非易失存储器,用于存储要以块为单位存取的数据;

第二非易失存储器,用于存储要在对所述第二非易失存储器的随机存取时以字为单位存取的数据;和

控制部分,配置为控制所述第一和第二非易失存储器的操作,

其中,在所述第一非易失存储器中保存要应用于存储在所述第二非易失存储器中的数据的误差校正码,

其中要应用于存储在所述第一非易失存储器中的数据的第一误差校正码被存储在所述第一非易失存储器的第一区域中,

其中要应用于存储在所述第二非易失存储器中的数据的第二误差校正码被存储在所述第一非易失存储器的第二区域中,

其中所述第二误差校正码与所述第二非易失存储器中的连续地址相关联。

2. 根据权利要求1的存储器系统,其中,所述控制部分具有缓冲区,用于保存从所述第一非易失存储器读出的所述误差校正码,以用作要应用于存储在所述第二非易失存储器中的数据的所述误差校正码。

3. 根据权利要求2的存储器系统,其中,在将所述误差校正码应用于存储在所述第二非易失存储器中的数据之前,所述控制部分在所述缓冲区中不存在存储在所述第二非易失存储器中的所述数据所需的误差校正码的情况下,在利用所述所需的误差校正码之前将所述所需的误差校正码从所述第一非易失存储器读出到所述缓冲区。

4. 根据权利要求3的存储器系统,其中,

在将所述所需的误差校正码读出到所述缓冲区之前,所述控制部分确定所述缓冲区是否具有可用区;

如果所述控制部分确定所述缓冲区具有可用区,则所述控制部分利用所述可用区以保存从所述第一非易失存储器读出的所述所需的误差校正码,但是,

另一方面,如果所述控制部分确定所述缓冲区没有可用区,则所述控制部分改变包含于所述缓冲区中的另一区域,以用于保存其它误差校正码的区域,假定所述另一区域具有比用于保存所述所需的误差校正码的所述可用区相对低的使用频率。

5. 根据权利要求4的存储器系统,其中,在将所述另一区域改变为所述可用区之前,所述控制部分在已经改变了所述其它误差校正码的情况下,将所述其它误差校正码写入所述第一非易失存储器中。

6. 根据权利要求3的存储器系统,其中,所述控制部分:

利用存储在所述第二非易失存储器中的之前存取的数据的记录,以预测已经存储在所述第二非易失存储器中的作为将来要存取的数据的数据;

将所述预测的数据所需的误差校正码从所述第一非易失存储器预取到所述缓冲区。

7. 根据权利要求2的存储器系统,其中,所述控制部分:

在将所述数据写入所述第二非易失存储器中的写操作之前,将所述误差校正码添加到要写入所述第二非易失存储器中的数据,然后进行所述写操作;和

在从所述第二非易失存储器读出所述数据之后和在系统激活时间时,通过利用所述误差校正码对从所述第二非易失存储器读出的数据进行位误差检测和校正处理。

8.根据权利要求7的存储器系统,其中,所述控制部分在所述写操作中利用添加到写入所述第二非易失存储器中的所述数据的所述误差校正码来更新所述缓冲区的内容。

9.根据权利要求1的存储器系统,其中,所述控制部分进行管理以将在所述第二非易失存储器中的各条数据的地址和所述第一非易失存储器中的所述各条数据所需的所述误差校正码的地址相关联。

10.根据权利要求1的存储器系统,其中,多个误差校正码的每批以块为单位保存在所述第一非易失存储器中。

11.根据权利要求1的存储器系统,其中,所述第一非易失存储器是:

闪存存储器,用于存储要以每个用作所述块的页面为单位存取的数据;或者

硬盘,用于存储要以每个用作所述块的扇区为单位存取的数据。

12.一种为存储器系统提供的操作方法,该方法包括:

对存储在所述存储器系统中采用的第一非易失存储器中的数据执行以块为单位进行的存取;

对存储在所述存储器系统中采用的第二非易失存储器中的数据执行以字为单位进行的随机存取;

利用保存在所述第一非易失存储器中的误差校正码关于存储在所述第二非易失存储器中的所述数据进行位误差检测和校正处理,

其中要应用于存储在所述第一非易失存储器中的数据的第一误差校正码被存储在所述第一非易失存储器的第一区域中,

其中要应用于存储在所述第二非易失存储器中的数据的第二误差校正码被存储在所述第一非易失存储器的第二区域中,

其中所述第二误差校正码与所述第二非易失存储器中的连续地址相关联。

存储器系统及其操作方法

技术领域

[0001] 本公开涉及利用非易失存储器的存储器系统并且涉及这样的存储器系统的操作方法。

背景技术

[0002] 过去,一直使用存储器系统(也称为存储系统),其在被称为加载操作的操作中从用作存储设备(也称为辅助存储设备)的存储器读出程序、数据等到典型地由DRAM(动态随机存取存储器)实现的工作存储器(也称为主存储设备)中。在该存储器系统中,通常使用NVM(非易失存储器)作为要求以高速操作的存储器件。

[0003] 非易失存储器可以是闪速存储器或NVRAM(非易失随机存取存储器)。闪速存储器具有大存储容量。以块为单位存取存储在闪速存储器中的数据。另一方面,可以以字为单位对存储在NVRAM中的数据进行高速随机存取。闪速存储器的典型例子是NAND型闪速存储器。另一方面,NVRAM的典型例子是PCRAM(相变随机存取存储器)、MRAM(磁阻随机存取存储器)和ReRAM(电阻随机存取存储器)。

[0004] 由于闪速存储器具有低的位成本和大的存储容量,将其用于高速存储应用。另一方面,与闪速存储器相比,NVRAM具有高的位成本。但是,NVRAM具有下列的优点。NVRAM具有可以以字为单位进行高速存取的优良性能。此外,由于CPU(中央处理器)能够对NVRAM进行直接存取,NVRAM用作用于存储器件的非易失高速缓存存储器,以允许如所期望的以高速进行存储器系统的操作。

[0005] 利用这样的闪速存储器和NVRAM的存储器系统的典型例子在下述文献中描述,例如,JP-T-2004-506256(专利文献1)和日本专利特开No.2006-236304以及Shuhei Tanakamaru和四个合著者的“Post-manufacturing 17-times Acceptable Raw Bit Error Rate Enhancement, Dynamic Codeword Transition ECC scheme for Highly Reliable Solid-State Drives, SSDs,” Memory Workshop(IMW), 2010 IEEE International, p.1-4。该存储器系统也称为非易失存储器系统。

发明内容

[0006] 另外,重要的是改进在这样的存储器系统中采用的非易失存储器的数据保存特性和存储器系统的可靠性。这是因为,随着重写操作次数的增加,存储器系统中采用的非易失存储器的数据保存特性趋于退化。为了解决这个问题,通常,如在专利文献1中所述的那样,通过使用ECC(误差校正码)对数据进行位误差检测和校正处理,来改进NAND型闪速存储器的数据保存特性。

[0007] 另一方面,例如,如果将上述NVRAM用作非易失存储器,与存储设备(通常是NAND型闪速存储器)相比,存取NVRAM的频率高。也很重要是需要改进NVRAM的数据保存特性。然而,在专利文献1中所公开的存储器系统完全没有描述通过利用ECC(误差校正码)来改进NVRAM的数据保存特性的技术。

[0008] 由于上述的原因,可以考虑这样一种技术,通过将ECC应用于存储在NVRAM中的数据来改进NVRAM的数据保存特性。然而,通过简单地将ECC应用于存储在NVRAM中的数据上,会产生不想要的副作用,即存取NVRAM的速度会下降与存取ECC的数目成正比的速度差,或者产生关于NVRAM频带(band)的坏的副作用。结果,整个存储器系统的操作速度不可避免地下降。

[0009] 因此,希望提供一种存储器系统,能够改进系统的可靠性而不降低操作速度,并提供该存储器系统的操作方法。

[0010] 根据本公开的实施例的存储器系统具有:

[0011] 第一非易失存储器,用于存储要以块为单位存取的数据;

[0012] 第二非易失存储器,用于在随机存取第二非易失存储器时,存储要以字为单位存取的数据;

[0013] 控制部分,配置来控制第一和第二非易失存储器的操作。

[0014] 在该存储器系统中,在第一非易失存储器中保存要应用于存储在第二非易失存储器中的数据的误差校正码。

[0015] 根据本公开的另一实施例的存储器系统的操作方法包括:

[0016] 对存储在存储器系统中采用的第一非易失存储器中的数据执行以块为单位存取

[0017] 对存储在存储器系统中采用的第二非易失存储器中的数据执行以字为单位的存取;

[0018] 通过利用保存在第一非易失存储器中的误差校正码关于存储在第二非易失存储器中的数据进行位误差检测和校正处理。

[0019] 根据本公开实施例的存储器系统和用于该存储器系统的操作方法,以块为单位对存储在第一非易失存储器中的数据进行存取,并且以字为单位对存储在第二非易失存储器中的数据进行随机存取。同时,为了关于存储在第二非易失存储器中的数据进行位误差检测和校正处理,通常将保存在第一非易失存储器中的误差校正码应用于存储在第二非易失存储器中的数据上,从而改进第二非易失存储器的数据保存特性。此外,如具有误差校正码通常保存在第二非易失存储器自身中的配置的情况,通过将误差校正码保存在第一非易失存储器中,可以防止对第二非易失存储器的存取速度下降。

[0020] 此外,根据本公开实施例的存储器系统和该存储器系统的操作方法,可将误差校正码保存在第一非易失存储器中,该误差校正码要应用于存储在第二非易失存储器中的数据并经历以字为单位的随机存取,且该第一非易失存储器用于存储要以块为单位存取的数据。这样,就可以改进第二非易失存储器的数据保存特性,而防止对第二非易失存储器的存取速度下降。结果,可以改进系统的可靠性而不降低操作速度。

附图说明

[0021] 图1是示出了根据本公开的实施例的包括非易失存储器的数据存储系统的典型配置的框图;

[0022] 图2是示出了在图1所示的NAND型闪速存储器中的ECC2块的典型的具体数据结构的框图;

[0023] 图3是示出了在图1中所示的NVM控制器的典型的具体数据配置的框图;

[0024] 图4是示出了包括用作第一典型比较系统的存储器系统的数据存储系统的配置的框图；

[0025] 图5是示出了包括用作第二典型比较系统的存储器系统的数据存储系统的配置的框图；

[0026] 图6是示出了表示利用误差校正码ECC2从NVRAM中读取数据的典型处理的流程图；

[0027] 图7是示出了表示利用误差校正码ECC2将数据写入NVRAM中的典型处理的流程图；

[0028] 图8是示出了表示利用误差校正码ECC2的典型的系统激活处理的流程图；

[0029] 图9是示出了包括用作第一典型修改例的存储器系统的数据存储系统的典型配置的框图；

[0030] 图10是示出了包括用作第二典型修改例的存储器系统的数据存储系统的典型配置的框图。

具体实施方式

[0031] 以下,将参照附图来详细说明本公开的实施例。应当注意的是,本说明书分为如下章节。

[0032] 1. 实施例(使用NAND型闪速存储器作为第一非易失存储器的典型配置)

[0033] 2. 典型修改例

[0034] 第一典型修改例(具有包含嵌入的ECC处理部分的NAND型闪速存储器的典型配置)。

[0035] 第二典型修改例(使用MFD作为第一非易失存储器的典型配置)

[0036] 其它典型修改例。

[0037] 实施例

[0038] 数据存储系统1的配置

[0039] 图1是示出根据本公开的实施例的包括非易失存储器系统2的数据存储系统1的典型配置的框图。如图所示,根据本公开的实施例,数据存储系统1采用CPU10、DRAM11、DRAM控制器12和非易失存储器系统2。

[0040] CPU10控制DRAM11、DRAM控制器12和非易失存储器系统2的操作。具体地说,CPU10通过后面将要说明的NVM控制器23来存取保存(或存储)在NVRAM22和NAND型闪速存储器21中的数据。然后,CPU10将数据加载到DRAM11中,DRAM11通常用作工作存储器(也称为主存储器)。相对地,CPU10将存储在DRAM11中的数据写入非易失存储器系统2中。

[0041] DRAM11是在上述数据存储系统1中用作工作存储器的易失性存储器。DRAM控制器12根据从CPU10接收的命令来控制DRAM11的操作的部分。DRAM11的典型操作包括将数据写入DRAM11中的操作和从DRAM11中读出数据的操作。

[0042] 非易失存储器系统2的配置

[0043] 非易失存储器系统2采用NAND型闪速存储器21、NVRAM22和NVM控制器23。NAND型闪速存储器21也称为第一非易失存储器,其是NVM(非易失存储器)。NVRAM22也称为第二非易失存储器。NVM控制器23用作控制部分。NAND型闪速存储器21用作存储器件。另一方面,NVRAM22用作工作存储器和/或非易失高速缓存存储器。因此,可以将非易失存储器系统2认为是用作与NAND型闪速存储器21的组合的SnD(存储和下载)模型和用作为与NVRAM22的组

合的XIP(面内执行)模型。

[0044] NAND型闪速存储器21

[0045] NAND型闪速存储器21是比如闪速存储器之类的非易失存储器。以块为单位存取存储在NAND型闪速存储器21中的数据。在此情况下,块单元是页面211P和页面212P。后面将要说明页面211P和页面212P。NAND型闪速存储器21具有数据块211和ECC2块212。

[0046] 数据块211是称为块的数据区,用于以页面211P为单位保存(或存储)数据。具体地说,在每个页面211P上,与用于校正数据21D的误差校正码ECC1一起保存数据21D。误差校正码ECC1也称为第一误差校正码。就是说,如下所述,误差校正码ECC1是要应用于存储在NAND型闪速存储器21中的数据21D的代码。因此,误差校正码ECC1是用于改进在NAND型闪速存储器21中保存数据的特性的代码。

[0047] ECC2数据块212是称为块的数据区,用于以页面212P为单位保存(或存储)分别称为第二误差校正码的误差校正码ECC2。误差校正码ECC2用于保护NVRAM22。就是说,在本实施例中,要应用于NVRAM22的误差校正码ECC2也存储在NAND型闪速存储器21中。具体地说,在每个页面212P上,与上述的误差校正码ECC1一起保存误差校正码ECC2。详细地说,例如,如图2所示,与误差校正码ECC1一起将由多个误差校正码ECC2组成的批数据(batch)存储在每个页面212P上。多个误差校正码ECC2的批数据是通过收集ECC2(0)到ECC2(n)而生成的批数据,在此,n是等于或大于2的整数。换句话说,每个页面212P用于以与页面211P相同的方式将多个误差校正码ECC2保存在数据区中并将误差校正码ECC1保存在冗余区中。

[0048] 应当注意的是,例如,如果对NVRAM22的存取是32位存取,保护存储在NVRAM22中的数据所需的误差校正码ECC2具有6位的长度。误差校正码ECC2的典型例子是汉明码(hamming code)。此外,令在NAND型闪速存储器21中的页面211P和212P的数据区的大小为大约32K位(或大约4K字节),这是常规大小的值。在此情况下,将用于在NVRAM22中具有约为5K字大小的数据的误差校正码ECC2保存在页面212P中。此外,在此情况下,NVM控制器23能够在如下所述的一个存取中将具有约为5K字大小的误差校正码ECC2从NAND型闪速存储器21中读取到ECC缓冲器230。因此,从NAND型闪速存储器21读出一页所用的时间在将MLC NAND型闪速存储器用于ONFI 2.1模式5的情况下约为80微秒(200MB/秒)或16纳秒每误差校正码ECC2。因此,即使在对NVRAM22中的连续地址进行存取的情况下,如果存取NVRAM22的时间超过16纳秒,那么在存取的持续期内,可以将用于下一个页面的误差校正码ECC2从NAND型闪速存储器21读处到ECC缓冲器230。应当注意的是,如果对NVRAM22中的非连续地址进行存取,则通过利用下述的预取功能,可以缩短将误差校正码ECC2从NAND型闪速存储器21读出到ECC缓冲器230所用的时间。还值得注意的是,作为存取NVRAM22的时间,上面所述的约16纳秒的存取时间通常可以说是足够短的值。

[0049] NVRAM22

[0050] NVRAM22是非易失存储器,对其进行随机存取以便以字为单位从存储器读出数据22D。与上述NAND型闪速存储器21不同,NVRAM22仅用于存储数据22D。就是说,在NVRAM22中没有保存误差校正码。NVRAM22的典型例子包括PCRAM、MRAM和ReRAM。

[0051] NVM控制器23

[0052] NVM控制器23是这样的部分,用于根据从CPU10接收的命令来控制NAND型闪速存储器21和NVRAM22的操作。NAND型闪速存储器21的典型操作包括将数据21D写入NAND型闪速存

存储器21中的操作和从NAND型闪存存储器21读出数据21D的操作。同样,NVRAM22的典型操作包括将数据22D写入NVRAM22中的操作和从NVRAM22读出数据22D的操作。配置NVM控制器23以包括上述的ECC缓冲器230。

[0053] 在此实施例中,NVM控制器23具有通过利用保存在NAND型闪存存储器21中的误差校正码ECC1和ECC2进行处理以检测和校正预先确定的位误差的功能。检测和校正位误差的处理称为位误差检测和校正处理。具体地说,在将数据21D写入NAND型闪存存储器21中的操作中,将误差校正码ECC1添加到数据21D。另一方面,在从NAND型闪存存储器21读出数据21D的操作中或在系统激活时间,对数据21D进行利用误差校正码ECC1的位误差检测和校正处理。此外,在将数据22D写入NVRAM22中的操作中,利用误差校正码ECC2对数据22D进行误差校正码产生处理。另一方面,在从NVRAM22读出数据22D的操作中或在系统激活时间,对数据22D进行利用误差校正码ECC2的位误差检测和校正处理。

[0054] 此外,NVM控制器23与计算用于用作对数据22D的存取的单位的每个字的误差校正码ECC2的处理同时地进行计算用于用作对数据21D的存取的单位的每个页面211P的误差校正码ECC1的处理。应当注意的是,下面将参照图6到图8来说明利用这些误差校正码ECC1和ECC2的位误差检测和校正处理的细节。

[0055] 如上所述,配置NVM控制器23以包括用作缓冲区的ECC缓冲器230,该缓冲区用于暂时保存从NAND型闪存存储器21读出(或加载)的ECC2块212。然后,如下面将要详细说明的那样,NVM控制器23利用ECC缓冲器230中的误差校正码ECC2来进行位误差检测和校正处理。这样,可以高速进行位误差检测和校正处理。

[0056] 此外,当利用上述的由多个误差校正码ECC2组成的批数据(batch)作为读单元将误差校正码ECC2从NAND型闪存存储器21读出到ECC缓冲器230时,通过将误差校正码ECC2与在NVRAM22中的连续地址相关联,可以在存取NVRAM22中的连续地址时高速进行位误差检测和校正处理。以此方式,NVM控制器23能够利用ECC缓冲器230来实现误差校正码ECC1和ECC2的高速缓存功能。

[0057] 此外,NVM控制器23具有ECC-页面管理功能,以将在NVRAM22中的数据22D的地址与用于数据22D的误差校正码ECC2保存在NAND型闪存存储器21中的地址相关联来管理ECC页面。应当注意的是,下面将参照图6到图8来说明利用该ECC-页面管理功能的位误差检测和校正处理的细节。

[0058] 图3是示出了NVM控制器23的典型的详细数据配置的框图。如图所示,除了上述的ECC缓冲器230之外,NVM控制器23还采用ECC1处理部分231、ECC2处理部分232、CPU-I/F部分233、闪存存储器I/F部分234、NVRAM-I/F部分235、ECC-缓冲器控制部分236、闪存存储器控制部分237和NVRAM控制部分238。

[0059] ECC1处理部分231是利用误差校正码ECC1来对在NAND型闪存存储器21中的数据21D进行位误差检测和校正处理的部分。应当注意的是,将对存储在ECC2块212中的数据21D进行的位误差检测和校正处理的结果暂时存储在ECC缓冲器230中。此外,通过CPU-I/F部分233的方式将在数据块211而不是ECC2块212中的数据21D从NVM控制器23输出。

[0060] ECC2处理部分232是这样的部分,其通过利用暂时保存在ECC缓冲器230中的误差校正码ECC2来对在NVRAM22中的数据22D进行位误差检测和校正处理。应当注意的是,一般来说,采用通用的汉明码方法来进行利用误差校正码ECC2的位误差检测和校正处理。

[0061] CPU-I/F部分233是用于在NVM控制器23和CPU10之间建立连接的接口(I/F)。闪存存储器I/F部分234是用于在NVM控制器23和NAND型闪存存储器21之间建立连接的接口(I/F)。NVRAM-I/F部分235是用于在NVM控制器23和NVRAM22之间建立连接的接口(I/F)。如上所述,NVM控制器23具有用作在NVM控制器23和NVRAM22之间的接口(I/F)的NVRAM-I/F部分235,该NVRAM22用作以字为单位对其进行随机存取的工作存储器。此外,NVM控制器23还具有闪存存储器I/F部分234,其用作在NVM控制器23和NAND型闪存存储器21之间的接口(I/F),该NAND型闪存存储器21用作以块(或页面)为单位对其进行存取的存储器件。

[0062] ECC-缓冲器控制部分236是用于控制由ECC缓冲器230进行的操作的部分。闪存存储器控制部分237是用于控制由ECC1处理部分231和闪存存储器I/F部分234进行的操作的部分。另一方面,NVRAM控制部分238是用于控制由ECC2处理部分232和NVRAM-I/F部分235进行的操作的部分。

[0063] 数据存储系统的效果

[0064] 1:基本操作

[0065] 在数据存储系统1中,根据由CPU10发出的命令来控制DRAM控制器12,以驱动DRAM11用作数据存储系统1的工作存储器。同样,根据由CPU10发出的命令来控制NVM控制器23,以驱动NVRAM22用作非易失存储器系统2的工作存储器,并驱动NAND型闪存存储器21,以用作非易失存储器系统2的存储器件。这样,根据由CPU10发出的命令,执行预先确定的程序和/或进行预先确定的处理。此时,在非易失存储器系统2中,以块(或页面)为单位对存储在NAND型闪存存储器21中的数据21D进行存取,并以字为单位对存储在NVRAM22中的数据22D进行存取。

[0066] 此外,此时,NVM控制器23利用保存在NAND型闪存存储器21中的误差校正码ECC1,以对存储在NAND型闪存存储器21中的数据21D进行位误差检测和校正处理。具体地说,NVM控制器23利用在将数据21D写入NAND型的闪存存储器21中的操作中产生的误差校正码ECC1,以在从NAND型闪存存储器21中读出数据21D的操作中或者在系统激活时间,即,在激活非易失存储器系统2时,通过将误差校正码ECC1应用于数据21D,而对存储在NAND型闪存存储器21中的数据21D进行位误差检测和校正处理。应当注意的是,一般来说,通过采用通用的BCH码方法来进行利用误差校正码ECC2的位误差检测和校正处理。就是说,可以改进在NAND型闪存存储器21中保存数据21D的特性,并提高非易失存储器系统2的可靠性。

[0067] 2:使用误差校正码ECC2的位误差检测和校正处理

[0068] 下面,通过参照图4到图8,下面的说明通过将位误差检测和校正处理与由第一和第二典型比较系统进行的处理相比较,来解释了作为本公开的特征之一的处理的利用误差校正码ECC2进行的位误差检测和校正处理。

[0069] 2-1:第一典型比较系统

[0070] 图4是示出了包括用作第一典型比较系统的非易失存储器系统102的数据存储系统101的配置的框图。如图所示,数据存储系统101采用CPU10、DRAM11、DRAM控制器12和作为第一典型比较系统的非易失存储器系统102。通过将图1所示的配置和图4所示的配置相比较,可以明显看出,代替在根据实施例的数据存储系统1中采用的非易失存储器系统2用作根据实施例的非易失存储器系统2,数据存储系统101包括用作第一典型比较系统的非易失存储器系统102。在其它方面,用作第一典型比较系统的数据存储系统101的配置与根据

实施例的数据存储系统1的配置相同。

[0071] 然而,不同于根据实施例的非易失存储器系统2,用作第一典型比较系统的非易失存储器系统102不包括ECC2块212,因为误差校正码ECC2并不存在于非易失存储器系统102中采用的NAND型闪速存储器102-1中。在其它方面,用作第一典型比较系统的非易失存储器系统102的配置与根据实施例的非易失存储器系统2的配置相同。

[0072] 就是说,在非易失存储器系统102中,以与根据实施例的非易失存储器系统2相同的方式将误差校正码ECC1用于改进NAND型闪速存储器102-1本身的数据保存特性。然而,不同于根据实施例的非易失存储器系统2,用作第一典型比较系统的非易失存储器系统102不利用NVRAM22的误差校正码ECC2。

[0073] 这样,由于第一典型比较系统不通过利用误差校正码ECC2来对存储在NVRAM22中的数据22D进行位误差检测和校正处理,因此,非常可能在NVRAM22由于表示在NVRAM22上进行的重写操作的数目的大数目重写计数而恶化时产生数据误差。具体地说,如果NVRAM22用作非易失高速缓存存储器,与存取用作存储器件的NAND型闪速存储器102-1的数量相比较,存取NVRAM22的数量很大。因此,要求NVRAM22具有不差于NAND型闪速存储器102-1的数据保存性能的数据保存性能。然而,在第一典型比较系统中,不能避免在NVRAM22中产生数据误差。这样,用作第一典型比较系统的整个非易失存储器系统102的可靠性不可避免地下降。

[0074] 2-2:第二典型比较系统

[0075] 图5是示出了包括用作第二典型比较系统的存储器系统202的数据存储系统201的配置的框图。如图所示,数据存储系统201采用CPU10、DRAM11、DRAM控制器12和用作第二典型比较系统的非易失存储器系统202。通过将图1所示的结构与图5所示的结构相比较,很明显代替在根据实施例的数据存储系统1中采用的非易失存储器系统2用作根据实施例的非易失存储器系统2,数据存储系统201包括用作第二典型比较系统的非易失存储器系统202。在其它方面,用作第二典型比较系统的数据存储系统201的配置与根据实施例的数据存储系统1的配置相同。

[0076] 然而,不同于根据实施例的非易失存储器系统2,用作第二典型比较系统的非易失存储器系统202不包括ECC2块212,因为在非易失存储器系统202中采用的NAND型闪速存储器102-1中不存在误差校正码ECC2。但是,在非易失存储器系统202中,向NVRAM202-2提供了用于存储误差校正码ECC2的区域。在其它方面,作为第二典型比较系统的非易失存储器系统202的配置和根据实施例的非易失存储器系统2的配置相同。

[0077] 就是说,对存储在NVRAM202-2中的数据22D进行利用误差校正码ECC2的误差检测和校正处理。因此,与第一典型比较系统相比较,改进了在NVRAM202-2中保存数据22D的特性。于是,也改进了整个非易失存储器系统202的可靠性。

[0078] 然而,在作为第二典型比较系统的非易失存储器系统202中,由于将NVRAM202-2的误差校正码ECC2存储在NVRAM202-2本身之中的这个事实,不可避免地出现下列问题。

[0079] 存取速度降低的问题

[0080] 首先,作为对NVRAM202-2的频带(band)有负面影响的副作用,不希望地降低了NVRAM202-2的存取速度。如在第二典型比较系统的情况下,在误差校正码ECC2存储在NVRAM202-2中的系统中,如下所述,存在用于对非易失存储器系统202进行存取的两个可想到的技术。

[0081] 根据第一个技术,如图5所示,将误差校正码ECC2保存在这样的地址上,该地址不同于将数据22D存储在NVRAM202-2中的地址。根据这个技术,作为对NVRAM202-2的存取,实际上,必须至少进行两次存取。第一次存取是对数据22D的存取,而第二次存取是对误差校正码ECC2的存取。因此,根据第一个技术,存取NVRAM202-2的高速度不可避免地降低到1/2。

[0082] 根据第二个技术,在NVRAM202-2中,将误差校正码ECC2保存在某些位(bits)中,这些位作为分配给误差校正码ECC2的位包含于数据22D之中。根据此技术,能够在对NVRAM202-2的一次存取中既存取数据22D又存取分配给它的误差校正码ECC2。这样,与上述的第一个技术相比较,存取NVRAM202-2的速度下降的效果趋于减少。如上所述,因为用在一次存取中的数据22D的位大小下降了一差值(该差值是与作为分配给误差校正码ECC2的位的包含于数据22D中的某些位数相应的差值),因此,在第二技术的情况下,也不可避免地降低了存取NVRAM202-2的高速度。应当注意的是,在第二个技术的情况下,例如,如果将数据22D的16位中的8位分配给误差校正码ECC2,那么最终,存取NVRAM202-2的速度也不可避免地下降到1/2,如在上述的第一技术中的情况那样。

[0083] 如上所述,作为第二典型比较系统,在上述的两个技术的任何一个之中,存取NVRAM202-2的速度不可避免地下降,因此不想要地降低整个非易失存储器系统202的操作的速度。

[0084] 成本升高的问题

[0085] 其次,如果将NAND型闪速存储器102-1和NVRAM202-2专门用作两个非易失存储器,则用作第二典型比较系统的非易失存储器系统202会产生下述的由于成本升高而引起的问题。通常,与NAND型闪速存储器相比,NVRAM的位单元成本高。这样,如果如在第二典型比较系统的情况中那样,将NVRAM202-2的误差校正码ECC2保存在NVRAM202-2自身之中,则NVRAM202-2的实际的数据存储容量下降。这样,整个非易失存储器系统202的非易失存储成本不想要地增加。

[0086] 2-3:本公开的实施例

[0087] 另一方面,在根据本实施例的非易失存储器系统2的情况下,如前面参照图1到图3所说明的那样,将保存在NAND型闪速存储器21中的误差校正码ECC2应用于存储在NVRAM22中的数据22D,以便对数据22D进行下面将要详细说明的位误差检测和校正处理。这样,与用作上述的第一典型比较系统的非易失存储器系统102相比较,改进了NVRAM22的数据保存特性。

[0088] 此外,在本实施例的情况下,如上面参照图1和图2所述的那样,将误差校正码ECC2保存在NAND型闪速存储器21中。这样,不同于将误差校正码ECC2保存在NVRAM202-2中的第二典型比较系统,本实施例能够排除上述的如存取NVRAM22的速度降低的问题。具体地说,由于仅数据22D存储在NVRAM22中,因此可以保持NVRAM22的存储容量的利用效率。此外,由于将NVRAM-I/F部分235的频带用于所有数据传送,因此频带不会因为使用误差校正码ECC2而减少。这样,可将NVRAM22的性能的影响减到最小。此外,如前所述,在通过将由多个误差校正码ECC2组成的批数据当作读单元,而将误差校正码ECC2从NAND型闪速存储器21读出到ECC缓冲器230的操作中,也能够获得下述的优点。通过将误差校正码ECC2与在NVRAM22中的连续地址相关联,在存取在NVRAM22中的连续地址时,可以以高速进行误差检测和校正处理。应当注意的是,如下所述,如果在ECC缓冲器230中不存在所需要的误差校正码ECC2,为

了读出需要的误差校正码ECC2,再次进行对NAND型闪速存储器21的存取。这样,性能会暂时恶化。因为将一次从NAND型闪速存储器21读出到ECC缓冲器230的更频繁存取的误差校正码ECC2保存在ECC缓冲器230中作为优先于其余的误差校正码ECC2的误差校正码ECC2,因此就整体而言,可以保持NVRAM22所展现的高速数据存取性能。

[0089] 此外,在本实施例的情况下,如上所述,将误差校正码ECC2保存在具有相对低的位成本的NAND型闪速存储器21中。这样,不同于第二典型比较系统,可以解决上述的成本升高的问题。就是说,可以抑制非易失存储器系统2的成本。

[0090] 随后,参照图6到图8,下面的说明将解释利用这样的误差校正码ECC2由NVM控制器23对存储在NVRAM22中的数据22D进行的位误差检测和校正处理的细节。换句话说,如下所述,在将数据22D写入NVRAM22中时,NVM控制器23将误差校正码ECC2写入NVRAM22中,并在从NVRAM22读出数据22D或在系统激活时间时,利用误差校正码ECC2以对数据22D进行位误差检测和校正处理。

[0091] 从NVRAM22读出数据的处理

[0092] 图6是示出表示利用误差校正码ECC2从NVRAM22读出数据22D的典型处理的流程图。

[0093] 如图所示,表示从NVRAM22读出数据22D的处理的流程图起始于下述的步骤S101和步骤S102,在步骤S102,NVM控制器23确定与要从NVRAM22读出的数据22D对应的(或数据22D所要求的)误差校正码ECC2是否存在(或保存)于ECC缓冲器230中。如果在步骤S102产生的确定结果为“是”,这指示在ECC缓冲器230中存在与要从NVRAM22读出的数据22D对应的误差校正码ECC2,NVM控制器23就进行下面的处理。如果上述的确定结果为“是”,处理流程就进行到步骤S103,与上述步骤S101(在该步骤,NVM控制器23从NVRAM22读出作为读取对象的数据22D)同时,在步骤S103,NVM控制器23从ECC缓冲器230读出误差校正码ECC2。

[0094] 另一方面,如果在步骤S102产生的确定结果为“否”,这指示在ECC缓冲器230中不存在与要从NVRAM22读出的数据22D对应的误差校正码ECC2,处理流程进行到步骤S104,在该步骤,NVM控制器23确定ECC缓冲器230是否具有(包含)可用于保存误差校正码ECC2的可用区。可用区是其中没有保存误差校正码ECC2的区域。如果在步骤S104产生的确定结果为“是”,这指示ECC缓冲器230具有(包含)可用区,处理流程进行到步骤S105,在该步骤,NVM控制器23利用上述的ECC-页面管理功能来获取包含于NAND型闪速存储器21中的ECC2块212的地址,该ECC2块212并作为包含不存在(不保存)于ECC缓冲器230中的想要的误差校正码ECC2的块。然后,在下面的步骤S106,NVM控制器23将包含想要的误差校正码ECC2的ECC2块212从NAND型闪速存储器21读出到在ECC缓冲器230内的可用区中,并将ECC2块212保存在该可用区中。随后,处理流程进行到上述的步骤S103。以此方式,在将包含想要的误差校正码ECC2的ECC2块212从NAND型闪速存储器21读出到在ECC缓冲器230之后,NVM控制器23对NVRAM22进行存取。这样,对于CPU10而言,将包含想要的误差校正码ECC2的ECC2块212从NAND型闪速存储器21读出到ECC缓冲器230所需的时间是存取NVRAM22所需的时间的延长。就是说,在NVM控制器23将包含想要的误差校正码ECC2的ECC2块212从NAND型闪速存储器21读出到ECC缓冲器230的时候,需要暂时中止对NVRAM22的存取。

[0095] 另一方面,如果在步骤S104产生的确定结果为“否”,这指示ECC缓冲器230没有(不包含)可用区,处理流程进行到步骤S107,在该步骤,NVM控制器23在ECC缓冲器230中选择可

用区的候选。具体地说,NVM控制器23选择包含在ECC缓冲器230中的作为用于保存误差校正码ECC2的区域的区域,作为在ECC缓冲器230中的可用区的候选,该误差校正码ECC2推测起来以低于其它误差校正码ECC2的频率使用(或存取)(或者推测起来在其它的误差校正码ECC2当中需要以最低频率使用或存取)。然后,NVM控制器23将在ECC缓冲器230中选择的可用区的候选改变为可用区,并新利用可用区作为缓冲区。

[0096] 然后,在下面的步骤S108,NVM控制器23确定是否已从保存在NAND型闪速存储器21中的相应的误差校正码ECC2改变了保存在上述的可用区中的误差校正码ECC2。如果在步骤S108产生的确定结果为“否”,这指示尚未从保存在NAND型闪速存储器21中的相应的误差校正码ECC2改变保存在可用区中的误差校正码ECC2。于是,处理流程进行到步骤S105。如果在步骤S108产生的确定结果为“是”,这指示已经从保存在NAND型闪速存储器21中的相应的误差校正码ECC2改变了保存在可用区中的误差校正码ECC2,另一方面,以保存在可用区中的误差校正码ECC2来更新保存在NAND型闪速存储器21中的相应的误差校正码ECC2。具体地说,如果在步骤S108产生的确定结果为“是”,这指示已经根据保存在NAND型的闪速存储器21中的相应的误差校正码ECC2改变了保存在可用区中的误差校正码ECC2。于是,处理流程进行到步骤S109,在该步骤,NVM控制器23利用上述的ECC-页面管理功能来获取包含于NAND型闪速存储器21的ECC2块212中的页面的地址,该页面作为用于保存相应的误差校正码ECC2的页面。然后,NVM控制器23利用在所获取的地址的页面作为写对象,其中将保存在ECC缓冲器230的可用区中的误差校正码ECC2写回到NAND型闪速存储器21的写对象。然后,在下一个步骤S110,NVM控制器23将保存在ECC缓冲器230的可用区中的误差校正码ECC2写回到ECC2块212中的页面。随后,处理流程进行到步骤S105。

[0097] 在完成上述的步骤S103和S101之后,处理流程进行到步骤S111,在该步骤,NVM控制器23利用误差校正码ECC2对NVRAM22中的用作读对象的数据22D进行位误差检测和校正处理。在此情况下,利用误差校正码ECC2的位误差检测和校正处理一般采用通用的汉明码方法。应当注意的是,如果检测到不可校正的位误差,NVM控制器23一般就将位误差通知给CPU10。然后,在下一个步骤S112,NVM控制器23就将作为位误差检测和校正处理的结果而得到的数据22D提供给CPU10。这个步骤是图6所示的流程图表示的作为将数据22D从NVRAM22读出到CPU10的处理的处理的终结。

[0098] 建议阅读者注意,希望提供一种配置,其中在执行上述的数据读处理、下述的数据写处理和系统激活处理时,NVM控制器23利用下述的功能作为将误差校正码ECC2从NAND型闪速存储器21预取到ECC缓冲器230的功能。为了NVM控制器23利用下述的功能来作为将误差校正码ECC2从NAND型闪速存储器21预取到ECC缓冲器230的功能,首先,NVM控制器23利用过去存取存储在NVRAM22中的数据22D的记录来预测存储在NVRAM22中的作为之后要存取的数据的数据22D。然后,NVM控制器23将预测的数据22D的误差校正码ECC2从NVRAM22预取到ECC缓冲器230。通过利用这种将误差校正码ECC2从NVRAM22预取到ECC缓冲器230的功能,可以容易地保持高速存取NVRAM22的性能。

[0099] 将数据写入NVRAM22中的处理

[0100] 图7是表示利用误差校正码ECC2将数据22D写入NVRAM22中的典型处理的流程图。

[0101] 如图所示,表示将数据22D写入NVRAM22中的处理的流程图从步骤S201开始。在该步骤,NVM控制器23从CPU10上获取作为写对象的数据22D,其是要写入NVRAM22中的数据。然

后,在步骤S203到S210,NVM控制器23进行与上述的表示数据读处理的流程图的步骤S102和步骤S104到S110相同的处理。随后,处理流程进行到步骤S202。

[0102] 在步骤S202,NVM控制器23一般采用通用的汉明码方法,通过计算误差校正码ECC2来进行产生用于所获得的数据的误差校正码ECC2的处理。然后,在下一个步骤S211,NVM控制器23将由计算产生的误差校正码ECC2写入ECC缓冲器230中,以更新现有的误差校正码ECC2。此时,在ECC缓冲器230中寄存包含所产生的误差校正码ECC2的页面作为更新的页面。同时,在步骤S212,NVM控制器23与步骤S202和S211同时地将数据22D写入NVRAM22中。步骤S211和S212是由图7所示的流程图表示的作为将CPU10输出的数据22D写入NVRAM22中的处理的处理的终结。

[0103] 系统激活处理

[0104] 图8是表示利用误差校正码来激活非易失存储器系统2的典型的系统激活处理的流程图。

[0105] 如图所示,表示激活非易失存储器系统2的系统激活处理的流程图从步骤S301开始,在该步骤,NVM控制器23设置NVRAM22中的开始地址。然后,在步骤S302到S309,NVM控制器23进行与上述的表示数据读处理的流程图的步骤S101到S104、S107、S105、S106和S111相同的处理。随后,处理流程进行到步骤S310。

[0106] 在步骤S310,NVM控制器23确定在步骤S309进行的位误差检测和校正处理中是否已检测到不可校正的位误差。如果在步骤S310产生的确定结果为“是”,这指示在步骤S309进行的位误差检测和校正处理中已检测到不可校正的位误差,处理流程进行到步骤S311,在此步骤,NVM控制器23将不可校正的位误差通知给CPU10。该步骤是由图8所示的流程图表示的系统激活处理的终结。

[0107] 另一方面,如果在步骤S310产生的确定结果为“否”,这指示在步骤S309进行的位误差检测和校正处理中没有检测到不可校正的位误差,处理流程就进行到步骤S312,在此步骤,NVM控制器23确定用作系统激活处理的对象的当前数据22D的地址是否是NVRAM22中的最后的地址。如果在步骤S312产生的确定结果为“否”,这指示用作系统激活处理的对象的当前数据22D的地址不是NVRAM22中的最后地址,处理流程进行到步骤S313,在该步骤,NVM控制器23将NVRAM22中的当前数据22D的地址递增1。然后,处理流程回到步骤S303。另一方面,如果在步骤S312产生的确定结果为“是”,这指示用作系统激活处理的对象的当前数据22D的地址是NVRAM22中的最后地址,则NVM控制器23结束由图8所示的流程图表示的系统激活处理。

[0108] 如上所述,在接通非易失存储器系统2的电源以激活非易失存储器系统2时,NVM控制器23对存储在NVRAM22中的所有数据进行利用误差校正码ECC2的位误差检测和校正处理。这样,就可能得到下面的结果。由于在NVM控制器23已经验证了在用作非易失高速缓存存储器的NVRAM22中存储的所有数据22D之中都不存在位误差之后激活非易失存储器系统2,所以可以改进非易失存储器系统2的可靠性。

[0109] 在上述的实施例中,将误差校正码ECC2应用于存储在NVRAM22中的数据22D(NVRAM22允许以字为单位随机存取数据22D),并将误差校正码ECC2保存在用于存储数据22D(作为要以块(或页面)为单位存取的数据)的NAND型闪速存储器21中。这样,可以改进(或增强)NVRAM22的数据保存特性同时防止存取NVRAM22的速度降低。结果,可以改进非易

失存储器系统2的可靠性而不降低其操作速度。

[0110] 此外,尤其是在本实施例中,将误差校正码ECC2保存在具有相对低的位单元成本的NAND型闪速存储器21中。这样,可以抑制非易失存储器系统2的成本。

[0111] 典型修改例

[0112] 下面,将说明本实施例的第一和第二修改例。应当注意的是,如果用在第一和第二修改例中的作为与在实施例中包括的它们各自相对应要素相同的要素的配置要素以与相对应要素相同的附图标记来表示。此外,在下面的说明中,不再重复说明相同配置的要素。

[0113] 第一典型修改例

[0114] 图9是示出包括用作上述的非易失存储器系统2的第一典型修改例的非易失存储器系统2A的数据存储系统1A的典型配置的框图。如图所示,数据存储系统1A使用CPU10、DRAM11、DRAM控制器12和非易失存储器系统2A。就是说,代替在根据实施例的数据存储系统1中采用的非易失存储器系统2,数据存储系统1A采用作为第一典型修改例的非易失存储器系统2A。用在数据存储系统1A中的其它配置要素与用在数据存储系统1中的它们各自的相对应配置要素相同。

[0115] 非易失存储器系统2A包括具有嵌入的ECC的NAND型闪速存储器21A、NVRAM22和NVM控制器23A。

[0116] NAND型的闪速存储器21A的特点在于,NAND型闪速存储器21A具有嵌入在其中的ECC1处理部分231。这样,在第一典型修改例中的NVM控制器23A从NAND型闪速存储器21A接收作为利用误差校正码ECC1进行的位误差检测和校正处理的结果而得到的数据,并将数据暂时存储在ECC缓冲器230中。在将数据22D写入NAND型闪速存储器21A中的操作中,NVM控制器23A仅向NAND型闪速存储器21A提供数据21D。NAND型闪速存储器21A具有由页面211P(每个页面都用作数据块211的单元)组成的数据块211和由页面212P(每个页面都用作ECC2块212的单元)组成的ECC2块212。在此,应当注意的是,第一典型修改例的页面211P和页面212P的数据结构分别与实施例的页面211P和页面212P的数据结构相同。然而,NVM控制器23A不能对在NAND型闪速存储器21A中用于保存误差校正码ECC1的区域进行存取。

[0117] 近年来,已提出了一种产品,其中,NAND型闪速存储器包括嵌入于其中的ECC处理部分,如NAND型闪速存储器21A的情况。也在由作为包含这样产品的系统的典型修改例实现的非易失存储器系统2A的情况下,可以通过进行与实施例的操作相同的操作来得到相同的效果。

[0118] 第二典型修改例

[0119] 图10是示出包括用作上述的非易失存储器系统2的第二典型修改例的非易失存储器系统2B的数据存储系统1B的典型配置的框图。如图所示,数据存储系统1B使用CPU10、DRAM11、DRAM控制器12和非易失存储器系统2B。就是说,代替在根据实施例的数据存储系统1中采用的非易失存储器系统2,数据存储系统1B使用作为第二典型修改例的非易失存储器系统2B。用在数据存储系统1B中的其它配置要素与用在数据存储系统1中的它们各自相对应的配置要素相同。

[0120] 非易失存储器系统2B包括MFD(管理的闪速驱动)21B、NVRAM22和NVM控制器23A。MFD 21B的典型例子包括SSD(固态驱动器)、eMMC(嵌入式多媒体卡)、SD卡和USB(通用串行总线)存储器。如上所述,在非易失存储器系统2B中,非易失存储器系统2B使用作为第二典

型修改例的MFD 21B来代替NAND型闪速存储器21。用在数据存储系统1B中的其它配置要素与用在数据存储系统1中的它们各自相对应的配置要素相同。

[0121] MFD 21B是包括NAND型闪速存储器的存储设备,用于存储要以块为单位存取的数据。在此情况下,块单元是数据块211的扇区211S和ECC2块212的扇区212S的单元。MFD 21B的特征在于MFD 21B具有嵌入于其中的如与嵌入在上述的ECC1处理部分231中的功能相同地操作的功能。这样,在第二修改例中的NVM控制器23A从MFD 21B中接收作为利用误差校正码ECC1进行的位误差检测和校正处理的结果而得到的数据,并将该数据暂时存储在ECC缓冲器230中。在将数据21D写入MFD 21B中的操作中,NVM控制器23A仅向MFD 21B提供数据21D。MFD 21B具有由扇区211S(每个扇区都用作为数据块211的单元)组成的数据块211和由扇区212S(每个扇区都用作为ECC2块212的单元)组成的ECC2块212。应当注意的是,第二典型修改例的扇区211S和212S的数据结构分别与实施例的页面211P和212P的数据结构相同。然而,NVM控制器23A不能对在MFD 21B中用于保存误差校正码ECC1的区域进行存取。

[0122] 近年来,已提出了许多如MFD 21B之类的存储产品。也在由作为包含这样产品的系统的本典型修改例实现的非易失存储器系统2B的情况下,可以通过进行与实施例的操作相同的操作来得到相同的效果。

[0123] 如上所述,向本典型修改例提供MFD 21B代替NAND型闪速存储器21。然而,应当注意的是,可用任何存储设备来代替NAND型闪速存储器21,假定该存储设备允许通过执行批操作(batch operation)来以每个都由多个字组成的块为单位存取存储于其中的数据。例如,作为NAND型闪速存储器21的典型代替,可能使用硬盘,该硬盘允许以扇区为单位存取存储于其中的数据。

[0124] 其它典型修改例

[0125] 至此,已经通过给出作为例子的实施例和典型修改例说明了本公开。然而,本公开的实施方式决不仅限于这些例子。就是说,也能用其它的修改例来作为本公开的实施方式。

[0126] 例如,在本实施例的情况下,DRAM11用作数据存储系统1的典型的工作存储器。然而,工作存储器并非必须是DRAM。例如,除了DRAM之外的易失存储器也可以用作工作存储器。

[0127] 此外,在本实施例和典型修改例中,可以用CPU10来行使NVM控制器23、NVM控制器23A和DRAM控制器12的全部(或部分)功能。

[0128] 此外,如上所述,除了CPU10和非易失存储器系统2之外,数据存储系统1还包括DRAM11和DRAM控制器12。然而,在某些情况下,可以省略DRAM11和DRAM控制器12。就是说,也能将数据存储系统1配置为仅包括CPU10和非易失存储器系统2。

[0129] 本公开包括与于2011年1月25日在日本专利局提交的日本优先权专利申请书JP 2011-012544中所公开的主题相关的主题,现将其全部内容通过引用结合于此。

[0130] 本领域技术人员应当了解,只要在所附的权利要求及其等效物所规定的范围内,就可以根据设计要求和其它因素对本公开进行各种修改、组合、部分组合和变更。

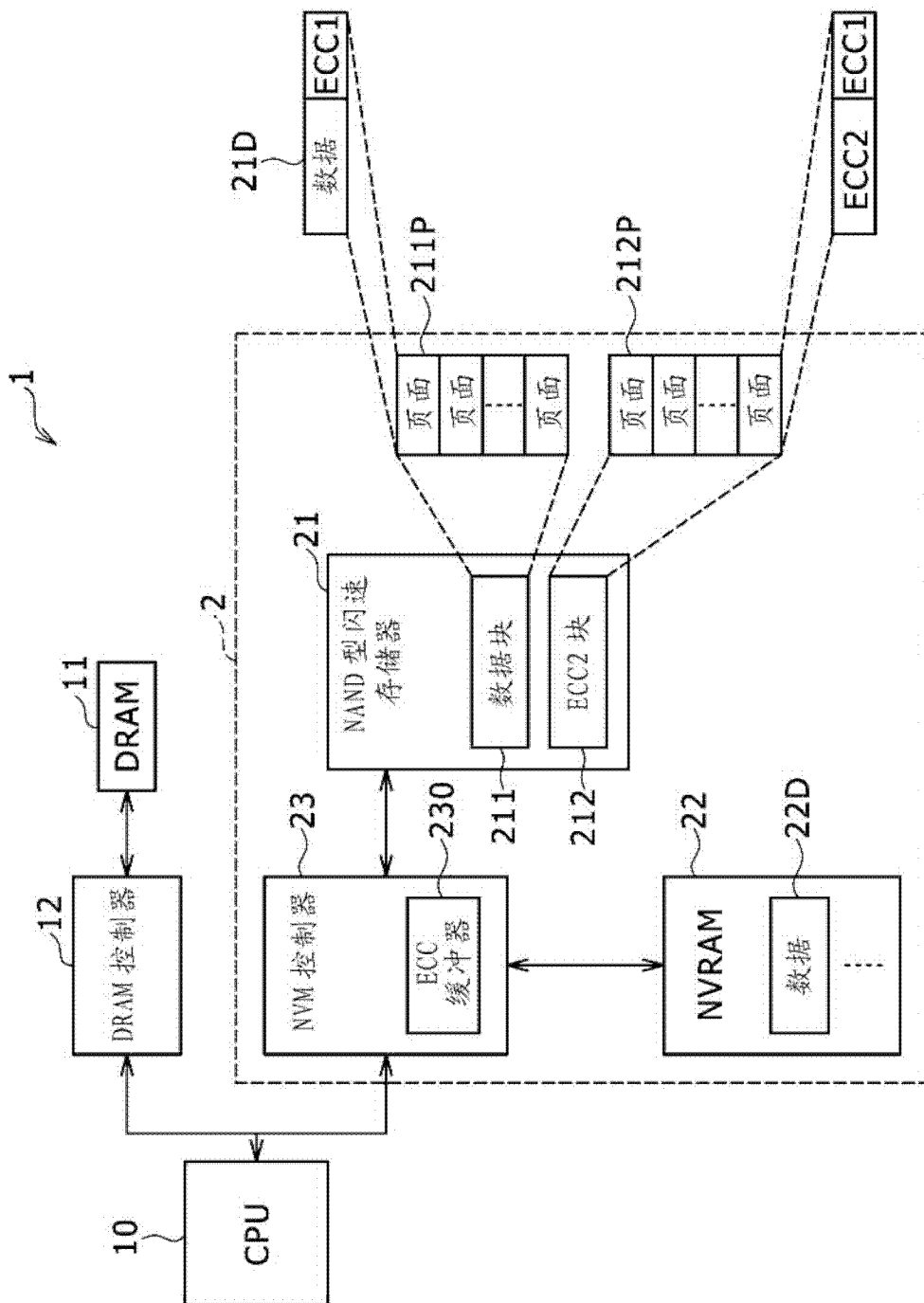


图1

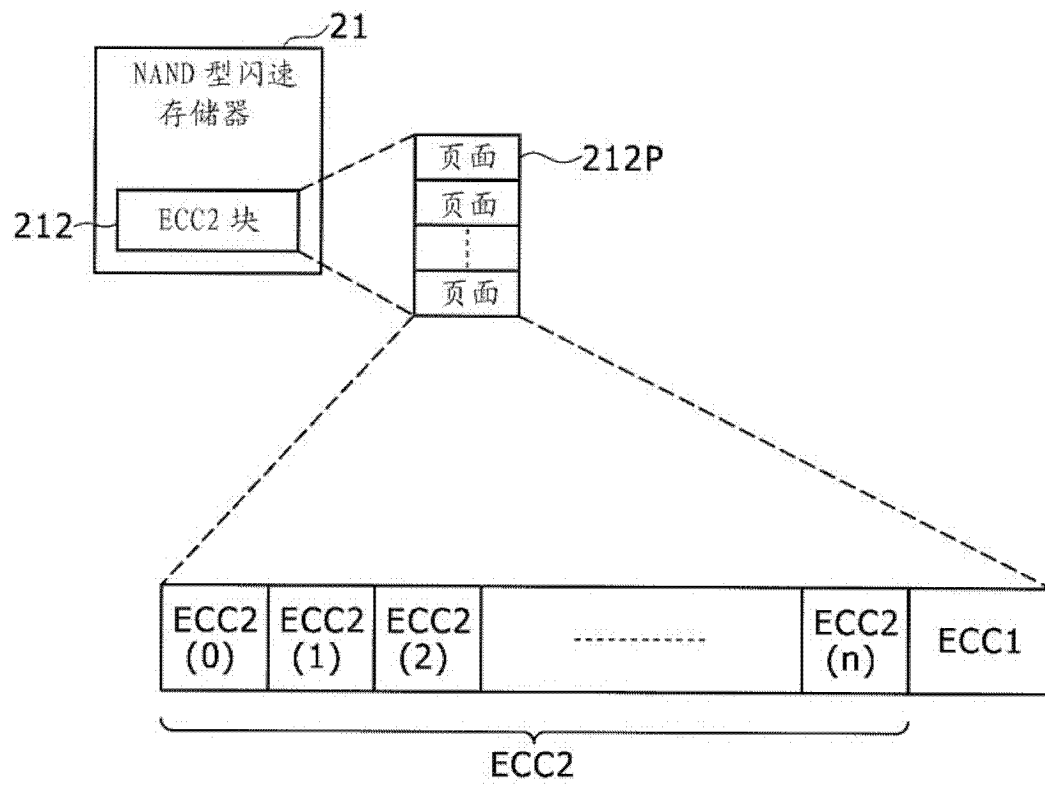


图2

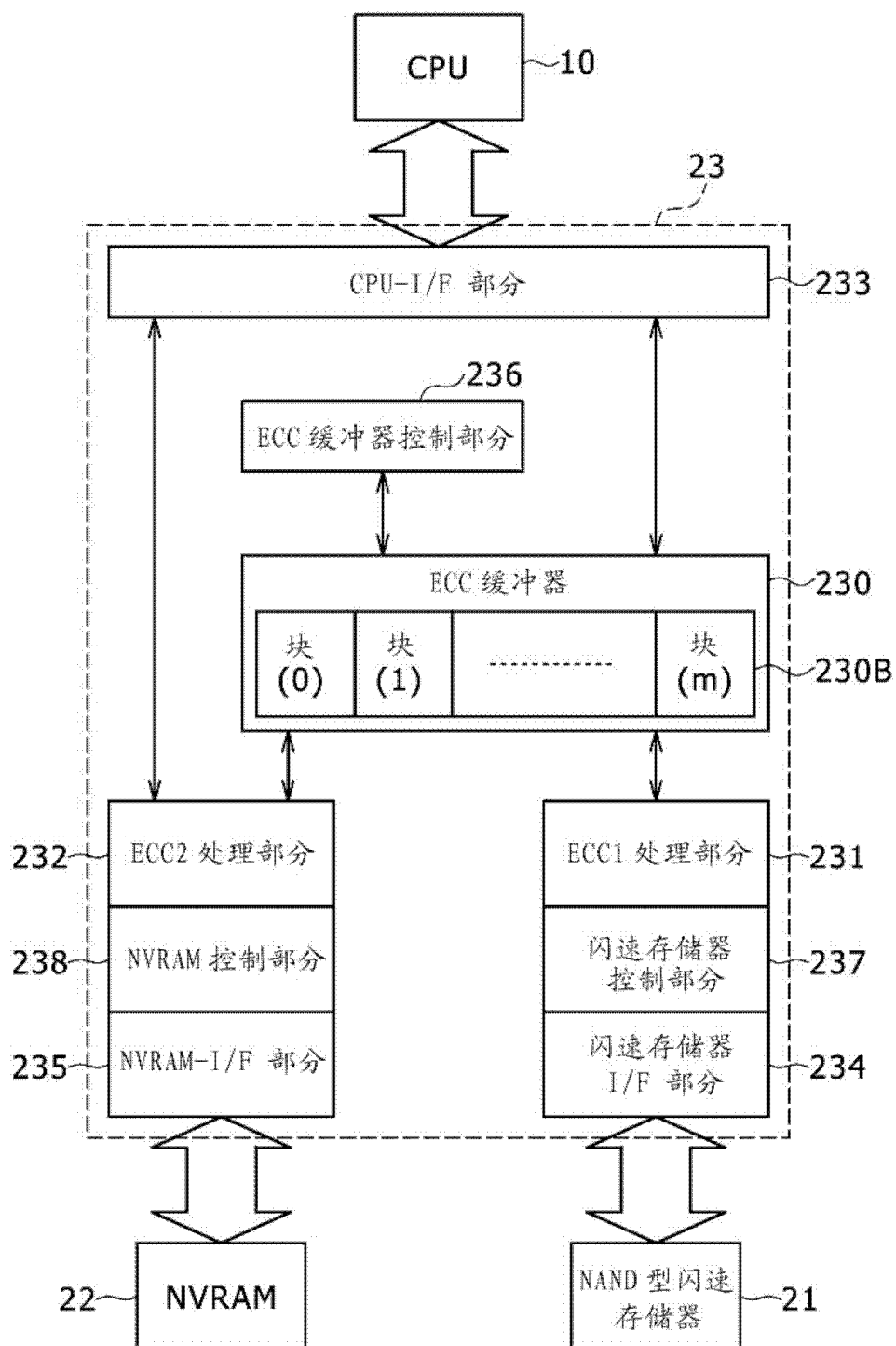


图3

4/10

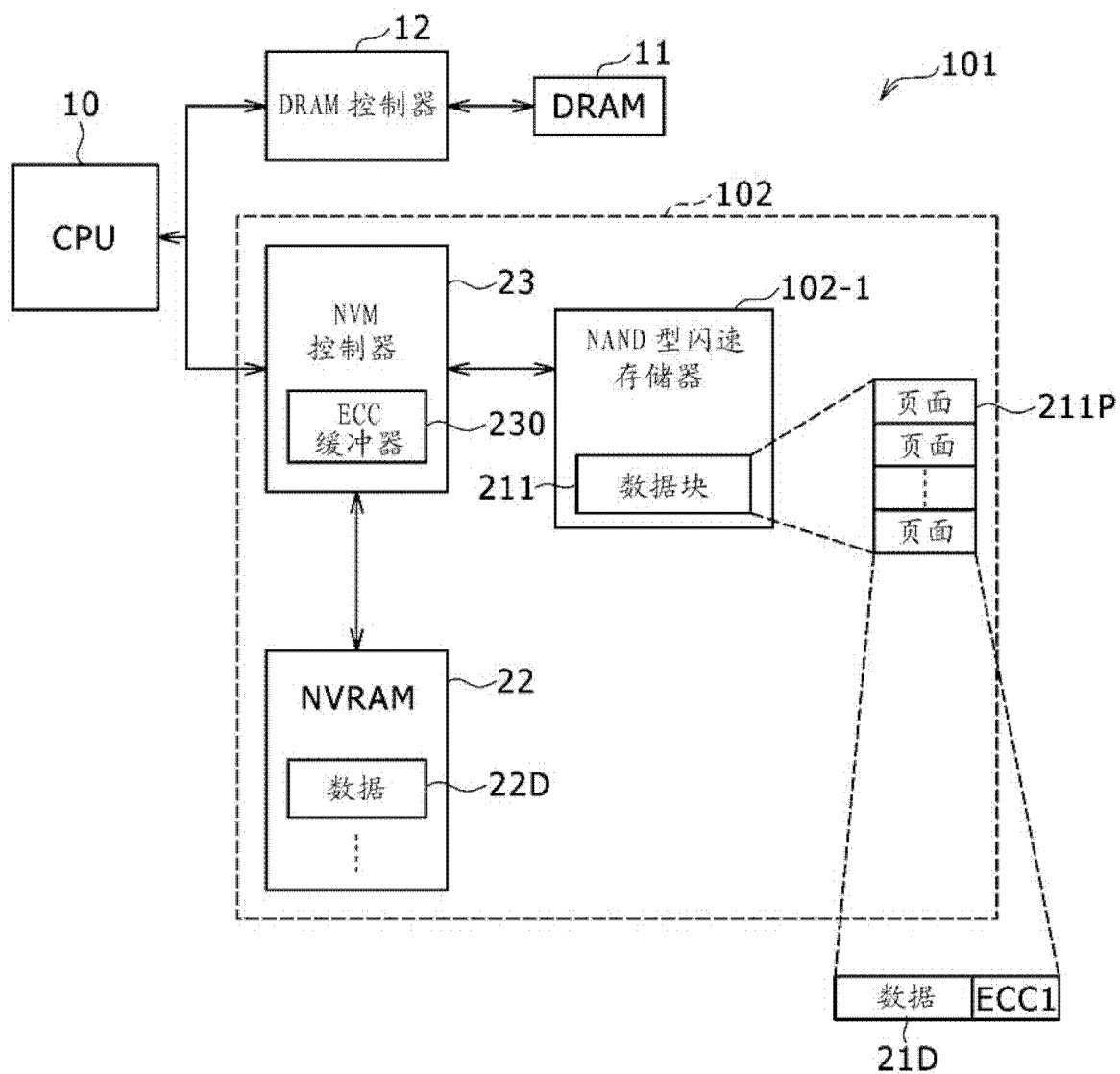


图4

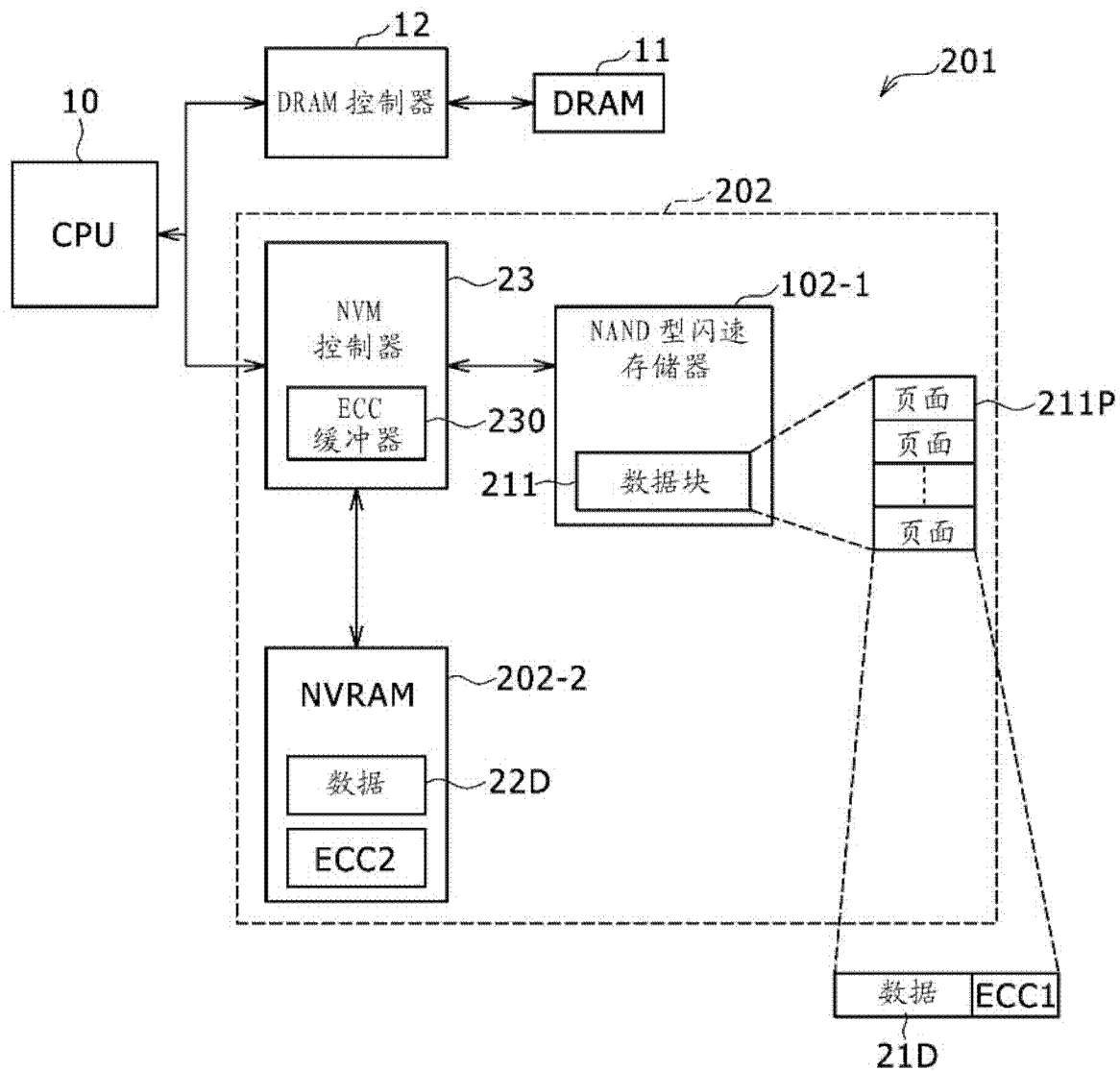


图5

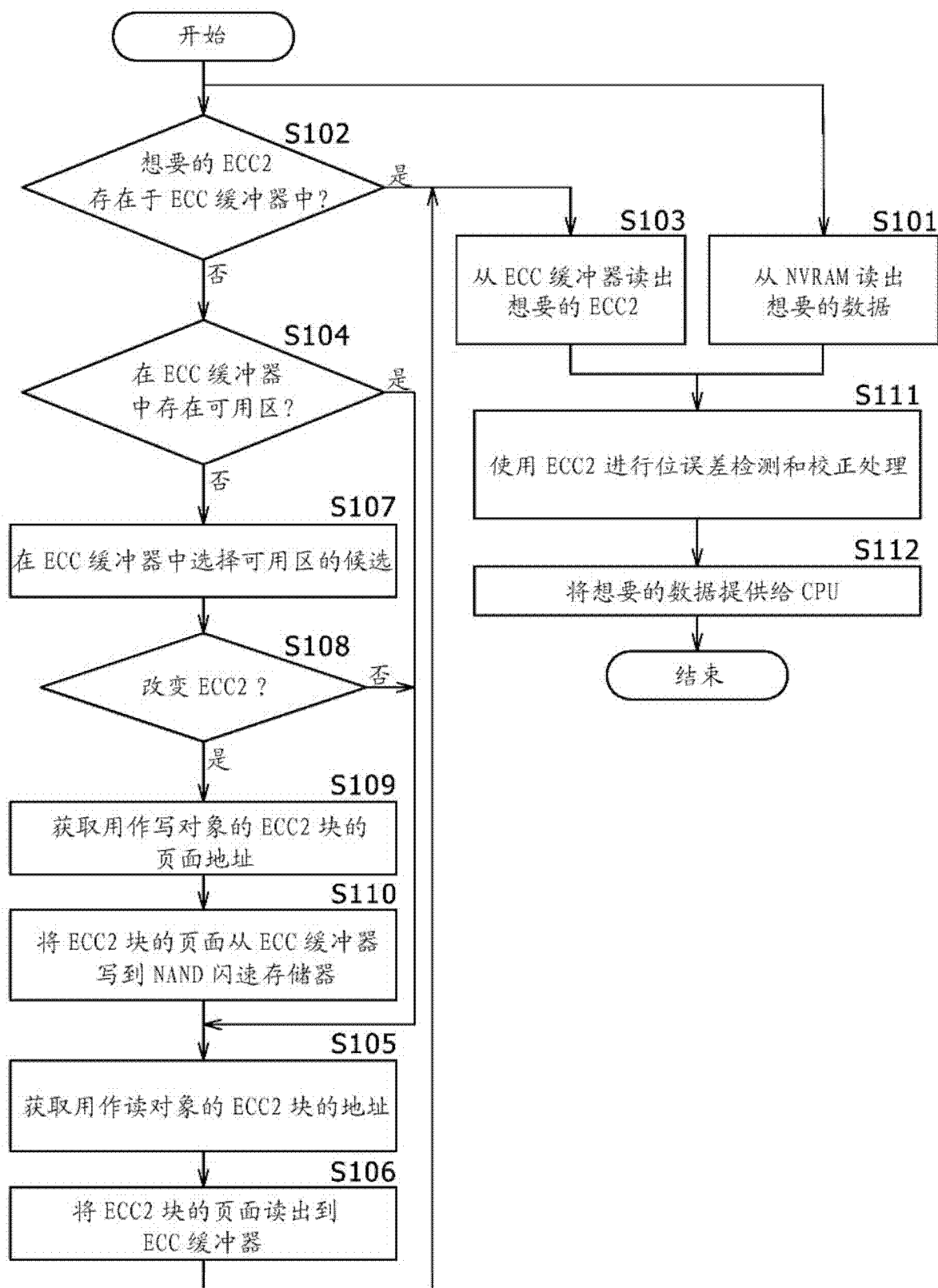


图6

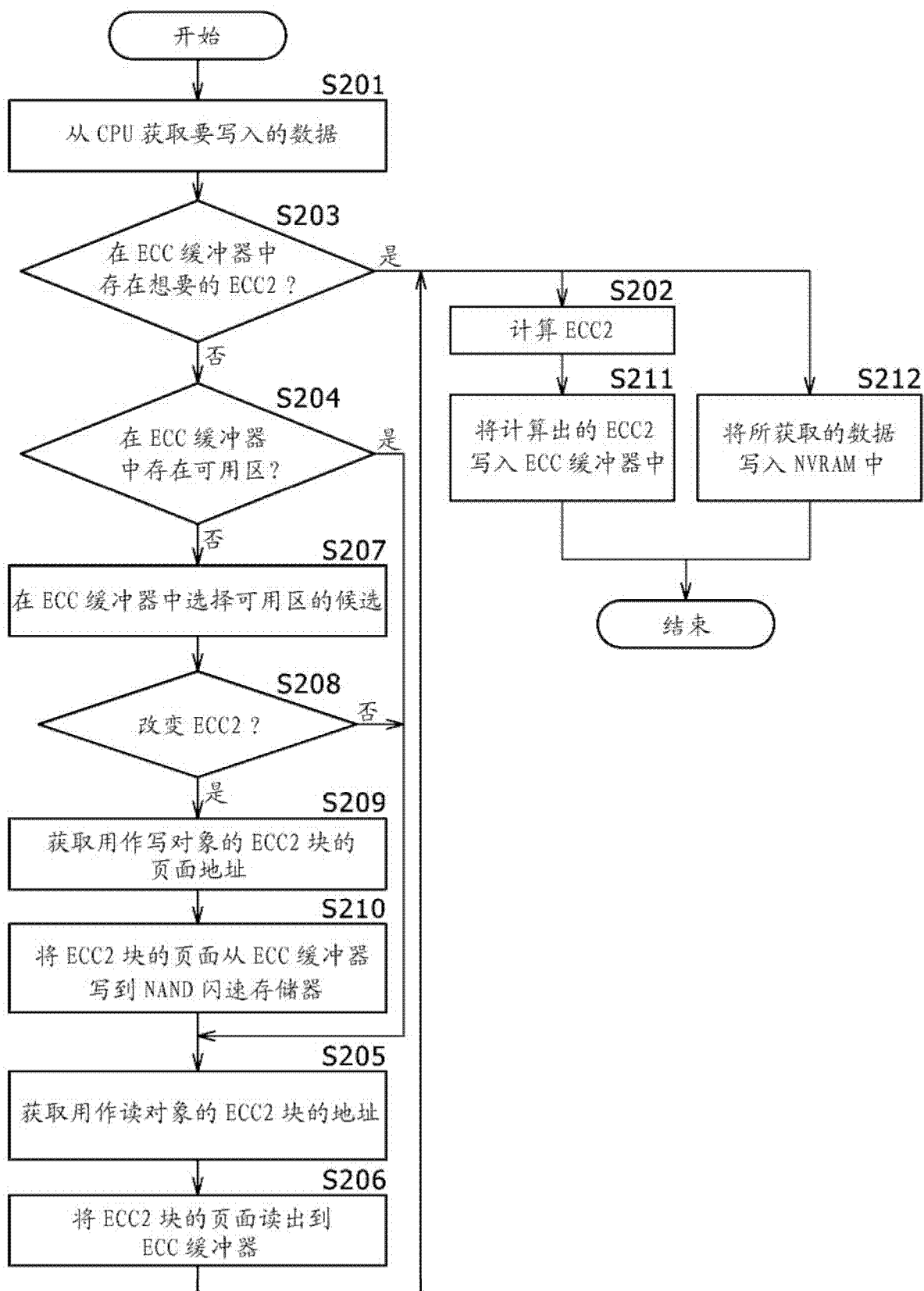


图7

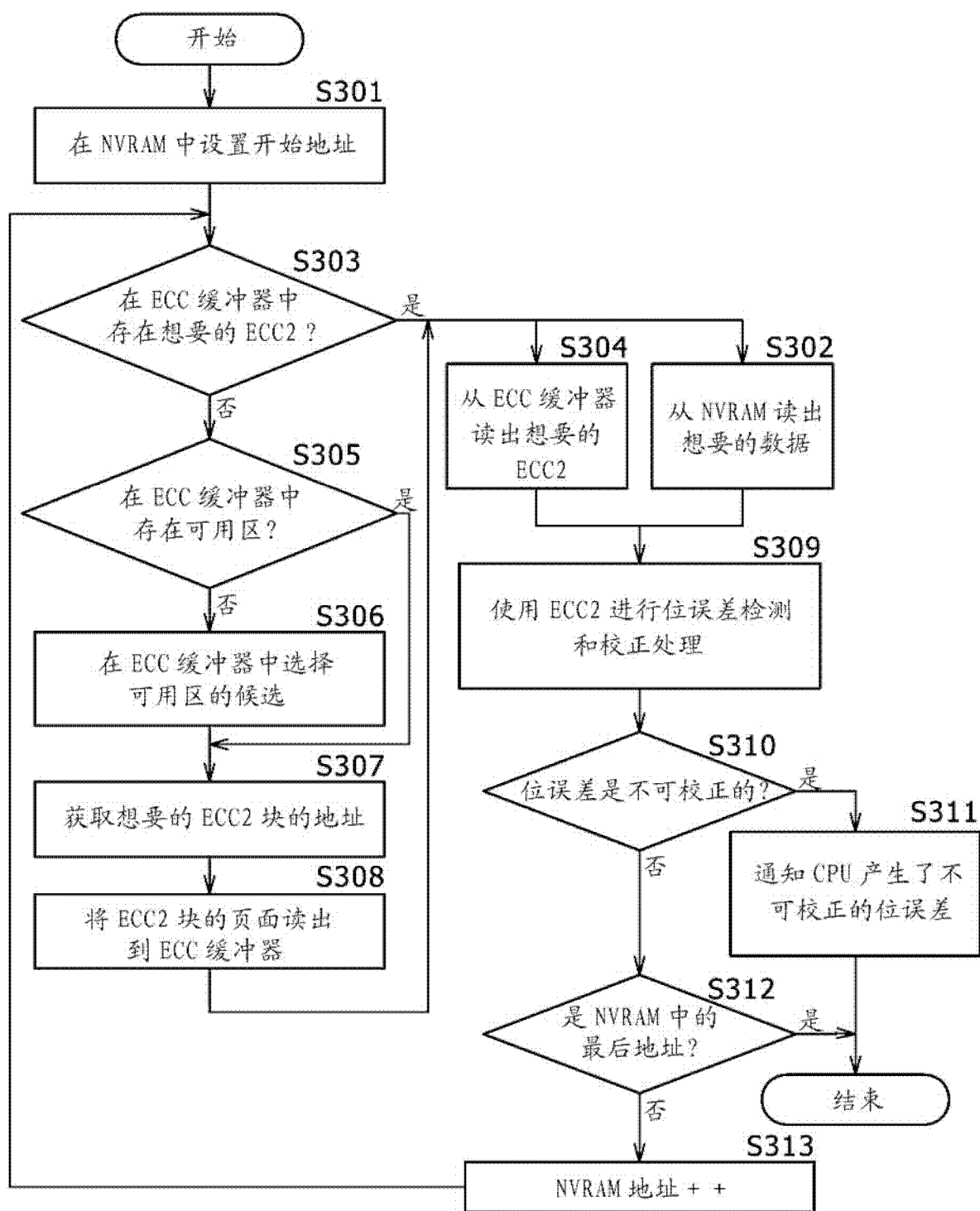


图8

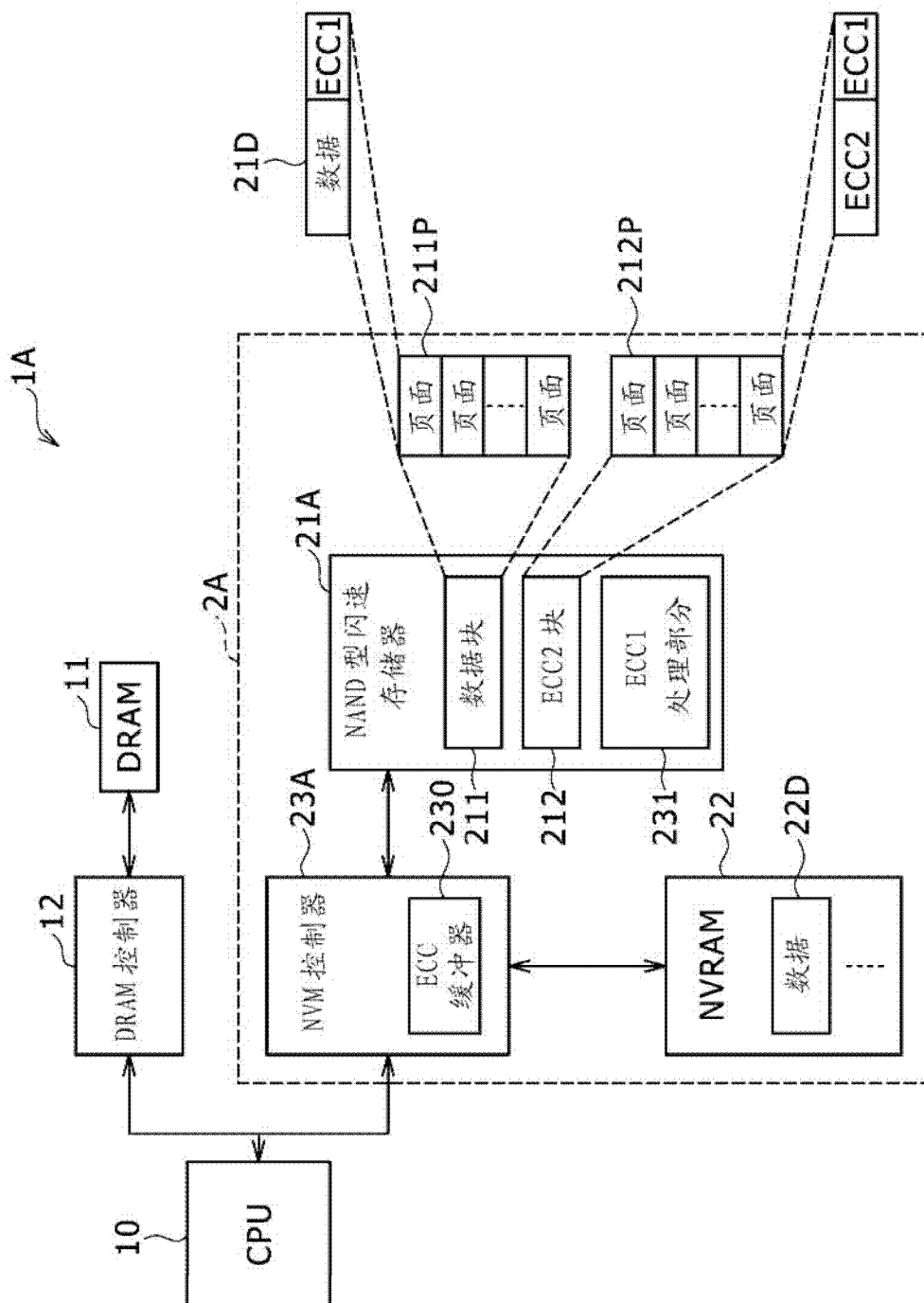


图9

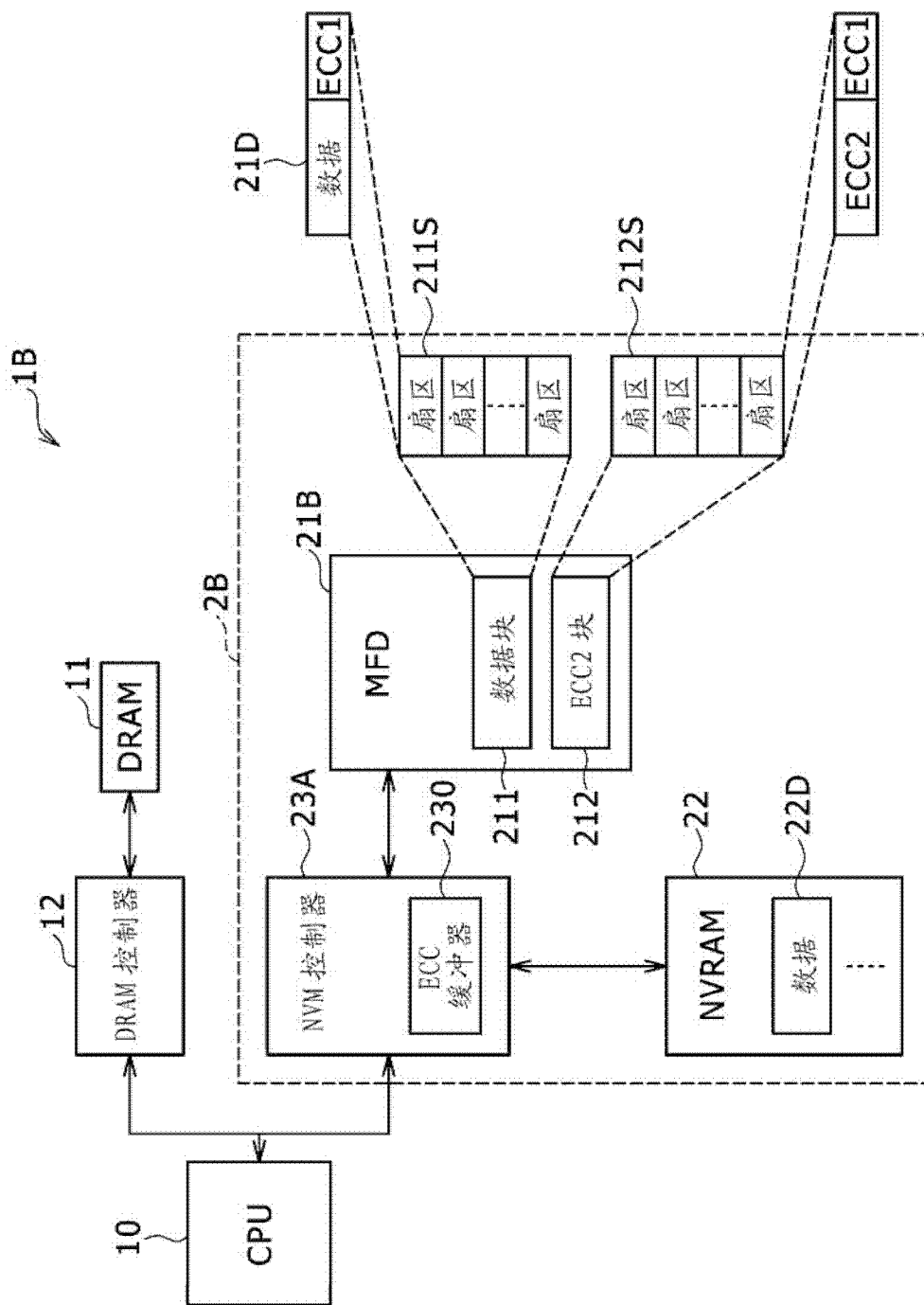


图10