



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I557781 B

(45)公告日：中華民國 105 (2016) 年 11 月 11 日

(21)申請案號：100146237

(22)申請日：中華民國 100 (2011) 年 12 月 14 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2010/12/17 日本

2010-282166

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：遠藤佑太 ENDO, YUTA (JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；野田耕生
NODA, KOSEI (JP)；佐藤瞳 SATO, HITOMI (JP)；佐藤裕平 SATO, YUHEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201001715A1

US 6515336B1

US 2002/0042167A1

US 2009/0008639A1

審查人員：周楷智

申請專利範圍項數：29 項 圖式數：18 共 67 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

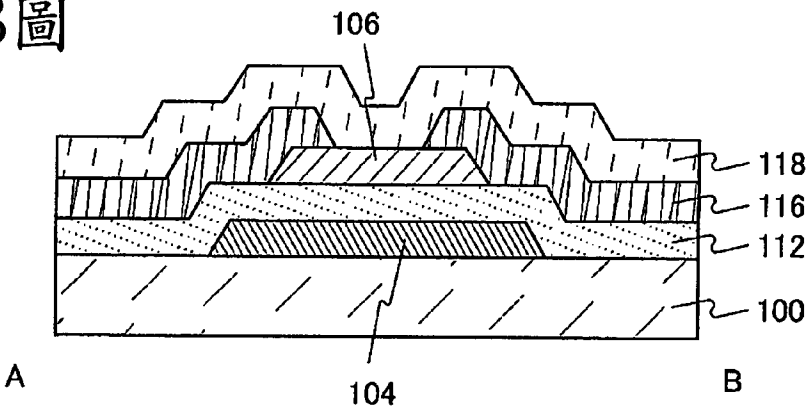
(57)摘要

為了要製造出其中無需使用背面閘極電極、臨限電壓之控制電路、及雜質引入法而可控制臨限電壓的電晶體，且為了要使用該電晶體而製造出具有有利電性特徵、高可靠度、及低功率消耗的半導體裝置，係使用包含氧化鎢膜的閘極電極，而該氧化鎢膜的組成被加以控制。該組成或其類似者係藉由該氧化鎢膜的膜形成方法所調整，而功函數可藉以控制。藉由使用其中功函數被控制之氧化鎢膜做為閘極電極的一部分，可控制電晶體的臨限電壓。使用其中臨限電壓被控制之電晶體，可製造出具有有利電性特徵、高可靠度、及低功率消耗的半導體裝置。

To manufacture a transistor whose threshold voltage is controlled without using a backgate electrode, a circuit for controlling the threshold voltage, and an impurity introduction method. To manufacture a semiconductor device having favorable electrical characteristics, high reliability, and low power consumption using the transistor. A gate electrode including a tungsten oxide film whose composition is controlled is used. The composition or the like is adjusted by a film formation method of the tungsten oxide film, whereby the work function can be controlled. By using the tungsten oxide film whose work function is controlled as part of the gate electrode, the threshold of the transistor can be controlled. Using the transistor whose threshold voltage is controlled, a semiconductor device having favorable electrical characteristics, high reliability, and low power consumption can be manufactured.

指定代表圖：

第1B圖



- 符號簡單說明：
- 100 . . . 基板
 - 104 . . . 閘極電極
 - 106 . . . 半導體膜
 - 112 . . . 閘極絕緣膜
 - 116 . . . 一對電極
 - 118 . . . 層間絕緣膜

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100146237

※申請日：100 年 12 月 14 日

※IPC 分類：H01L 21/28 (2006.01)
H01L 21/336 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

二、中文發明摘要：

爲了要製造出其中無需使用背面閘極電極、臨限電壓之控制電路、及雜質引入法而可控制臨限電壓的電晶體，且爲了要使用該電晶體而製造出具有有利電性特徵、高可靠度、及低功率消耗的半導體裝置，係使用包含氧化鎢膜的閘極電極，而該氧化鎢膜的組成被加以控制。該組成或其類似者係藉由該氧化鎢膜的膜形成方法所調整，而功函數可藉以控制。藉由使用其中功函數被控制之氧化鎢膜做爲閘極電極的一部分，可控制電晶體的臨限電壓。使用其中臨限電壓被控制之電晶體，可製造出具有有利電性特徵、高可靠度、及低功率消耗的半導體裝置。

三、英文發明摘要：

To manufacture a transistor whose threshold voltage is controlled without using a backgate electrode, a circuit for controlling the threshold voltage, and an impurity introduction method. To manufacture a semiconductor device having favorable electrical characteristics, high reliability, and low power consumption using the transistor. A gate electrode including a tungsten oxide film whose composition is controlled is used. The composition or the like is adjusted by a film formation method of the tungsten oxide film, whereby the work function can be controlled. By using the tungsten oxide film whose work function is controlled as part of the gate electrode, the threshold of the transistor can be controlled. Using the transistor whose threshold voltage is controlled, a semiconductor device having favorable electrical characteristics, high reliability, and low power consumption can be manufactured.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

104：閘極電極

106：半導體膜

112：閘極絕緣膜

116：一對電極

118：層間絕緣膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明有關半導體裝置及該半導體裝置的製造方法。

在此說明書中，半導體裝置意指可藉由使用半導體特徵而作用的任何裝置；半導體顯示裝置，半導體電極，電子裝置均係包含於該半導體裝置的種類之中。

【先前技術】

其中電晶體係使用半導體薄膜而形成，且該半導體薄膜係形成於具有絕緣表面的基板上之技術已引起注意。該等電晶體被應用至寬廣範圍的電子裝置，例如，積體電路(IC)或影像顯示裝置(顯示裝置)。做為可應用至該等電晶體之半導體薄膜的材料，具有矽為主之半導體材料和氧化物半導體材料。

例如，非晶矽、微晶矽、多晶矽、In-Ga-Zn-O 為主氧化物半導體、及其類似物係使用做為電晶體主動層。

就電晶體之開/關特徵而言，控制該電晶體的臨限電壓(V_{th})係重要的。例如，當電晶體中之臨限電壓係接近於0V(0 伏特)時，則其中使該電晶體導通的電壓可變低，而導致低的功率消耗。

專利文獻 1 揭示：半導體裝置，包含複數個電晶體，各自電晶體包括：背面閘極電極；半導體主動層，係設置與該背面閘極電極接觸，而第一閘極絕緣膜介於其間；以及閘極電極，係設置與該半導體主動層接觸，而第二閘極

絕緣膜介於其間；臨限電壓控制電路，其控制該複數個電晶體的臨限電壓；以及其中臨限電壓係藉由臨限電壓控制電路而施加任意電壓至背面閘極電極以予以控制之技術。

例如，在使用矽為主之半導體材料以供主動層用的情況中，臨限電壓可藉由引入 III 族元素或 V 族元素至主動層內而被控制；然而，已知的是，III 族元素或 V 族元素的引入會降低晶性且會造成雜質散射及其類似情況，而導致電晶體特徵的降級。

非專利文獻 1 揭示其中氧化鉬係藉由 Mo 閘極電極的電漿氧化而形成於表面上以增加該閘極電極的功函數，使得臨限電壓偏移至正側之技術。雖然此技術可偏移臨限電壓至正側，但具有氧化鉬對稍後電漿處理之低抗力及氧化鉬層之凹陷的問題。

[參考文件]

[專利文獻]

[專利文獻 1]日本公開專利申請案第 2006-237624 號

[非專利文獻]

[非專利文獻 1]Eri Fukumoto 等人之“用於 AM-OLED 之電路積集的高遷移率氧化物半導體 TFT”，IDW'10，第 631 至 634 頁

【發明內容】

本發明之目的在於製造其中臨限電壓係無需使用背面閘極電極，臨限電壓控制電路，及雜質引入法而予以控制

之電晶體。且，本發明之目的在於使用該電晶體而製造出具有有利電性特徵、高可靠度、及低功率消耗之半導體裝置。此外，本發明之目的在於形成可應用至該電晶體的閘極電極材料。

本發明之實施例係半導體裝置，其包含：閘極電極，其包含氧化鎢膜；閘極絕緣膜，其一部分係與該氧化鎢膜接觸；半導體膜，其係與該閘極電極重疊，而閘極絕緣膜介於其間；以及一對導電膜，其一部分係與該半導體膜接觸。

氧化鎢膜的功函數可藉由該氧化鎢膜之組成的調整所控制。藉由使用其中功函數被控制之氧化鎢膜做為閘極電極的一部分，則可控制電晶體的臨限電壓。

例如，氧化鎢膜的組成可在膜形成時予以調整。

在其中氧化鎢膜係使用濺鍍法而形成的情況中，係使用氧化鎢靶極、氮化鎢靶極、或鎢靶極。藉由調整靶極的組成，則可控制膜的組成。

例如，靶極的組成可在該靶極的製造中藉由改變鎢、二氧化鎢、及三氧化鎢的混合比例所調整，而可藉以調整所獲得之膜的組成。

該膜的組成亦可藉由混合氮化鎢於該靶極中所調整。

爲了要控制功函數，可將包含選自 Mg、Al、Ti、V、Cr、Mn、Co、Ni、Cu、Zn、Ga、Y、Zr、Nb、Mo、Ag、In、Sn、La、Ce、Nd、Hf、及 Ta 之一或更多種元素的材料混合於靶極之中。例如，其係 Mo 之氧化物的氧化鉬係

已知為具有高的功函數。然而，氧化鉬會與電漿及化學溶液高度地反應，且會溶解於水中；因此，不容易使用氧化鉬成為單一的膜。對照地，氧化鎢和氧化鉬的混合物具有與電漿及化學溶液之較佳的反應性、係相對地穩定、且係適合功函數之控制。因此，由於在處理上之較少的限制，所以氧化鎢和氧化鉬的混合物係較佳的。

該膜的組成亦可藉由設定包含上一段落中所列表之任何該等材料的固態體於靶極上所調整。

選擇性地，膜之組成可藉由膜形成所調整，其中所選自稀有氣體(He、Ne、Ar、Kr、或Xe)、氧、或氮之一或更多種氣體係使用做為膜形成氣體。在氧化鎢膜中之氧或氮的濃度之增加可改變功函數。因此，功函數可透過膜形成氣體之流速比而予以控制。

在引入氮至氧化鎢膜之內的情況中，氮之濃度係較佳地高於或等於 0.1 原子百分比(at%)且低於或等於 20 原子百分比(at%)。此係因為在其中氮之濃度係低於 0.1 原子百分比或高於 20 原子百分比的情況中，由於氮之引入所造成之氧化鎢膜的功函數之變化量會變小的緣故。明顯地，在氧化鎢膜中之氮的濃度並未受限於上述範圍，且包含低於 0.1 原子百分比或高於 20 原子百分比之氮的濃度之氧化鎢膜可予以使用。

進一步地，在本發明之實施例中，氧化鎢膜可由氮化鎢膜所置換。也就是說，功函數可藉由控制氮化鎢膜中之氮的濃度、氧的濃度、或其類似濃度而加以控制。

選擇性地，氧化鎢膜亦可藉由在包含鎢之金屬膜上的電漿處理或熱氧化處理所獲得。在此情況中，功函數可根據電漿處理之情形、熱氧化處理之情形、在該處理之後的熱處理、或其類似情形而予以控制。

在上述方式中，透過本發明之實施例，可製造出其中臨限電壓係無需使用背面閘極電極、臨限電壓控制電路、及雜質引入法而予以控制之電晶體。電晶體之臨限電壓的控制使其中使用本發明實施例之半導體裝置的功率消耗能降低。

本發明之實施例係藉由設計閘極電極而作成，且並不增加電晶體之製造步驟的數目。此外，並不會造成由於雜質引入所導致之半導體膜品質的降級。因此，可以以高生產率而製造出具有有利之電性特徵及高可靠度的半導體裝置。

具有有利電性特徵，高可靠度，及低功率消耗的半導體裝置可被高生產率地製造出。

【實施方式】

在下文中，將參照附圖而詳細敘述本發明之實施例。然而，本發明並未受限於以下的說明，且熟習於本項技藝之該等人士將易於瞭解的是，模式和細節可以以各式各樣的方式來加以修正。因此，本發明不應被解讀成為受限於下文之該等實施例的說明。在參照圖式而敘述本發明之結構中，係共同地使用相同的參考符號以供不同圖式中的相

同部分之用。注意的是，相同的影線圖案係施加至相似的部件，且在一些情況中，相似的部件並未藉由參考符號而特別地指示。

在敘述本發明之前，將簡單地解說此說明書中所使用之用語。首先，當在此說明書中之電晶體的源極及汲極之其中一者係稱為汲極時，則另一者將稱為源極。也就是說，其係根據電位位準而不予以區分。因此，在此說明書中稱為源極之部分可被選擇性地稱為汲極。

注意的是，在許多情況中，電壓意指某一電位與參考電位(例如，接地電位)之間的電位差。因而，可將電壓、電位、及電位差稱為電位、電壓、及電壓差。

即使當在此說明書中所寫的係“將被連接”時，亦具有其中在實際電路中並未作成實體連接且僅係延伸佈線之情況。例如，在包含絕緣閘極場效應電晶體(MISFET)之電路的情況中，在某些情況中，一佈線將作用成為複數個MISFET之閘極。在該情況中，可將其中分支成為閘極之一佈線描繪於電路圖之中。甚至在此情況中，可在此說明書中使用“佈線係連接至閘極”之表達。

注意的是，諸如“第一”及“第二”之順序數係針對便利性而使用，且並非指示步驟的順序或層之堆疊順序。此外，在此說明書中之該等順序數並不表示其中指明本發明的特殊名稱。

(實施例 1)

將敘述本發明實施例之其中組成被調整之氧化鎢膜的形成方法。

在藉由濺鍍法而形成氧化鎢膜的情況中，係使用氧化鎢靶極、氮化鎢靶極、或鎢靶極。藉由調整靶極的組成，則可控制膜的組成。

例如，靶極的組成可在該靶極的製造中藉由改變鎢、二氧化鎢、及三氧化鎢(或具有另一原子價之氧化鎢)的混合比例所調整，而可藉以調整將被獲得之膜的組成。材料之混合比例的變化可產生各式各樣的功函數；在此方式中，可控制功函數。

該膜的組成亦可藉由混合氮化鎢於氧化鎢靶極中所調整。

爲了要控制功函數，可將包含選自 Mg、Al、Ti、V、Cr、Mn、Co、Ni、Cu、Zn、Ga、Y、Zr、Nb、Mo、Ag、In、Sn、La、Ce、Nd、Hf、及 Ta 之一或更多種元素的材料混合於靶極之中。例如，其係 Mo 之氧化物的氧化鉬係已知爲具有高的功函數。然而，氧化鉬係可溶解於水中，且因而，難以使用做爲單一的膜。氧化鎢和氧化鉬的混合物係相對地穩定、且適合功函數之控制。氧化鉬膜的功函數可以以與氧化鎢膜的功函數相似的方式而予以控制。因此，功函數亦可藉由混合具有受控制之功函數的氧化鉬和氧化鎢所控制。

膜的組成亦可藉由具有芯片之膜形成所調整，而該芯片包含上一段落中所列表之任何該等材料且被設定於靶極

上。

膜的組成亦可藉由使用複數個陰極之共濺鍍法所調整。

膜的組成亦可藉由膜形成所調整，其中所選自稀有氣體、氧、或氮以供氧化鎢靶極之用的一或更多種氣體係使用做為膜形成氣體。

膜的組成亦可藉由膜形成所調整，其中所選自氧、稀有氣體、或氮以供氮化鎢靶極或鎢靶極之用的一或更多種氣體係使用做為膜形成氣體。

選擇性地，可執行氧化處理、氮氧化處理、或氮化處理於至少包含鎢的金屬膜上，以部分地形成金屬氧化物、金屬氮氧化物、或金屬氮化物。至少包含鎢的金屬膜可藉由混合選自 Mg、Al、Ti、V、Cr、Mn、Co、Ni、Cu、Zn、Ga、Y、Zr、Nb、Mo、Ag、In、Sn、La、Ce、Nd、Hf、及 Ta 之一或更多種元素至鎢內，而予以使用。

氧化處理可係電漿氧化處理或熱氧化處理。例如，電漿可使用諸如氧或氧化氮(例如， N_2O 、NO、或 NO_2)之反應氣體，而藉由具有 RF 功率源或其類似物之電力的供應所產生。該電漿處理可透過 CVD 設備，蝕刻設備，摻雜設備，或其類似設備而實行。熱氧化處理可在高於或等於 150°C 且低於應變點，較佳地，在高於或等於 250°C 且低於或等於 550°C 之溫度，被執行於氧化氛圍中。

氧化氛圍係包含氧化氣體之氛圍。該氧化氣體係氧、臭氧、氧化氮、或其類似物，且較佳地，該氧化氣體不包

含水，氫，及其類似物。例如，所引入至熱處理設備之內的氧、臭氧、氧化氮之純度係 8N(99.999999%)或更高，較佳地，係 9N(99.9999999%)或更高(亦即，雜質濃度係 1ppm 或更低，較佳地，係低於 0.1ppm)。做為氧化氛圍，可使用混合有惰性氣體之氧化氣體。在該情況中，該混合物包含至少大於或等於 10ppm 之濃度的氧化氣體。

在此，惰性氣體表示氮、稀有氣體、或其類似物。

在藉由執行電漿處理於包含鎢的金屬膜上而形成氧化鎢膜的情況中，較佳地，熱處理係在該電漿處理之後執行。熱處理可改變氧化鎢膜的組成或晶體度，且亦可增加功函數。

在電漿處理中，係供應大於或等於 25W 且小於或等於 1500W 的電力。較佳地，係供應大於或等於 300W 且小於或等於 800W 的電力。選擇性地，可將電極與其中形成處理膜於上之基板間的直流電壓(VDC)設定為高於或等於 10V 且低於或等於 800V，較佳地，設定為高於或等於 50V 且低於或等於 500V，並更佳地，設定為高於或等於 100V 且低於或等於 300V。

其中使該處理膜暴露至電漿處理的時間係大於或等於 10 秒且小於或等於 600 秒，較佳地，係大於或等於 30 秒且小於或等於 300 秒。該處理膜的功函數可藉由調整其中使該處理膜暴露至電漿處理的時間，而予以控制。

在藉由濺鍍法的膜形成中，可使用其中亦施加偏壓電力至基板側之偏壓濺鍍法。藉由使用偏壓濺鍍法以供氧化

鎢膜的 formed 之用，將改變晶體度、組成、或其類似物者；從而，可控制功函數。

透過此實施例，可控制氧化鎢膜的功函數。

此實施例可與其他實施例之任一者適當地結合而實施。

(實施例 2)

將參照第 1A 至 1C 圖而敘述本發明實施例之電晶體。

第 1A 至 1C 圖係本發明實施例之電晶體的頂視圖及橫剖面視圖。在第 1B 圖中之橫剖面 A-B 及在第 1C 圖中之橫剖面 C-D 分別對應至第 1A 圖中之交變的長短點虛線 A-B 及 C-D。

在此，將詳細敘述第 1B 圖中之橫剖面 A-B。

橫剖面 A-B 係電晶體的橫剖面，而該電晶體包含：基板 100；閘極電極 104，在該基板 100 上；閘極絕緣膜 112，其覆蓋基板 100 及閘極電極 104；半導體膜 106，定位於閘極電極 104 之上，而閘極絕緣膜 112 介於其間；一對電極 116，具有與半導體膜 106 接觸的部分，且係在該半導體膜 106 之上；以及層間絕緣膜 118，其覆蓋閘極絕緣膜 112、半導體膜 106、及該對電極 116。

在此，閘極電極 104 包含氧化鎢膜，其中組成被調整，且其係描述於實施例 1 之中。該氧化鎢膜的功函數可藉由該組成所控制。

閘極電極 104 可具有堆疊層之結構。例如：選自 Al、

Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta、或 W 之金屬；該金屬之氮化物；該金屬之氧化物；或該金屬之合金的一或更多個材料係與氧化鎢膜堆疊在一起。在其中氧化鎢之電阻係高的情況中，爲了要降低閘極電極 104 的電阻，較佳地，該氧化鎢膜應與具有 $10\ \Omega/\text{sq}$ 或更低之片電阻的低電阻膜堆疊在一起。注意的是，該氧化鎢膜係配置成爲座落於閘極絕緣膜 112 側。

注意的是，在第 1A 至 1C 圖中，爲了要防止光造成半導體膜 106 的劣化或半導體膜 106 中之電荷產生，當從上方觀察時，閘極電極 104 係在長度及寬度中比半導體膜 106 更大；然而，本發明並未受限於此結構。該半導體膜 106 的邊緣可延伸越過該閘極電極 104 的邊緣。

在基板 100 上並無特殊之限制，只要其具有足以至少耐受稍後所執行之熱處理的熱阻即可。例如，可使用玻璃基板、陶質物基板、石英基板、或藍寶石基板做爲基板 100。進一步選擇性地，可使用由矽、碳化矽、或其類似物所製成之單晶半導體基板或多晶半導體基板，由矽鍺或其類似物所製成之化合物半導體基板，SOI(矽在絕緣體上)基板，或其類似基板。仍進一步選擇性地，可使用以半導體元素所設置之該等基板的任一者做爲基板 100。

撓性基板可被選擇性地使用做爲基板 100。在其中電晶體係設置於撓性基板上的情況中，可將電晶體直接形成於撓性基板上，或可將電晶體形成於不同的基板上且然後自該基板分離並轉移至撓性基板。爲了要將電晶體自該基

板分離並將其轉移至撓性基板，較佳地，將分離層設置於該不同的基板與該電晶體之間。

半導體膜 106 可使用矽膜，銻膜，矽銻膜，碳化矽膜，氮化銻膜，或氧化物半導體膜而形成。氧化物半導體膜可易於被形成，且即使無雷射光束照射處理或其類似處理，亦可具有高的場效應遷移率；因此，做為該半導體膜 106，氧化物半導體膜係較佳的。

例如，針對氧化物半導體膜之半導體膜 106，可使用諸如 In-Sn-Ga-Zn-O 為主之材料的四成分金屬氧化物；諸如 In-Ga-Zn-O 為主之材料，In-Sn-Zn-O 為主之材料，In-Al-Zn-O 為主之材料，Sn-Ga-Zn-O 為主之材料，Al-Ga-Zn-O 為主之材料，或 Sn-Al-Zn-O 為主之材料的三成分金屬氧化物；諸如 In-Zn-O 為主之材料，Sn-Zn-O 為主之材料，Al-Zn-O 為主之材料，Zn-Mg-O 為主之材料，Sn-Mg-O 為主之材料，In-Mg-O 為主之材料，或 In-Ga-O 為主之材料的二成分金屬氧化物；In-O 為主之材料；Sn-O 為主之材料；Zn-O 為主之材料；或其類似物。此外，任何上述之材料可包含氧化矽。在此，例如，In-Ga-Zn-O 為主之材料意指包含銦(In)、銻(Ga)、及鋅(Zn)之氧化物，且在組成比例上並無特殊的限制。進一步地，In-Ga-Zn-O 為主之氧化物半導體可包含除了 In、Ga、及 Zn 之外的元素。

進一步地，可將藉由 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 所表示之材料使用於氧化物半導體膜。在此，M 表示選自 Ga、Al、Mn、及 Co 之一或更多個金屬元素。例如，M 可係 Ga、

Ga 及 Al、Ga 及 Mn、Ga 及 Co、或其類似物。

閘極絕緣膜 112 和層間絕緣膜 118 可使用例如，氧化矽、氮氧化矽、氧化氧化矽、氮化矽、氧化鋁、氧化鉛、氧化釷、或氧化銻，而形成爲具有堆疊層結構或單層結構。例如，閘極絕緣膜 112 和層間絕緣膜 118 可使用熱氧化法、CVD 法、濺鍍法、或其類似方法而形成。做爲閘極絕緣膜 112 和層間絕緣膜 118，可使用其中氧係藉由加熱而被釋放出的膜。透過使用其中氧係藉由加熱而被釋放出之該絕緣膜以供閘極絕緣膜 112 和層間絕緣膜 118 之用，可修護半導體膜 106 中所產生之缺陷且可阻止電晶體的電性特徵免於降級。

在此說明書中，氮氧化矽意指包含氧比氮更多的物質，且例如，氮氧化矽分別包含濃度大於或等於 50 原子百分比且小於或等於 70 原子百分比、大於或等於 0.5 原子百分比且小於或等於 15 原子百分比、大於或等於 25 原子百分比且小於或等於 35 原子百分比、以及大於或等於 0 原子百分比且小於或等於 10 原子百分比之範圍的氧、氮、矽、及氫。進一步地，氧化氮化矽意指包含氮比氧更多的物質，且例如，氧化氮化矽分別包含濃度大於或等於 5 原子百分比且小於或等於 30 原子百分比、大於或等於 20 原子百分比且小於或等於 55 原子百分比、大於或等於 25 原子百分比且小於或等於 35 原子百分比、以及大於或等於 10 原子百分比且小於或等於 25 原子百分比之範圍的氧、氮、矽、及氫。注意的是，氧、氮、矽、及氫之比例係

在其中使用拉塞福(Rutherford)反向散射光譜儀(RBS)或氬順向散射光譜儀(HFS)而執行測量的情況中落在上述範圍之內。此外，該等構成元素的總百分比並不超過 100 原子百分比。

在其中該對電極 116 之材料擴散至半導體膜 106 內而不利地影響電晶體特徵的情況中，可使用其中該對電極 116 之材料的擴散係數會變低之絕緣膜為閘極絕緣膜 112 及層間絕緣膜 118。該層間絕緣膜 118 作用為該半導體膜 106 的保護膜。

“藉由加熱而釋放出氧”意指的是，在以氧原子為基礎的熱解吸光譜學(TDS)中，所釋放出之氧的數量係大於或等於 1.0×10^{18} 原子/立方公分，較佳地，係大於或等於 3.0×10^{20} 原子/立方公分。

在此，將敘述使用 TDS 分析而以氧原子為基礎之所釋放出的氧數量之測量方法。

在 TDS 分析中之所釋放出的氣體數量係成比例於光譜的積分值。因此，所釋放出的氣體數量可藉由所測量出之光譜的積分值與標準取樣的參考值之間的比例所計算。該標準取樣的參考值表示取樣中所包含之預定原子的密度對光譜的積分值之比例。

例如，自絕緣膜所釋放出之氧分子的數目(N_{O_2})可依據方程式 1，而使用包含預定密度的氬之矽晶圓(其係標準取樣)的 TDS 分析結果及絕緣膜的 TDS 分析結果以計算。在此，藉由 TDS 分析所獲得之具有 32 的質量數之所有光

譜係假定為產生自氧分子。CH₃OH 可被給定為具有 32 的質量數之另一氣體，但在其係不可能存在的假定之下，並不予以考慮。進一步地，包含氧原子的同位素之具有 17 或 18 的質量數之氧原子的氧分子亦不予以考慮，因為在自然界中之該分子的比例係極少的。

$$N_{O_2} = N_{H_2} / S_{H_2} / S_{O_2} / a \quad (\text{方程式 1})$$

N_{H2} 係藉由將標準取樣所釋放出之氫的數目轉換成為密度所獲得的值。S_{H2} 係藉由 TDS 所分析的標準取樣之光譜的積分值。在此，標準取樣的參考值係設定為 N_{H2}/S_{H2}。S_{O2} 係當絕緣膜係藉由 TDS 所分析時之光譜的積分值。a 係影響 TDS 分析中之光譜強度的係數。針對方程式 1 之細節，可參考日本公開專利申請案第 H6-275697 號。注意的是，自上述絕緣膜所釋放出之氧的數量係使用包含 1×10¹⁶ 原子/立方公分之氫原子的矽晶圓做為標準取樣，而透過 ESCO Ltd., EMD-WA1000S/W 所生產之熱解吸光譜設備所測量。

進一步地，在 TDS 分析中，一部分的氧係偵測成為氧原子。氧分子與氧原子之間的比例可藉由氧分子的離子化速率所計算。注意的是，因為上述 a 包含氧分子的離子化速率，所以所釋放出之氧的數目亦可透過所釋放出之氧分子數目的評估而予以估算。

注意的是，N_{O2} 係所釋放出之氧分子的數目。以氧原

子為基礎之所釋放出之氧的數量係所釋放出之氧分子數目的兩倍。

在上述結構中，其中氧係藉由加熱而被釋放出之膜可係氧過多之氧化矽 ($\text{SiO}_x (X>2)$)。在氧過多之氧化矽 ($\text{SiO}_x (X>2)$) 中，每一單位體積之氧原子數目係大於每一單位體積之矽原子數目的兩倍。每一單位體積之矽原子的數目和氧原子的數目係藉由拉塞福反向散射光譜儀所測量。

當氧係自閘極絕緣膜 112 或層間絕緣膜 118 而供應至氧化物半導體膜之半導體膜 106 時，則可降低半導體膜 106 與閘極絕緣膜 112 之間的介面狀態密度，或半導體膜 106 與層間絕緣膜 118 之間的介面狀態密度。因而，可抑制由於電晶體或其類似者的操作所造成之半導體膜 106 與閘極絕緣膜 112 間的介面，及半導體膜 106 與層間絕緣膜 118 間的介面處之電荷的俘獲。因此，可提供具有較少電性特徵劣化的電晶體。

進一步地，在某些情況中，電荷可由於氧化物半導體膜之中的氧空位而產生。通常，在氧化物半導體膜中之氧空位的一部分用作要產生電子，亦即，載子之施體。因而，電晶體的臨限電壓會以負方向而偏移。自閘極絕緣膜 112 或層間絕緣膜 118 至半導體膜 106，亦即，氧化物半導體膜之氧的充分釋放可補償氧化物半導體膜中的氧空位，而該氧空位係臨限電壓之負偏移的原因。

換言之，藉由提供其中氧係藉由加熱而被釋放出的膜做為閘極絕緣膜 112 或層間絕緣膜 118，可降低半導體膜

106 與閘極絕緣膜 112 之間的介面狀態密度、半導體膜 106 與層間絕緣膜 118 之間的介面狀態密度、及氧化物半導體膜之半導體膜 106 中的氧空位，而可藉以降低閘極絕緣膜 112 的介面處或層間絕緣膜 118 的介面處之氧化物半導體膜，亦即，半導體膜 106 中之電荷俘獲的影響。

針對該對電極 116，可適當地使用其中可使用於閘極電極 104 之任何金屬、金屬氮化物、金屬氧化物、或金屬合金。該對電極 116 作用成為電晶體的源極及汲極電極。

當使用包含 Cu 的膜以供該對電極 116 之用時，則可降低佈線電阻，且即使在大尺寸的顯示裝置或其類似物中，亦可防止佈線延遲或其類似情況。在使用 Cu 以供該對電極 116 之用的情況中，黏著力係根據基板 100 之材料；在該情況中，使用堆疊層結構而該堆疊層結構利用對於基板 100 具有有利黏著性質的膜，則係較佳的。做為對於基板 100 具有有利黏著性質的膜，可使用包含 Ti、Mo、Mn、Cu、或 Al 之膜。例如，可使用 Cu-Mn-Al 合金。

以上述之方式，可提供其中可控制臨限電壓之電晶體。因此，可高生產率地製造出具有有利電性特徵、高可靠度、及低功率消耗的半導體裝置。

此實施例可與其他實施例之任一者適當地結合而實施。

(實施例 3)

在此實施例中，將敘述與實施例 2 中所述之電晶體結

構不同之結構的電晶體。

第 2A 至 2C 圖係本發明實施例之電晶體的頂視圖及橫剖面視圖。在第 2B 圖中之橫剖面 A-B 及在第 2C 圖中之橫剖面 C-D 分別對應至第 2A 圖中之交變的長短點虛線 A-B 及 C-D。

將詳細敘述第 2B 圖中之橫剖面 A-B 於下文。

橫剖面 A-B 係電晶體的橫剖面，而該電晶體包含：基板 100；閘極電極 104，在該基板 100 上；閘極絕緣膜 112，其覆蓋基板 100 及閘極電極 104；一對電極 116，在閘極絕緣膜 112 上；半導體膜 106，具有與該對電極 116 接觸的部分，且係在該對電極 116 之上；以及層間絕緣膜 118，其覆蓋閘極絕緣膜 112、該對電極、及該半導體膜 106。

在此實施例中的閘極電極 104 具有與實施例 2 中之閘極電極 104 的結構相似之結構。藉由使用實施例 1 中所述之包含氧化鎢膜的閘極電極，可控制功函數；從而，可控制電晶體的臨限電壓。在其中閘極電極 104 具有堆疊層之結構的情況中，該氧化鎢膜係配置成為座落於閘極絕緣膜 112 側。

第 3A 至 3C 圖係本發明實施例之電晶體的頂視圖及橫剖面視圖。在第 3B 圖中之橫剖面 A-B 及在第 3C 圖中之橫剖面 C-D 分別對應至第 3A 圖中之交變的長短點虛線 A-B 及 C-D。

將詳細敘述第 3B 圖中之橫剖面 A-B 於下文。

橫剖面 A-B 係電晶體的橫剖面，而該電晶體包含：基板 100；基底絕緣膜 102，在該基板 100 上；半導體膜 106，在基底絕緣膜 102 上；一對電極 116，具有與半導體膜 106 接觸的部分，且係在該半導體膜 106 之上；閘極絕緣膜 112，其覆蓋半導體膜 106 及該對電極 116；以及閘極電極 104，係定位於半導體膜 106 之上，而閘極絕緣膜 112 介於其間。

基底絕緣膜 102 可具有與閘極絕緣膜 112 及層間絕緣膜 118 之該等結構相似的結構。

第 4A 至 4C 圖係本發明實施例之電晶體的頂視圖及橫剖面視圖。在第 4B 圖中之橫剖面 A-B 及在第 4C 圖中之橫剖面 C-D 分別對應至第 4A 圖中之交變的長短點虛線 A-B 及 C-D。

將詳細敘述第 4B 圖中之橫剖面 A-B 於下文。

橫剖面 A-B 係電晶體的橫剖面，而該電晶體包含：基板 100；基底絕緣膜 102，在該基板 100 上；一對電極 116，在基底絕緣膜 102 上；半導體膜 106，具有與該對電極 116 接觸的部分，且係在該對電極 116 之上；閘極絕緣膜 112，其覆蓋半導體膜 106 及該對電極 116；以及閘極電極 104，係定位於半導體膜 106 之上，而閘極絕緣膜 112 介於其間。

注意的是，在第 2A 至 2C 圖、第 3A 至 3C 圖、及第 4A 至 4C 圖中，爲了要防止光造成半導體膜 106 的劣化或半導體膜 106 中之電荷產生，當從上方觀察時，閘極電極

104 係在長度及寬度中比半導體膜 106 更大；然而，本發明並未受限於此結構。該半導體膜 106 的邊緣可延伸越過該閘極電極 104 的邊緣。

第 5A 至 5C 圖係本發明實施例之電晶體的頂視圖及橫剖面視圖。在第 5B 圖中之橫剖面 A-B 及在第 5C 圖中之橫剖面 C-D 分別對應至第 5A 圖中之交變的長短點虛線 A-B 及 C-D。

將詳細敘述第 5B 圖中之橫剖面 A-B 於下文。

橫剖面 A-B 係電晶體的橫剖面，而該電晶體包含：基板 100；基底絕緣膜 102，在該基板 100 上；半導體膜，包含區域 126 及區域 121，在基底絕緣膜 102 上；閘極絕緣膜 112，在區域 121 上；閘極電極 104，在閘極絕緣膜 112 上；層間絕緣膜 118，其覆蓋基底絕緣膜 102、區域 126、閘極絕緣膜 112、及閘極電極 104；以及一對電極 116，其係在開口處與區域 126 接觸，而該開口係設置於層間絕緣膜 118 中且暴露出區域 126。

在此，閘極絕緣膜 112 及閘極電極 104 可使用相同的遮罩，而被形成為當從上方觀察時，具有實質相同的形狀。注意的是，在閘極電極 104 及閘極絕緣膜 112 的形成之後，閘極電極 104 的寬度可藉由電漿處理或化學處理而予以縮減。

雖然在第 5A 至 5C 圖中，當從上方觀察時，閘極絕緣膜 112 及閘極電極 104 具有實質相同的形狀，但本發明並未受限於此結構。例如，亦可使用其中閘極絕緣膜 112 覆

蓋包含區域 121 及區域 126 之半導體膜的結構。

區域 121 可在區域 126 的形成中使用閘極絕緣膜 112 或閘極電極 104 做為遮罩而被形成為當從上方觀察時，具有與閘極絕緣膜 112 或閘極電極 104 實質相同的形狀。例如，雜質(諸如硼，磷，氫，稀有氣體，或氮)係使用閘極絕緣膜 112 或閘極電極 104 做為遮罩而被引入至半導體膜之內，其中電阻已降低之區域可稱為區域 126。注意的是，區域 121 係半導體膜中之除了區域 126 之外的區域。

區域 121 作用成為電晶體的通道區。進一步地，區域 126 作用成為電晶體的源極區或汲極區。

第 6A 至 6C 圖係本發明實施例之電晶體的頂視圖及橫剖面視圖。在第 6B 圖中之橫剖面 A-B 及在第 6C 圖中之橫剖面 C-D 分別對應至第 6A 圖中之交變的長短點虛線 A-B 及 C-D。

將詳細敘述第 6B 圖中之橫剖面 A-B 於下文。

橫剖面 A-B 係電晶體的橫剖面，而該電晶體包含：基板 100；閘極電極 104，在該基板 100 上；閘極絕緣膜 112，在閘極電極 104 之上；半導體膜，包含區域 126 及區域 121，在閘極電極 104 之上，而閘極絕緣膜 112 介於其間；層間絕緣膜 118，其覆蓋半導體膜及閘極絕緣膜 112；以及一對電極 116，其係在開口處與區域 126 接觸，而該開口係設置於層間絕緣膜 118 中且暴露出區域 126。

以上述之方式，可提供其中可控制臨限電壓之電晶體。因此，可高生產率地製造出具有有利電性特徵、高可靠

度、及低功率消耗的半導體裝置。

此實施例可與其他實施例之任一者適當地結合而實施。

(實施例 4)

在此實施例中，將敘述使用實施例 2 或 3 中所描述之電晶體而製造出的液晶顯示裝置。注意的是，將敘述其中應用本發明之實施例至液晶顯示裝置的實例於此實施例中；然而，本發明並未受限於此實施例。例如，熟習於本項技藝之該等人士可易於構想出應用本發明之實施例至電發光(EL)顯示裝置的想法。

第 7 圖係主動矩陣液晶顯示裝置的電路圖。該液晶顯示裝置包含源極線 SL₁ 至 SL_a，閘極線 GL₁ 至 GL_b，以及複數個像素 200。該等像素 200 各自包含電晶體 230，電容器 220，及液晶元件 210。複數個具有該結構之像素 200 形成液晶顯示裝置的像素部。注意的是，“源極線 SL”及“閘極線 GL”單純地分別意指源極線及閘極線。

在實施例 2 或 3 中所描述之電晶體係使用做為電晶體 230。

閘極線 GL 係連接至電晶體 230 的閘極，源極線 SL 係連接至電晶體 230 的源極，以及電晶體 230 的汲極係連接至電容器 220 之一電容器電極及液晶元件 210 之一像素電極。電容器 220 的另一電容器電極及液晶元件 210 的另一像素電極係連接至共同電極。注意的是，共同電極可使

用與閘極線 GL 相同的材料而形成於與閘極線 GL 相同的層之中。

進一步地，閘極線 GL 係連接至閘極驅動器電路。該閘極驅動器電路可包含實施例 2 或 3 中所敘述之電晶體。因為控制電晶體的臨限電壓，所以可使電晶體的截止狀態電流變小，且可使電晶體的導通電壓變低。因而，可降低功率消耗。

源極線 SL 係連接至源極驅動器電路。該源極驅動器電路可包含實施例 2 或 3 中所敘述之電晶體。因為控制電晶體的臨限電壓，所以可使電晶體的截止狀態電流變小，且可使電晶體的導通電壓變低。因而，可降低功率消耗。

注意的是，閘極驅動器電路及源極驅動器電路之任一者或二者可形成於分離製備的基板上，且可使用諸如晶片在玻璃上 (COG)、打線、或卷帶自動接合 (TAB) 之方法而予以連接。

因為電晶體易於由於靜電或其類似者而損壞，所以較佳地設置保護電路。該保護電路係較佳地使用非線性元件而形成。

當施加高於電晶體 230 之臨限電壓的電位至閘極線 GL 時，由源極線 SL 所供應之電荷流動成為電晶體 230 的汲極電流，且累積於電容器 220 中。在針對一系列的充電之後，於該列中之電晶體 230 關閉且來自源極線 SL 的電壓施加停止；然而，必要的電壓可由於電容器 220 中所累積之電荷而保持。然後，下一列中之電容器 220 的充電起動

。以此方式，可針對第一列至第 b 列實行充電。

因為電晶體 230 係其中可控制臨限電壓之電晶體，所以在電容器 220 中所保持的電荷不可能會損失，且因此，電容器 220 的容量可降低；從而，用於充電所消耗之功率可降低。

在使用具有小的截止狀態電流之電晶體(諸如包含氧化物半導體膜之電晶體)做為電晶體 230 的情況中，可使其中可保持電壓之週期變長。藉由此功效，可在顯示具有少許移動之影像(包含靜止影像)的情況中，降低顯示重寫入頻率；從而，功率消耗之進一步的降低係可能的。此外，電容器 220 的容量可進一步降低；因而，用於充電所消耗之功率可降低。

以上述之方式，依據本發明的實施例，可提供其中消耗低的功率之液晶顯示裝置。

此實施例可與其他實施例之任一者適當地結合而實施。

(實施例 5)

在此實施例中，將敘述使用實施例 2 或 3 中所描述之電晶體而製造出半導體裝置的實例。

做為揮發性半導體記憶體裝置之典型實例，具有動態隨機存取記憶體(DRAM)及靜態隨機存取記憶體(SRAM)，動態隨機存取記憶體(DRAM)係以此方式而儲存資料，亦即，選擇記憶體元件之中所包含的電晶體且累積電荷於電

容器中之方式，以及靜態隨機存取記憶體 (SRAM) 係使用諸如正反器之電路而儲存資料。

做為非揮發性半導體記憶體裝置之典型實例，具有快閃記憶體，其包含浮動閘極於電晶體中的閘極電極與通道形成區之間，且藉由保持電荷於浮動閘極之中而儲存資料。

在實施例 2 或 3 中所敘述之電晶體可應用至上述半導體記憶體裝置中所包含之電晶體的一部分。

首先，將參照第 8A 及 8B 圖來敘述其中應用實施例 2 或 3 中所敘述之電晶體的揮發性記憶體。

記憶體胞格包含位元線 BL，字線 WL，感測放大器 SAmp，電晶體 Tr，及電容器 C (請參閱第 8A 圖)。

已知的是，在電容器中所保持的電位係由於電晶體 Tr 之截止狀態電流，而如第 8B 圖中所示地隨著時間逐漸減少。自 V0 至 V1 所充電之電位係隨著時間而減少至 VA，亦即，用以讀出資料 1 的界限。此週期稱為保持週期 T₁。在二位準之 DRAM 的情況中，需在保持週期 T₁ 之內執行再新。

因為可控制實施例 2 或 3 中所敘述之電晶體的臨限電壓，所以若在此使用實施例 2 或 3 中所敘述之電晶體做為電晶體 Tr 時，可使保持週期 T₁ 變長。也就是說，再新操作的頻率可降低。從而，功率消耗可降低。

在使用具有小的截止狀態電流之電晶體做為電晶體 Tr 的情況中，可使其中保持電壓之週期進一步地變長，以致可

進一步降低功率消耗。例如，在其中記憶體胞格係使用包含氧化物半導體膜的電晶體而形成，且該電晶體具有 $1 \times 10^{-21} \text{A}$ 或更小，較佳地， $1 \times 10^{-24} \text{A}$ 或更小之截止狀態電流的情況中，可無需供應電力而保持資料數日至數十年。

如上述，當使用本發明之實施例時，可提供具有高的可靠度及低的功率消耗之 DRAM。

接著，將參照第 9A 及 9B 圖來敘述其中應用實施例 2 或 3 中所敘述之電晶體的非揮發性記憶體。

第 9A 圖係非揮發性記憶體的電路圖。記憶體胞格包含電晶體 Tr_1 ；字線 WL_1 ，係連接至電晶體 Tr_1 的閘極；源極佈線 SL_1 ，係連接至電晶體 Tr_1 的源極；電晶體 Tr_2 ；源極佈線 SL_2 ，係連接至電晶體 Tr_2 的源極；汲極佈線 DL_2 ，係連接至電晶體 Tr_2 的汲極；電容器 C ；電容器佈線 CL ，係連接至電容器 C 的一端子；以及浮動閘極 FG ，係連接至電容器 C 的另一端子、電晶體 Tr_1 的汲極、及電容器 Tr_2 的閘極。

在此實施例中所敘述之非揮發性記憶體使用依據浮動閘極 FG 的電位之電晶體 Tr_2 臨限的變化。例如，第 9B 圖顯示電容器佈線 CL 的電位 V_{CL} 與流過電晶體 Tr_2 的汲極電流 I_{D_2} 之間的關係。

在此，浮動閘極 FG 的電位可透過電晶體 Tr_1 而予以調整。例如，浮動閘極 FG 之電位的最初狀態係設定成 LOW (低)，且源極佈線 SL_1 之電位係設定成 VDD 。此時，藉由設定字線 WL_1 之電位成為高於或等於電晶體 Tr_1

之臨限電壓及 V_{DD} 的總和之電位，則可將浮動閘極 FG 之電位設定成 HIGH(高)。另一方面，在其中字線 WL_1 之電位係設定成為等於或低於電晶體 Tr_1 的臨限電壓之電位的情況中，則浮動閘極 FG 之電位保持於 LOW(低)。

因此，如第 9B 圖中所示地，可獲得用於 $FG=LOW$ 之 $V_{CL}-I_{D_2}$ 曲線或用於 $FG=HIGH$ 之 $V_{CL}-I_{D_2}$ 曲線。也就是說，當 $FG=LOW$ 時，則 I_{D_2} 會在 $0V$ 之 V_{CL} 處變小；因而，可儲存資料 0。進一步地，當 $FG=HIGH$ 時，則 I_{D_2} 會在 $0V$ 之 V_{CL} 處變大；因而，可儲存資料 1。以此方式，可將資料儲存。

因為可使實施例 2 或 3 中所敘述之電晶體的截止狀態電流變成極小，所以若在此使用實施例 2 或 3 中所敘述之電晶體做為電晶體 Tr_1 ，則可抑制透過電晶體 Tr_1 而在浮動閘極 FG 中所累積之電荷的非故意之漏洩。因此，可長週期地保持資料。藉由使用本發明之實施例，可控制電晶體 Tr_1 的臨限電壓，而使寫入所必要的電壓能降低。因此，當與快閃記憶體或其類似物相較時，可使功率消耗變小。

注意的是，在實施例 2 或 3 中所敘述之電晶體亦可應用至電晶體 Tr_2 。

此實施例可與其他實施例之任一者適當地結合而實施。

(實施例 6)

在此實施例中，將敘述其中應用實施例 2 至 5 之任一者的電子裝置之實例。

第 10A 圖描繪攜帶式資訊終端機。該攜帶式資訊終端機包含外殼 300、按鈕 301、微音器 302、顯示部 303、揚聲器 304、及相機 305，且具有成為行動電話之功能。本發明之實施例可應用至顯示部 303 及相機 305。雖然並未被描繪出，但本發明之實施例亦可應用至主體內部之算術單元、無線電路、或記憶體電路。

第 10B 圖描繪顯示器。該顯示器包含外殼 310 及顯示部 311。本發明之實施例可應用至顯示部 311。當使用本發明之實施例時，可提供具有低功率消耗的顯示器。

第 10C 圖描繪數位靜像相機。該數位靜像相機包含外殼 320，按鈕 321、微音器 322、及顯示部 323。本發明之實施例可應用至顯示部 323。雖然並未被描繪出，但本發明之實施例亦可應用至記憶體電路或影像感測器。

當使用本發明之實施例時，可降低電子裝置的功率消耗。

此實施例可與其他實施例之任一者適當地結合而實施。

[實例 1]

在此實例中，將敘述使用本發明實施例所形成之氧化鎢膜的晶體度、組成、及功函數之間的關係。

首先，氧化鎢膜的晶體度係以 X 射線繞射計（由

Bruker AXS, D8 ADVANCE)而評估。

取樣係藉由使用 WO_3 靶極之 DC 濺鍍法所形成。其他條件係使得膜形成電力係 1kW，膜形成壓力係 0.4Pa，基板溫度係室溫，以及厚度係 100 奈米 (nm)。

在此，該等取樣之膜形成氣體的流速係顯示於第 1 表中。

[第1表]

取樣名稱	氣體的流速 [sccm]		
	Ar	O ₂	N ₂
取樣 1	30	0	0
取樣 2	25	5	0
取樣 3	20	10	0
取樣 4	15	15	0
取樣 5	25	0	5
取樣 6	20	0	10
取樣 7	20	5	5
取樣 8	10	10	10

第 11A 至 11D 圖分別顯示藉由平面外方法所獲得之取樣 1 至 4 的 XRD 光譜。注意的是，第 11A 至 11D 圖各自地顯示剛沈積的取樣、在 250℃ 之熱處理後的取樣、在 350℃ 之熱處理後的取樣、及在 450℃ 之熱處理後的取樣之 XRD 光譜。該熱處理係在 N_2 氛圍中執行 1 小時。在此，剛沈積的取樣係其中在沈積氧化鎢膜之後並未特別地接受熱處理或其類似處理的取樣。

從第 11A 至 11D 圖所發現到的是，使用 Ar 之膜形成氣體或 Ar 及 O₂ 之膜形成氣體所沈積的氧化鎢膜係在 350

°C 或更低時成為非晶，且在 450°C 或更高時晶體化。注意的是，晶體化溫度不應被解讀成受限於此範圍，且甚至應被預期為隨著膜形成情形之些微改變而變化。

其次，第 12A 至 12D 圖分別顯示藉由平面外方法所獲得之取樣 5 至 8 的 XRD 光譜。注意的是，第 12A 至 12D 圖各自地顯示剛沈積的取樣、在 250°C 之熱處理後的取樣及在 450°C 之熱處理後的取樣之 XRD 光譜。該熱處理係在 N₂ 氛圍中執行 1 小時。

從第 12A 至 12D 圖所發現到的是，使用 Ar 及 N₂ 之膜形成氣體或 Ar、O₂、及 N₂ 之膜形成氣體所形成的該等取樣係在 250°C 或更低時成為非晶，且在 450°C 或更高時晶體化。注意的是，晶體化溫度不應被解讀成受限於此範圍，且甚至應隨著膜形成情形之些微改變而變化。

接著，取樣 1 至 8 的功函數係透過 Riken Keiki Co., Ltd. 所製造之使用於空氣中的光電子光譜儀 AC-2 而予以評估。結果係顯示於第 13A 及 13B 圖中。第 13A 圖顯示取樣 1 至 4 的功函數。第 13B 圖顯示取樣 5 至 8 的功函數。

從取樣 1 至 4 的比較可觀察到的是，功函數係依據膜形成氣體中之 O₂ 對 Ar 比例的增加而增加。進一步地，從取樣 5 到 8 的比較可觀察到的是，使用 Ar、O₂、及 N₂ 之膜形成氣體所形成之取樣的功函數係比使用 Ar 及 N₂ 之膜形成氣體所形成之取樣的該等功函數更高，且除此之外，功函數會由於 N₂ 之比例的增加而稍微地增加。從取樣 1

到 8 的比較可觀察到的是，使用其中混合 N_2 於內之 Ar 及 O_2 的膜形成氣體所形成之取樣的功函數會比使用 Ar 及 O_2 之膜形成氣體所形成之取樣的該等功函數更高。

因而，所發現到的是，其中可將功函數控制於 4.9eV 至 5.6eV 之範圍內的氧化鎢膜可在取樣 1 至 8 的情形下獲得。

接著，將透過 NEC 公司所製造之 3S-R10 及 CEA 所製造之 RBS-400 而評估取樣 1 至 8 的組成。結果係顯示於第 2 表中。

[第2表]

取樣名稱	組成[原子百分比]				O/W 比
	W	O	N	Ar	
取樣 1	23.0	75.2	0	1.8	3.27
取樣 2	21.7	76.9	0	1.4	3.54
取樣 3	20.4	78.4	0	1.2	3.84
取樣 4	21.0	77.8	0	1.2	3.70
取樣 5	22.4	66.1	10	1.5	2.95
取樣 6	22.0	61.8	15	1.2	2.81
取樣 7	20.9	72.8	5	1.3	3.48
取樣 8	20.6	73.6	5	0.8	3.57

在膜中之 O 對 W 的比例(稱為 O/W 比)係表列以供參考之用。從取樣 1 到 4 的比較可觀察到的是，O/W 比係依據膜形成氣體中之 O_2 對 Ar 比例的增加而增加。此傾向係與功函數之傾向相似，且當膜中之 O/W 比增加時，功函數會增加。注意的是，在實例 3 及實例 4 中的膜形成氣體中之 O_2 對 Ar 比例與 O/W 比之間並無關聯。此示意其中

所納入至膜中之 O 係在取樣 3 與取樣 4 之間的膜形成氣體中之 O_2 對 Ar 比例處飽和之可能性。注意的是，所納入至膜中之 O 的飽和無需一定要發生於上述範圍中，且可根據其他的膜形成情形之影響或除了 W 及 O 之外的元素之影響而發生。

從取樣 1 至 8 的比較可觀察到的是，使用 Ar 及 N_2 的膜形成氣體所形成之取樣的 O/W 比係比使用 Ar 及 O_2 的膜形成氣體所形成之取樣的該等 O/W 比更低。此示意其中 N 係取代 O 之可能性。進一步地，從取樣 5 到 8 的比較可觀察到的是，雖然在使用 Ar、 O_2 、及 N_2 之膜形成氣體所形成之取樣中的組成物中之 N 的百分比係比在使用 Ar 及 N_2 之膜形成氣體所形成之該等取樣中的組成物中之 N 之百分比更低，但使用 Ar、 O_2 、及 N_2 之膜形成氣體所形成之取樣的 O/W 比會比使用 Ar 及 N_2 的膜形成氣體所形成之取樣的該等 O/W 比更高。而且，在取樣 5 至 8 之中，當在膜中的 O/W 比增加時，功函數會增加。

此實例顯示出其中功函數可藉由調整氧化鎢膜的組成而予以控制。

[實例 2]

在此實例中，將敘述使用偏壓濺鍍法所形成之氧化鎢膜。該偏壓濺鍍法係其中除了與普通濺鍍法中一樣之離子與靶極側的碰撞之外，離子亦與基板側碰撞的方法。

取樣係使用 WO_3 靶極而形成。其他情況係使得膜形成

電力係 1kW(DC)，膜形成壓力係 0.4Pa，基板溫度係室溫，以及厚度係 100 奈米 (nm)。

在此，取樣之偏壓電力及膜形成氣體的流速係顯示於第 3 表中。

[第3表]

取樣名稱	偏壓電力[W]	氣體的流速 [sccm]		
		Ar	O ₂	N ₂
取樣 9	0	30	0	0
取樣 10	100	30	0	0
取樣 11	0	15	15	0
取樣 12	50	15	15	0
取樣 13	100	15	15	0
取樣 14	200	15	15	0

注意的是，取樣 9 及取樣 11 分別與實例 1 中所提出之取樣 1 及取樣 4 相同。

當取樣 9 係在第 14 圖中與取樣 10 相較時，使用偏壓濺鍍法所形成之取樣 10 的功函數係比取樣 9 的功函數更高。

取樣 12 至 14 的功函數無法被測量。因為存在有由於偏壓濺鍍法的使用而使用功函數增加之傾向，所以取樣 12 至 14 的功函數高於或等於 6.2eV，亦即，設備之測量極限，係高度可能的。

依據此實例，可發現到使用偏壓濺鍍法所形成之氧化鎢膜的功函數係高度可能地成為 6.2eV 或更高，且因此，可以以比實例 1 中所述之範圍更寬的範圍而控制功函數。

[實例 3]

在此實例中，將敘述使用電漿氧化處理所形成之氧化鎢膜。

第 17 圖顯示在剛沈積的狀態中，在 250℃ 的熱處理後，及在 450℃ 的熱處理後之未接受電漿處理的鎢膜，藉由使鎢膜接受 N₂O 電漿處理所形成之氧化鎢膜，及藉由使鎢膜接受 O₂ 電漿處理所形成的氧化鎢膜之功函數的評估結果。該熱處理係執行於 N₂ 氛圍中，1 小時。

在此，該鎢膜係藉由使用 W 靶極之濺鍍法所形成。其他條件係使得膜形成電力係 6kW，膜形成壓力係 1.5Pa，以及 Ar(110 sccm)係使用做為膜形成氣體。

N₂O 電漿處理係以 CVD 設備而藉由暴露至電漿 120 秒所執行；該電漿係在 500W 之電力、133.3Pa 之壓力、及 400℃ 之基板溫度，使用 N₂O(500 sccm)做為反應氣體而產生。

O₂ 電漿處理係以 CVD 設備而藉由暴露至電漿 120 秒所執行；該電漿係在 500W 之電力、133.3Pa 之壓力、及 400℃ 之基板溫度，使用 O₂(500 sccm)做為反應氣體而產生。

在 250℃ 之熱處理及在 450℃ 之熱處理係執行於 N₂ 氛圍中，1 小時。

從第 17 圖可觀察到的是，藉由使鎢膜接受 N₂O 電漿處理或 O₂ 電漿處理所形成之氧化鎢膜之功函數係比無電

漿處理之鎢膜的功函數更高。而且，可觀察到的是，當與藉由使鎢膜接受 N_2O 電漿處理或 O_2 電漿處理所形成之剛沈積的氧化鎢膜之功函數相較時，在 250°C 的熱處理或 450°C 的熱處理後之氧化鎢膜的功函數會更高。進一步地，藉由使鎢膜接受 O_2 電漿處理所形成之氧化鎢膜的功函數係比藉由使鎢膜接收 N_2O 電漿處理所形成之氧化鎢膜的功函數更高，雖然差異很小。

接著，第 18 圖顯示在氧化鎢膜上之 O_2 電漿處理或 N_2O 電漿處理的執行中，藉由設定電力於 300W 、 500W 、及 800W 時所獲得之氧化鎢膜的功函數。

第 18 圖顯示 250°C 的熱處理或 450°C 的熱處理後之氧化鎢膜的功函數係在任何情況中比剛沈積之氧化鎢膜的功函數更高。此外，在任何情況中，功函數會在較高電力時減低。

依據此實例，可發現到的是，藉由透過電漿處理的氧化所形成之氧化鎢膜的功函數可以以電漿反應氣體的種類、電力、及熱處理之情況的組合，而予以控制。

[實例 4]

在此實例中，係使用氧化鎢膜做為閘極電極的一部分而形成金屬氧化物半導體(MOS)結構，當作實例，且執行電容-電壓(C-V)之測量。結果係顯示於第 15 圖之中。

注意的是，該 MOS 結構的形成方法係如下。

首先，將具有 50 奈米厚度之熱氧化膜設置用於 n 型

矽晶圓，且形成閘極電極於該熱氧化膜之上。然後，以氫氟酸來去除該 n 型矽晶圓的背面之上的熱氧化膜，且將 Al-Ti 合金沈積於該 n 型矽晶圓的背面之上，做為背面電極。進一步地，在 N₂ 氛圍中執行 250℃ 之熱處理，1 小時。取樣係以此方式而形成。

注意的是，閘極電極係使用金屬遮罩而形成，以便具有具備 1 毫米 (mm) 之直徑的圓形形狀。

在第 15 圖中，實線 1001 係具有具備 10 奈米厚之氧化鎢膜及 140 奈米厚之鎢膜的堆疊結構之閘極電極的取樣之 C-V 曲線。在此，氧化鎢膜係藉由使用 WO₃ 靶極之 DC 濺鍍法所形成。其他情形係使得膜形成電力係 0.25kW，膜形成壓力係 0.4Pa，Ar(30 sccm)係使用做為膜形成氣體，以及基板溫度係室溫。

而且，顯示其中由點線 1002 所指示之具有具備 15 奈米厚之氮化鉬膜及 135 奈米厚之鎢膜的堆疊結構之閘極電極的取樣之 C-V 曲線，以供比較之用。

第 4 表顯示此實例中所使用之氧化鎢膜(取樣 16)及氮化鉬膜(取樣 15)的功函數及平坦帶電壓(V_{fb})。

[第4表]

取樣名稱	功函數[eV]	V _{fb} [V]
取樣15	4.70	0.37
取樣16	5.01	0.90

可從第 4 表瞭解的是，藉由 MOS 結構的 C-V 測量所

獲得之閘極電極的 V_{fb} 及功函數彼此互相對應。

[實例 5]

在此實例中，將參照第 3A 至 3C 圖以及第 16A 及 16B 圖來敘述使用氧化鎢膜做為閘極電極的一部分之電晶體的製造實例。

該電晶體具有第 3A 至 3C 圖中所描繪之結構，且包含：
 具有 300 奈米之厚度的氧化矽膜，係藉由濺鍍法而形成為基底絕緣膜 102；
 具有 20 奈米之厚度的 In-Ga-Zn-O 膜，係藉由使用 In-Ga-Zn-O 靶極(具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 之克分子比)之濺鍍法而形成為半導體膜 106；
 具有 50 奈米之厚度的鎢膜，係藉由濺鍍法而形成為一對電極 116；
 以及具有 15 奈米之厚度的氮氧化矽膜，係藉由 CVD 法而形成為閘極絕緣膜 112。雖然並未被顯示，但該電晶體係覆蓋有藉由 CVD 法所形成之具有 300 奈米之厚度的氮氧化矽膜。

在此，係執行電晶體(取樣 18)及電晶體(取樣 17)的閘極電壓-汲極電流(V_g-I_d)之測量，而電晶體(取樣 18)具有具備實例 3 中所述之 10 奈米厚度的氧化鎢膜及 140 奈米厚度的鎢膜之堆疊結構的閘極電極，且電晶體(取樣 17)具有具備 15 奈米厚度的氮化鉬膜及 135 奈米厚度的鎢膜之堆疊結構的閘極電極。注意的是，該等電晶體的通道寬度係 10 微米(μm)以及通道長度係 3 微米(μm)。結果係顯示於第 16A 及 16B 圖之中。

第 16A 圖顯示取樣 18 的 V_g-I_d 曲線，以及第 16B 圖顯示取樣 17 的 V_g-I_d 曲線。

第 5 表顯示藉由取樣 17 及 18 之 V_g-I_d 測量所獲得的功函數及臨限電壓 V_{th} ，而該等功函數係其中使用做為閘極電極之該等膜的閘極絕緣膜 112 側之膜的功函數。

[第5表]

取樣名稱	功函數[eV]	V_{th} [V]
取樣 17	4.70	0.66
取樣18	5.01	0.89

第 5 表顯示出藉由電晶體之 V_g-I_d 測量所獲得的功函數及臨限電壓彼此互相對應。

因而，所發現到的是，電晶體的臨限電壓可藉由控制氧化鎢膜的功函數而加以控制。

此申請案係根據 2010 年 12 月 17 日在日本專利局所申請之日本專利申請案序號 2010-282166，該申請案的全部內容係結合於本文以供參考。

【圖式簡單說明】

在附圖中：

第 1A 圖係依據本發明實施例的電晶體之實例的頂視圖，且第 1B 及 1C 圖係其橫剖面視圖；

第 2A 圖係依據本發明實施例的電晶體之實例的頂視圖，且第 2B 及 2C 圖係其橫剖面視圖；

第 3A 圖係依據本發明實施例的電晶體之實例的頂視

圖，且第 3B 及 3C 圖係其橫剖面視圖；

第 4A 圖係依據本發明實施例的電晶體之實例的頂視圖，且第 4B 及 4C 圖係其橫剖面視圖；

第 5A 圖係依據本發明實施例的電晶體之實例的頂視圖，且第 5B 及 5C 圖係其橫剖面視圖；

第 6A 圖係依據本發明實施例的電晶體之實例的頂視圖，且第 6B 及 6C 圖係其橫剖面視圖；

第 7 圖係電路圖，顯示包含依據本發明實施例的電晶體之液晶顯示裝置的實例；

第 8A 圖係電路圖，顯示包含依據本發明實施例的電晶體之半導體記憶體裝置的實例，且第 8B 圖顯示其電性特徵；

第 9A 圖係電路圖，顯示包含依據本發明實施例的電晶體之半導體記憶體裝置的實例，且第 9B 圖顯示其電性特徵；

第 10A 至 10C 圖各自顯示依據本發明實施例之電子裝置的實例；

第 11A 至 11D 圖顯示氧化鎢膜的 XRD 光譜；

第 12A 至 12D 圖顯示氧化鎢膜的 XRD 光譜；

第 13A 及 13B 圖顯示氧化鎢膜的功函數；

第 14 圖顯示氧化鎢膜的功函數；

第 15 圖顯示使用氧化鎢膜做為閘極電極的一部分之 MOS 結構的 C-V 曲線；

第 16A 及 16B 圖各自顯示電晶體的 V_g-I_d 曲線；

第 17 圖顯示氧化鎢膜的功函數；以及
第 18 圖顯示氧化鎢膜的功函數。

【主要元件符號說明】

100：基板
102：基底絕緣膜
104：閘極電極
106：半導體膜
112：閘極絕緣膜
116：一對電極
118：層間絕緣膜
121，126：區域
200：像素
210：液晶元件
220：電容器
230：電晶體
300，310，320：外殼
301，321：按鈕
302，322：微音器
303，311，323：顯示部
304：揚聲器
305：相機
1001：實線
1002：點線

七、申請專利範圍：

1.一種半導體裝置，包含：

閘極電極，本質地由氧化鎢所組成；

閘極絕緣膜，與該閘極電極接觸；以及

半導體膜，其一部分至少係與該閘極電極重疊，而該閘極絕緣膜介於其間，

其中該閘極電極的功函數係高於或等於 4.9eV 且低於或等於 5.6eV 。

2.如申請專利範圍第 1 項之半導體裝置，其中該閘極電極係藉由濺鍍法，而使用選自稀有氣體、氧、及氮之一或更多個氣體做為膜形成氣體中所包含的氣體所形成。

3.如申請專利範圍第 1 項之半導體裝置，其中該閘極電極包含高於或等於 0.1 原子百分比(at%)且低於或等於 20 原子百分比(at%)的氮。

4.如申請專利範圍第 1 項之半導體裝置，其中該閘極電極係藉由執行氧化處理於包含鎢的膜上所形成。

5.一種半導體裝置，包含：

閘極電極，包括氧化鎢膜及包含 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、及 Ta 之任一者的膜；

閘極絕緣膜，與該氧化鎢膜接觸；以及

半導體膜，其一部分至少係與該閘極電極重疊，而該閘極絕緣膜介於其間，

其中該閘極電極的功函數係高於或等於 4.9eV 且低於或等於 5.6eV 。

6.如申請專利範圍第 1 或 5 項之半導體裝置，進一步包含一對電極，在該半導體膜與該閘極絕緣膜之間。

7.如申請專利範圍第 1 或 5 項之半導體裝置，其中該半導體膜係設置於基底絕緣膜之上，且其中一對電極係包含在該半導體膜與該基底絕緣膜之間。

8.如申請專利範圍第 1 或 5 項之半導體裝置，進一步包含：

層間絕緣膜，在該半導體膜之上；以及一對電極，在該半導體膜與該層間絕緣膜之間。

9.如申請專利範圍第 1 或 5 項之半導體裝置，其中該半導體膜係氧化物半導體膜。

10.一種半導體裝置，包含：

閘極電極，包括氧化鎢膜；

閘極絕緣膜，與該氧化鎢膜接觸；以及

半導體膜，其一部分至少係與該閘極電極重疊，而該閘極絕緣膜介於其間，

其中該閘極電極的功函數係高於或等於 4.9eV 且低於或等於 5.6eV 。

11.如申請專利範圍第 10 項之半導體裝置，進一步包含一對電極，在該半導體膜與該閘極絕緣膜之間。

12.如申請專利範圍第 10 項之半導體裝置，

其中該半導體膜係設置於基底絕緣膜之上，且

其中一對電極係包含在該半導體膜與該基底絕緣膜之

間。

13.如申請專利範圍第 10 項之半導體裝置，進一步包含：

層間絕緣膜，在該半導體膜之上；以及

一對電極，在該半導體膜與該層間絕緣膜之間。

14.如申請專利範圍第 5 或 10 項之半導體裝置，其中該氧化鎢膜係藉由濺鍍法，而使用選自稀有氣體、氧、及氮之一或更多個氣體做為膜形成氣體中所包含的氣體所形成。

15.如申請專利範圍第 5 或 10 項之半導體裝置，其中該氧化鎢膜包含高於或等於 0.1 原子百分比(at%)且低於或等於 20 原子百分比(at%)的氮。

16.如申請專利範圍第 5 或 10 項之半導體裝置，其中該氧化鎢膜係藉由執行氧化處理於包含鎢的膜上所形成。

17.如申請專利範圍第 1、5 及 10 項中任一項之半導體裝置，其中該半導體膜包含選自 In、Ga、Zn、Sn、及 Al 之二或更多個元素。

18.一種半導體裝置之製造方法，包含：

藉由濺鍍法而形成包含氧化鎢膜的閘極電極於基板之上；

形成閘極絕緣膜於該閘極電極之上；以及

形成半導體膜於該閘極絕緣膜之上，

其中該閘極電極的功函數係高於或等於 4.9 eV 且低於或等於 5.6 eV。

19.一種半導體裝置之製造方法，包含：

形成半導體膜於基板之上；

形成閘極絕緣膜於該半導體膜之上；以及

藉由濺鍍法而形成包含氧化鎢膜的閘極電極於該閘極絕緣膜之上，

其中該閘極電極的功函數係高於或等於 4.9eV 且低於或等於 5.6eV 。

20.如申請專利範圍第 18 或 19 項之半導體裝置之製造方法，進一步包含：

在形成該半導體膜之前，形成一對電極於該閘極電極與該半導體膜之間。

21.如申請專利範圍第 18 或 19 項之半導體裝置之製造方法，進一步包含：

形成一對電極於該半導體膜之上。

22.如申請專利範圍第 18 或 19 項之半導體裝置之製造方法，其中選自稀有氣體、氧、及氮之一或更多個氣體係使用做為該濺鍍法中的膜形成氣體。

23.如申請專利範圍第 18 或 19 項之半導體裝置之製造方法，進一步包含：

在形成該閘極電極之後，執行熱處理。

24.如申請專利範圍第 18 或 19 項之半導體裝置之製造方法，其中該半導體膜係氧化物半導體膜。

25.如申請專利範圍第 24 項之半導體裝置之製造方法，其中該氧化物半導體膜包含選自 In 、 Ga 、 Zn 、 Sn 、

及 Al 之二或更多個元素。

26.如申請專利範圍第 18 或 19 項之半導體裝置之製造方法，其中該濺鍍法係偏壓濺鍍法。

27.一種半導體裝置，包含：

閘極電極，包括有包含鎢、氧及氮的膜；

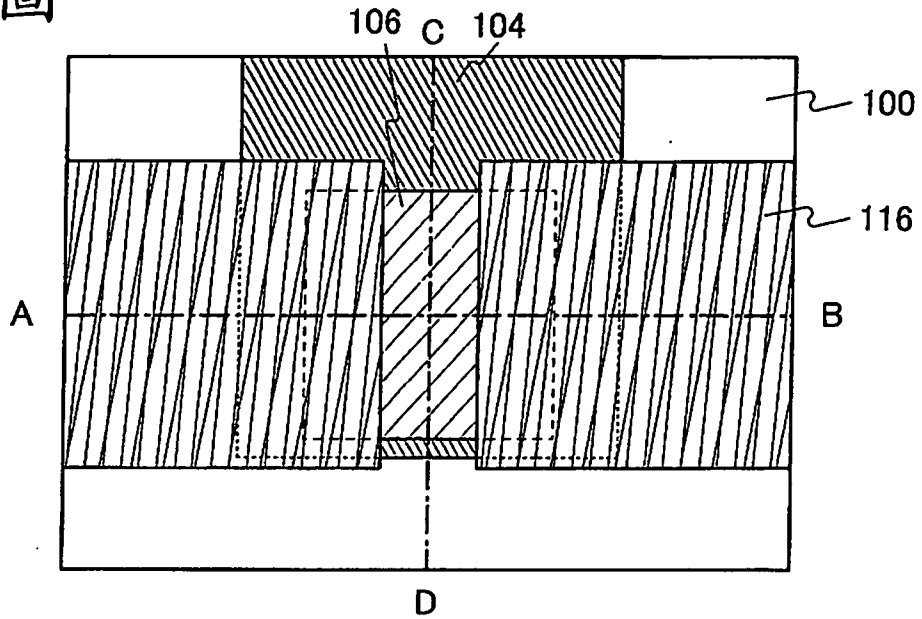
閘極絕緣膜，與該閘極電極接觸；以及
半導體膜，其一部分至少係與該閘極電極重疊，而該閘極絕緣膜介於其間，

其中該閘極電極的功函數係高於或等於 4.9eV 且低於或等於 5.6eV 。

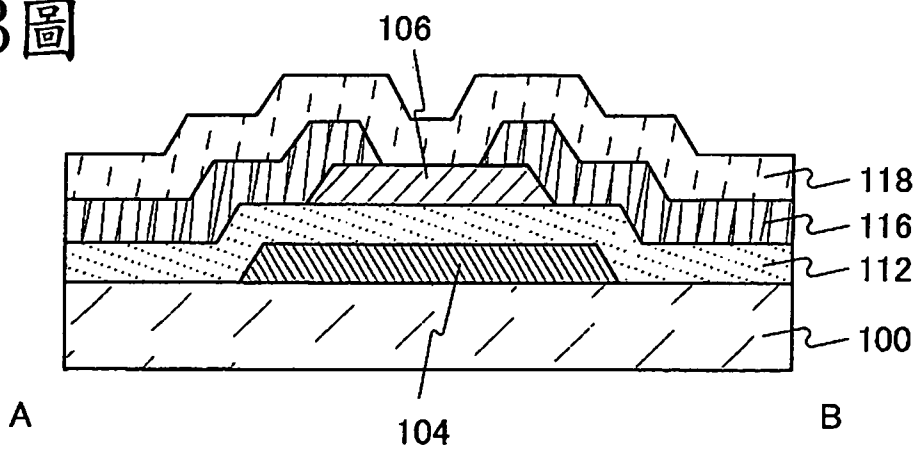
28.如申請專利範圍第 27 項之半導體裝置，其中該膜中的氮之濃度係高於或等於 0.1 原子百分比(at%)且低於或等於 20 原子百分比(at%)。

29.如申請專利範圍第 27 項之半導體裝置，其中該半導體膜包含選自 In、Ga、Zn、Sn、及 Al 之二或更多個元素。

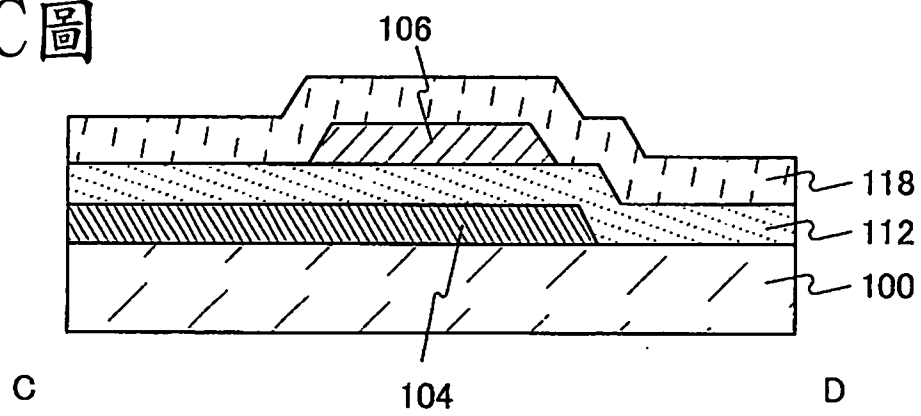
第1A圖



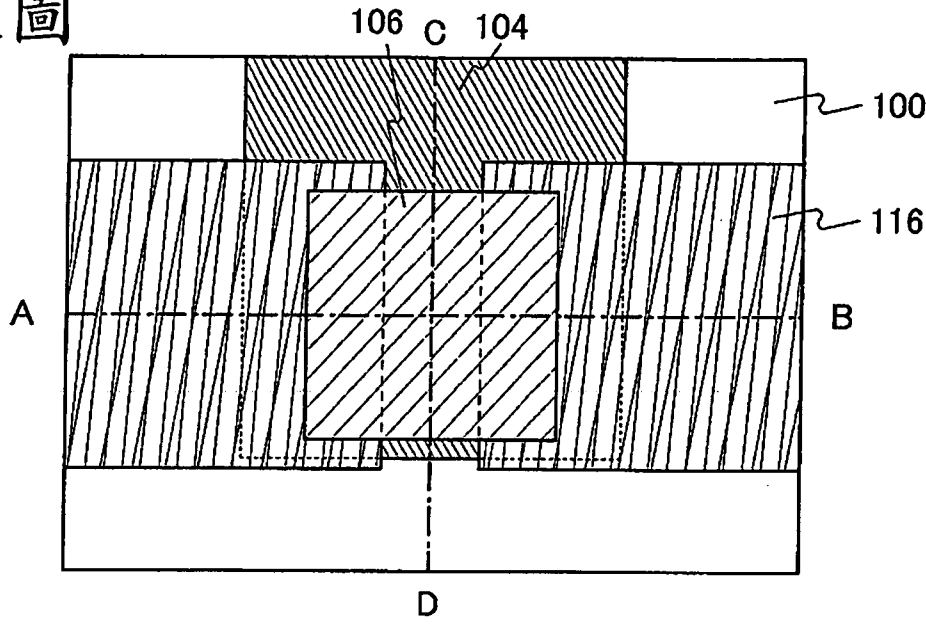
第1B圖



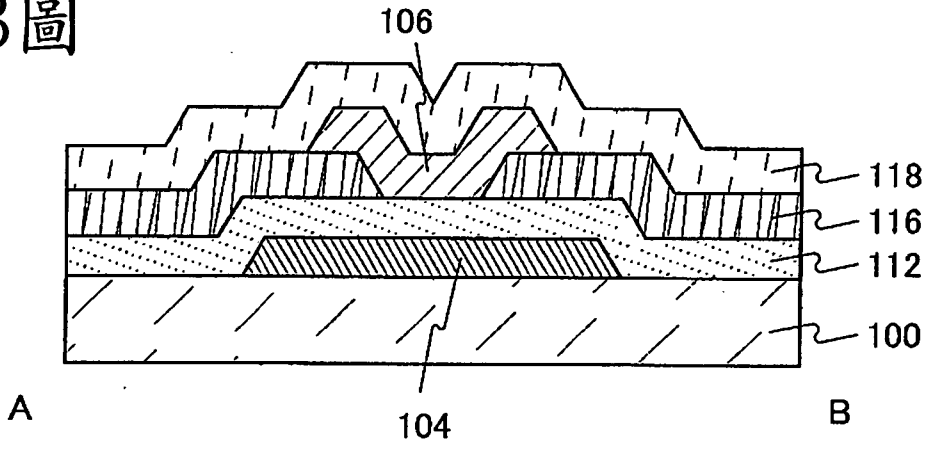
第1C圖



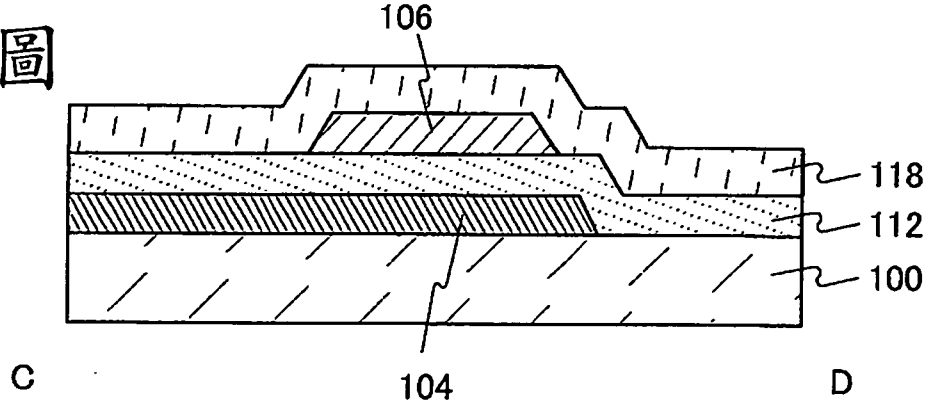
第2A圖



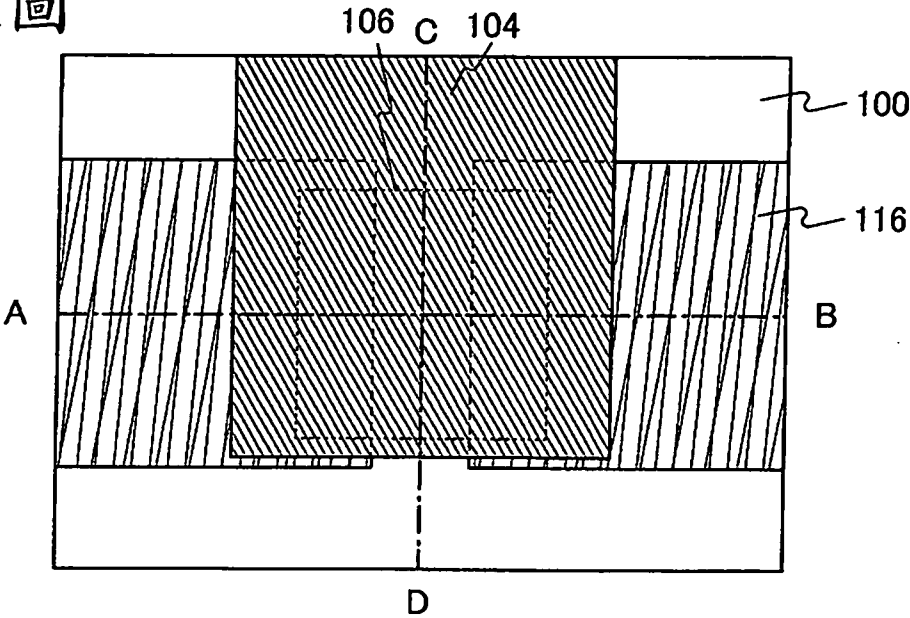
第2B圖



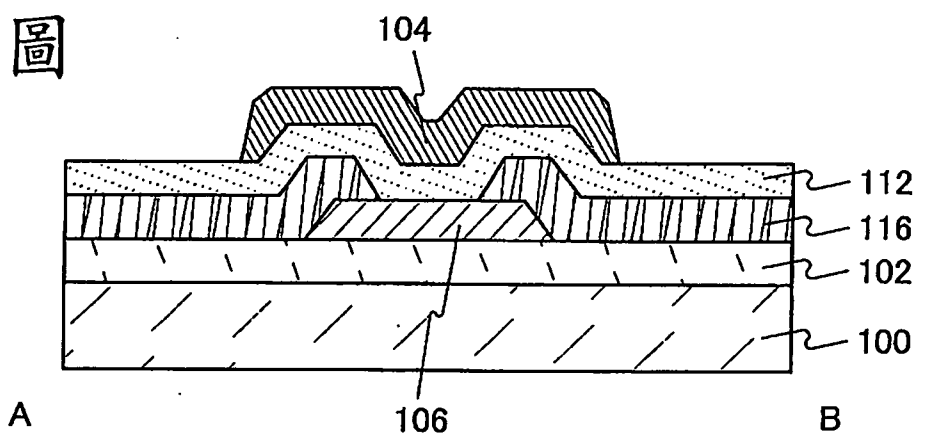
第2C圖



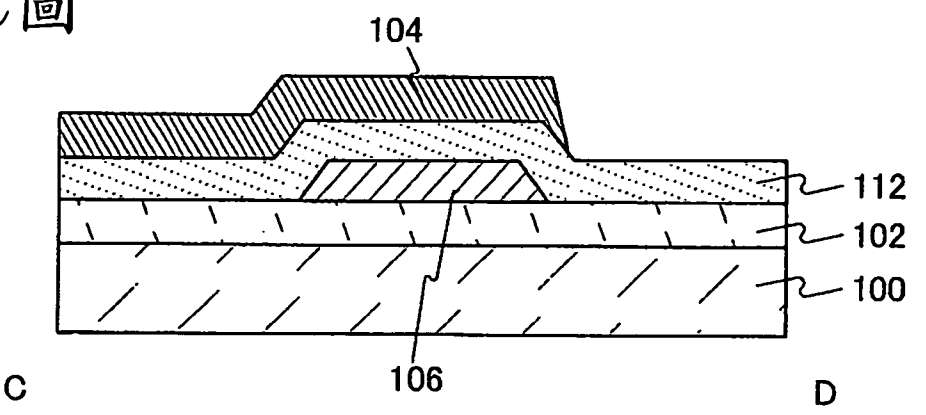
第3A圖



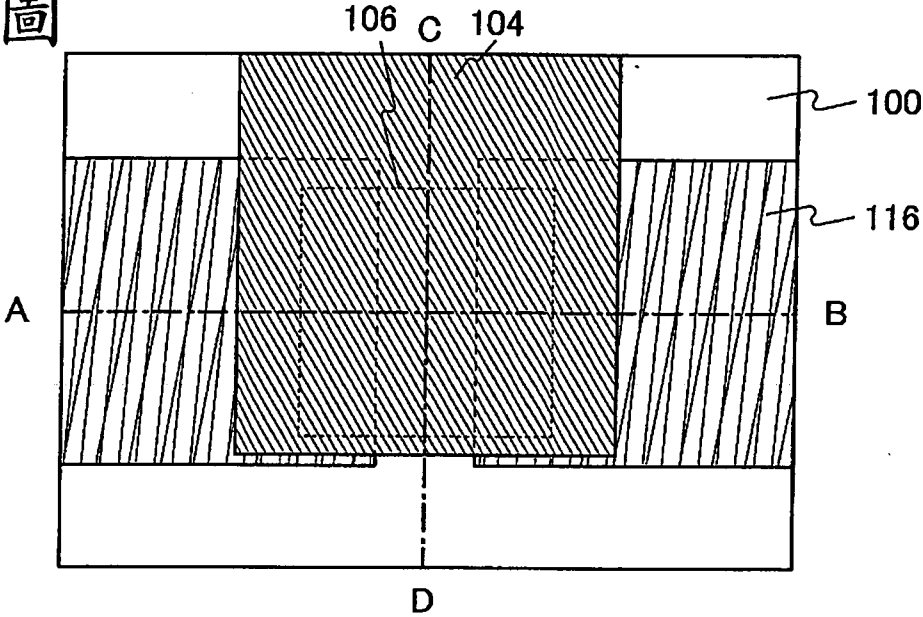
第3B圖



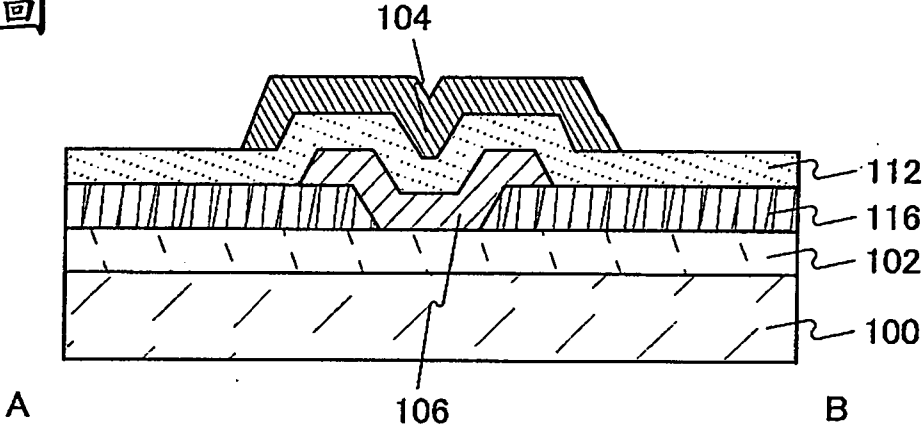
第3C圖



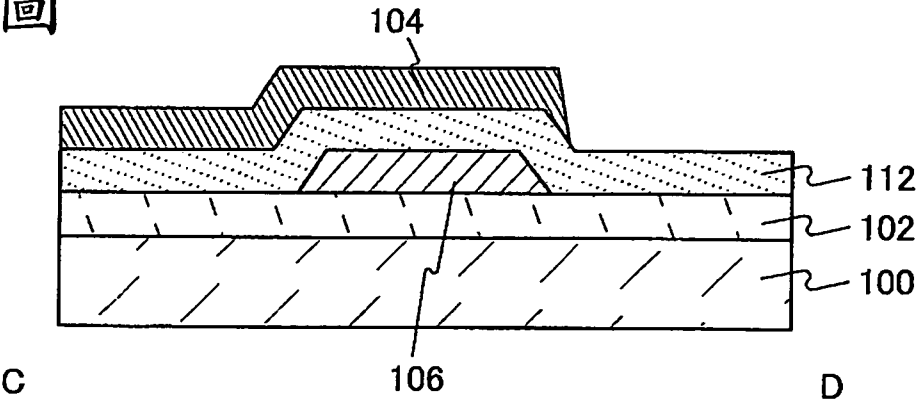
第4A圖



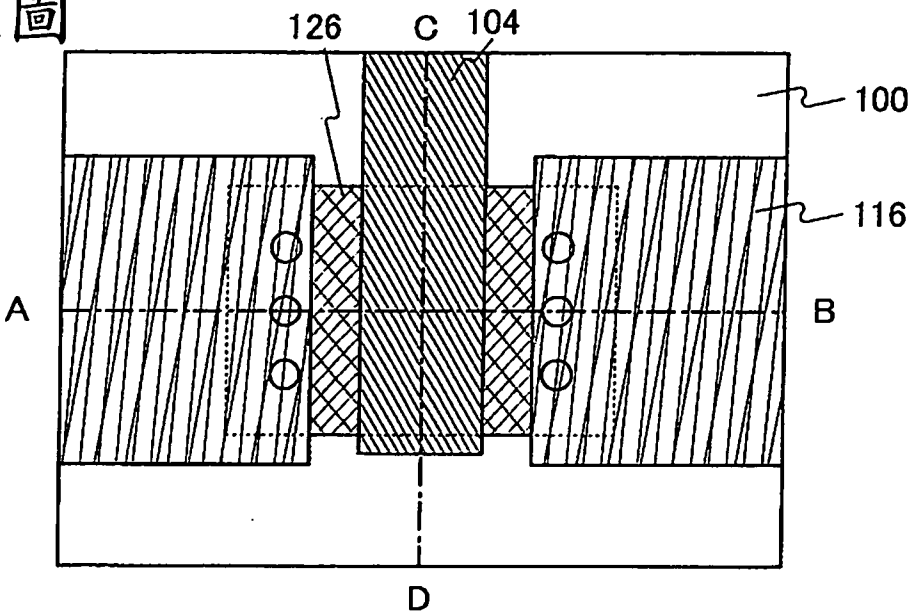
第4B圖



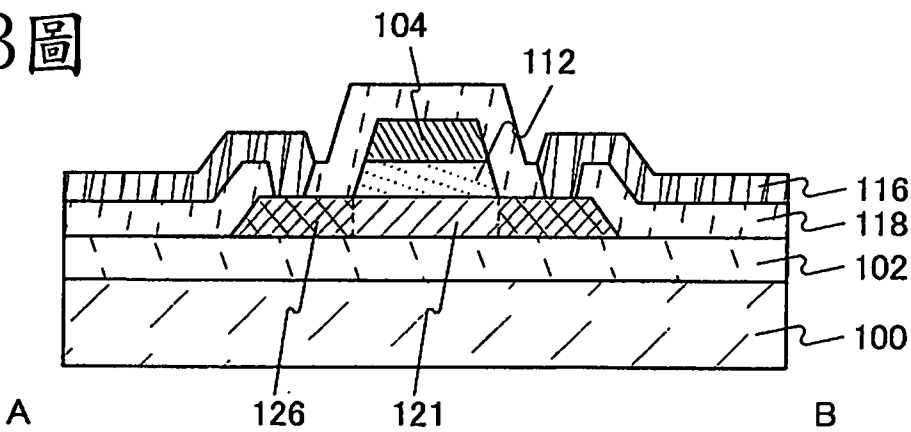
第4C圖



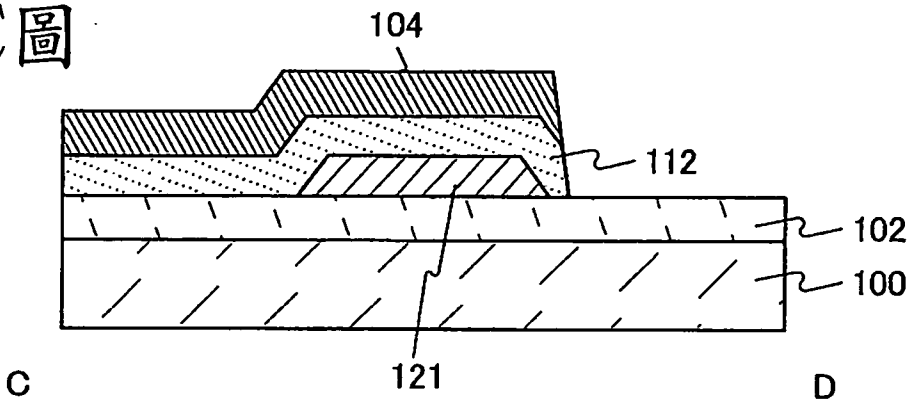
第5A圖

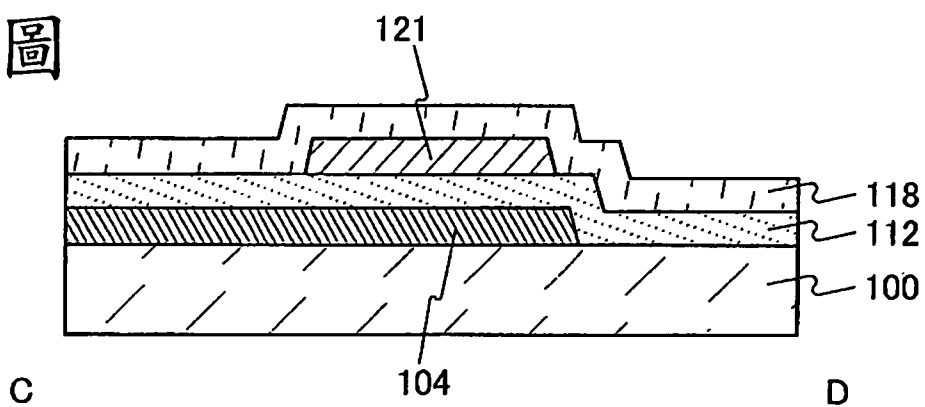


第5B圖

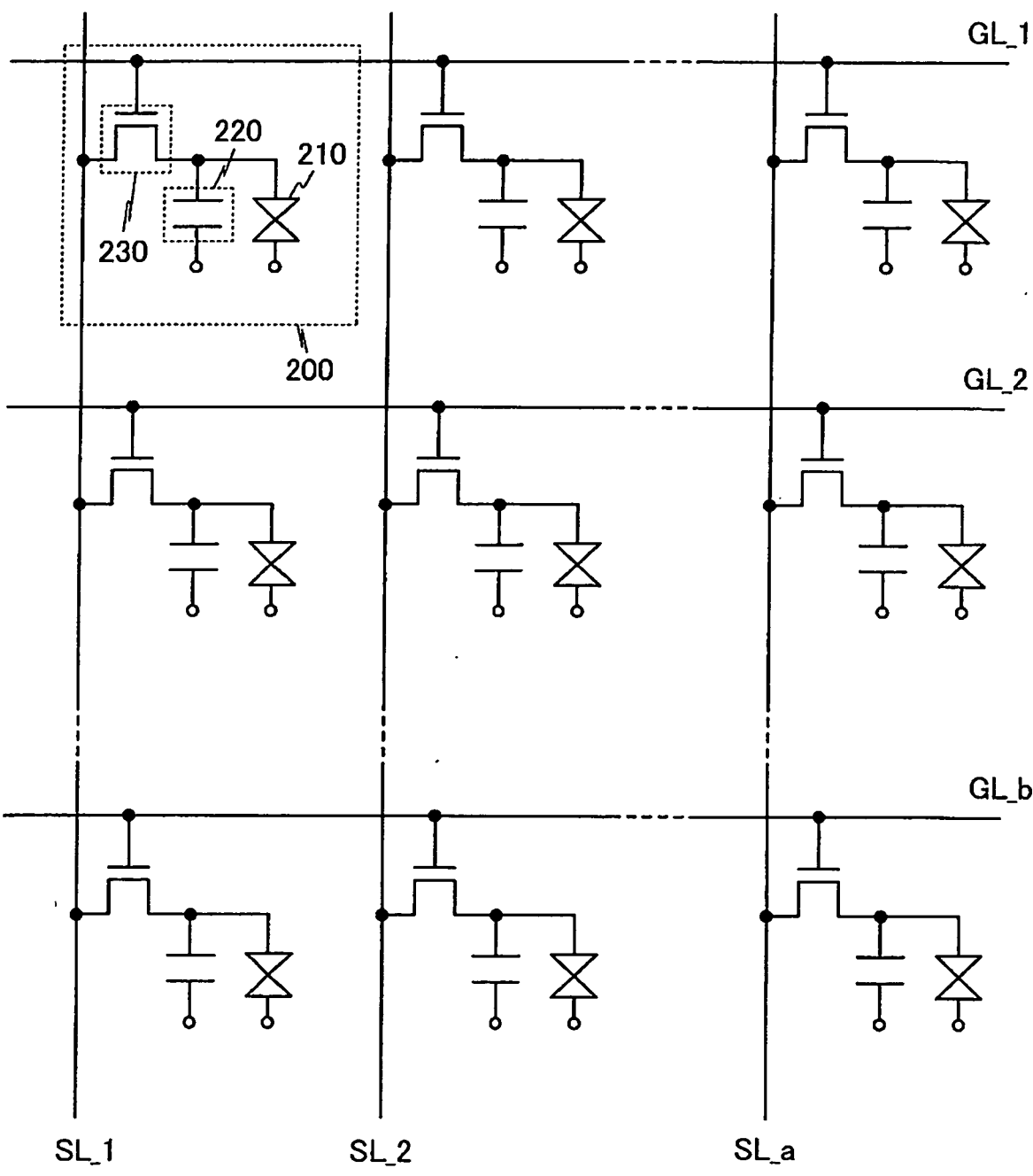


第5C圖

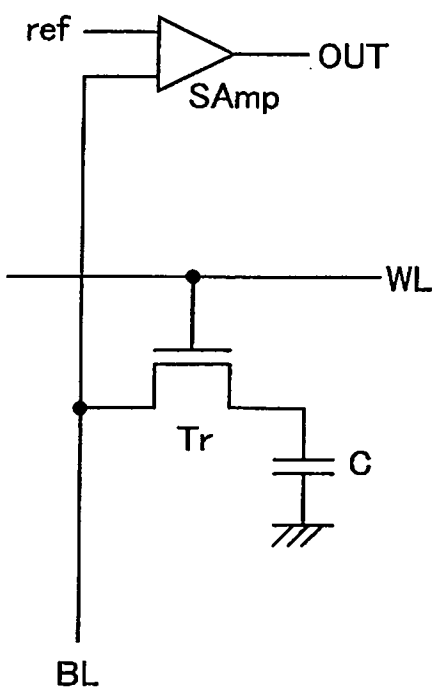




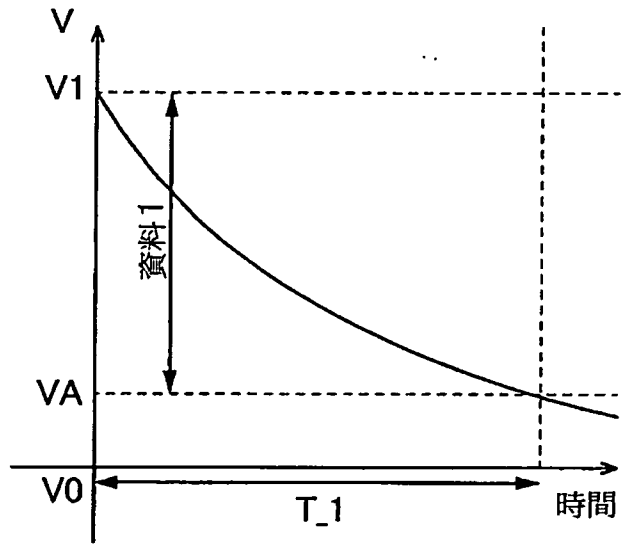
第7圖



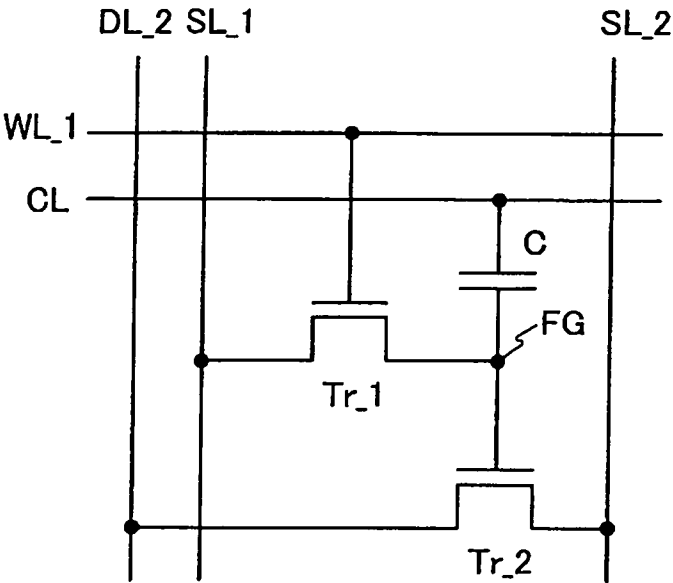
第8A圖



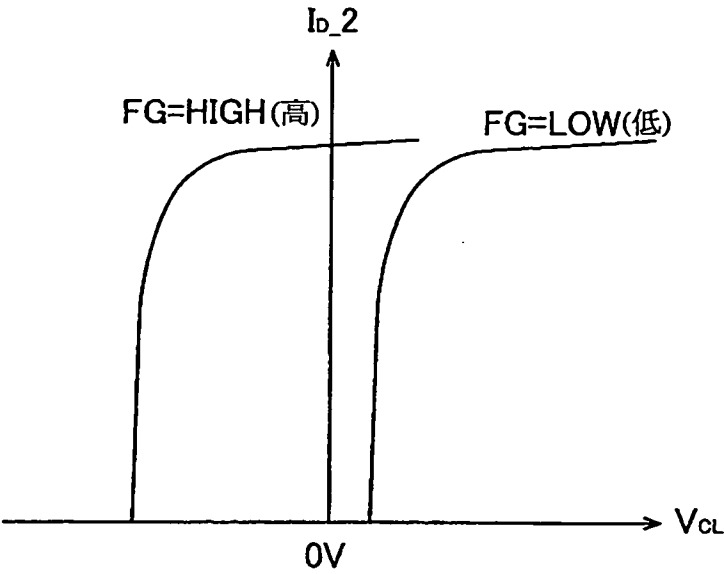
第8B圖



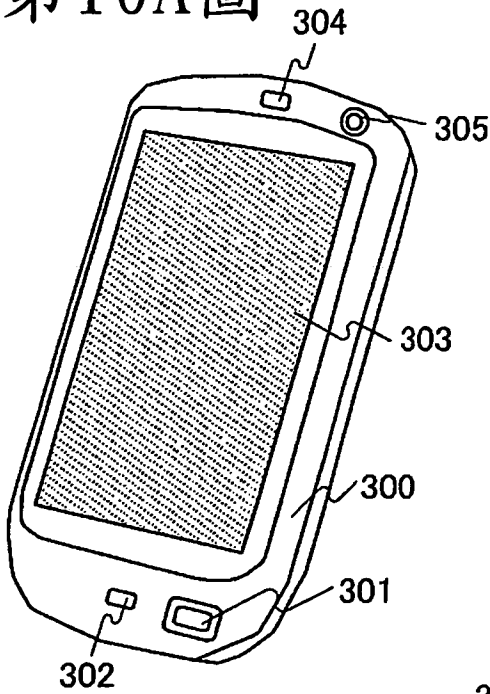
第9A圖



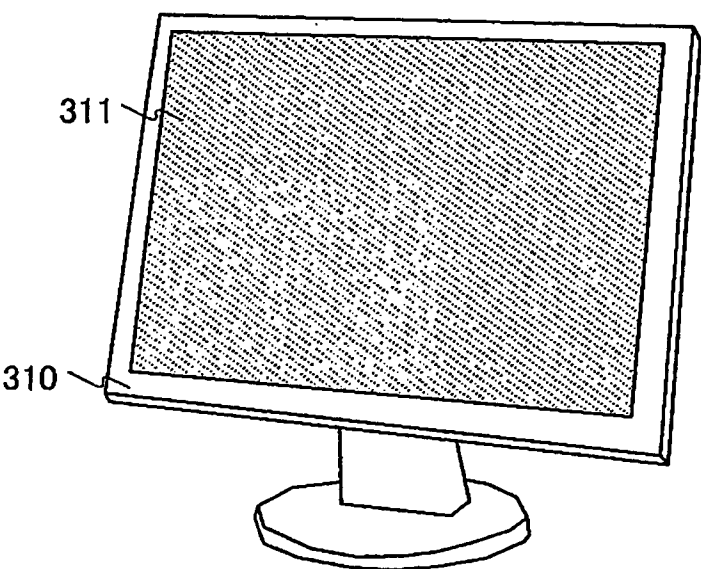
第9B圖



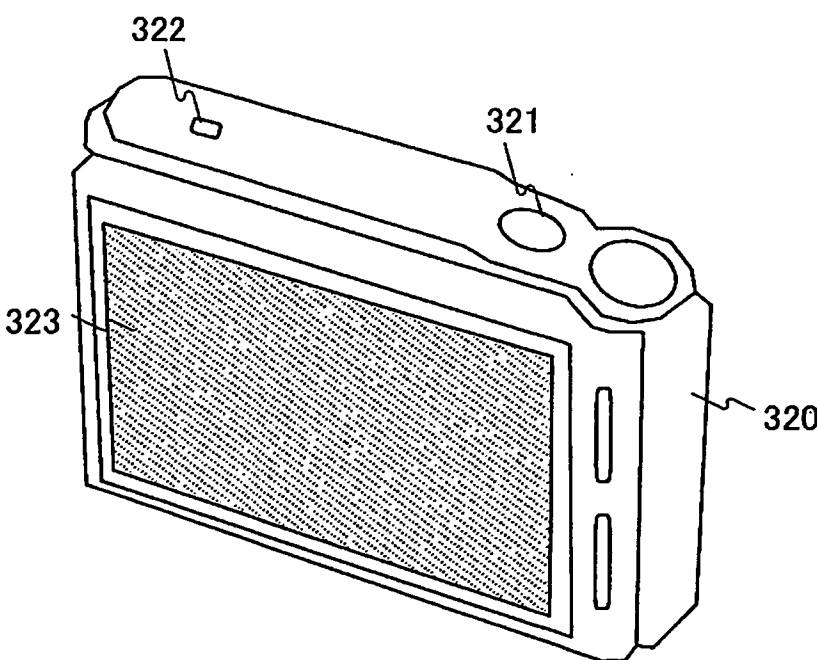
第10A圖



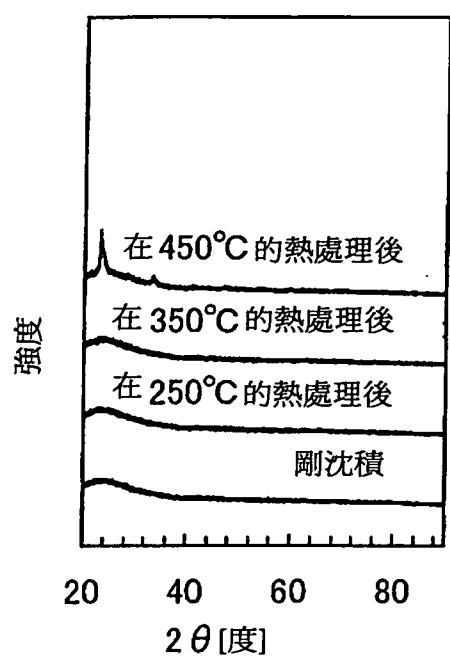
第10B圖



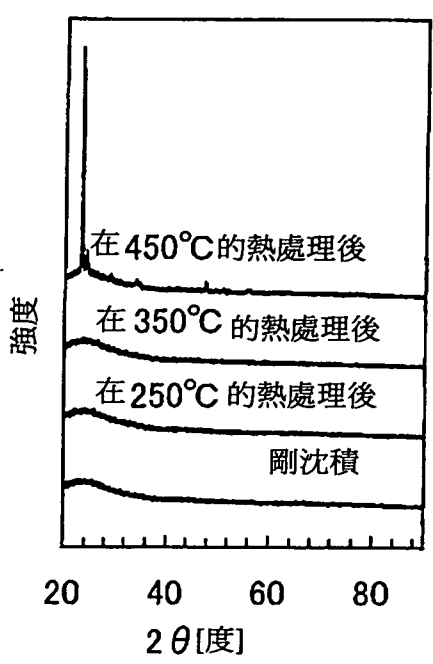
第10C圖



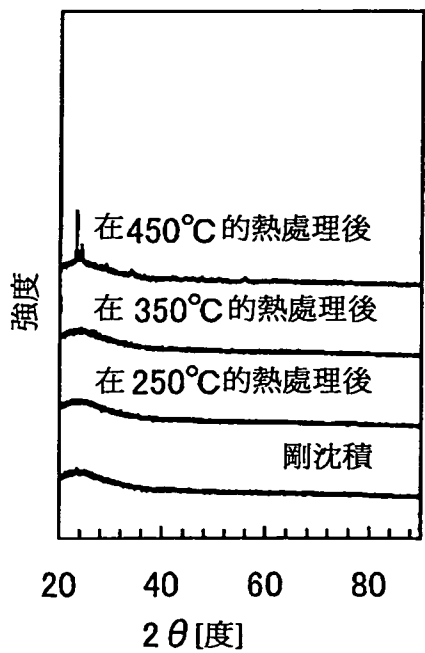
第11A圖



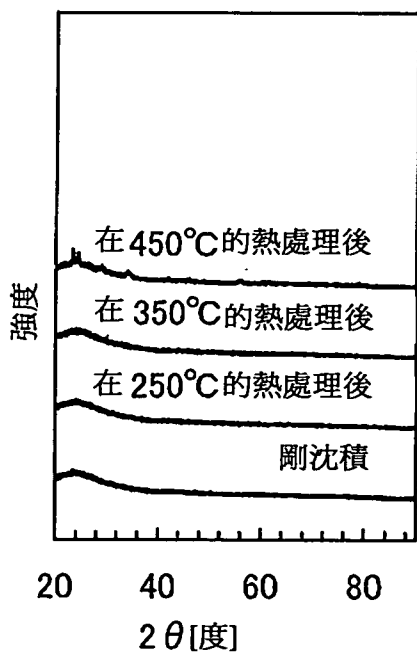
第11B圖



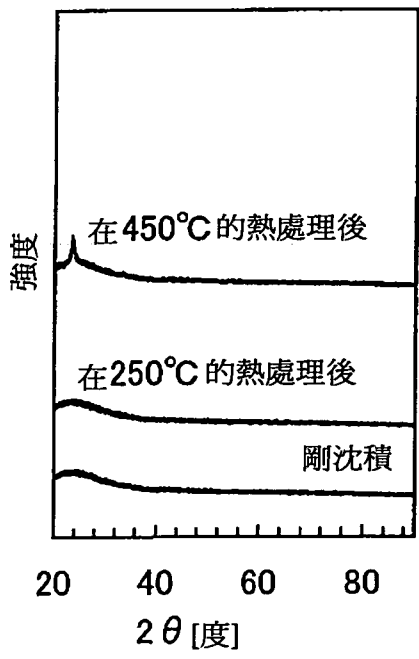
第11C圖



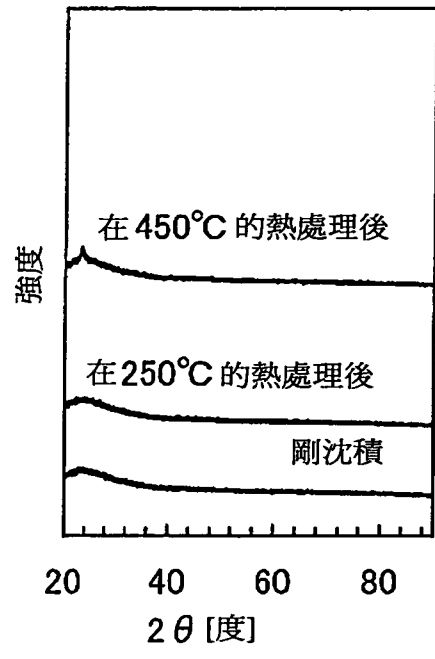
第11D圖



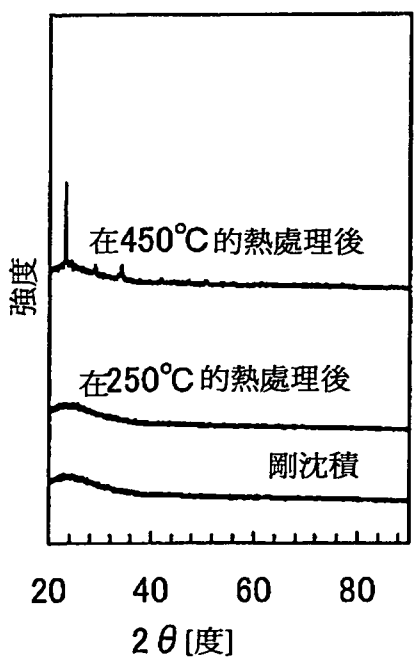
第12A圖



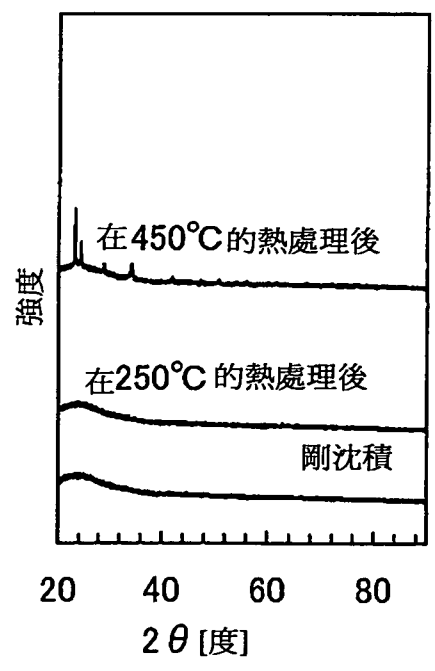
第12B圖



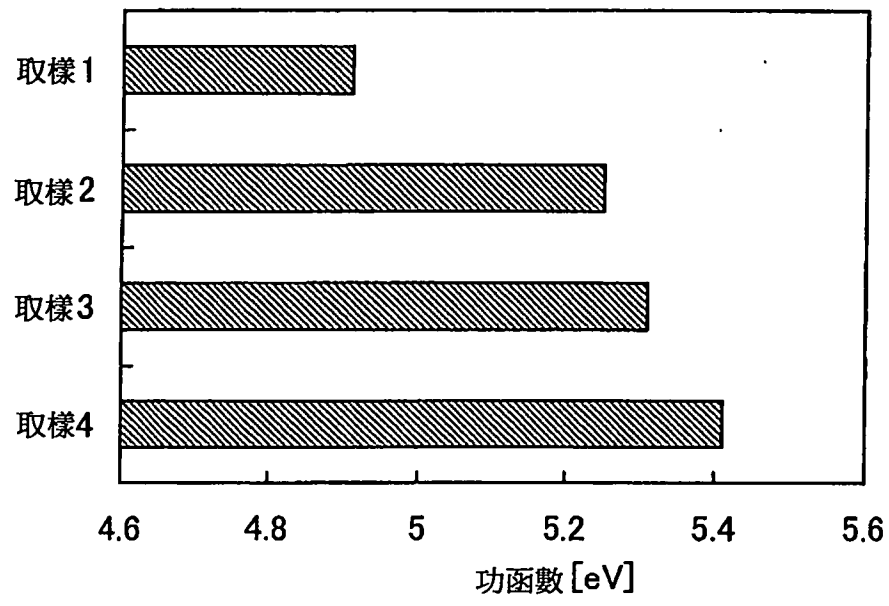
第12C圖



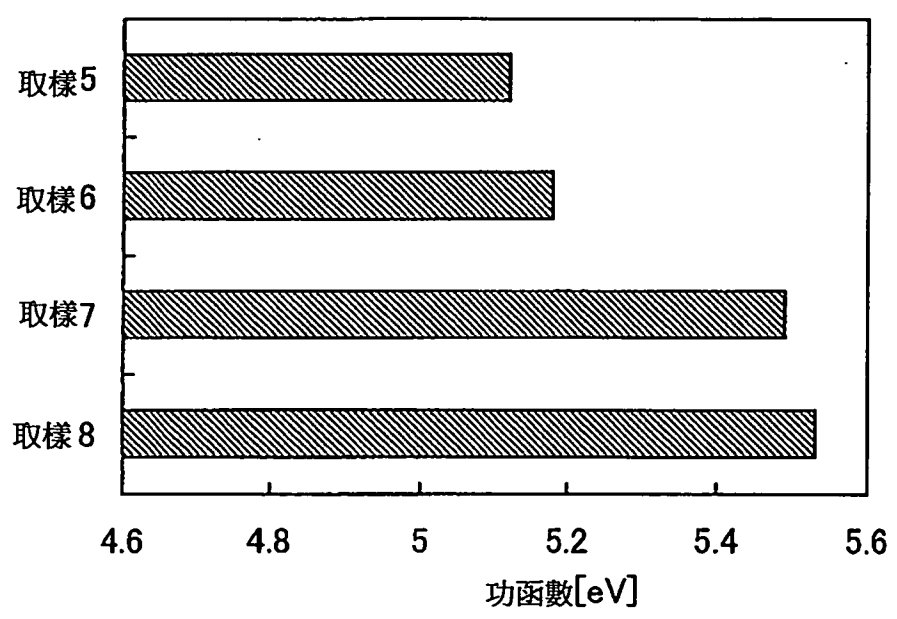
第12D圖



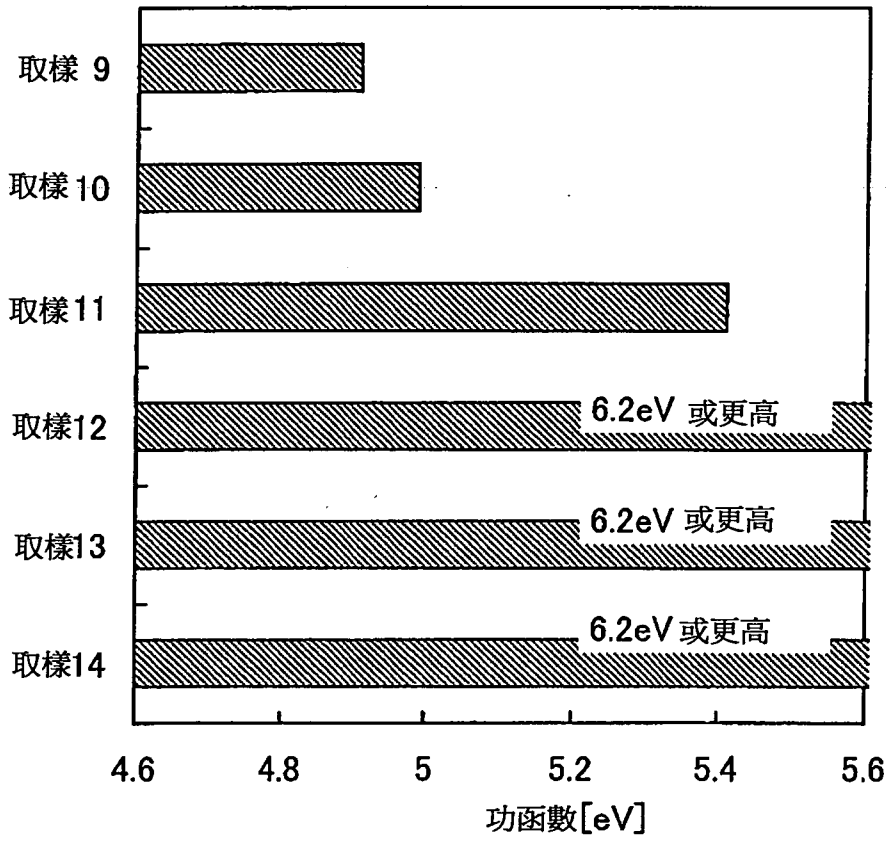
第13A圖



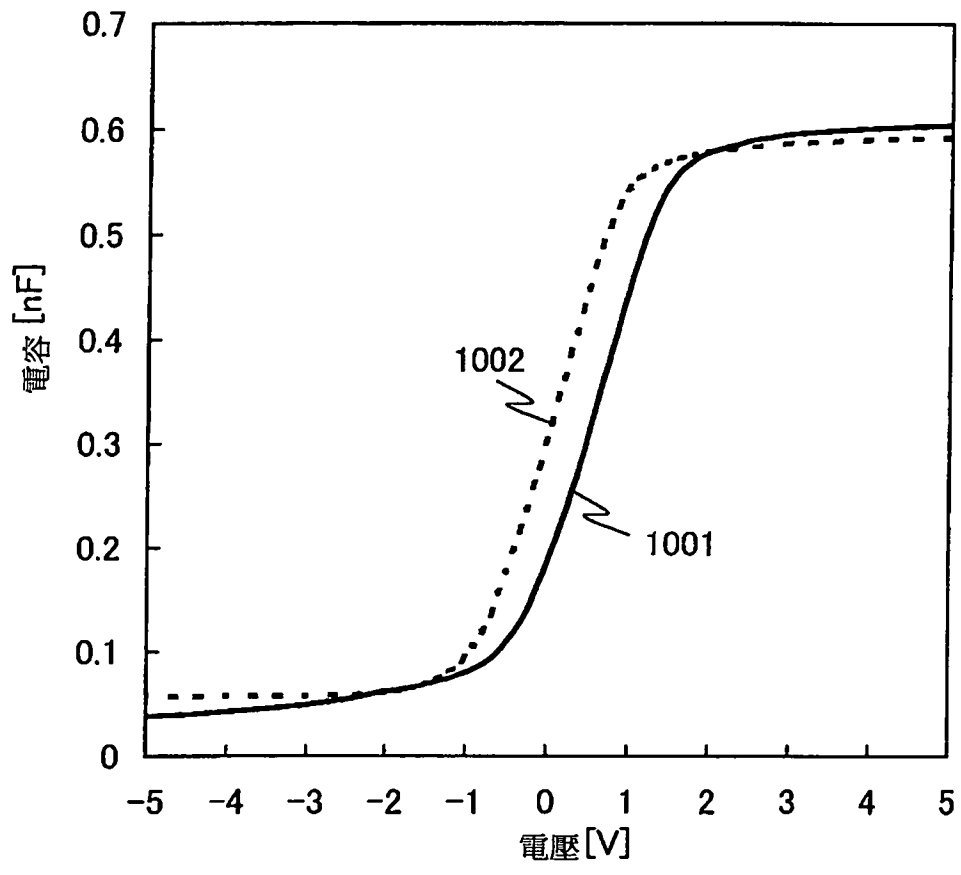
第13B圖



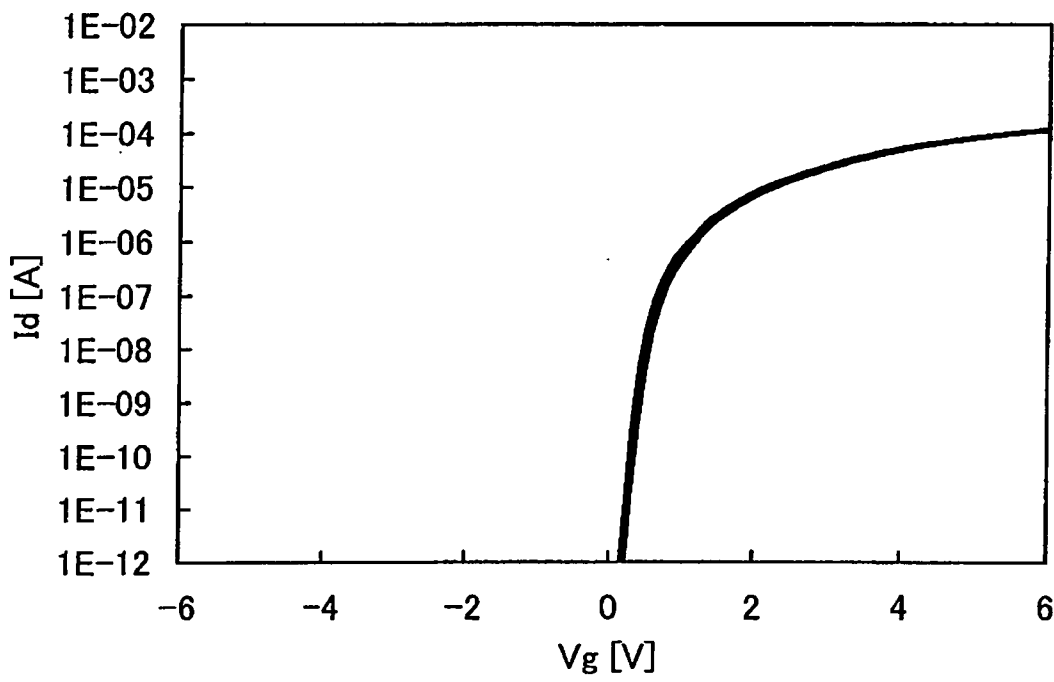
第14圖



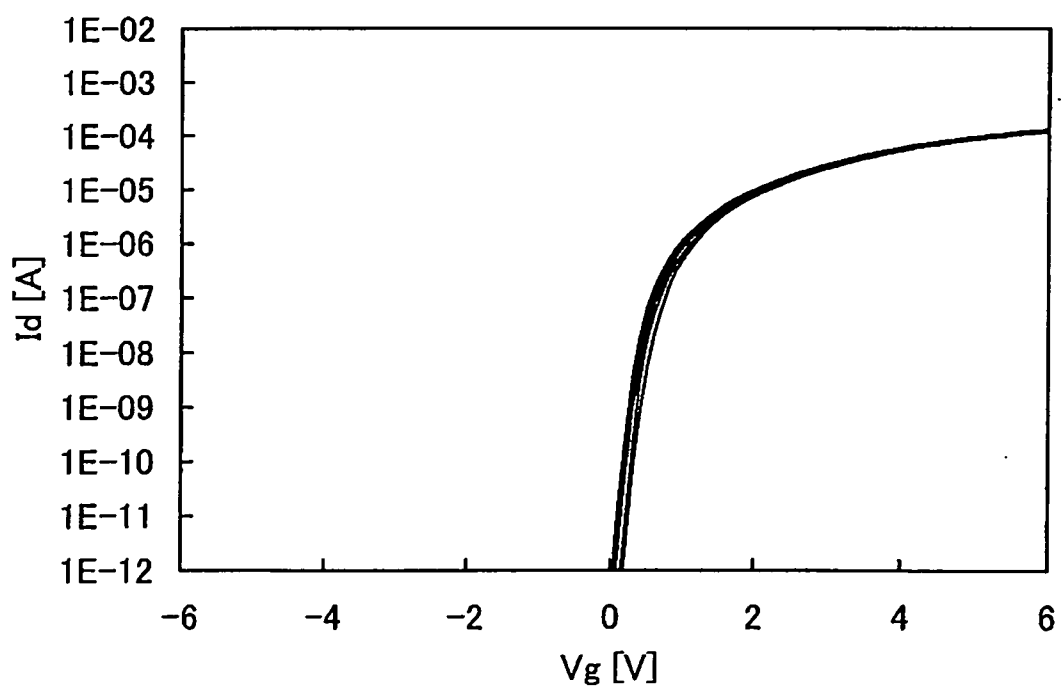
第15圖



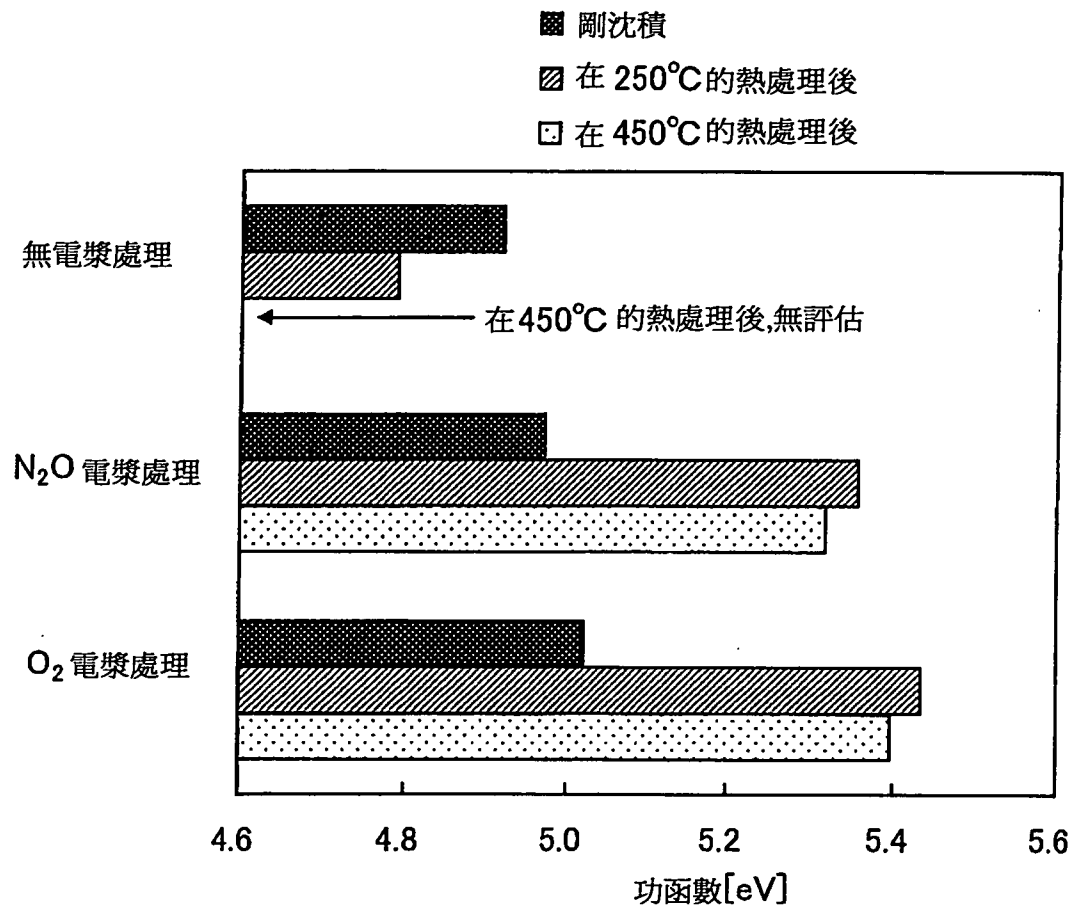
第16A圖



第16B圖



第17圖



第18圖

