



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

205 443

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 16 08 78
(21) PV 5326-78

(51) Int. Cl.³ G 11 C 5/06

(40) Zveřejněno 29 08 80
(45) Vydáno 01 08 83

(75)
Autor vynálezu KUTĚJ SVATOPLUK ing., BRNO

(54) Zapojení vyrovnávací paměti

1

Vynález se týká zapojení vyrovnávací paměti, která se velmi často používá v číslicových obvodech zařízení na zpracování informací a je charakterizovaná tím, že jednotlivá slova jsou čtena v tom pořadí, ve kterém byla do paměti zapisována.

Doposud se vyrovnávací paměti tohoto typu realizují posuvnými registry s komplikovaným řízením, u nichž nelze současně informaci zapisovat a číst. Další jejich nevýhodou je, že vyhodnocení stavu obsazené nebo prázdné paměti je obvodově složité.

Uvedené nevýhody odstraňuje zapojení vyrovnávací paměti podle vynálezu, jehož podstatou je, že sestává z prvního vstupu řadiče zápisu pro hodinové impulsy, připojeného na časový zdroj, první skupiny vstupů řadiče zápisu připojeného na periferní jednotky, druhého vstupu řadiče zápisu, prvního vstupu adresního registru zápisu a prvního vstupu pro adresní registr čtení, které jsou spojeny a připojeny na řídicí jednotku, kde první výstup řadiče zápisu je připojen na první vstup paměti a na druhý vstup adresního registru první skupina výstupů řadiče zápisu pro rozlišení periferní jednotky je připojena na první skupinu vstupů paměti a kde druhá skupina výstupů řadiče zápisu a třetí skupina výstupů řadiče zápisu jsou připojeny na periferní jednotky, skupina výstupů adresního registru zápisu je připojena jednak na druhou skupinu vstupů pro n-bitovou informaci paměti, jednak na druhou skupinu vstupů pro n+1 bitovou informaci dekodéru stavu vyrovnávací paměti, první vstup hradla je připojen na řídicí jednotku, výstup hradla je připojen na druhý vstup adresního

205 443

registru čtení a na druhý vstup paměti, skupina výstupů adresního registru čtení je připojena jednak na třetí skupinu vstupů pro n -bitovou informaci paměti, jednak na první skupinu vstupů pro $n+1$ bitovou informaci dekodéru stavu vyrovnávací paměti, první výstup dekodéru stavu vyrovnávací paměti je jednak připojen na třetí vstup řadiče zápisu, jednak připojen na řídicí jednotku, druhý výstup dekodéru stavu vyrovnávací paměti je jednak připojen na druhý vstup hradla, jednak připojen na řídicí jednotku, čtvrtá skupina vstupů paměti pro vstupní data do vyrovnávací paměti je připojena na periferní jednotky, skupina výstupů paměti pro výstupní data z vyrovnávací paměti je připojena na řídicí jednotku. První skupina vstupů dekodéru stavu vyrovnávací paměti je tvořena prvním vstupem prvního dvouvstupového obvodu součtu modulo 2, prvním vstupem druhého dvouvstupového obvodu součtu modulo 2, tvořícím současně druhý vstup z první skupiny vstupů dekodéru stavu vyrovnávací paměti a tak dále, až prvním vstupem n -tého dvouvstupového obvodu součtu modulo 2, tvořícím současně n -tý vstup z první skupiny vstupů dekodéru stavu vyrovnávací paměti a tak dále, až prvním vstupem $n+1$ tého dvouvstupového obvodu součtu modulo 2, tvořícím současně $n+1$ tý vstup z první skupiny vstupů dekodéru stavu vyrovnávací paměti, druhá skupina vstupů dekodéru stavu vyrovnávací paměti je tvořena druhým vstupem prvního dvouvstupového obvodu součtu modulo 2, tvořícím současně první vstup z druhé skupiny vstupů dekodéru stavu vyrovnávací paměti, druhým vstupem druhého dvouvstupového obvodu součtu modulo 2, tvořícím současně druhý vstup z druhé skupiny vstupů dekodéru stavu vyrovnávací paměti a tak dále, až druhým vstupem n -tého dvouvstupového obvodu součtu modulo 2, tvořícím současně n -tý vstup z druhé skupiny vstupů dekodéru stavu vyrovnávací paměti a druhým vstupem $n+1$ tého dvouvstupového obvodu součtu modulo 2, tvořícím současně $n+1$ tý vstup z druhé skupiny vstupů dekodéru stavu vyrovnávací paměti, přičemž výstup prvního dvouvstupového obvodu součtu modulo 2 je připojen přes první invertor na první vstup prvního $n+1$ vstupového obvodu typu negace logického součinu a na první vstup druhého $n+1$ vstupového obvodu typu negace logického součinu, výstup druhého dvouvstupového obvodu součtu modulo 2 je připojen přes druhý invertor na druhý vstup prvního $n+1$ vstupového obvodu typu negace logického součinu a na druhý vstup druhého $n+1$ vstupového obvodu typu negace logického součinu a tak dále, až výstup n -tého dvouvstupového obvodu součtu modulo 2 je připojen přes n -tý invertor na n -tý vstup prvního $n+1$ vstupového obvodu typu negace logického součinu a na n -tý vstup druhého $n+1$ vstupového obvodu typu negace logického součinu a výstup $n+1$ tého dvouvstupového obvodu součtu modulo 2 je připojen na $n+1$ tý vstup druhého $n+1$ vstupového obvodu typu negace logického součinu a zároveň přes $n+1$ tý invertor na $n+1$ tý vstup prvního $n+1$ vstupového obvodu typu negace logického součinu, přičemž výstup prvního $n+1$ vstupového obvodu typu negace logického součinu tvoří současně druhý výstup dekodéru stavu vyrovnávací paměti a výstup druhého $n+1$ vstupového obvodu typu negace logického součinu tvoří současně první výstup dekodéru stavu vyrovnávací paměti. První skupina vstupů pro rozlišení periferní jednotky a čtvrtá skupina vstupů pro data z periferních jednotek jsou přivedeny k současnému zápisu do paměti.

Výhodou zapojení podle vynálezu je jeho jednoduchost, možnost současného zápisu a čtení dat.

Příklad zapojení vyrovnávací paměti podle vynálezu je znázorněn na připojených výkresech, na nichž obr. 1 představuje blokové schéma zapojení, obr. 2 podrobné schéma dekodéru stavu vyrovnávací paměti a obr. 3 časový diagram činnosti řadiče zápisu.

První vstup 11 řadiče zápisu RZ pro hodinové impulsy obr. 1 je připojitelný na neznázorněný časový zdroj. První skupina vstupů 14 řadiče zápisu RZ pro signály "žádosti" periferních jednotek o zápis dat je připojitelná na neznázorněné periferní jednotky. Druhý vstup 12 řadiče zápisu RZ, první vstup 31 adresního registru zápisu ARZ a první vstup 41 pro adresní registr čtení ARC pro signál "nulování po zapnutí" jsou spojeny a jsou připojeny na neznázorněnou řídicí jednotku, například procesor. První výstup 011 řadiče zápisu RZ pro signál "zápis" je připojen na první vstup 62 paměti P typu RAM a na druhý vstup 32 adresního registru ARZ. První skupina výstupů 012 řadiče zápisu RZ pro rozlišení periferní jednotky je připojen na první skupinu vstupů 61 paměti P typu RAM. Druhá skupina výstupů 013 řadiče zápisu RZ pro signál "přebírání dat periferních jednotek" je připojitelná na neznázorněné periferní jednotky. Třetí skupina výstupů 014 řadiče zápisu RZ pro signál "otevírání výstupů periferních jednotek" je připojitelná na neznázorněné periferní jednotky. Skupina výstupů 031 adresního registru zápisu ARZ je připojena jednak na druhou skupinu vstupů 64 pro n-bitovou informaci paměti P typu RAM, jednak na druhou skupinu vstupů 52 pro n+1 bitovou informaci dekodéru D stavu vyrovnávací paměti. První vstup 21 hradla HR pro signály "žádosti řídicí jednotky o čtení dat z vyrovnávací paměti" je připojitelný na neznázorněnou řídicí jednotku. Výstup 021 hradla HR pro signál "čtení" je připojen na druhý vstup 42 adresního registru čtení ARC a na druhý vstup 63 paměti P typu RAM. Skupina výstupů 041 adresního registru čtení ARC je připojena jednak na třetí skupinu vstupů 65 pro n-bitovou informaci paměti P typu RAM, jednak na první skupinu vstupů 51 pro n+1 bitovou informaci dekodéru D stavu vyrovnávací paměti. První výstup 051 dekodéru D stavu vyrovnávací paměti pro signál "příznak plné vyrovnávací paměti" je jednak připojen na třetí vstup 13 řadiče zápisu RZ, jednak připojitelný na neznázorněnou řídicí jednotku. Druhý výstup 052 dekodéru D stavu vyrovnávací paměti pro signál "příznak prázdné vyrovnávací paměti" je jednak připojen na druhý vstup 22 hradla HR, jednak připojitelný na neznázorněnou řídicí jednotku. Čtvrtá skupina vstupů 66 paměti P typu RAM pro vstupní data do vyrovnávací paměti je připojitelná na periferní jednotky. Skupina výstupů 061 paměti P typu RAM pro výstupní data z vyrovnávací paměti je připojitelná na řídicí jednotku. První vstup prvního dvouvstupového obvodu 1M2 součtu modulo 2 - obr. 2 - tvoří současně první vstup 1 z první skupiny vstupů 51 dekodéru D stavu vyrovnávací paměti, první vstup druhého dvouvstupového obvodu 2m2 součtu modulo 2 tvoří současně druhý vstup 2 z první skupiny 51 dekodéru D stavu vyrovnávací paměti, první vstup třetího dvouvstupového obvodu 3M2 součtu modulo 2 tvoří současně třetí vstup 3 první skupiny vstupů 51 dekodéru D stavu vyrovnávací paměti, první vstup čtvrtého dvouvstupového obvodu 4M2 součtu modulo 2 tvoří současně čtvrtý vstup 4 z první skupiny vstupů 51 dekodéru D stavu vyrovnávací paměti a tak dále, až první vstup n-tého dvouvstupového obvodu nM2 součtu modulo 2 tvoří současně n-tý vstup n z první skupiny vstupů 51 dekodéru D stavu vyrovnávací paměti. Druhý vstup prvního dvouvstupového obvodu 1M2 součtu modulo 2 tvoří současně první vstup 01 z druhé skupiny vstupů 52 dekodéru D

205 443

stavu vyrovnávací paměti, druhý vstup druhého dvouvstupového obvodu 2M2 součtu modulo 2 tvoří současně druhý vstup 02 z druhé skupiny vstupů 52 dekodéru D stavu vyrovnávací paměti, druhý vstup třetího dvouvstupového obvodu 3M2 součtu modulo 2 tvoří současně třetí vstup 03 z druhé skupiny vstupů 52 dekodéru D stavu vyrovnávací paměti, druhý vstup čtvrtého dvouvstupového obvodu 4M2 součtu modulo 2 tvoří současně čtvrtý vstup 04 z druhé skupiny vstupů 52 dekodéru D stavu vyrovnávací paměti a tak dále, až druhý vstup n -tého dvouvstupového obvodu nM2 součtu modulo 2 tvoří současně n -tý vstup ⁰ⁿ z druhé skupiny vstupů 52 dekodéru D stavu vyrovnávací paměti a druhý vstup $n+1$ tého dvouvstupového obvodu $n+1M2$ součtu modulo 2 tvoří současně $n+1$ tý vstup 0n+1 z druhé skupiny vstupů 52 dekodéru D stavu vyrovnávací paměti. Výstup prvního dvouvstupového obvodu 1M2 součtu modulo 2 je připojen přes první invertor INV1 na první vstup prvního $n+1$ vstupového obvodu NS1 typu negace logického součinu a na první vstup druhého $n+1$ obvodu NS2 typu negace logického součinu, výstup druhého dvouvstupového obvodu 2M2 součtu modulo 2 je připojen přes druhý invertor INV2 na druhý vstup prvního $n+1$ vstupového obvodu NS1 typu negace logického součinu a na druhý vstup druhého $n+1$ obvodu NS2 typu negace logického součinu, výstup třetího dvouvstupového obvodu 3M2 součtu modulo 2 je připojen přes třetí invertor INV3 na třetí vstup prvního $n+1$ vstupového obvodu NS1 typu negace logického součinu a na třetí vstup druhého $n+1$ vstupového obvodu NS2 typu negace logického součinu, výstup čtvrtého dvouvstupového obvodu 4M2 součtu modulo 2 je připojen přes čtvrtý invertor INV4 na čtvrtý vstup prvního $n+1$ vstupového obvodu NS1 typu negace logického součinu a na čtvrtý vstup druhého $n+1$ vstupového obvodu NS2 typu negace logického součinu a tak dále, až výstup n -tého dvouvstupového obvodu nM2 součtu modulo 2 je připojen přes n -tý invertor INVn na n -tý vstup prvního $n+1$ vstupového obvodu NS1 typu negace logického součinu a na n -tý vstup druhého $n+1$ vstupového obvodu NS2 typu negace logického součinu a výstup $n+1$ tého dvouvstupového obvodu $n+1M2$ součtu modulo 2 je připojen na $n+1$ tý vstup druhého $n+1$ vstupového obvodu NS2 typu negace logického součinu a zároveň přes $n+1$ tý invertor INVn+1 a na $n+1$ tý vstup prvního $n+1$ vstupového obvodu NS1 typu negace logického součinu. Výstup prvního $n+1$ vstupového obvodu NS1 typu negace logického součinu tvoří současně druhý výstup 052 dekodéru D stavu vyrovnávací paměti. Výstup druhého $n+1$ vstupového obvodu NS2 typu negace logického součinu tvoří současně první výstup 051 dekodéru D stavu vyrovnávací paměti.

Časový diagram na obr. 3 představuje časový sled signálů při přebírání dat jedné periferní jednotky, přičemž průběh a) znamená hodinové impulsy

- b) signál "otevírání výstupů periferních jednotek",
- c) signál "žádost periferních jednotek o zápis dat",
- d) signál "zápis",
- e) signál "přebírání dat periferních jednotek".

Po zapnutí zařízení se provede signálem "nulování po zapnutí" přicházejícím z řídící jednotky vynulování řadiče zápisu RZ, adresního registru zápisu ARZ a adresního registru čtení ARC. Hodinovými impulsy přicházejícími na první vstup 11 řadiče zápisu RZ se přiřazuje obsluha postupně jednotlivým periferním jednotkám. Po dobu přiřazení obsluhy této pe-

periferní jednotky jsou signálem "otevírání výstupů periferních jednotek" připojena její výstupní data na čtvrtou skupinu vstupů 66 paměti P typu RAM. Pokud periferní jednotka žádá převzetí dat signálem "žádost periferní jednotky o zápis dat", je po dobu kladného hodinového impulsu generován signál "zápis" a data z periferní jednotky spolu s informací pro rozlišení periferní jednotky jsou zapisována do paměti P typu RAM na adresu danou adresním registrem zápisu ARZ. Při sestupné hraně tohoto hodinového impulsu se zvýší stav adresního registru zápisu ARZ o +1. Současně s tím se generuje signál "přebírání dat z periferní jednotky", který ukončí signál "žádost periferní jednotky o zápis dat", čímž se zpětně ukončí signál "přebírání dat periferní jednotky". Podobným způsobem jsou přebírána data z ostatních periferních jednotek v příslušných okamžicích, kdy řadič zápisu RZ jim přiřadí obsluhu.

Pokud dekodér D stavu vyrovnávací paměti dekoduje po zápisu dat a přičtení +1 k adresnímu registru zápisu stav plného naplnění vyrovnávací paměti, je blokováno generování signálu "zápis" v řadiči zápisu RZ, takže data periferních jednotek nemohou být převzata a jejich žádosti o převzetí dat trvají až do doby, kdy se vyrovnávací paměť uvolní. Asynchronně, vzhledem k zápisu dat do vyrovnávací paměti, probíhá čtení dat řízené řídicí jednotkou. Signál "žádost řídicí jednotky o čtení dat vyrovnávací paměti" na prvním vstupu 21 hradla HR otevírá výstupy paměti P typu RAM na adrese dané stavem adresního registru čtení ARC, přičemž koncem tohoto signálu se přičte +1 k adresnímu registru čtení ARC, přiváděná na jeho druhý vstup 42. Pokud potom dekodér D stavu vyrovnávací paměti dekoduje stav prázdné vyrovnávací paměti, je signálem "příznak prázdné vyrovnávací paměti" uzavřeno hradlo HR na vstupu 21 a čtení nemůže proběhnout, dokud tento signál trvá. Zapsané slovo má dvě části, první udává rozlišení periferie, druhá část vlastní data. V tomto případě první část slova je zapisována první skupinou vstupů 61 a druhá je zapisována čtvrtou skupinou vstupů 66. Neznázorněná řídicí jednotka přečte celé zapsané slovo na první skupině výstupů 061 a vyhodnotí z jeho první části, které periferii data zapsaná v jeho druhé části přísluší.

Pokud kapacita vyrovnávací paměti je 2^n , kde n představuje přirozené číslo, je výhodné vytvořit adresní registry z čítačů s cyklem 2×2^n , neboť pak realizace dekodéru D stavu vyrovnávací paměti je jednoduchá - obr. 2. Shoda adres zápisu a čtení na n nižších binárních řádech znamená dosažení mezního stavu vyrovnávací paměti, a to při shodě nejvyšších bitů $n+1$ obou adres dosažení prázdné vyrovnávací paměti a při jejich opačném stavu dosažení stavu plné vyrovnávací paměti.

P R Ě D M Ě T V Y N Á L E Z U

1. Zapojení vyrovnávací paměti, vyznačené tím, že sestává z prvního vstupu (11) řadiče zápisu (RZ) pro hodinové impulsy, připojeného na časový zdroj, první skupiny vstupů (14) řadiče zápisu (RZ) připojeného na periferní jednotky, druhého vstupu (12) řadiče zápisu (RZ), prvního vstupu (31) adresního registru zápisu (ARZ) a prvního vstupu (41) pro adresní registr čtení (ARC), které jsou spojeny a připojeny na řídicí jednotku,

205 443

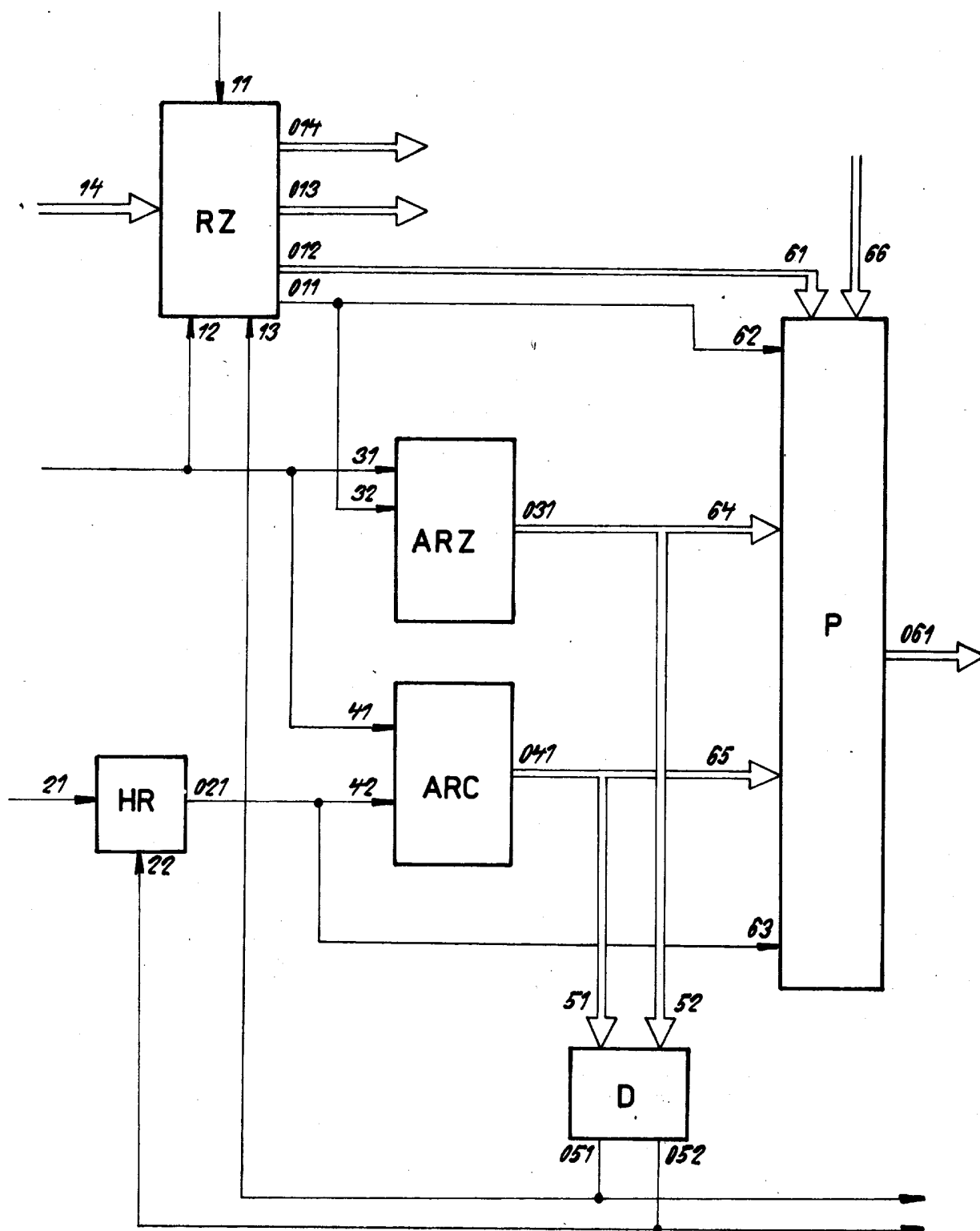
kde první výstup (011) řadiče zápisu (RZ) je připojen jednak na první vstup (62) paměti (P) a jednak na druhý vstup (32) adresního registru (ARZ), přičemž první skupiny výstupů (012) řadiče zápisu (RZ) pro rozlišení periferní jednotky jsou připojeny na první skupinu vstupů (61) paměti (P) a druhá skupina výstupů (013) řadiče zápisu (RZ) a třetí skupina výstupů (014) řadiče zápisu (RZ) jsou připojeny na periferní jednotky, skupina výstupů (031) adresního registru zápisu (ARZ) je připojena jednak na druhou skupinu vstupů (64) pro n -bitovou informaci paměti (P), jednak na druhou skupinu vstupů (52) pro $n+1$ bitovou informaci dekodéru (D) stavu vyrovnávací paměti, dále je první vstup (21) hradla (HR) připojen na řídící jednotku, výstup (021) hradla (HR) je připojen na druhý vstup (42) adresního registru čtení (ARC) a na druhý vstup (63) paměti (P), skupina výstupů (041) adresního registru čtení (ARC) je připojena jednak na třetí skupinu vstupů (65) pro n -bitovou informaci paměti (P), jednak na první skupinu vstupů (51) pro $n+1$ bitovou informaci dekodéru (D) stavu vyrovnávací paměti a první výstup (051) dekodéru (D) stavu vyrovnávací paměti je jednak připojen na třetí vstup (13) řadiče zápisu (RZ), jednak připojen na řídící jednotku, druhý výstup (052) dekodéru (D) stavu vyrovnávací paměti je jednak připojen na druhý vstup (22) hradla (HR) a jednak je připojen na řídící jednotku, zatímco čtvrtá skupina vstupů (66) paměti (P) pro vstupní data do vyrovnávací paměti je připojena na periferní jednotky, skupina výstupů (061) paměti (P) pro výstupní data z vyrovnávací paměti je připojena na řídící jednotku.

2. Zapojení podle bodu 1, vyznačené tím, že první skupina vstupů (51) dekodéru (D) stavu vyrovnávací paměti je tvořena prvním vstupem (1) prvního dvouvstupového obvodu (1M2) součtu modulo 2, prvním vstupem druhého dvouvstupového obvodu (2M2) součtu modulo 2, tvořícím současně druhý vstup (2) z první skupiny vstupů (51) dekodéru (D) stavu vyrovnávací paměti, až prvním vstupem n -tého dvouvstupového obvodu (n M2) součtu modulo 2, tvořícím současně n -tý vstup (n) z první skupiny vstupů (51) dekodéru (D) stavu vyrovnávací paměti, až prvním vstupem $n+1$ -tého dvouvstupového obvodu ($n+1$ M2) součtu modulo 2, tvořícím současně $n+1$ -tý vstup ($n+1$) z první skupiny vstupů (51) dekodéru (D) stavu vyrovnávací paměti, druhá skupina vstupů (52) dekodéru (D) stavu vyrovnávací paměti je tvořena druhým vstupem prvního dvouvstupového obvodu (1M2) součtu modulo 2, tvořícím současně první vstup (01) z druhé skupiny vstupů (52) dekodéru (D) stavu vyrovnávací paměti, druhým vstupem druhého dvouvstupového obvodu (2M2) součtu modulo 2, tvořícím současně druhý vstup (02) z druhé skupiny vstupů (52) dekodéru (D) stavu vyrovnávací paměti až druhým vstupem n -tého dvouvstupového obvodu (n M2) součtu modulo 2, tvořícím současně n -tý vstup (0 n) z druhé skupiny vstupů (52) dekodéru (D) stavu vyrovnávací paměti a druhým vstupem $n+1$ -tého dvouvstupového obvodu ($n+1$ M2) součtu modulo 2, tvořícím současně $n+1$ -tý vstup (0 $n+1$) z druhé skupiny vstupů (52) dekodéru (D) stavu vyrovnávací paměti, přičemž výstup prvního dvouvstupového obvodu (1M2) součtu modulo 2 je připojen přes první invertor (INV) na první vstup prvního $n+1$ vstupového obvodu (NS1) typu negace logického součinu a na první vstup druhého $n+1$ vstupového obvodu (NS2) typu negace logického součinu, výstup druhého dvouvstupového obvodu (2M2) součtu modulo 2 je připojen přes druhý invertor (INV) na druhý vstup prvního $n+1$ vstupového obvodu (NS1) typu negace logického součinu a na

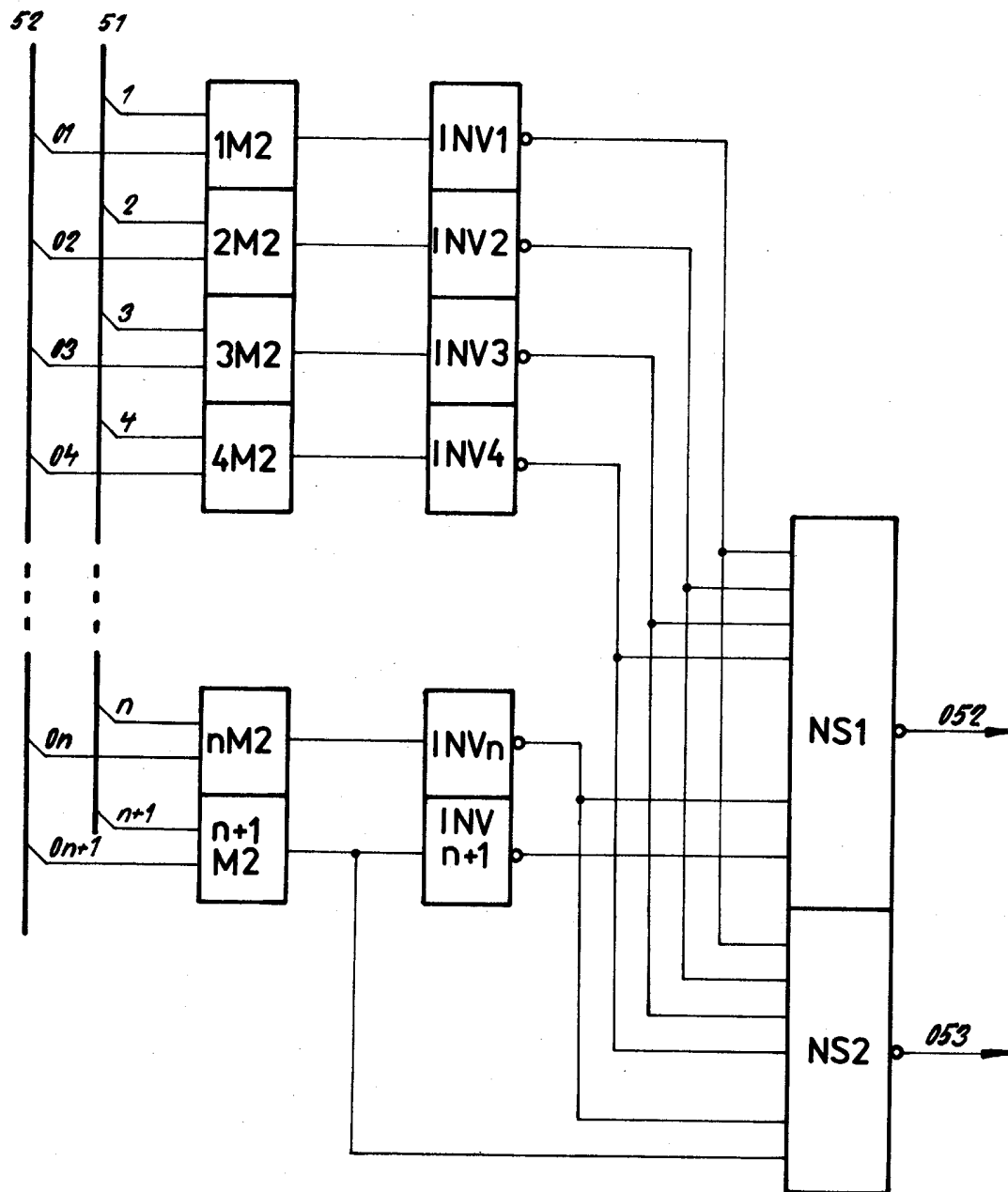
druhý vstup druhého $n+1$ vstupového obvodu (NS2) typu negace logického součinu až výstup n -tého dvouvstupového obvodu (nM2) součtu modulo 2 je připojen přes n -tý invertor (INVn) na n -tý vstup prvního $n+1$ vstupového obvodu (NS1) typu negace logického součinu a na n -tý vstup druhého $n+1$ vstupového obvodu (NS2) typu negace logického součinu a výstup $n+1$ tého dvouvstupového obvodu (n+1M2) součtu modulo 2 je připojen na $n+1$ tý vstup druhého $n+1$ vstupového obvodu (NS2) typu negace logického součinu a zároveň přes $n+1$ tý invertor (INVn+1) na $n+1$ tý vstup prvního $n+1$ vstupového obvodu (NS1) typu negace logického součinu, přičemž výstup prvního $n+1$ vstupového obvodu (NS1) typu negace logického součinu tvoří současně druhý výstup (052) dekodéru (D) stavu vyrovnávací paměti a výstup druhého $n+1$ vstupového obvodu (NS2) typu negace logického součinu tvoří současně první výstup (051) dekodéru (D) stavu vyrovnávací paměti.

3. Zapojení podle bodu 1, vyznačené tím, že první skupina vstupů (61) pro rozlišení periferní jednotky a čtvrtá skupina vstupů (66) pro data z periferních jednotek jsou přivedeny k současnému zápisu do paměti (P).

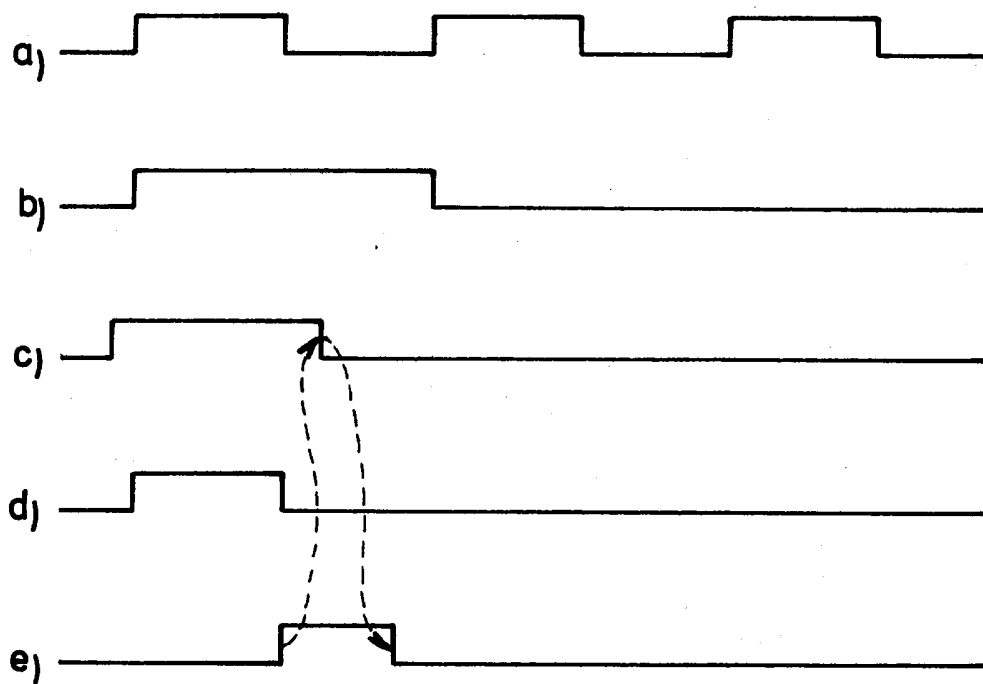
3 výkresy



Obr. 1



Obr. 2

*Obr. 3*