(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年12 月11 日 (11.12.2008)

PCT

(10) 国際公開番号
WO 2008/149446 A1

(51) 国際特許分類:
*H01L 21/283* (2006.01) *H01L 29/423* (2006.01)
*H01L 21/28* (2006.01) *H01L 29/49* (2006.01)
*H01L 21/316* (2006.01) *H01L 29/78* (2006.01)
*H01L 21/677* (2006.01)

(21) 国際出願番号: PCT/JP2007/061570

(22) 国際出願日: 2007 年6 月7 日 (07.06.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): キヤノンアネルバ株式会社 (Canon ANELVA Corporation) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木２－５－１ Kanagawa (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 北野 尚武 (KITANO, Naomu) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木２－５－１ キヤノンアネルバ株式会社内 Kanagawa (JP). 南 卓士 (MINAMI, Takashi) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木２－５－１ キヤノンアネルバ株式会社内 Kanagawa (JP). 小須田 求 (KOSUDA, Motomu) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木２－５－１ キヤノンアネルバ株式会社内 Kanagawa (JP). 渡部 平司 (WATANABE, Heiji) [JP/JP]; 〒5650871 大阪府吹田市山田丘２－１ 大阪大学内 Osaka (JP).

(74) 代理人: 岡部 正夫, 外 (OKABE, Masao et al.); 〒1000005 東京都千代田区丸の内３－２－３ 富士ビル６０２号室 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

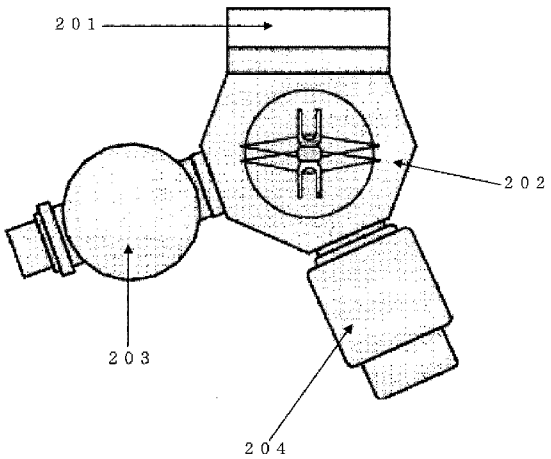
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

*[続葉有]*

(54) **Title:** SEMICONDUCTOR PRODUCTION APPARATUS AND PROCESS

(54) **発明の名称:** 半導体製造装置および方法

[図2]




(57) **Abstract:** In a first aspect, there is provided a semiconductor production apparatus characterized by including a load lock chamber, a delivery chamber and plasma treatment treating chamber (1) and treating chamber (2), the treating chamber (2) having emission means equipped with control means for regulating of oxygen partial pressure to $1x10^{-5}$ Pa or below. In a second aspect, there is provided a process for continuous formation of a film of high dielectric constant and a metal electrode, including the step (1) of depositing a metal film on a silicon oxide film or silicon oxynitride film in treating chamber (1); the step (2) of in treating chamber (2), forming a film of high dielectric constant from the metal film formed in the treating chamber (1); and the step (3) of in the treating chamber (1) or added treating chamber (3), depositing a metal electrode material on the film of high dielectric constant formed in the treating chamber (2), characterized in that these steps are continuously carried out without exposure to ambient air.

(57) 要約: 本発明の第１の側面は、ロードロック室と搬送室とプラズマを用いた処理を行う処理室1と処理室2を有し、処理室2においては、排気手段に、酸素分圧が$1\times10^{-5}$[Pa]以下にするための制御手段が取り付けられていることを特徴とする半導体製造装置である。本発明の第２の側面は、高誘電率膜と金属電極を連続で形成する方法であって、処理室1で、シリコン酸化膜または、シリコン酸窒化膜上に金属膜を堆積させるステップ1と処理室2において処理室1で形成した金属膜を用いて高誘電率膜に形成するステップ2と処理室1もしくは、増設した処理室3において処理室2で形成した高誘電膜上に金属電極材料を堆積させるステップ3を含む方法において、大気に晒すことなく、各ステップが連続的に行われることを特徴とする。

WO 2008/149446 A1

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

# 明 細 書

## 半導体製造装置および方法

## 技術分野

[0001] 本発明は、金属酸化膜半導体電界トランジスタ(MOSFET)の製造において、高誘電率膜を形成し、高誘電率膜上に金属電極材料膜を堆積するための装置及び方法に関する。より具体的には、本発明は、MOSFETにおいて、高誘電率膜中の不純物低減及び酸化膜換算膜厚値の低減を実現しつつ、高誘電率膜と金属電極材料膜との界面特性を向上させるための装置および方法に関する。また、本発明は、この方法に適した基板処理システムに関する。

## 背景技術

[0002] 現在、金属酸化膜半導体電界トランジスタ(MOSFET)は、ゲート絶縁膜にシリコン酸化膜、ゲート電極にポリシリコンを使用して、それらを組み合わせることによって、製造されている。半導体素子製造に関する傾向として、集積回路の性能を向上させるため、半導体素子のデザインルールが徐々に縮小されている。これに伴い、ゲート絶縁膜の薄層化が要求される。しかしながら、シリコン酸化膜を用いたゲート絶縁膜では、薄層化に限界がある。即ち、限界を超えた薄層化は、許容範囲を超えたリーク電流の増大を帰結する。

[0003] そこで、シリコン酸化膜より比誘電率が高いゲート絶縁膜の適用が検討されており、このようなゲート絶縁膜は、高誘電率膜と呼ばれている。高誘電率膜をゲート絶縁膜に用いた場合、ゲート電極はポリシリコンから金属電極に変更されなければならない。それは、以下に示す2つの理由からである。第1の理由は、ポリシリコンが、殆どの高誘電率膜に適合しないからである。第2の理由は、ポリシリコンを使用すると、ポリシリコンと高誘電率膜との界面に空乏領域が形成され、それにより酸化膜換算膜厚(EOT)が大きくなり、キャパシタンスが低下するという問題が生じるからである。

[0004] ここで、酸化膜換算膜厚について説明する。ゲート絶縁膜の種類によらず、ゲート絶縁膜材料がシリコン酸化膜であると仮定して、ゲート容量から逆算して得られる絶縁膜の電気的な膜厚をシリコン酸化膜換算膜厚(EOT:Equivalent Oxide Thickness)

という。即ち、絶縁膜の比誘電率をεh、シリコン酸化膜の比誘電率をεoとし、絶縁膜の厚さをdhとしたとき、シリコン酸化膜換算膜厚deは、下記数式1で表される。

[数式1]

$$de=dh\times(\varepsilon o/\varepsilon h)$$

上記数式1は、ゲート絶縁膜に、シリコン酸化膜の比誘電率εoに比べて大きな誘電率εhをもった材料を用いた場合には、シリコン酸化膜換算膜厚は、このゲート絶縁膜の膜厚よりも薄いシリコン酸化膜と同等になることを示している。なお、シリコン酸化膜の比誘電率εoは3.9程度である。そのため、例えば、εh=39の高誘電率材料からなる膜は、その物理膜厚を15nmとしても、シリコン酸化膜換算膜厚(電気膜厚)が1.5nmになり、ゲート絶縁膜の容量値を膜厚が1.5nmのシリコン酸化膜と同等に保ちつつ、トンネル電流を著しく低減することができる。

[0005] 現状においては、高誘電率膜形成技術として、MO-CVD法、ALD法で高誘電率膜を形成する方法、もしくは、シリコン酸化膜上にこれらの手法を用いて、金属膜を形成し、大気圧雰囲気で熱処理を施し、高誘電率膜を形成する方法が一般的である。また、金属電極形成技術として、MO-CVD法、ALD法を用いるのが一般的である。

[0006] 上述した手法によって、高誘電率膜と金属電極の積層構造を形成する場合、高誘電率膜と金属電極との界面が、必ず大気に晒されてしまい、高誘電率膜と金属電極との界面に不純物が付着し、電気特性に悪影響を与えるという問題がある。また、CVD法による場合、原料にカーボンが含まれているため、この不純物による電気特性劣化も問題となる。

[0007] 特許文献1においては、高誘電率膜と金属電極との界面特性を向上する手段として、高誘電率膜形成後、真空を破らずに金属電極堆積室に搬送し、金属電極を形成する方法が挙げられている。しかしながら、特許文献1は、高誘電率膜形成プロセス中の熱処理段階での酸素雰囲気制御に関して、何らの考慮を払っていないため、酸化膜換算膜厚値(EOT)が厚くなるという問題が生じる。または、C-V曲線でヒステリシスが生じる問題がある。

[0008] このように、高誘電率膜と金属電極膜積層構造形成において、これらの膜界面の不純物低減と高誘電率膜中の不純物低減ならびに酸化膜換算膜厚値の低減を同時

に満足することが課題である。

[0009] 特許文献1:特開2006-237371

## 発明の開示

## 課題を解決するための手段

[0010] 本発明の第1の側面は、ロードロック室と搬送室とプラズマを用いた処理を行う処理室1と処理室2を有し、処理室2においては、排気手段に、酸素分圧が$1\times10^{-5}$[Pa]以下にするための制御手段が取り付けられていることを特徴とする半導体製造装置である。

[0011] 本発明の第1の側面の実施例として、半導体製造装置はさらに、プラズマを用いた処理を行う処理室3を増設することができることを特徴とする。

[0012] 本発明の第1の側面の実施例として、半導体製造装置の処理室2においては、酸素ガス系導入管と基板加熱システムを有することを特徴とする。

[0013] 本発明の第1の側面の実施例として、半導体製造装置の処理室2において、導入酸素ガスの設定流量に対し、±0.1%の精度でコントロールされる制御手段を有することを特徴とする。

[0014] 本発明の第1の側面の実施例として、半導体製造装置は、ロードロック室、搬送室、処理室1、処理室2間もしくは、ロードロック室、搬送室、処理室1,2,3間の一連のプロセスを大気に晒すことなく行うために制御手段を有することを特徴とする。

[0015] 本発明の第1の側面の実施例として、半導体製造装置は、製造した半導体デバイスの界面の炭素不純物量を、$1\times10^{20}$atoms/$cm^3$以下とすることを特徴とする。

[0016] 本発明の第2の側面は、高誘電率膜と金属電極を連続で形成する方法であって、処理室1で、シリコン酸化膜または、シリコン酸窒化膜上に金属膜を堆積させるステップ1と処理室2において処理室1で形成した金属膜を用いて高誘電率膜に形成するステップ2と処理室1もしくは、増設した処理室3において処理室2で形成した高誘電膜上に金属電極材料を堆積させるステップ3を含む方法において、大気に晒すことなく、各ステップが連続的に行われることを特徴とする。

[0017] 本発明の第2の側面の実施例として、上記ステップ1での金属膜の堆積方法は、金属原子が酸化反応を生じ難い雰囲気中において、スパッタ法で金属膜を形成するこ

とを特徴とする。

[0018] 本発明の第2の側面の実施例として、堆積される金属膜が、Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Si、Fe及びLuからなる群から選択された1種又は2種以上の金属元素を含有することを特徴とする。

[0019] 本発明の第2の側面の実施例として、上記ステップ2実施における処理室2の酸素導入後の処理室圧力は、$1\times10^{-3}$[Pa]以上10[Pa]以下であることを特徴とする。

[0020] 本発明の第2の側面の実施例として、上記ステップ2は、酸素導入と基板加熱を同時に行い、高誘電率膜形成を行うことを特徴とする。

[0021] 本発明の第2の側面の実施例として、上記ステップ3における金属電極膜は、酸素、窒素または、亜酸化窒素あるいは酸素、窒素同時導入可能な堆積装置で、反応性スパッタ法で金属電極膜を形成することを特徴とする。

[0022] 本発明の第2の側面の実施例として、上記ステップ3における金属電極膜は、少なくとも2つ以上のカソードを同時放電することにより、2元系以上の金属混合膜を形成することを特徴とする。

[0023] 本発明の第2の側面の実施例として、上記ステップ3における金属電極膜は、Zr、Hf、Ta、Ti、Al、Ru、Si、Ni、Pt、Ir、Er、Yb、La、Dy、Y、Gd、Co、W及びCからなる選択された1種又は2種以上の金属元素を含有することを特徴とする。

## 発明の効果

[0024] 本発明によれば、現状の課題である高誘電率膜中の不純物低減ならびに酸化膜換算膜厚値の薄層化、高誘電率膜と金属電極界面の不純物低減を同時に満足ずることが出来る。

## 図面の簡単な説明

[0025] [図1A]本発明に従った半導体製造装置の概略図である。

[図1B]本発明の一実施例のフロー図である。

[図2]本発明に従った半導体製造装置の構成図である。

[図3]本発明に従った熱処理室の断面図である。

[図4]本発明に従ったスパッタ装置の断面図である。

[図5A]本発明の原理に従って形成した高誘電率膜と金属電極膜との積層構造の概

略図である。

[図5B]本発明の原理に従って形成した高誘電率膜と金属電極膜との積層構造の概略図である。

[図5C]本発明の原理に従って形成した高誘電率膜と金属電極膜との積層構造の概略図である。

[図5D]本発明の原理に従って形成した高誘電率膜と金属電極膜との積層構造の概略図である。

[図6A]本発明に従った方法で得られた積層構造のCV特性を示す図である。

[図6B]本発明に従った方法で得られた積層構造の酸化膜換算膜厚(EOT)に対するリーク電流値の変化特性を示す図である。

[図7A]本発明に従った方法と大気暴露の方法を比較した解析結果を示す図である。

[図7B]本発明に従った方法と大気暴露の方法を比較した解析結果を示す図である。

[図7C]本発明に従った方法と大気暴露の方法を比較した解析結果を示す図である。

[図8A]本発明に従った方法と大気暴露の方法を比較した解析結果を示す図である。

[図8B]本発明に従った方法と大気暴露の方法を比較した解析結果を示す図である。

[図9]本発明に従った方法と大気暴露の方法を比較した解析結果を示す図である。

## 実施例

[0026] 本発明に従った高誘電率膜形成方法の一実施例の概略を以下に示す。まず、例えば単結晶シリコンからなる基板上に1nmから2nm以下のシリコン酸化膜を形成する。そして、1nmから2nm以下のシリコン酸化膜上にスパッタ法によって、0.1nmから0.7nm以下の金属膜を形成する。形成した金属膜は、真空を破らずに、酸素分圧が$1.0\times10^{-8}$[Pa]以下の熱処理室に搬送し、基板温度900℃以下, 酸素分圧$1\times10^{-3}$[Pa]以上10[Pa]以下で熱酸化処理を行い、高誘電率膜を形成する。高誘電率膜を形成後、真空を破らずに、基板を金属膜堆積室に搬送し、金属電極膜を形成する。

[0027] この処理を行うための半導体製造装置構成図を図1Aに、この処理のフロー図を図1Bに示す。図1Aに示すように、半導体製造装置100は、ロードロック室101、搬送室102、スパッタ装置103、熱処理室104及び制御手段106からなり、ロードロック室101、スパッタ装置103及び熱処理室104と搬送室102とは、それぞれゲートバルブ

105によって仕切られている。半導体製造装置100は、基板がロードロック室101から出し入れされ、ロードロック室101に配置された基板が、搬送室102を介して、スパッタ装置103及び熱処理室104へと自動搬送されるように構成されている。

[0028] 次に図1Bについて説明する。まず、ステップ1において、基板を、ロードロック室101に配置する。ステップ2において、ロードロック室101を排気する。ステップ3において、基板を、ロードロック室101から、ゲートバルブ105を介して、搬送室102に搬送する。ステップ4において、基板を、搬送室102から、ゲートバルブ105を介して、スパッタ装置103に搬入する。ステップ5において、スパッタ装置103に搬入された基板上に、公知のスパッタ法により、金属膜を形成する。金属膜が形成された基板を、ステップ6において、スパッタ装置103から、ゲートバルブ105を介して、搬送室102に搬出する。ステップ7において、搬送室102に搬出された基板を、ゲートバルブ105を介して、熱処理室104に搬入する。ステップ8において、熱処理室104内に搬入された金属膜が形成された基板を熱酸化処理し、酸化膜を形成する。ステップ9において、酸化膜が形成された基板を、熱処理室104から、ゲートバルブ105を介して、搬送室102へ搬出する。搬送室102へ搬出された基板は、ステップ10において、ゲートバルブ105を介して、スパッタ装置103へ搬入される。ステップ11において、スパッタ装置103内に搬入された基板の酸化膜上に、公知のスパッタ法によって、金属膜を形成する。この金属膜が形成された基板を、ステップ12において、ゲートバルブ105を介して、搬送室102に搬出する。ステップ13において、搬送室102に搬出された基板を、ゲートバルブ105を介して、ロードロック室101に搬送する。ステップ14において、ロードロック室101に搬送された基板を、装置外部へ取り出すことで、一連のステップは終了する。

[0029] 図2は、本発明を実施する半導体製造装置200のより具体的な構造を示す図である。ロードロック室201は、図示していないゲートバルブによって、搬送室202と仕切られており、これにより搬送室202は大気から遮断されている。ロードロック室201は、自動基板搬送機構を備えており、搬送室202の真空状態を維持しつつ、処理前、処理後の基板の出し入れを行うことが可能である。搬送室202は、ロードロック室201を介した基板の出し入れのみならず、高い真空状態を維持し基板の酸化や不純物汚

染を発生させることなく、スパッタ装置203と熱処理室204との間で基板を自動搬送する機能を果たす。スパッタ装置203は、ゲートバルブを介して、搬送室202と接続している。熱処理室204も同様に、ゲートバルブを介して、搬送室202と接続している。

[0030] 図3は、図2の熱処理室204の断面図である。熱処理室300は、酸素導入管302、熱電対303、基板加熱機構304、ターボ分子ポンプ305、基板ホルダー306からなり、この基板ホルダー306上に配置された基板301を、所定の処理条件を充足しつつ、加熱処理する。

[0031] 図4は、図2のスパッタ装置203の断面図である。スパッタ装置400は、スパッタリングガス導入系401、ターゲット(カソード)402、ターゲット402にDC電源を供給するDC電源403、シャッター404、基板ホルダー405及び反応性ガス導入系406からなる。基板407は、基板ホルダー405上に配置され、処理される。

[0032] 図5は、本発明の原理に従って形成した、高誘電率膜と金属電極膜との積層構造を示す図である。501はシリコン基板、502はシリコン酸化膜、503は金属膜、504は金属シリケート膜、505は金属電極膜を示している。

[0033] 図5Aは、基板501上に、シリコン酸化膜502が形成された状態を表している。基板501は、例えば(100)面方位を有する単結晶シリコンからなり、さらにリンがドープされ、抵抗値が2～10Ω・cmの範囲に制御されたもの等を使用する。本実施例では、基板501は、直径200mm、P型単結晶シリコン基板を使用した。

[0034] この基板501表面をRCA洗浄により洗浄し、基板表面の金属、有機物、パーティクル、自然酸化膜等の除去を行った。次に、洗浄によって清浄なシリコン原子が表面に露出されている基板501を、図示しない急速熱酸化処理装置内に搬送し、酸素雰囲気中において1000℃の熱酸化を行い、シリコン酸化膜を形成した。シリコン酸化膜厚が厚すぎると、酸化膜換算膜厚値を低く抑えることが困難となるため、膜厚値は1nmから2nm以下の膜厚であることが望ましい。本実施例では、シリコン酸化膜形成にあたり、熱酸化法を用いたが、ラジカル酸化法など、良好なシリコン界面が得られるその他の適切な手段を用いることも可能である。これにより図5Aに示すように、基板501表面に膜厚1．8nmのシリコン酸化膜502が形成された。

[0035] シリコン酸化膜502を形成した後、図2に示す半導体製造装置200のロードロック室201に、基板501を設置し、$3.0\times10^{-5}$[Pa]まで減圧したのちに、超高真空状態を維持している搬送室202を介して、DCマグネトロンスパッタ装置203に搬送した。

[0036] 本実施例において、スパッタ装置203のターゲットにはHfを用いており、搬送されたシリコン酸化膜502上にスパッタ法によって、Hf膜503を形成する。スパッタ装置203は、スパッタにより形成したHf膜503などの金属膜が酸化反応を生じ難い雰囲気を有することが望ましい。スパッタ装置203内に基板501が搬送される前に、スパッタ装置203内を超高真空状態まで排気して、具体的には$1.0\times10^{-6}$[Pa]以下に減圧されていることが望ましい。なお、スパッタを行う装置の方式はECRスパッタ法の他、DCマグネトロンスパッタ法、RFマグネトロンスパッタ法などのいかなる処理方式であってもよい。

[0037] スパッタ装置203は、図4に示すように、基板407に対して斜めにターゲット402が設置されており、複数のターゲットを同時に搭載することが可能である。さらに基板407を設置する基板ホルダー405は、任意の回転数で回転する機構になっている。

[0038] つづいて、$1.0\times10^{-6}$[Pa]以下に減圧されたスパッタ装置203に、反応性ガス導入系406により20sccmの流量のアルゴンガスを導入し、スパッタ装置203室内圧力を0.02Paに保持した。続いて、ターゲット402にDC電源403から100WのDCを印加してプラズマを生成し、スパッタリングガス導入系401から供給されたガス雰囲気中で、Hf原子のスパッタを行った。スパッタされたHf原子は、ターゲットに対向する位置に支持された基板407(501)方向に飛来し、シリコン酸化膜502上に堆積することでHf膜503が形成される。この処理によって、図5Bに示すように膜厚0.5nmのHf膜503がシリコン酸化膜502上に形成された。

[0039] その後、Hf膜503を形成した基板501を、搬送室202を介して、熱処理室204内に搬送した。このとき、基板501上に堆積されたHf膜503が酸化されないよう、搬送室202は、超高真空状態に維持されている。熱処理室204内に基板501が搬送される前は、熱処理室204内の酸素分圧は、$1.0\times10^{-8}$Pa以下であり、酸素の吸着性の強いHf膜503が搬送されても酸化しない。

[0040] 図3に示した、熱処理室204の基板加熱機構304は、所望の設定温度にしておく

必要がある。本実施例では、850℃に設定した状態で基板301（501）が搬送された。搬送された基板301（501）を、基板ホルダー306に設置した後、直ちに酸素導入管302により酸素を所望の圧力まで導入する。本実施例では、熱処理室204に10sccmの酸素ガスを導入し、熱処理室204室内圧力を0．1Paに保持し、加熱酸化処理を行い、図5Cに示すように、金属シリケート膜504として、Hfシリケート膜を形成した。

[0041] その後、再び基板501を、搬送室202を介して、DCマグネトロンスパッタ装置203に搬送した。形成されたHfシリケート膜504の表面が、酸化され又はカーボンに起因する不純物により汚染されることのないように、搬送室202は、残留酸素が極めて少ない超高真空状態に維持されている。

[0042] 基板501がスパッタ装置203に搬送された後、反応性ガス導入系406によりスパッタ装置203内に20sccmの流量のアルゴンガスと15sccmの窒素ガスを窒化源として同時に導入し、スパッタ装置203内圧力を0．03Paに保持した。つづいて、DC電源403からターゲット402に1000WのDCを印加してプラズマを生成し、ターゲットを構成するTi原子のスパッタを行った。反応性ガスを用いているので、図5Dに示すように、金属シリケート膜504上には、金属電極膜505として、TiN膜が形成される。また、TiON/TiN積層膜やTiN/TiON積層膜を形成するために、酸素ならびに窒素ガス、または、亜酸化窒素ガスを導入することもできる。

[0043] 図6Aは、本発明に従った方法を用いて形成した高誘電率膜と金属電極材料との積層構造の、印加電圧（V）に対する静電容量（$\mu F/cm^2$）の変化特性であるC－V特性を示す図である。この図より、酸化膜換算膜厚値が1.1nm、ヒステリシスの値が10mV以下の優れた電気特性が得られていることが分かる。

[0044] 図6Bは、酸化膜換算膜厚（EOT）（nm）に対するリーク電流値Ig（$A/cm^2$）の変化特性を示す図である。本発明によれば、従来の構造シリコン酸化膜やポリシリコン電極と比較して、リーク電流値を5桁低くできることが分かる。

[0045] 図7Aは、本発明に従って形成した積層構造と、Hfシリケート膜形成後一旦大気暴露した後にTiN膜を形成した積層構造とを比較した場合の、SIMS分析結果であり、基板深さ（nm）に対する炭素濃度（$atoms/cm^3$）の変化を示している。1）は本発明に従って形成した積層構造の分析結果を、2）はHfシリケート膜形成後一旦大気暴露し

た後にTiN膜を形成した積層構造の分析結果を示す。Hfシリケート膜形成後に一旦大気暴露した場合の積層構造と比較して、本発明に従って形成した積層構造の方が、HfシリケートとTiN膜との界面におけるカーボンのピークが、1桁低く抑えられていることが分かる。

[0046] 図7Bは、酸化膜換算膜厚(EOT)(nm)に対するリーク電流値(A／$cm^2$)の変化を示す図である。1)は本発明に従って形成した積層構造の分析結果を示し、2)は大気暴露時間5分間の場合の分析結果を示し、3)は大気暴露時間1時間の場合の分析結果を示し、4)は大気暴露時間24時間の場合の分析結果を示す。図7Bから、大気暴露時間が長期化することによって、リーク電流値はあまり変化しないが、酸化膜換算膜厚値が増加することが分かる。

[0047] 図7Cは、大気暴露時間(min)に対するヒステリシス(mV)の変化特性を示す図である。図7Cから、大気暴露時間が長期化するにつれて、ヒステリシスの値が増加することが分かる。つまり、カーボン濃度$1\times10^{20}$atoms/$cm^3$以下程度に抑えることによって、電気特性が向上できる。

[0048] 上記説明においては、TiN/HfSiO/SiO2/Si構造について説明したが、成膜する金属電極膜の種類や形成する金属シリケート膜種を限定する趣旨ではない。

[0049] 開始基板501は、事前に蒸着された薄いSiO2またはSiON層を有していることが望ましい。斜角PVDモジュールを使用して、この膜上に蒸着する材料は、好ましくは、Hf, Ta, Zr等の耐熱金属、HfN, TaN, TiN等の金属窒化物、HfTa, HfTi等の金属合金、HfSi等の金属半導体合金、TaSiN等の金属合金窒化物である。これらの2以上の膜を、積層構造として蒸着することも可能である。例えば、Hf／SiN／Hf、HfN／AlN／、Hfなどである。通常、Hf, Zr, TiまたはTaが金属ターゲット402として使用される。しかしながら、他の金属ターゲット402も使用できる。金属半導体合金が蒸着される場合、半導体材料はSiであることが好ましい。

[0050] ゲート材料は、Ta, Ru, Hf等の金属、TiN, HfN, TaN等の金属窒化物、RuTa, HfTa等の金属合金、HfSi, TaSi等の金属半導体合金、TaSiN等の金属半導体合金窒化物、または、これらの膜から成る積層体、例えばHf／TaN／TiN, Ru／Ta／TaNであっても良い。

[0051] 本発明内容について、従来技術と比較し、以下により具体的成果を述べる。45nmテクノロジーノードからさらに進んだ金属－酸化物－半導体電界効果トランジスタ(MOSFETs)のために、金属／High—Kゲート積層構造は、必要不可欠である。化学気相蒸着(CVD)法によって形成される金属ゲート及び高誘電率薄膜は、多くのグループによって研究されてきた。しかしながら、High—K薄膜内及び金属／High—K誘電体界面内の残留不純物によって、デバイスパフォーマンスが低下することが重大な問題となっていることが報告されてきた。例えば、T. 川原、K. 鳥居、R. 三橋、A. 武藤、A. 堀内、H. 伊藤及びH. 北島：日本応用物理ジャーナル43(2004)4129等を参照されたい。

[0052] 従前、超薄物理的気相蒸着(PVD)金属層と$SiO_2$下層との間の固相界面反応(SPIR)を使用することによって、高品質シリケートゲート誘電体を製造する方法が実証されている。そこでは、PVD成長金属層を使用することによって、CVD法と比較して、薄膜内のカーボン不純物を低減することができた。従前の研究でのSPIRプロセスは、本来の場所以外で(ex-situ)行われていたため、界面を正確に制御することができず、大気暴露に起因する不純物を正確に制御することができなかった。

[0053] 界面と不純物の効果を明確にするために、本発明により、本来の場所での(in-situ)PVD法が提案された。in-situPVD法とは、SPIRによってHigh－Kゲート誘電体を形成し、連続的に、クラスタツールを使用する低ダメージスパッタリングシステムによって金属電極を形成するというものである。本発明により、in-situPVD法により製造されたTiN／Hfシリケート積層構造を用いた、ゲート積層構造を最初に形成するP型金属/絶縁体/半導体電界効果トランジスタ(MISFETs)のデバイスパフォーマンスが改善される。

[0054] 図8Aは、in-situPVD法(真空一貫)および大気暴露PVD法(大気暴露24時間)によって製造されたTiN／Hfシリケート積層構造の、アニール処理後の、酸化膜換算膜厚値(EOT)(nm)－ゲートリーク電流(A／$cm^2$)曲線である。図8Aは、窒素ガス雰囲気中、処理時間30秒という条件のもとで得られた結果を示している。(1)は、真空一貫PVD法によって製造されたTiN／Hfシリケート積層構造の、アニール処理後の、酸化膜換算膜厚値(EOT)－ゲートリーク電流曲線であり、(2)は、大気暴露PV

D法によって製造されたTiN／Hfシリケート積層構造の、アニール処理後の、酸化膜換算膜厚値（EOT）－ゲートリーク電流曲線である。（a）はアニール温度500度でアニールした場合の酸化膜換算膜厚値（EOT）及びゲートリーク電流の測定結果を示しており、（b）はアニール温度700度、（c）はアニール温度900度及び（d）はアニール温度1000度でアニールした場合の測定結果を示している。高温アニール処理後のゲートリーク電流は、大気暴露PVD法と比較して、真空一貫PVD法によって製造された積層構造の方が1桁低い結果が得られた。さらに、真空一貫PVD法によって製造されたTiN／Hfシリケート積層構造の耐熱性は良好を維持した。

[0055] 次に、in-situ法（真空一貫）および大気暴露PVD法（大気暴露24時間）によって製造されたTiN／Hfシリケート積層構造のアニール処理後のアニール温度（℃）とフラットバンド電圧（V）の関係を図8Bに示す。図8Bは、窒素ガス雰囲気中、処理時間30秒という条件のもとで得られた結果を示している。（1）は、真空一貫PVD法によって製造されたTiN／Hfシリケート積層構造の、アニール処理後の、アニール温度に対するフラットバンド電圧の変化を示しており、（2）は、大気暴露PVD法によって製造されたTiN／Hfシリケート積層構造の、アニール処理後の、アニール温度に対するフラットバンド電圧の変化を示している。この結果、真空一貫プロセスの方が、大気暴露24時間プロセスと比較して、フラットバンド電圧のシフト量が少ない結果が得られた。さらに、真空一貫PVD法によって製造されたTiN／Hfシリケート積層構造の耐熱性は良好を維持した。

[0056] 図9は、In-situ法（真空一貫）および大気暴露PVD法（大気暴露24時間）によって製造されたTiN/Hfシリケート積層構造の長期信頼性試験の結果である。（1）は、真空一貫PVD法によって製造されたTiN／Hfシリケート積層構造の、印加電圧時間（秒）に対するリーク電流値（$1\times10^{-4}$A）（左縦軸）の変化を示しており、（2）は、大気暴露PVD法によって製造されたTiN／Hfシリケート積層構造の印加電圧時間（秒）に対するリーク電流値（$1\times10^{-4}$A）（右縦軸）の変化を示している。In-Situ法によって製造されたTiN／Hfシリケート積層構造の方が、大気暴露PVD法によって製造されたTiN／Hfシリケート積層構造と比較して、ゲートリーク電流の変化が小さいことが分かった。

[0057] 結論として、TiN／Hfシリケートゲート積層構造を製造するためにin-situPVD法を用いることで、ex-situPVD法及び従来のCVD法によって製造される積層構造と比較して、積層構造の電気特性を改善することが出来ることが実証された。さらに、in-situPVD法は、積層構造のカーボン不純物を低減することができる。1000度でのアニール処理後、EOT値は明らかに上昇するが、フラットバンド電圧Vfbのシフト量を改善することができる。

[0058] 上述の実施例は、本発明の範囲を限定するものではなく、本実施例の教示ないし示唆に基づいて、本発明請求の範囲の主題内容を実現すべく、上述の諸実施例を適宜変更することができる。

# 請求の範囲

[1] 半導体製造装置において、ロードロック室と搬送室とプラズマを用いた処理を行う処理室1と処理室2を有し、処理室2においては、排気手段に、酸素分圧が$1\times10^{-5}$[Pa]以下にするための制御手段が取り付けられていることを特徴とする装置。

[2] 請求項1記載の装置において、さらにプラズマを用いた処理を行う処理室3を増設することができることを特徴とする装置。

[3] 請求項1記載の処理室2においては、酸素ガス系導入管と基板加熱システムを有することを特徴とする装置。

[4] 請求項1記載の処理室2において、導入酸素ガスの設定流量に対し、±0．1%の精度でコントロールされる制御手段を有することを特徴とする装置。

[5] 請求項1記載の装置において、ロードロック室、搬送室、処理室1、処理室2間もしくは、ロードロック室、搬送室、処理室1，2，3間の一連のプロセスを大気に晒すことなく行うために制御手段を有することを特徴とする装置。

[6] 請求項1記載の装置を用いて、製造した半導体デバイスの界面の炭素不純物量を、$1\times10^{20}$atoms／$cm^3$以下とすることを特徴とする装置。

[7] 請求項1に記載した装置を用いて、高誘電率膜と金属電極を連続で形成する方法であって、処理室1で、シリコン酸化膜または、シリコン酸窒化膜上に金属膜を堆積させるステップ1と処理室2において処理室1で形成した金属膜を用いて高誘電率膜に形成するステップ2と処理室1もしくは、増設した処理室3において処理室2で形成した高誘電膜上に金属電極材料を堆積させるステップ3を含む方法において、大気に晒すことなく、前記ステップが連続的に行われることを特徴とする方法。

[8] 前項で記載したステップ1での金属膜の堆積方法は、金属原子が酸化反応を生じ難い雰囲気中において、スパッタ法で金属膜を形成することを特徴とする方法。

[9] 請求項8記載の方法において、前記金属膜が、Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Si、Fe及びLuからなる群から選択された1種又は2種以上の金属元素を含有することを特徴とする方法。

[10] ステップ2実施における処理室2の酸素導入後の処理室圧力は、$1\times10^{-3}$[Pa]以上10[Pa]以下であることを特徴とする方法。

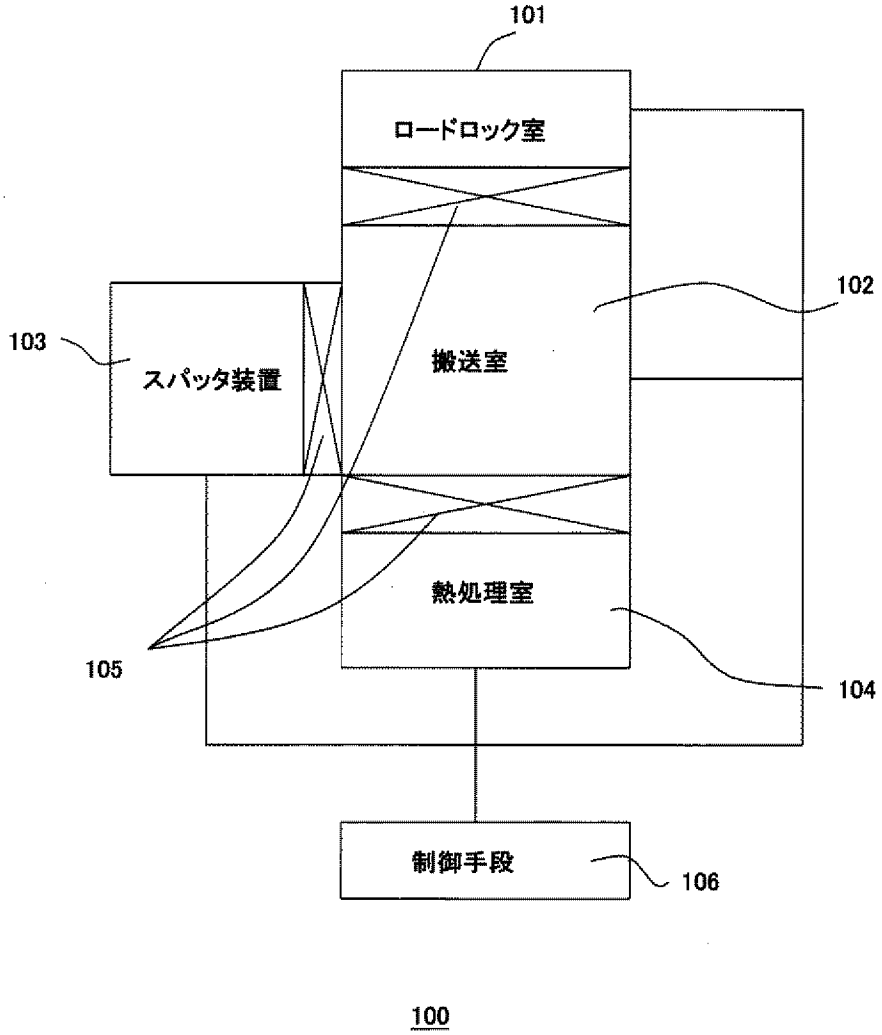
[11] 請求項7で記載したステップ2は、酸素導入と基板加熱を同時に行い、高誘電率膜形成を行うことを特徴とする方法。

[12] ステップ3における金属電極膜は、酸素、窒素または、亜酸化窒素あるいは酸素、窒素同時導入可能な堆積装置で、反応性スパッタ法で金属電極膜を形成することを特徴とする方法。

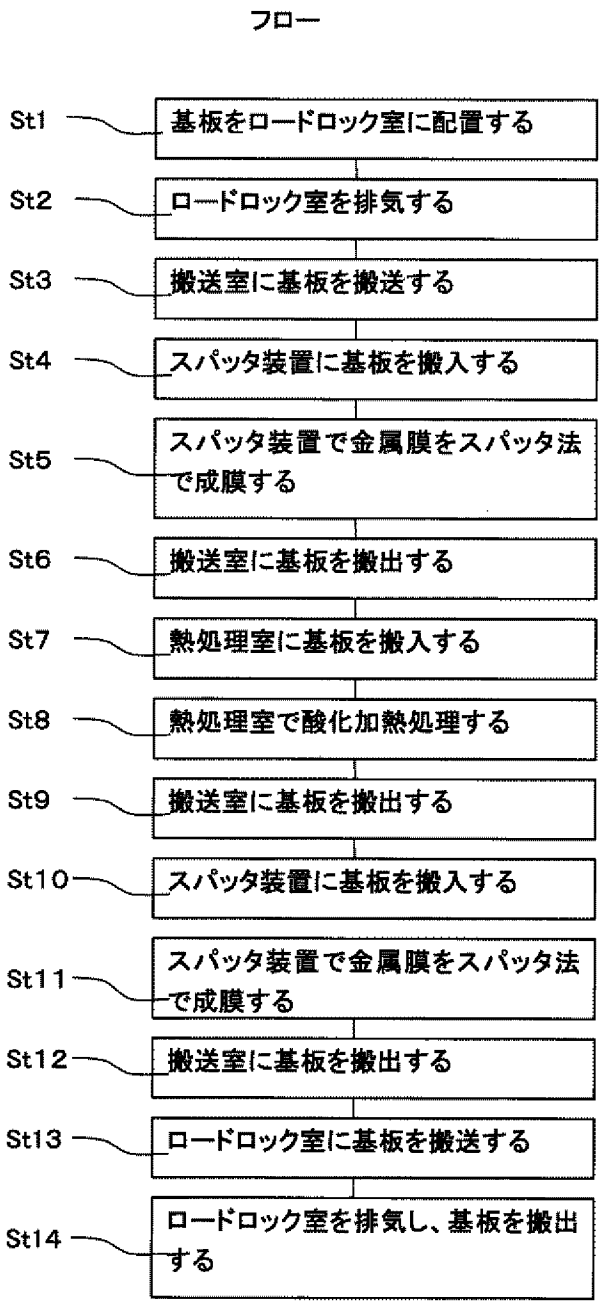
[13] ステップ3における金属電極膜は、少なくとも2つ以上のカソードを同時放電することにより、2元系以上の金属混合膜を形成することを特徴とする方法。

[14] ステップ3における金属電極膜は、Zr、Hf、Ta、Ti、Al、Ru、Si、Ni、Pt、Ir、Er、Yb、La、Dy、Y、Gd、Co、W及びCからなる選択された1種又は2種以上の金属元素を含有することを特徴とする方法。

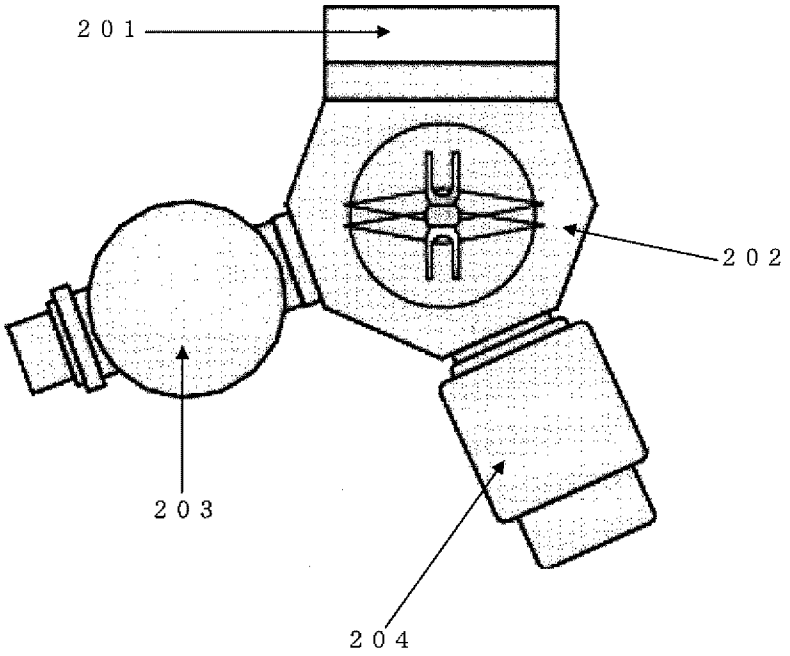
[図1A]



[図1B]

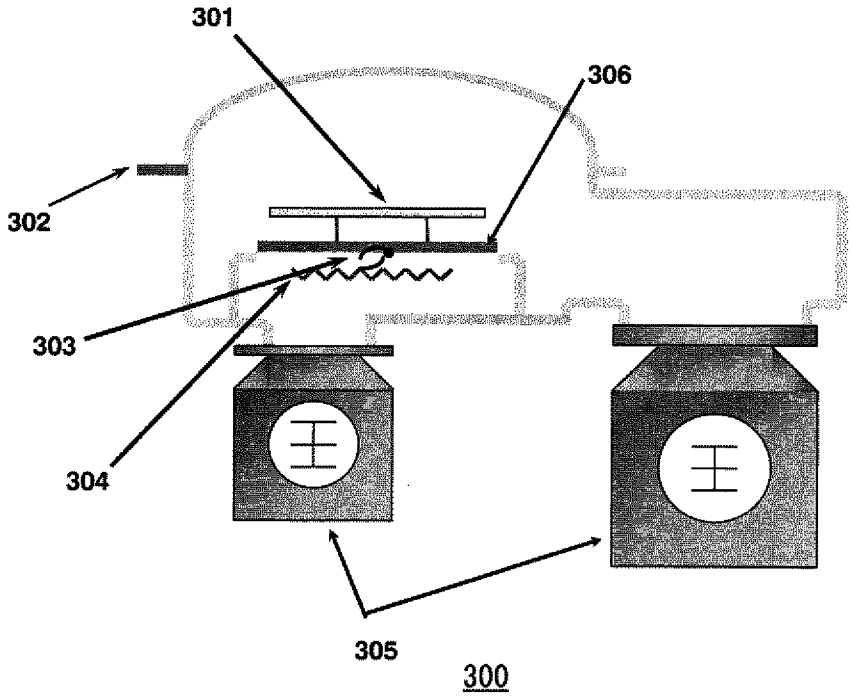

フロー
St1
基板をロードロック室に配置する
St2
ロードロック室を排気する
St3
搬送室に基板を搬送する
St4
スパッタ装置に基板を搬入する
St5
スパッタ装置で金属膜をスパッタ法で成膜する
St6
搬送室に基板を搬出する
St7
熱処理室に基板を搬入する
St8
熱処理室で酸化加熱処理する
St9
搬送室に基板を搬出する
St10
スパッタ装置に基板を搬入する
St11
スパッタ装置で金属膜をスパッタ法で成膜する
St12
搬送室に基板を搬出する
St13
ロードロック室に基板を搬送する
St14
ロードロック室を排気し、基板を搬出する

[図2]



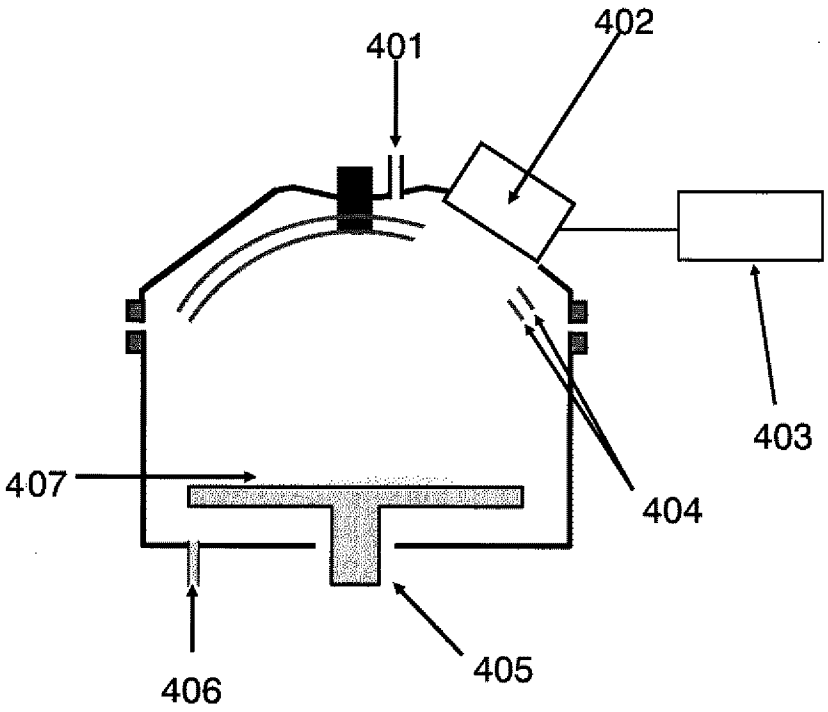

200

[図3]

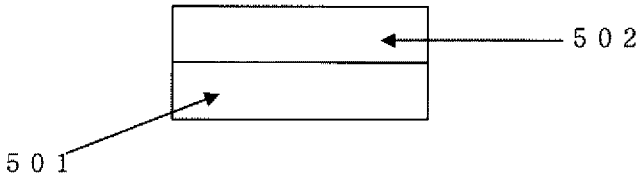



300

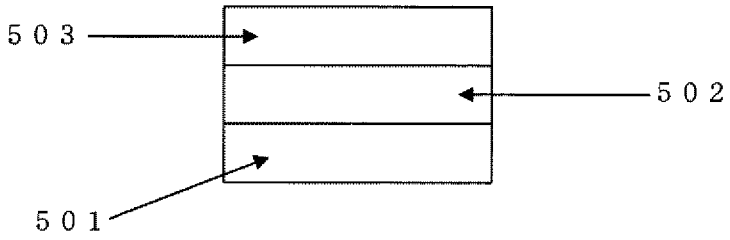
[図4]



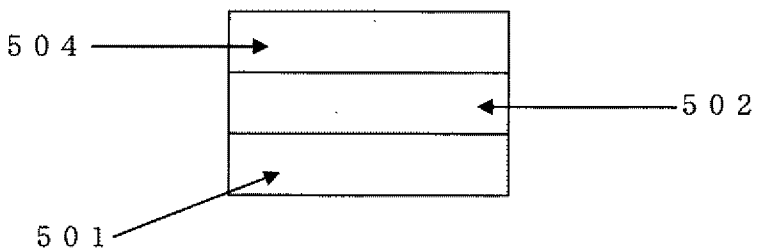

[図5A]



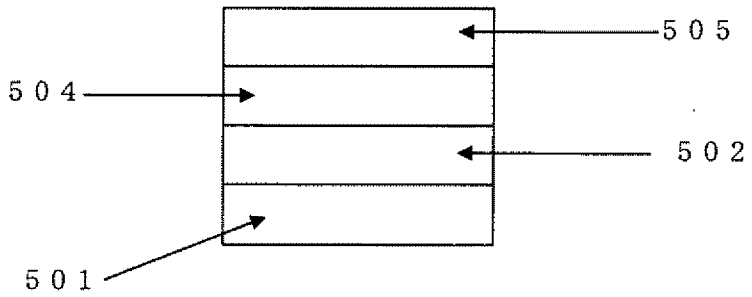

[図5B]



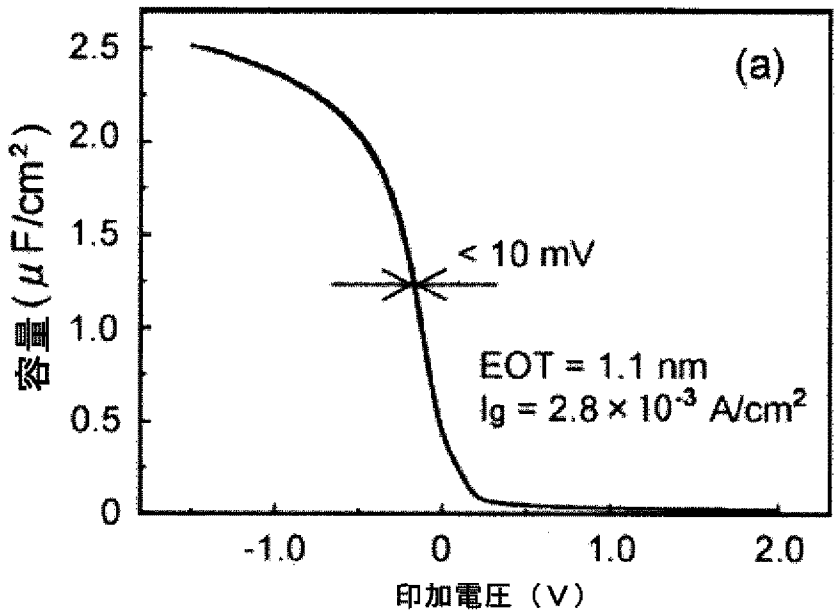

[図5C]



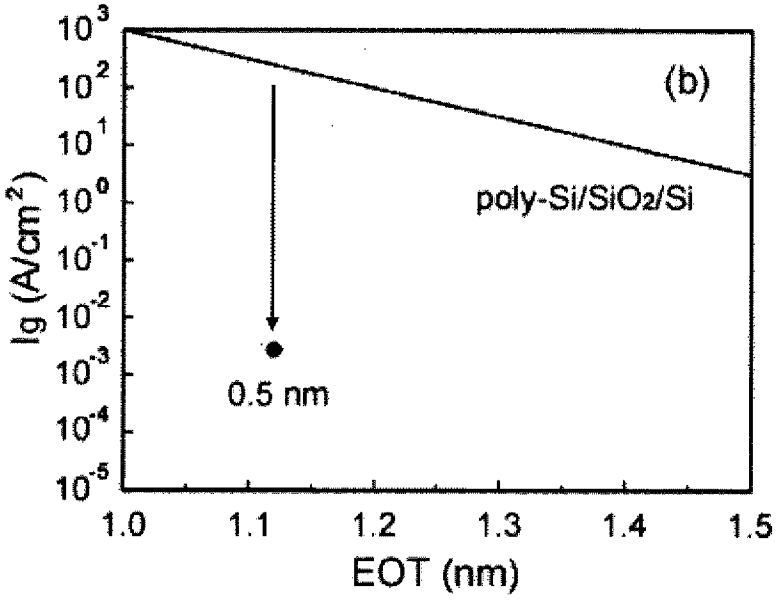
[図5D]


505
504
502
501

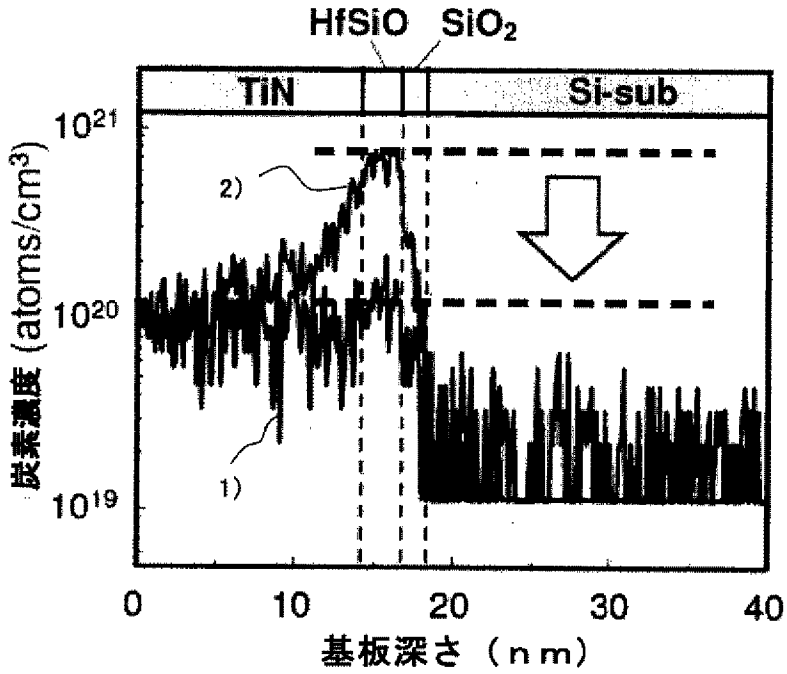
[図6A]


(a)
< 10 mV
EOT = 1.1 nm
Ig = 2.8 × 10-3 A/cm2
容量 (μF/cm2)
印加電圧（V）

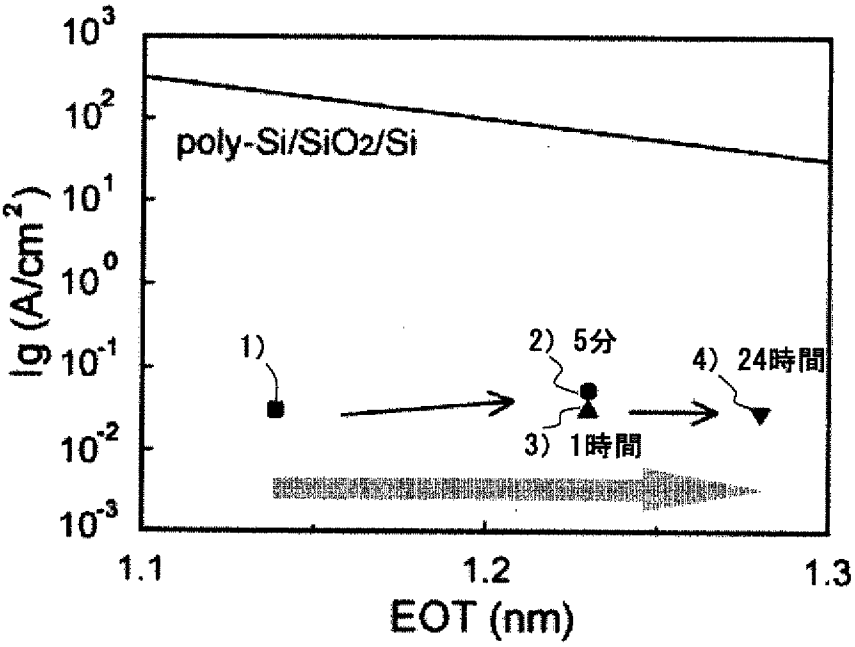
[図6B]


(b)
poly-Si/SiO2/Si
0.5 nm
Ig (A/cm2)
EOT (nm)

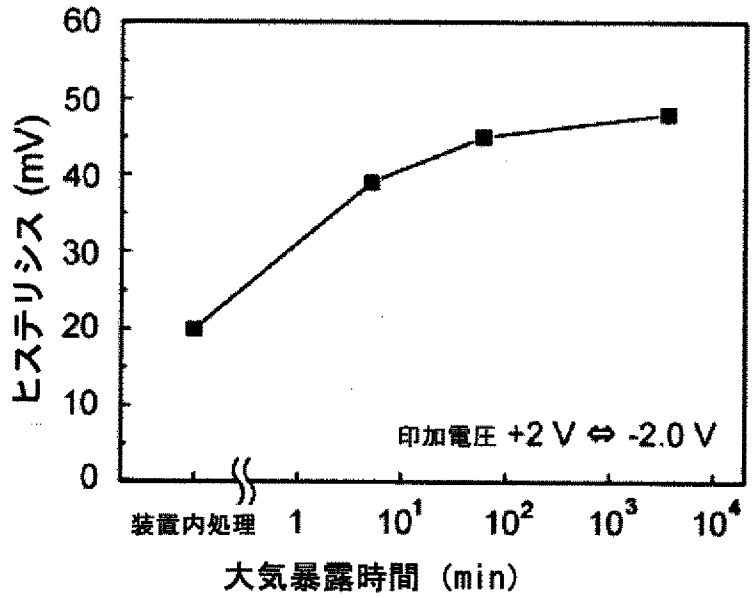
[図7A]


HfSiO
SiO2
TiN
Si-sub
10^21
10^20
10^19
炭素濃度 (atoms/cm3)
2)
1)
0
10
20
30
40
基板深さ（ｎｍ）

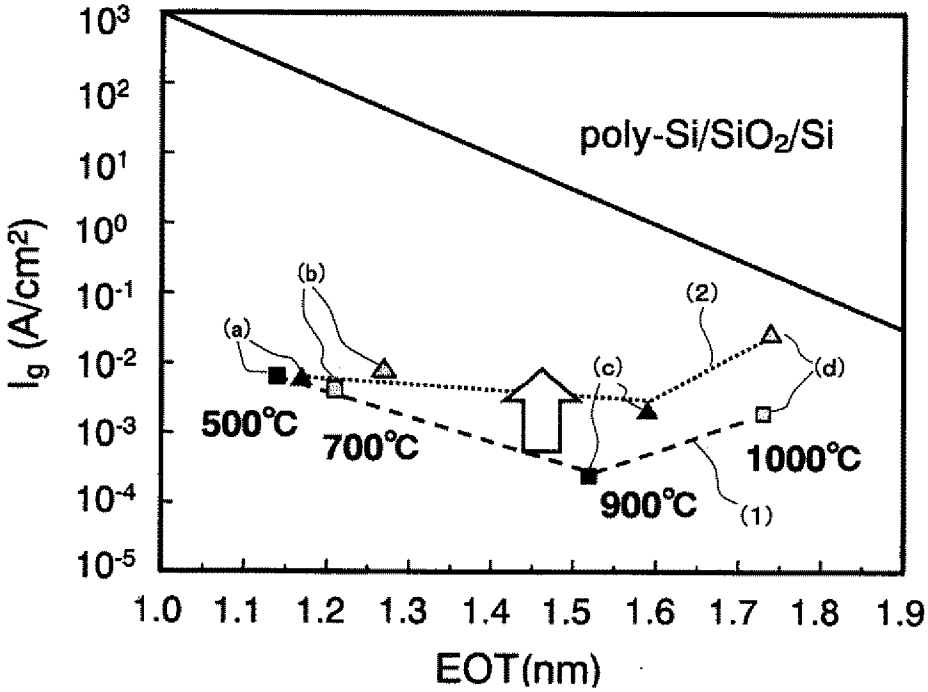
[図7B]


10^3
10^2
10^1
10^0
10^-1
10^-2
10^-3
lg (A/cm2)
poly-Si/SiO2/Si
1)
2) 5分
3) 1時間
4) 24時間
1.1
1.2
1.3
EOT (nm)

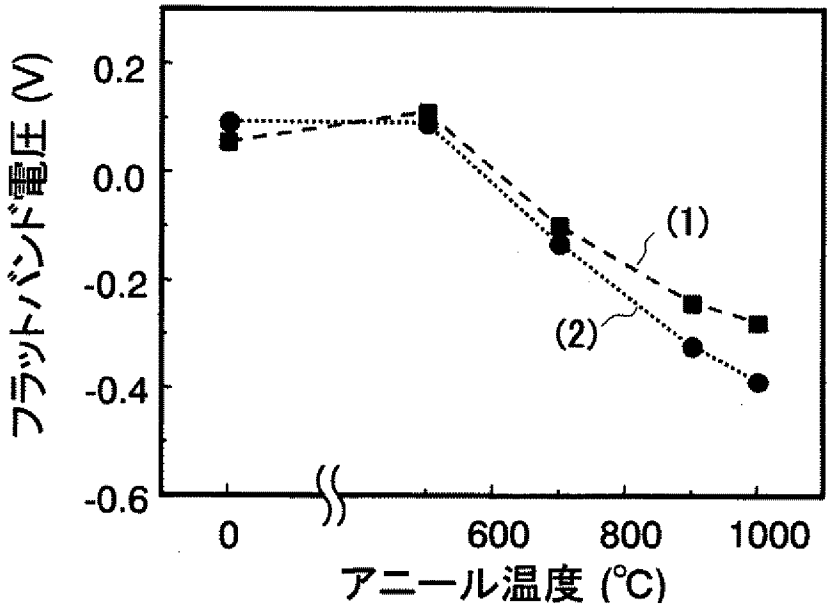
[図7C]


ヒステリシス (mV)
60
50
40
30
20
10
0
印加電圧 +2 V ⇔ -2.0 V
装置内処理
1
10¹
10²
10³
10⁴
大気暴露時間 (min)

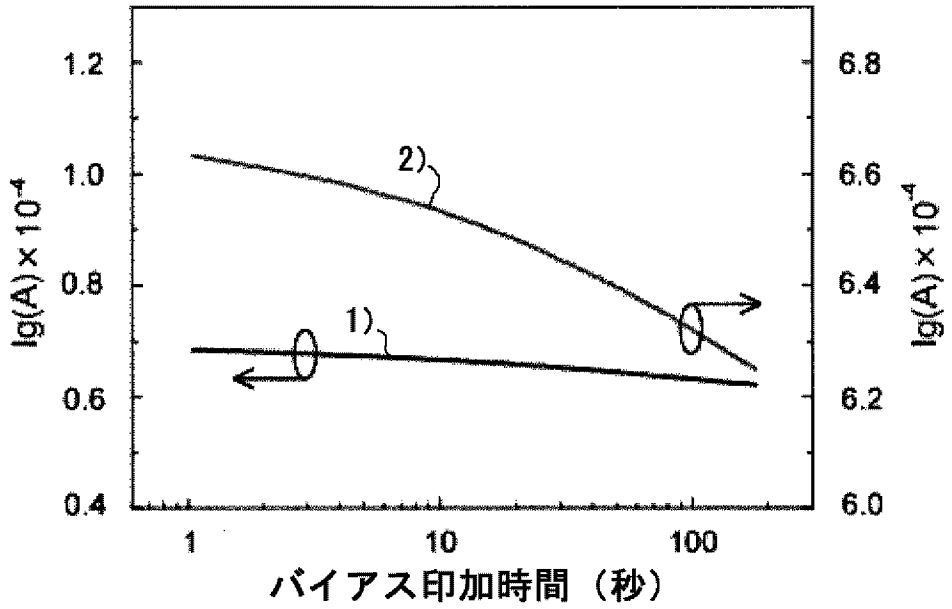
[図8A]


poly-Si/SiO2/Si
Ig (A/cm²)
10³
10²
10¹
10⁰
10⁻¹
10⁻²
10⁻³
10⁻⁴
10⁻⁵
(a)
(b)
(c)
(d)
(1)
(2)
500℃
700℃
900℃
1000℃
1.0
1.1
1.2
1.3
1.4
1.5
1.6
1.7
1.8
1.9
EOT(nm)

[図8B]


フラットバンド電圧 (V)
0.2
0.0
-0.2
-0.4
-0.6
0
600
800
1000
アニール温度 (℃)
(1)
(2)

[図9]


lg(A)×10⁻⁴
1.2
1.0
0.8
0.6
0.4
6.8
6.6
6.4
6.2
6.0
1
10
100
バイアス印加時間（秒）
2)
1)

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/061570

A. CLASSIFICATION OF SUBJECT MATTER
*H01L21/283*(2006.01)i, *H01L21/28*(2006.01)i, *H01L21/316*(2006.01)i, *H01L21/677*(2006.01)i, *H01L29/423*(2006.01)i, *H01L29/49*(2006.01)i, *H01L29/78*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/283, H01L21/28, H01L21/316, H01L21/677, H01L29/423, H01L29/49, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X<br>Y | JP 2006-237371 A (Cannon Anelva Corp.),<br>07 September, 2006 (07.09.06),<br>Full text; all drawings<br>& US 2006/0194396 A1 | 1-7,9-14<br>8 |
| Y | WO 2004/008544 A1 (NEC Corp.),<br>22 January, 2004 (22.01.04),<br>Page 15, line 26 to page 16, line 18<br>& US 2005/0233526 A1 | 8 |
| A | JP 2002-184773 A (NEC Corp.),<br>28 June, 2002 (28.06.02),<br>Par. Nos. [0039] to [0052]<br>(Family: none) | 1-14 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 30 August, 2007 (30.08.07) | 11 September, 2007 (11.09.07) |
| Name and mailing address of the ISA/<br>Japanese Patent Office<br><br>Facsimile No. | Authorized officer<br><br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2007/061570

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2003-249497 A (Matsushita Electric Industrial Co., Ltd.), 05 September, 2003 (05.09.03), Full text; all drawings (Family: none) | 1-14 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０６１５７０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/283(2006.01)i, H01L21/28(2006.01)i, H01L21/316(2006.01)i, H01L21/677(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/283, H01L21/28, H01L21/316, H01L21/677, H01L29/423, H01L29/49, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２００７年 |
| 日本国実用新案登録公報 | １９９６－２００７年 |
| 日本国登録実用新案公報 | １９９４－２００７年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求の範囲の番号 |
|---|---|---|
| X<br>Y | JP 2006-237371 A（キヤノンアネルバ株式会社）2006.09.07, 全文、全図 & US 2006/0194396 A1 | 1-7,9-14<br>8 |
| Y | WO 2004/008544 A1（日本電気株式会社）2004.01.22, 第１５頁第２６行－第１６頁第１８行 & US 2005/0233526 A1 | 8 |
| A | JP 2002-184773 A（日本電気株式会社）2002.06.28, 段落番号【0039】-【0052】（ファミリーなし） | 1-14 |

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| | |
|---|---|
| 国際調査を完了した日<br>３０．０８．２００７ | 国際調査報告の発送日<br>１１．０９．２００７ |
| 国際調査機関の名称及びあて先<br>日本国特許庁（ＩＳＡ／ＪＰ）<br>郵便番号１００－８９１５<br>東京都千代田区霞が関三丁目４番３号 | 特許庁審査官（権限のある職員）　４Ｌ　３２３９<br>▲辻▼　弘輔<br>電話番号　０３－３５８１－１１０１　内線　３４９８ |

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求の範囲の番号 |
|---|---|---|
| A | JP 2003-249497 A（松下電器産業株式会社）2003.09.05，全文、全図（ファミリーなし） | 1-14 |