

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月11日(11.06.2020)



(10) 国際公開番号

WO 2020/115906 A1

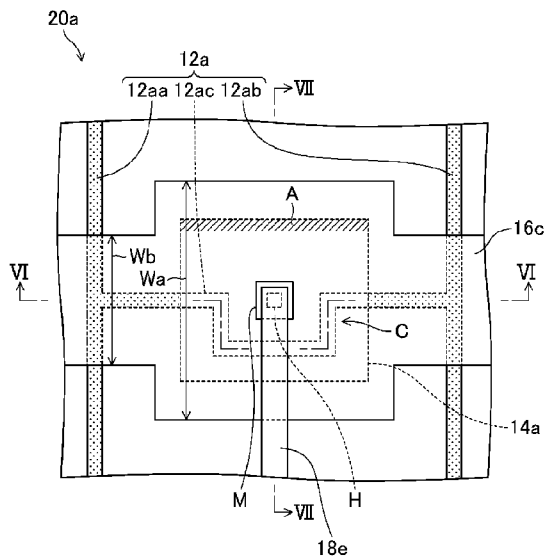
- (51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 51/50* (2006.01)
G09F 9/30 (2006.01) *H05B 33/02* (2006.01)
H01L 27/32 (2006.01) *H05B 33/10* (2006.01)
- (21) 国際出願番号: PCT/JP2018/045150
- (22) 国際出願日: 2018年12月7日(07.12.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 斉藤 貴翁(SAITOH Takao). 三輪 昌彦(MIWA Masahiko). 神崎 庸輔(KANZAKI Yohsuke). 山中 雅貴(YAMANAKA Masaki). 孫 屹(SUN Yi).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大

阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: DISPLAY DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 表示装置及びその製造方法



(57) Abstract: Each pixel circuit comprises a TFT and a capacitor which includes a gate electrode (14a) that is provided island-shaped in the TFT, a first inorganic insulating film that is provided on the gate electrode (14a), and a capacitive electrode (16c) that is provided on the first inorganic insulating film so as to overlap the gate electrode (14a), wherein the angle between the upper face of a base substrate and at least one portion of a peripheral end face of the gate electrode (14a) along the peripheral direction in a portion that does not overlap a semiconductor layer (12a) is greater than the angle between the upper face of the base substrate and the peripheral end face of the gate electrode (14a) in a portion that overlaps the semiconductor layer (12a) in a plan view.

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：各画素回路は、TFTと、TFTの島状に設けられたゲート電極（14a）、ゲート電極（14a）上に設けられた第1無機絶縁膜、及びその第1無機絶縁膜上にゲート電極（14a）に重なるように設けられた容量電極（16c）を含むキャパシタとを備え、半導体層（12a）に重ならない部分におけるゲート電極（14a）の周端面の周方向に沿う少なくとも一部とベース基板の上面とのなす角度は、半導体層（12a）に平面視で重なる部分におけるゲート電極（14a）の周端面とベース基板の上面とのなす角度よりも大きくなっている。

明 細 書

発明の名称：表示装置及びその製造方法

技術分野

[0001] 本発明は、表示装置及びその製造方法に関するものである。

背景技術

[0002] 近年、液晶表示装置に代わる表示装置として、有機ＥＬ（electroluminescence）素子を用いた自発光型の有機ＥＬ表示装置が注目されている。この有機ＥＬ表示装置では、画像の最小単位であるサブ画素毎に、例えば、駆動用ＴＦＴを含む複数のＴＦＴ、及び駆動ＴＦＴに電氣的に接続されたキャパシタが設けられている。

[0003] 例えば、特許文献１には、コプラナ型（トップゲート型）のＴＦＴにおいて、ゲート絶縁膜上に島状に形成されたゲート電極が、ゲート電極を覆う層間絶縁膜上に形成された接続電極を介して、ゲート線に電氣的に接続されていることが記載されている。

先行技術文献

特許文献

[0004] 特許文献１：特開平１１－９７６９９号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、各サブ画素のキャパシタは、例えば、互いに対向するように設けられた下部電極及び上部電極と、下部電極及び上部電極の間に設けられた無機絶縁膜とを備え、各サブ画素において、駆動用ＴＦＴのゲート電極がキャパシタの下部電極と一体に島状に設けられた構造を有する有機ＥＬ表示装置が提案されている。ここで、上記構造を有する有機ＥＬ表示装置では、製造工程中に発生した静電気の放電（ＥＳＤ：electrostatic discharge）により、各サブ画素のキャパシタにおいて、ゲート電極と上部電極とが短絡して、短絡欠陥が発生するおそれがある。そうになると、短絡欠陥が発生したサブ

画素では、正常な画像表示ができなくなるので、例えば、レーザー光の照射により、短絡した部分を正常な部分から切り離して、短絡欠陥を修正することが考えられる。しかしながら、短絡欠陥を修正するには、短絡欠陥が発生したサブ画素のキャパシタ全体から短絡した部分を特定する必要があるので、改善の余地がある。

[0006] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、各サブ画素のキャパシタで発生したESDによる短絡欠陥を容易に修正することにある。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明に係る表示装置は、ベース基板と、上記ベース基板上に設けられ、複数の画素回路が配列されたTFT層と、上記TFT層上に設けられ、上記複数の画素回路に対応して複数の発光素子が配列された発光素子層とを備え、上記各画素回路は、半導体層、該半導体層を覆うように設けられたゲート絶縁膜、及び該ゲート絶縁膜上に上記半導体層の一部に平面視で重なるように島状に設けられたゲート電極を含むTFTと、上記ゲート電極、該ゲート電極上に設けられた第1無機絶縁膜、及び該第1無機絶縁膜上に上記ゲート電極に平面視で重なるように設けられた容量電極を含むキャパシタとを備えた表示装置であって、上記容量電極は、上記ゲート電極の周端の全周にわたり該周端の外側まで設けられ、上記半導体層に平面視で重ならない部分における上記ゲート電極の周端面の周方向に沿う少なくとも一部と上記ベース基板の上面とのなす角度は、上記半導体層に平面視で重なる部分における上記ゲート電極の周端面と上記ベース基板の上面とのなす角度よりも大きくなっていることを特徴とする。

発明の効果

[0008] 本発明によれば、半導体層に平面視で重ならない部分におけるゲート電極の周端面の周方向に沿う少なくとも一部とベース基板の上面とのなす角度は、半導体層に平面視で重なる部分におけるゲート電極の周端面とベース基板の上面とのなす角度よりも大きくなっているため、各サブ画素のキャパシタ

で発生したESDによる短絡欠陥を容易に修正することができる。

図面の簡単な説明

[0009] [図1]図1は、本発明の第1の実施形態に係る有機EL表示装置の概略構成を示す平面図である。

[図2]図2は、本発明の第1の実施形態に係る有機EL表示装置の表示領域の平面図である。

[図3]図3は、本発明の第1の実施形態に係る有機EL表示装置の表示領域の断面図である。

[図4]図4は、本発明の第1の実施形態に係る有機EL表示装置の画素回路を示す等価回路図である。

[図5]図5は、本発明の第1の実施形態に係る有機EL表示装置を構成するTFT層の平面図である。

[図6]図6は、図5中のVI-VI線に沿った有機EL表示装置を構成するTFT層の断面図である。

[図7]図7は、図5中のVII-VII線に沿った有機EL表示装置を構成するTFT層の断面図である。

[図8]図8は、本発明の第1の実施形態に係る有機EL表示装置を構成する有機EL層を示す断面図である。

[図9]図9は、本発明の第1の実施形態に係る有機EL表示装置の製造方法におけるゲート電極形成工程のレジストパターン形成工程を示す平面図である。

[図10]図10は、図9中のX-X線に沿った断面図である。

[図11]図11は、図9中のXI-XI線に沿った断面図である。

[図12]図12は、本発明の第1の実施形態に係る有機EL表示装置の製造方法におけるゲート電極形成工程の第1エッチング工程を示す断面図であり、図10に相当する図である。

[図13]図13は、本発明の第1の実施形態に係る有機EL表示装置の製造方法におけるゲート電極形成工程の第1エッチング工程を示す断面図であり、

図 1 1 に相当する図である。

[図14]図 1 4 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の製造方法におけるゲート電極形成工程のアッシング工程を示す断面図であり、図 1 0 に相当する図である。

[図15]図 1 5 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の製造方法におけるゲート電極形成工程のアッシング工程を示す断面図であり、図 1 1 に相当する図である。

[図16]図 1 6 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の製造方法におけるゲート電極形成工程の第 2 エッチング工程を示す断面図であり、図 1 0 に相当する図である。

[図17]図 1 7 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の製造方法におけるゲート電極形成工程の第 2 エッチング工程を示す断面図であり、図 1 1 に相当する図である。

[図18]図 1 8 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の製造方法におけるドーピング工程を示す断面図であり、図 1 0 に相当する図である。

[図19]図 1 9 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の製造方法におけるドーピング工程を示す断面図であり、図 1 1 に相当する図である。

[図20]図 2 0 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の製造方法における短絡特定工程を示す平面図である。

[図21]図 2 1 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の製造方法における修正工程を示す平面図である。

[図22]図 2 2 は、本発明の第 1 の実施形態に係る有機 E L 表示装置を構成する T F T 層の変形例の平面図である。

[図23]図 2 3 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の変形例の製造方法における短絡特定工程を示す平面図である。

[図24]図 2 4 は、本発明の第 1 の実施形態に係る有機 E L 表示装置の変形例

の製造方法における修正工程を示す平面図である。

発明を実施するための形態

[0010] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0011] 《第1の実施形態》

図1～図24は、本発明に係る表示装置及びその製造方法の第1の実施形態を示している。なお、以下の各実施形態では、発光素子を備えた表示装置として、有機EL素子を備えた有機EL表示装置を例示する。ここで、図1は、本実施形態の有機EL表示装置50の概略構成を示す平面図である。また、図2は、有機EL表示装置50の表示領域Dの平面図である。また、図3は、有機EL表示装置50の表示領域Dの断面図である。また、図4は、有機EL表示装置50の画素回路35を示す等価回路図である。また、図5は、有機EL表示装置50を構成するTFT層20aの平面図である。また、図6及び図7は、図5中のVI-VI線及びVII-VII線に沿ったTFT層20aの断面図である。また、図8は、有機EL表示装置50を構成する有機EL層23を示す断面図である。

[0012] 有機EL表示装置50は、図1に示すように、例えば、矩形状に設けられた画像表示を行う表示領域Dと、表示領域Dの周囲に設けられた額縁領域Fとを備えている。

[0013] 表示領域Dには、図2に示すように、複数のサブ画素Pがマトリクス状に配列されている。また、表示領域Dでは、図2に示すように、例えば、赤色の表示を行うための赤色発光領域E_rを有するサブ画素P、緑色の表示を行うための緑色発光領域E_gを有するサブ画素P、及び青色の表示を行うための青色発光領域E_bを有するサブ画素Pが互いに隣り合うように設けられている。なお、表示領域Dでは、例えば、赤色発光領域E_r、緑色発光領域E_g及び青色発光領域E_bを有する隣り合う3つのサブ画素Pにより、1つの画素が構成されている。

[0014] 額縁領域Fの図1中右端部には、端子部Tが設けられている。また、額縁

領域Fにおいて、図1に示すように、表示領域D及び端子部Tの間には、図中縦方向を折り曲げの軸として180°に（U字状に）折り曲げ可能な折り曲げ部Bが一方向（図中縦方向）に延びるように設けられている。

[0015] 有機EL表示装置50は、図3に示すように、ベース基板として設けられた樹脂基板層10と、樹脂基板層10上に設けられたTFT（thin film transistor）層20aと、TFT層20a上に発光素子層として設けられた有機EL素子層30とを備えている。

[0016] 樹脂基板層10は、例えば、ポリイミド樹脂等により構成されている。

[0017] TFT層20aは、図3に示すように、樹脂基板層10上に設けられたベースコート膜11と、ベースコート膜11上にサブ画素P毎に画素回路35（図4参照）として設けられた第1TFT9a、第2TFT9b、第3TFT9c、第4TFT9d、第5TFT9e、第6TFT9f、第7TFT9g及びキャパシタ9hと、各第1TFT9a～各第7TFT9g及び各キャパシタ9h上に設けられた平坦化膜19とを備えている。ここで、TFT層20aには、複数のサブ画素Pに対応して、複数の画素回路35がマトリクス状に配列されている。また、TFT層20aには、図2に示すように、図中横方向に互いに平行に延びるように複数のゲート線14gが設けられている。また、TFT層20aには、図2に示すように、図中横方向に互いに平行に延びるように複数の発光制御線14eが設けられている。また、TFT層20aには、図2に示すように、図中横方向に互いに平行に延びるように複数の初期化電源線16iが設けられている。なお、各発光制御線14eは、図2に示すように、各ゲート線14g及び各初期化電源線16iと隣り合うように設けられている。また、TFT層20aには、図2に示すように、図中縦方向に互いに平行に延びるように複数のソース線18fが設けられている。また、TFT層20aには、図2に示すように、図中縦方向に互いに平行に延びるように複数の電源線18gが設けられている。なお、各電源線18gは、図2に示すように、各ソース線18fと隣り合うように設けられている。

- [0018] ここで、第1 T F T 9 a～第7 T F T 9 gは、互いに離間するように配置された第1端子電極（図4中の丸数字1参照）及び第2端子電極（図4中の丸数字2参照）と、第1端子電極及び第2端子電極の間の導通を制御するためのゲート電極とをそれぞれ備えている。
- [0019] 第1 T F T 9 aは、初期化用 T F Tとして設けられ、図4に示すように、各サブ画素Pにおいて、そのゲート電極が対応するゲート線14 gに電氣的に接続され、その第1端子電極が後述するキャパシタ9 hのゲート電極14 aに電氣的に接続され、その第2端子電極が対応する初期化電源線16 iに電氣的に接続されている。ここで、第1 T F T 9 aは、初期化電源線16 iの電圧をキャパシタ9 hに印加することにより、第4 T F T 9 dのゲート電極にかかる電圧を初期化するように構成されている。なお、第1 T F T 9 aの第1端子電極は、第2 T F T 9 b、第3 T F T 9 c及び第7 T F T 9 gの各ゲート電極に電氣的に接続されたゲート線14 gよりも1つ前に走査されるゲート線14 gに電氣的に接続されている。
- [0020] 第2 T F T 9 bは、補償用 T F Tとして設けられ、図4に示すように、各サブ画素Pにおいて、そのゲート電極が対応するゲート線14 gに電氣的に接続され、その第1端子電極が第4 T F T 9 dのゲート電極に電氣的に接続され、その第2端子電極が第4 T F T 9 dの第2端子電極に電氣的に接続されている。ここで、第2 T F T 9 bは、ゲート線14 gの選択に応じて第4 T F T 9 dをダイオード接続状態にして、第4 T F T 9 dの閾値電圧を補償するように構成されている。
- [0021] 第3 T F T 9 cは、書込用 T F Tとして設けられ、図4に示すように、各サブ画素Pにおいて、そのゲート電極が対応するゲート線14 gに電氣的に接続され、その第1端子電極が対応するソース線18 fに電氣的に接続され、その第2端子電極が第4 T F T 9 dの第1端子電極に電氣的に接続されている。ここで、第3 T F T 9 cは、ゲート線14 gの選択に応じてソース線18 fの電圧を第4 T F T 9 dの第1端子電極に印加するように構成されている。

[0022] 第4 T F T 9 dは、駆動用 T F Tとして設けられ、図4に示すように、各サブ画素Pにおいて、そのゲート電極が第1 T F T 9 a及び第2 T F T 9 bの各第1端子電極に電氣的に接続され、その第1端子電極が第3 T F T 9 c及び第5 T F T 9 eの各第2端子電極に電氣的に接続され、その第2端子電極が第2 T F T 9 bの第2端子電極及び第6 T F T 9 fの第1端子電極に電氣的に接続されている。ここで、第4 T F T 9 dは、そのゲート電極とその第1端子電極との間に印加される電圧に応じた駆動電流を第6 T F T 9 fの第1端子電極に印加するように構成されている。

[0023] 具体的に、第4 T F T 9 dは、図3及び図6に示すように、ベースコート膜11上に順に設けられた半導体層12a、ゲート絶縁膜13、ゲート電極14a、第1層間絶縁膜15、第2層間絶縁膜17、並びに第1端子電極18a及び第2端子電極18bを備えている。ここで、半導体層12aは、図5に示すように、ベースコート膜11上に略H字形に設けられている。また、半導体層12aは、図5に示すように、ゲート電極14aに平面視で重なるように設けられたチャネル領域12acと、チャネル領域12acを挟んで設けられた第1導体領域12aa（図中ドット部）及び第2導体領域12ab（図中ドット部）とを備えている。なお、チャネル領域12acは、図5に示すように、その中間部分が平面視でU字形に設けられ、図中下側に凹んだ凹部Cを有している。また、ゲート絶縁膜13は、図3、図6及び図7に示すように、半導体層12aを覆うように設けられている。また、ゲート電極14aは、図3、図5及び図6に示すように、ゲート絶縁膜13上に半導体層12aのチャネル領域12acと重なるように平面視で矩形の島状に設けられている。また、第1層間絶縁膜15及び第2層間絶縁膜17は、図3及び図6に示すように、ゲート電極14aを覆うように順に設けられている。また、第1端子電極18a及び第2端子電極18bは、図3に示すように、ゲート絶縁膜13、第1層間絶縁膜15及び第2層間絶縁膜17の積層膜に形成された各コンタクトホールを介して、半導体層12aの第1導体領域12aa及び第2導体領域12abにそれぞれ電氣的に接続されている。

[0024] ゲート電極 14 a では、半導体層 12 a の U 字形の凹部 C と反対側の 1 辺（図 5 中の上辺）の端面（図中ハッチング部 A）と樹脂基板層 10 の上面とのなす角度 θa が半導体層 12 a に平面視で重なる部分を含むその他の 3 辺（図 5 中の左辺、下辺及び右辺）の端面と樹脂基板層 10 の上面とのなす角度 θb よりも大きくなっている。具体的な角度 θa 及び θb の例としては、角度 θa が 50° 程度である場合、角度 θb が 45° 程度であり、角度 θa が 45° 程度である場合、角度 θb が 30° 程度である。この構成により、第 1 層間絶縁膜 15 の膜厚は、ゲート電極 14 a の 1 辺に（図 5 中上辺）に沿う部分（図 5 中のハッチング部 A）において、相対的に薄く（例えば、 90 nm 程度）、ゲート電極 14 a の他の 3 辺（図 5 中の左辺、下辺及び右辺）において、相対的に厚く（例えば、 100 nm 程度）になっている。ここで、ゲート電極 14 a の半導体層 12 a に平面視で重ならない部分において、ゲート電極 14 a の周端面と樹脂基板層 10 の上面とのなす角度がゲート電極 14 a の半導体層 12 a に平面視で重なる部分におけるゲート電極 14 a の周端面と樹脂基板層 10 の上面とのなす角度 θb よりも大きくなる部分は、例えば、後述する変形例のように、ゲート電極 14 a の周方向に沿う少なくとも一部でよい。なお、後述する修正工程での修正し易さを考慮すると、本実施形態のように、ゲート電極 14 a の半導体層 12 a に平面視で重ならない部分のうち、半導体層 12 a の U 字形の凹部 C と反対側の 1 辺が好ましい。

[0025] 第 5 TFT 9 e は、電源供給用 TFT として設けられ、図 4 に示すように、各サブ画素 P において、そのゲート電極が対応する発光制御線 14 e に電氣的に接続され、その第 1 端子電極が対応する電源線 18 g に電氣的に接続され、その第 2 端子電極が第 4 TFT 9 d の第 1 端子電極に電氣的に接続されている。ここで、第 5 TFT 9 e は、発光制御線 14 e の選択に応じて電源線 18 g の電圧を第 4 TFT 9 d の第 1 端子電極に印加するように構成されている。

[0026] 第 6 TFT 9 f は、発光制御用 TFT として設けられ、図 4 に示すように

、各サブ画素Pにおいて、そのゲート電極が対応する発光制御線14eに電氣的に接続され、その第1端子電極が第4TF T9dの第2端子電極に電氣的に接続され、その第2端子電極が後述する有機EL素子25の第1電極21に電氣的に接続されている。ここで、第6TF T9fは、発光制御線14eの選択に応じて上記駆動電流を有機EL素子25に印加するように構成されている。

[0027] 具体的に、第6TF T9fは、図3に示すように、ベースコート膜11上に順に設けられた半導体層12b、ゲート絶縁膜13、ゲート電極14b、第1層間絶縁膜15、第2層間絶縁膜17、並びに第1端子電極18c及び第2端子電極18dを備えている。ここで、半導体層12bは、図3に示すように、ベースコート膜11上に島状に設けられ、チャネル領域と、チャネル領域を挟んで設けられた第1導体領域及び第2導体領域とを備えている。また、ゲート絶縁膜13は、図3に示すように、半導体層12bを覆うように設けられている。また、ゲート電極14bは、図3に示すように、ゲート絶縁膜13上に半導体層12bのチャネル領域と重なるように設けられている。また、第1層間絶縁膜15及び第2層間絶縁膜17は、図3に示すように、ゲート電極14bを覆うように順に設けられている。また、第1端子電極18c及び第2端子電極18dは、図3に示すように、第2層間絶縁膜17上に互いに離間するように設けられている。また、第1端子電極18c及び第2端子電極18dは、図3に示すように、ゲート絶縁膜13、第1層間絶縁膜15及び第2層間絶縁膜17の積層膜に形成された各コンタクトホールを介して、半導体層12bの第1導体領域及び第2導体領域にそれぞれ電氣的に接続されている。なお、第1TF T9a、第2TF T9b、第3TF T9c、第5TF T9e及び第7TF T9gは、第6TF T9fと実質的に同じ構成になっている。

[0028] 第7TF T9gは、陽極放電用TF Tとして設けられ、図4に示すように、各画素Pにおいて、そのゲート電極が対応するゲート線14gに電氣的に接続され、その第1端子電極が有機EL素子25に電氣的に接続され、その

第2端子電極が対応する初期化電源線16iに電氣的に接続されている。ここで、第7TF T 9gは、ゲート線14gの選択に応じて有機EL素子25の第1電極21に蓄積した電荷をリセットするように構成されている。

[0029] キャパシタ9hは、図3、図5及び図7に示すように、ゲート電極14aと、ゲート電極14a上に第1無機絶縁膜として設けられた第1層間絶縁膜15と、第1層間絶縁膜15上にゲート電極14aに平面視で重なるように設けられた容量電極16cとを備えている。また、キャパシタ9hは、図4に示すように、各サブ画素Pにおいて、そのゲート電極14aが第4TF T 9dのゲート電極14aと一体に形成されることにより第4TF T 9dのゲート電極14aに電氣的に接続されていると共に、第1TF T 9a及び第2TF T 9bの各第1端子電極に電氣的に接続され、その容量電極16cが対応する電源線18gに電氣的に接続されている。ここで、キャパシタ9hは、対応するゲート線14gが選択状態のときに対応するソース線18fの電圧で蓄電し、蓄電した電圧を保持することにより、対応するゲート線14gが非選択状態のときに第4TF T 9dのゲート電極にかかる電圧を維持するように構成されている。また、容量電極16cは、図5に示すように、ゲート電極14aの周端の全周にわたりゲート電極14aの周端の外側まで設けられている。また、容量電極16cには、図5及び図7に示すように、第1層間絶縁膜13を露出させる開口部Mが設けられている。また、容量電極16c上には、図6及び図7に示すように、容量電極16cを覆うように第2層間絶縁膜17が第2無機絶縁膜として設けられている。さらに、第2層間絶縁膜17上には、容量電極16cの開口部Mから露出する第1層間絶縁膜13及び第2層間絶縁膜17に形成されたコンタクトホールHを介してゲート電極14aに電氣的に接続された接続配線18eが設けられている。なお、接続配線18eは、図5に示すように、半導体層12aの凹部Cにおいて、半導体層12aのチャネル領域12acと直交するように設けられ、対応するゲート線14gに電氣的に接続されている。また、容量電極16cは、ゲート電極14aに平面視で重ならない部分において、対応する電源線18

gに電氣的に接続されている。また、容量電極16cは、図5に示すように、ゲート電極14aに平面視で重なる部分の幅Waがゲート電極14aに平面視で重ならない部分の幅Wbよりも大きくなっている。また、容量電極16cの開口部Mは、図5に示すように、半導体層12aの凹部Cに平面視で重なるように設けられている。

[0030] 有機EL素子層30は、図3に示すように、複数の画素回路35に対応して、平坦化膜19上にマトリクス状に配列するように複数の発光素子として設けられた複数の有機EL素子25と、各有機EL素子25を覆うように設けられた封止膜29とを備えている。

[0031] 有機EL素子25は、図3に示すように、平坦化膜19上に設けられた第1電極21と、第1電極21上に設けられた有機EL層23、表示領域D全体で共通するように有機EL層23上に設けられた第2電極24とを備えている。

[0032] 第1電極21は、図3に示すように、平坦化膜19に形成されたコンタクトホールを介して、各サブ画素Pの第6TF T9fの第2端子電極に電氣的に接続されている。また、第1電極21は、有機EL層23にホール（正孔）を注入する機能を有している。また、第1電極21は、有機EL層23への正孔注入効率を向上させるために、仕事関数の大きな材料で形成するのがより好ましい。ここで、第1電極21を構成する材料としては、例えば、銀（Ag）、アルミニウム（Al）、バナジウム（V）、コバルト（Co）、ニッケル（Ni）、タングステン（W）、金（Au）、チタン（Ti）、ルテニウム（Ru）、マンガン（Mn）、インジウム（In）、イッテルビウム（Yb）、フッ化リチウム（LiF）、白金（Pt）、パラジウム（Pd）、モリブデン（Mo）、イリジウム（Ir）、スズ（Sn）等の金属材料が挙げられる。また、第1電極21を構成する材料は、例えば、アスタチン（At）／酸化アスタチン（AtO₂）等の合金であっても構わない。さらに、第1電極21を構成する材料は、例えば、酸化スズ（SnO）、酸化亜鉛（ZnO）、インジウムスズ酸化物（ITO）、インジウム亜鉛酸化物（I

ZO)のような導電性酸化物等であってもよい。また、第1電極21は、上記材料からなる層を複数積層して形成されていてもよい。なお、仕事関数の大きな化合物材料としては、例えば、インジウムスズ酸化物(ITO)やインジウム亜鉛酸化物(IZO)等が挙げられる。

[0033] 第1電極21の周端部は、表示領域D全体に格子状に設けられたエッジカバー22で覆われている。ここで、エッジカバー22を構成する材料としては、例えば、ポリイミド樹脂、アクリル樹脂、ポリシロキサン樹脂、ノボラック樹脂等のポジ型の感光性樹脂が挙げられる。

[0034] 有機EL層23は、図8に示すように、第1電極21上に順に設けられた正孔注入層1、正孔輸送層2、発光層3、電子輸送層4及び電子注入層5を備えている。

[0035] 正孔注入層1は、陽極バッファ層とも呼ばれ、第1電極21と有機EL層23とのエネルギーレベルを近づけ、第1電極21から有機EL層23への正孔注入効率を改善する機能を有している。ここで、正孔注入層1を構成する材料としては、例えば、トリアゾール誘導体、オキサジアゾール誘導体、イミダゾール誘導体、ポリアリーールアルカン誘導体、ピラゾリン誘導体、フェニレンジアミン誘導体、オキサゾール誘導体、スチリルアントラセン誘導体、フルオレノン誘導体、ヒドラゾン誘導体、スチルベン誘導体等が挙げられる。

[0036] 正孔輸送層2は、第1電極21から有機EL層23への正孔の輸送効率を向上させる機能を有している。ここで、正孔輸送層2を構成する材料としては、例えば、ポルフィリン誘導体、芳香族第三級アミン化合物、スチリルアミン誘導体、ポリビニルカルバゾール、ポリ-p-フェニレンビニレン、ポリシラン、トリアゾール誘導体、オキサジアゾール誘導体、イミダゾール誘導体、ポリアリーールアルカン誘導体、ピラゾリン誘導体、ピラズロン誘導体、フェニレンジアミン誘導体、アリーールアミン誘導体、アミン置換カルコン誘導体、オキサゾール誘導体、スチリルアントラセン誘導体、フルオレノン誘導体、ヒドラゾン誘導体、スチルベン誘導体、水素化アモルファスシリコ

ン、水素化アモルファス炭化シリコン、硫化亜鉛、セレン化亜鉛等が挙げられる。

[0037] 発光層 3 は、第 1 電極 2 1 及び第 2 電極 2 4 による電圧印加の際に、第 1 電極 2 1 及び第 2 電極 2 4 から正孔及び電子がそれぞれ注入されると共に、正孔及び電子が再結合する領域である。ここで、発光層 3 は、発光効率が高い材料により形成されている。そして、発光層 3 を構成する材料としては、例えば、金属オキシノイド化合物 [8-ヒドロキシキノリン金属錯体]、ナフタレン誘導体、アントラセン誘導体、ジフェニルエチレン誘導体、ビニルアセトン誘導体、トリフェニルアミン誘導体、ブタジエン誘導体、クマリン誘導体、ベンズオキサゾール誘導体、オキサジアゾール誘導体、オキサゾール誘導体、ベンズイミダゾール誘導体、チアジアゾール誘導体、ベンズチアゾール誘導体、スチリル誘導体、スチリルアミン誘導体、ビススチリルベンゼン誘導体、トリススチリルベンゼン誘導体、ペリレン誘導体、ペリノン誘導体、アミノピレン誘導体、ピリジン誘導体、ローダミン誘導体、アクイジン誘導体、フェノキサゾン、キナクリドン誘導体、ルブレン、ポリ-p-フェニレンビニレン、ポリシラン等が挙げられる。

[0038] 電子輸送層 4 は、電子を発光層 3 まで効率良く移動させる機能を有している。ここで、電子輸送層 4 を構成する材料としては、例えば、有機化合物として、オキサジアゾール誘導体、トリアゾール誘導体、ベンゾキノン誘導体、ナフトキノン誘導体、アントラキノン誘導体、テトラシアノアントラキノジメタン誘導体、ジフェノキノン誘導体、フルオレノン誘導体、シロール誘導体、金属オキシノイド化合物等が挙げられる。

[0039] 電子注入層 5 は、第 2 電極 2 4 と有機 EL 層 2 3 とのエネルギーレベルを近づけ、第 2 電極 2 4 から有機 EL 層 2 3 へ電子が注入される効率を向上させる機能を有し、この機能により、有機 EL 素子 2 5 の駆動電圧を下げることができる。なお、電子注入層 5 は、陰極バッファ層とも呼ばれる。ここで、電子注入層 5 を構成する材料としては、例えば、フッ化リチウム (LiF)、フッ化マグネシウム (MgF_2)、フッ化カルシウム (CaF_2)、フッ

化ストロンチウム (SrF_2)、フッ化バリウム (BaF_2) のような無機アルカリ化合物、酸化アルミニウム (Al_2O_3)、酸化ストロンチウム (SrO) 等が挙げられる。

[0040] 第2電極24は、図3に示すように、各サブ画素Pの有機EL層23、及び全サブ画素Pに共通するエッジカバー22を覆うように設けられている。また、第2電極24は、有機EL層23に電子を注入する機能を有している。また、第2電極24は、有機EL層23への電子注入効率を向上させるために、仕事関数の小さな材料で構成するのがより好ましい。ここで、第2電極24を構成する材料としては、例えば、銀 (Ag)、アルミニウム (Al)、バナジウム (V)、コバルト (Co)、ニッケル (Ni)、タングステン (W)、金 (Au)、カルシウム (Ca)、チタン (Ti)、イットリウム (Y)、ナトリウム (Na)、ルテニウム (Ru)、マンガン (Mn)、インジウム (In)、マグネシウム (Mg)、リチウム (Li)、イッテルビウム (Yb)、フッ化リチウム (LiF) 等が挙げられる。また、第2電極24は、例えば、マグネシウム (Mg) / 銅 (Cu)、マグネシウム (Mg) / 銀 (Ag)、ナトリウム (Na) / カリウム (K)、アスタチン (At) / 酸化アスタチン (AtO_2)、リチウム (Li) / アルミニウム (Al)、リチウム (Li) / カルシウム (Ca) / アルミニウム (Al)、フッ化リチウム (LiF) / カルシウム (Ca) / アルミニウム (Al) 等の合金により形成されていてもよい。また、第2電極24は、例えば、酸化スズ (SnO)、酸化亜鉛 (ZnO)、インジウムスズ酸化物 (ITO)、インジウム亜鉛酸化物 (IZO) 等の導電性酸化物により形成されていてもよい。また、第2電極24は、上記材料からなる層を複数積層して形成されていてもよい。なお、仕事関数が小さい材料としては、例えば、マグネシウム (Mg)、リチウム (Li)、フッ化リチウム (LiF)、マグネシウム (Mg) / 銅 (Cu)、マグネシウム (Mg) / 銀 (Ag)、ナトリウム (Na) / カリウム (K)、リチウム (Li) / アルミニウム (Al)、リチウム (Li) / カルシウム (Ca) / アルミニウム (Al)、フッ化リチウム (LiF)

L i F) /カルシウム (C a) /アルミニウム (A l) 等が挙げられる。

[0041] 封止膜 2 9 は、図 3 に示すように、第 2 電極 2 4 を覆うように設けられた第 1 封止無機絶縁膜 2 6 と、第 1 封止無機絶縁膜 2 6 上に設けられた封止有機膜 2 7 と、封止有機膜 2 7 を覆うように設けられた第 2 封止無機絶縁膜 2 8 とを備え、有機 E L 層 2 3 を水分や酸素等から保護する機能を有している。ここで、第 1 封止無機絶縁膜 2 6 及び第 2 封止無機絶縁膜 2 8 は、例えば、酸化シリコン (S i O₂) や酸化アルミニウム (A l₂O₃)、四窒化三ケイ素 (S i₃N₄) のような窒化シリコン (S i N_x (x は正数))、炭窒化ケイ素 (S i C N) 等の無機材料により構成されている。また、封止有機膜 2 7 は、例えば、アクリル樹脂、ポリ尿素樹脂、パリレン樹脂、ポリイミド樹脂、ポリアミド樹脂等の有機材料により構成されている。

[0042] 上記構成の有機 E L 表示装置 5 0 では、各サブ画素 P において、まず、対応する発光制御線 1 4 e が選択されて非活性状態とされると、有機 E L 素子 2 5 が非発光状態となる。その非発光状態で、(第 1 T F T 9 a に電氣的に接続された) 対応するゲート線 1 4 g が選択され、そのゲート配線 1 4 g を介してゲート信号が第 1 T F T 9 a に入力されることにより、第 1 T F T 9 a がオン状態となり、対応する初期化電源線 1 6 i の電圧がキャパシタ 9 h に印加されると共に、第 4 T F T 9 d がオン状態となる。これにより、キャパシタ 9 h の電荷が放電されて、第 4 T F T 9 d のゲート電極 1 4 a にかかる電圧が初期化される。次に、(第 2 T F T 9 b、第 3 T F T 9 c 及び第 7 T F T 9 g に電氣的に接続された) 対応するゲート線 1 4 g が選択されて活性状態とされることにより、第 2 T F T 9 b 及び第 3 T F T 9 c がオン状態となり、対応するソース線 1 8 f を介して伝達されるソース信号に対応する所定の電圧がダイオード接続状態の第 4 T F T 9 d を介してキャパシタ 9 h に書き込まれると共に、第 7 T F T 9 g がオン状態となり、対応する初期化電源線 1 6 を介して初期化信号が有機 E L 素子 2 5 の第 1 電極 2 1 に印加されて第 1 電極 2 1 に蓄積した電荷がリセットされる。その後、対応する発光制御線 1 4 e が選択されて、第 5 T F T 9 e 及び第 6 T F T 9 f がオン状態

となり、第4 T F T 9 dのゲート電極14 aにかかる電圧に応じた駆動電流が対応する電源線18 gから有機E L素子25に供給される。このようにして、有機E L表示装置50では、各サブ画素Pにおいて、有機E L素子25が駆動電流に応じた輝度で発光して、画像表示が行われる。

[0043] 次に、本実施形態の有機E L表示装置50の製造方法について説明する。なお、本実施形態の有機E L表示装置50の製造方法は、T F T層形成工程、短絡特定工程、修正工程及び有機E L素子層形成工程を備える。ここで、図9は、有機E L表示装置50の製造方法のT F T層形成工程におけるゲート電極形成工程のレジストパターン形成工程を示す平面図である。また、図10及び図11は、図9中のX-X線及びXI-XI線に沿った断面図である。また、図12及び図13は、ゲート電極形成工程の第1エッチング工程を示す断面図であり、図10及び図11に相当する図である。また、図14及び図15は、ゲート電極形成工程のアッシング工程を示す断面図であり、図10及び図11に相当する図である。また、図16及び図17は、ゲート電極形成工程の第2エッチング工程を示す断面図であり、図10及び図11に相当する図である。また、図18及び図19は、T F T層形成工程におけるドーピング工程を示す断面図であり、図10及び図11に相当する図である。また、図20は、有機E L表示装置50の製造方法における短絡特定工程を示す平面図である。また、図21は、有機E L表示装置50の製造方法における修正工程を示す平面図である。

[0044] <T F T層形成工程>

まず、例えば、ガラス基板60上に形成した樹脂基板層10上に、例えば、プラズマC V D (Chemical Vapor Deposition) 法により、酸化シリコン膜等の無機絶縁膜(厚さ1000nm程度)を成膜することにより、ベースコート膜11を形成する。

[0045] 続いて、ベースコート膜11が形成された基板全体に、プラズマC V D法により、例えば、アモルファスシリコン膜(厚さ50nm程度)を成膜し、そのアモルファスシリコン膜をレーザーアニール等により結晶化してポリシ

リコン膜を形成した後に、そのポリシリコン膜をパターニングして、半導体層 1 2 p 等を形成する。

[0046] その後、半導体層 1 2 p 等が形成された基板全体に、例えば、プラズマ CVD 法により、酸化シリコン膜等の無機絶縁膜（100 nm 程度）を成膜して、ゲート絶縁膜 1 3 を形成する。

[0047] さらに、ゲート絶縁膜 1 3 が形成された基板全体に、例えば、スパッタリング法により、アルミニウム膜（厚さ 350 nm 程度）及び窒化モリブデン膜（厚さ 50 nm 程度）等を順に成膜して、ゲート金属膜 1 4 を形成した後に、図 9～図 11 に示すように、ゲート金属膜 1 4 上にハーフ露光によりレジストパターン R a を形成する（レジストパターン形成工程）。ここで、レジストパターン R a は、図 10 及び図 11 に示すように、図 9 中の左辺、右辺及び下辺に沿う部分（図中ハッチング部）が図 9 中の上辺に沿う部分よりも薄く形成されている。

[0048] 続いて、レジストパターン R a から露出するゲート金属膜 1 4 の上層をドライエッチングにより除去することにより、図 12 及び図 13 に示すように、ゲート金属膜 1 4 p を形成する（第 1 エッチング工程）。このとき、レジストパターン R a は、ドライエッチングにより薄肉化して、レジストパターン R b となる。

[0049] そして、図 14 及び図 15 に示すように、レジストパターン R b をアッシングにより薄肉化することにより、レジストパターン R c を形成する（アッシング工程）。

[0050] その後、図 16 及び図 17 に示すように、レジストパターン R c から露出するゲート金属膜 1 4 p をドライエッチングにより除去することにより、1 辺（図 5 中の上辺）で端面が角度 θa であり、3 辺（図 5 中の左辺、右辺及び下辺）で端面が角度 θb であるゲート電極 1 4 a を形成する（第 2 エッチング工程）。このとき、レジストパターン R c は、ドライエッチングにより薄肉化して、レジストパターン R d となる。なお、ゲート電極 1 4 a 以外のゲート電極 1 4 b、ゲート線 1 4 g、発光制御線 1 4 e 等は、フル露光によ

り形成されたレジストパターンを用いて、ゲート金属膜 14 からパターニングされる。

[0051] さらに、レジストパターン R d を剥離した後に、ゲート電極 14 a 等をマスクとして、不純物イオンをドーピングすることにより、図 18 及び図 19 に示すように、第 1 導体領域 12 a a、第 2 導体領域 12 a b 及びチャネル領域 12 a c を有する半導体層 12 a 等を形成する（ドーピング工程）。

[0052] その後、半導体層 12 a 等が形成された基板全体に、例えば、プラズマ CVD（Chemical Vapor Deposition）法により、酸化シリコン膜等の無機絶縁膜（厚さ 100 nm 程度）を成膜することにより、第 1 層間絶縁膜 13 を形成する。

[0053] 続いて、第 1 層間絶縁膜 13 が形成された基板全体に、例えば、スパッタリング法により、アルミニウム膜（厚さ 350 nm 程度）及び窒化モリブデン膜（厚さ 50 nm 程度）等を順に成膜した後に、その金属積層膜をパターニングして、容量電極 16 c 等を形成する。

[0054] さらに、容量電極 16 c 等が形成された基板全体に、例えば、プラズマ CVD（Chemical Vapor Deposition）法により、酸化シリコン膜等の無機絶縁膜（厚さ 500 nm 程度）を成膜することにより、第 2 層間絶縁膜 15 を形成した後に、第 1 層間絶縁膜 13 及び第 2 層間絶縁膜 15 の積層膜をパターニングして、コンタクトホール H を形成する。

[0055] その後、コンタクトホール H が形成された基板全体に、例えば、スパッタリング法により、チタン膜（厚さ 30 nm 程度）、アルミニウム膜（厚さ 300 nm 程度）及びチタン膜（厚さ 50 nm 程度）等を順に成膜してソース金属膜を形成した後に、そのソース金属膜をパターニングして、接続配線 18 e、ソース線 18 f、電源線 18 g 等を形成する。

[0056] 最後に、接続配線 18 e 等が形成された基板全体に、例えば、スピンコート法やスリットコート法により、ポリイミド系の感光性樹脂膜（厚さ 2 μ m 程度）を塗布した後に、その塗布膜に対して、プリベーク、露光、現像及びポストベークを行うことにより、平坦化膜 19 を形成する。

[0057] 以上のようにして、T F T層20aを形成することができる。

[0058] <短絡特定工程>

上記T F T層形成工程で形成されたT F T層20aの各画素回路35において、図20に示すように、ゲート電極14aの上辺部（図中ハッチング部A）に対して、例えば、C C D（charge coupled device）カメラで撮影された画像を処理する画像処理を行うことにより、ゲート電極14aと容量電極16cとがE S D 1 0 0により短絡した画素回路35を特定する。なお、各画素回路35において、E S D 1 0 0による短絡等の欠陥が検出されない場合には、後述する修正工程を飛ばして、後述する有機E L素子層形成工程を行う。

[0059] <修正工程>

上記短絡特定工程で特定された画素回路35において、図21に示すように、容量電極16cのゲート電極14aと短絡した部分の周りにレーザー光Lを照射しながらU字状（図中1点鎖線参照）に走査することにより、容量電極16cからゲート電極14aと短絡した部分を切り離す。ここで、レーザー光Lは、例えば、Y A G（yttrium aluminium garnet）レーザー等から $2.5\mu\text{m} \times 2.5\mu\text{m}$ 程度のスポットサイズで出力されたものである。なお、本実施形態では、容量電極16cだけをレーザー光Lにより切断する方法を例示したが、容量電極16c及びそれに重なるゲート電極14aをレーザー光Lにより切断してもよい。

[0060] <有機E L素子層形成工程>

上記修正工程で短絡欠陥が修正されたT F T層20a、又は上記短絡特定工程で短絡等の欠陥が検出されなかったT F T層20aの平坦化膜19上に、周知の方法を用いて、第1電極21、エッジカバー22、有機E L層23（正孔注入層1、正孔輸送層2、発光層3、電子輸送層4、電子注入層5）及び第2電極24を形成した後に、封止膜29（第1封止無機絶縁膜26、封止有機膜27、第2封止無機絶縁膜28）を形成することにより、有機E L素子層30を形成する。

- [0061] その後、封止膜 29 が形成された基板表面に保護シート（不図示）を貼付した後に、樹脂基板層 10 のガラス基板 60 側からレーザー光を照射することにより、樹脂基板層 10 の下面からガラス基板 60 を剥離させ、さらに、ガラス基板 60 を剥離させた樹脂基板層 10 の下面に保護シート（不図示）を貼付する。
- [0062] 以上のようにして、本実施形態の有機 EL 表示装置 50 を製造することができる。
- [0063] なお、本実施形態では、TFT 層 20a を備えた有機 EL 表示装置 50 及びその製造方法を例示したが、TFT 層 20a の代わりに TFT 層 20b を備えた有機 EL 表示装置及びその製造方法であってもよい。ここで、図 22 は、TFT 層 20a の変形例である TFT 層 20b の平面図である。また、図 23 は、TFT 層 20b を備えた有機 EL 表示装置の製造方法における短絡特定工程を示す平面図である。また、図 24 は、TFT 層 20b を備えた有機 EL 表示装置の製造方法における修正工程を示す平面図である。
- [0064] TFT 層 20b は、第 4 TFT 9d のゲート電極 14ab の形状、及びキャパシタ 9h の容量電極 16cb の形状以外、TFT 層 20a と実質的に同じ構成になっている。
- [0065] ゲート電極 14ab は、図 22 に示すように、平面視で矩形の島状に設けられている。ここで、ゲート電極 14ab では、半導体層 12a の凹部 C と反対側の 1 辺における凹部 C に対向する部分（図 22 中のハッチング部 A）の端面と樹脂基板層 10 の上面とのなす角度（図 7 中の θa 参照）が、凹部 C に対向する部分（図 22 中のハッチング部 A）以外の部分の周端の端面と樹脂基板層 10 の上面とのなす角度（図 6 及び図 7 中の θb 参照）よりも大きくなっている。
- [0066] 容量電極 16cb は、図 22 に示すように、開口部 M の幅（図中横方向）が容量電極 16c の開口部 M よりも広がっている以外、容量電極 16c と実質的に同じ構成になっている。
- [0067] TFT 層 20b を備えた有機 EL 表示装置を製造する際には、上記短絡特

定工程において、TFT層20bの各画素回路35において、図23に示すように、ゲート電極14aの上辺部の中間部分（図中ハッチング部A）に対して、例えば、CCDカメラで撮影された画像を処理する画像処理を行うことにより、ゲート電極14aと容量電極16cとがESD100により短絡した画素回路35を特定し、上記修正工程において、図24に示すように、容量電極16cbのゲート電極14abと短絡した部分の周りにレーザー光Lを照射しながら2本の直線状（図中1点鎖線）に走査することにより、開口部Mを介して、容量電極16cbからゲート電極14abと短絡した部分を切り離せばよい。このTFT層20bを備えた有機EL表示装置の製造方法では、ゲート電極14abの周端において、端面と樹脂基板層10の上面とのなす角度が相対的に大きくなった部分（図22中のハッチング部A）がTFT層20aの対応する部分（図5中のハッチング部A）よりも狭くなっているため、各サブ画素Pのキャパシタ9hで発生したESD100による短絡欠陥をTFT層20aよりも容易に検出することができる。

[0068] 以上説明したように、本実施形態の有機EL表示装置50及びその製造方法によれば、ゲート電極14aが平面視で矩形状に設けられ、半導体層12aの凹部Cと反対側のゲート電極14aの1辺の端面と樹脂基板層10の上面とのなす角度 θa が半導体層12aに平面視で重なる部分を含むゲート電極14aの他の3辺の端面と樹脂基板層10の上面とのなす角度 θb よりも大きくなっている。これにより、ゲート電極14aを覆うように異方的に成膜される第1層間絶縁膜15の膜厚は、半導体層12aの凹部Cと反対側のゲート電極14aの1辺に沿う部分で相対的に薄くなり、ゲート電極14aの他の3辺に沿う部分で相対的に厚くなるため、半導体層12aの凹部Cと反対側のゲート電極14aの1辺に沿う部分で第1層間絶縁膜15の耐圧性が相対的に低くなる。その結果、各サブ画素Pのキャパシタ9hでは、半導体層12aの凹部Cと反対側のゲート電極14aの1辺に沿う部分でESD100が発生し易くなるため、ゲート電極14aと容量電極16cとがESD100により短絡した画素回路35を特定する際には、半導体層12aの

凹部Cと反対側のゲート電極14aの1辺に沿う部分を重点的に観察すればよい。そして、ESD100により短絡した画素回路35を修正する際には、半導体層12aの凹部Cと反対側のゲート電極14aの1辺に沿う部分の容量電極16cにおいて、ゲート電極14aと短絡した部分を切り離せばよい。これにより、短絡特定工程及び修正工程が容易になるので、各サブ画素Pのキャパシタ9hで発生したESD100による短絡欠陥を容易に修正することができる。

[0069] 《その他の実施形態》

上記実施形態では、正孔注入層、正孔輸送層、発光層、電子輸送層及び電子注入層の5層積層構造の有機EL層を例示したが、有機EL層は、例えば、正孔注入層兼正孔輸送層、発光層、及び電子輸送層兼電子注入層の3層積層構造であってもよい。

[0070] また、上記実施形態では、第1電極を陽極とし、第2電極を陰極とした有機EL表示装置を例示したが、本発明は、有機EL層の積層構造を反転させ、第1電極を陰極とし、第2電極を陽極とした有機EL表示装置にも適用することができる。

[0071] また、上記実施形態では、表示装置として有機EL表示装置を例に挙げて説明したが、本発明は、電流によって駆動される複数の発光素子を備えた表示装置に適用することができる。例えば、量子ドット含有層を用いた発光素子であるQLED (Quantum-dot light emitting diode) を備えた表示装置に適用することができる。

産業上の利用可能性

[0072] 以上説明したように、本発明は、フレキシブルな表示装置について有用である。

符号の説明

[0073] C 凹部
H コンタクトホール
M 開口部

9 d	第4 T F T (駆動用 T F T)
9 h	キャパシタ
1 0	樹脂基板層 (ベース基板)
1 2 a	半導体層
1 2 a a	第1 導体領域
1 2 a b	第2 導体領域
1 2 a c	チャネル領域
1 3	ゲート絶縁膜
1 4 a	ゲート電極
1 5	第1 層間絶縁膜 (第1 無機絶縁膜)
1 6 c	容量電極
1 7	第2 層間絶縁膜 (第2 無機絶縁膜)
1 8 e	接続配線
1 8 g	電源線
2 0 a, 2 0 b	T F T 層
2 5	有機 E L 素子 (発光素子)
3 0	有機 E L 素子層 (発光素子層)
3 5	画素回路
5 0	有機 E L 表示装置

請求の範囲

[請求項1]

ベース基板と、

上記ベース基板上に設けられ、複数の画素回路が配列されたTFT層と、

上記TFT層上に設けられ、上記複数の画素回路に対応して複数の発光素子が配列された発光素子層とを備え、

上記各画素回路は、半導体層、該半導体層を覆うように設けられたゲート絶縁膜、及び該ゲート絶縁膜上に上記半導体層の一部に平面視で重なるように島状に設けられたゲート電極を含むTFTと、上記ゲート電極、該ゲート電極上に設けられた第1無機絶縁膜、及び該第1無機絶縁膜上に上記ゲート電極に平面視で重なるように設けられた容量電極を含むキャパシタとを備えた表示装置であって、

上記容量電極は、上記ゲート電極の周端の全周にわたり該周端の外側まで設けられ、

上記半導体層に平面視で重ならない部分における上記ゲート電極の周端面の周方向に沿う少なくとも一部と上記ベース基板の上面とのなす角度は、上記半導体層に平面視で重なる部分における上記ゲート電極の周端面と上記ベース基板の上面とのなす角度よりも大きくなっていることを特徴とする表示装置。

[請求項2]

請求項1に記載された表示装置において、

上記TFTは、駆動用TFTであることを特徴とする表示装置。

[請求項3]

請求項2に記載された表示装置において、

上記容量電極には、上記第1無機絶縁膜を露出させる開口部が設けられ、

上記容量電極上には、該容量電極を覆うように第2無機絶縁膜が設けられ、

上記第2無機絶縁膜上には、上記開口部から露出する上記第1無機絶縁膜、及び上記第2無機絶縁膜に形成されたコンタクトホールを介

して、上記ゲート電極に電氣的に接続された接続配線が設けられていることを特徴とする表示装置。

- [請求項4] 請求項3に記載された表示装置において、
- 上記TFT層には、互いに平行に延びるように複数の電源線が設けられ、
- 上記容量電極は、上記ゲート電極に平面視で重ならない部分において、対応する上記電源線に電氣的に接続され、
- 上記容量電極は、上記ゲート電極に平面視で重なる部分の幅が上記ゲート電極に平面視で重ならない部分の幅よりも大きくなっていることを特徴とする表示装置。

- [請求項5] 請求項3又は4に記載された表示装置において、
- 上記半導体層は、上記ゲート電極に平面視で重なるように設けられたチャネル領域と、該チャネル領域を挟んで設けられた一对の導体領域とを備え、
- 上記チャネル領域の中間部分は、平面視でU字形に設けられていることを特徴とする表示装置。

- [請求項6] 請求項5に記載された表示装置において、
- 上記開口部は、上記U字形の凹部に平面視で重なるように設けられていることを特徴とする表示装置。

- [請求項7] 請求項6に記載された表示装置において、
- 上記接続配線は、上記U字形の凹部において、上記チャネル領域と交差するように設けられていることを特徴とする表示装置。

- [請求項8] 請求項7に記載された表示装置において、
- 上記ゲート電極は、平面視で矩形状に設けられ、
- 上記U字形の凹部と反対側の上記ゲート電極の1辺の端面と上記ベース基板の上面とのなす角度は、上記半導体層に平面視で重なる部分における上記ゲート電極の端面と上記ベース基板の上面とのなす角度よりも大きくなっていることを特徴とする表示装置。

- [請求項9] 請求項7に記載された表示装置において、
 上記ゲート電極は、平面視で矩形状に設けられ、
 上記U字形の凹部と反対側の上記ゲート電極の1辺における該凹部
 に対向する部分の端面と上記ベース基板の上面とのなす角度は、上記
 ゲート電極の周端の上記凹部に対向する部分以外の部分の端面と上記
 ベース基板の上面とのなす角度よりも大きくなっていることを特徴と
 する表示装置。
- [請求項10] 請求項1～9の何れか1つに記載された表示装置において、
 上記各発光素子は、有機EL素子であることを特徴とする表示装置
 。
- [請求項11] ベース基板上に複数の画素回路が配列されたTFT層を形成するTFT層形成工程と、
 上記TFT層上に上記複数の画素回路に対応して複数の発光素子が
 配列された発光素子層を形成する発光素子層形成工程とを備える表示
 装置の製造方法であって、
 上記各画素回路は、半導体層、該半導体層を覆うように設けられた
 ゲート絶縁膜、及び該ゲート絶縁膜上に上記半導体層の一部に平面視
 で重なるように島状に設けられたゲート電極を含むTFTと、上記ゲ
 ート電極、該ゲート電極上に設けられた第1無機絶縁膜、及び該第1
 無機絶縁膜上に上記ゲート電極に平面視で重なるように設けられた容
 量電極を含むキャパシタとを備え、
 上記容量電極は、上記ゲート電極の周端の全周にわたり該周端の外
 側まで設けられ、
 上記半導体層に平面視で重ならない部分における上記ゲート電極の
 周端面の周方向に沿う少なくとも一部と上記ベース基板の上面とのな
 す角度は、上記半導体層に平面視で重なる部分における上記ゲート電
 極の周端面と上記ベース基板の上面とのなす角度よりも大きくなって
 おり、

上記 T F T 層形成工程及び上記発光素子層形成工程の間には、上記複数の画素回路において、上記ゲート電極と上記容量電極とが短絡した画素回路を特定する短絡特定工程、及び該特定した上記画素回路において、上記容量電極の上記ゲート電極と短絡した部分の周りにレーザー光を照射することにより、該容量電極から上記ゲート電極と短絡した部分を切り離す修正工程とを含むことを特徴とする表示装置の製造方法。

[請求項12]

請求項 1 1 に記載された表示装置の製造方法において、

上記 T F T は、駆動用 T F T であり、

上記容量電極には、上記第 1 無機絶縁膜を露出させる開口部が設けられ、

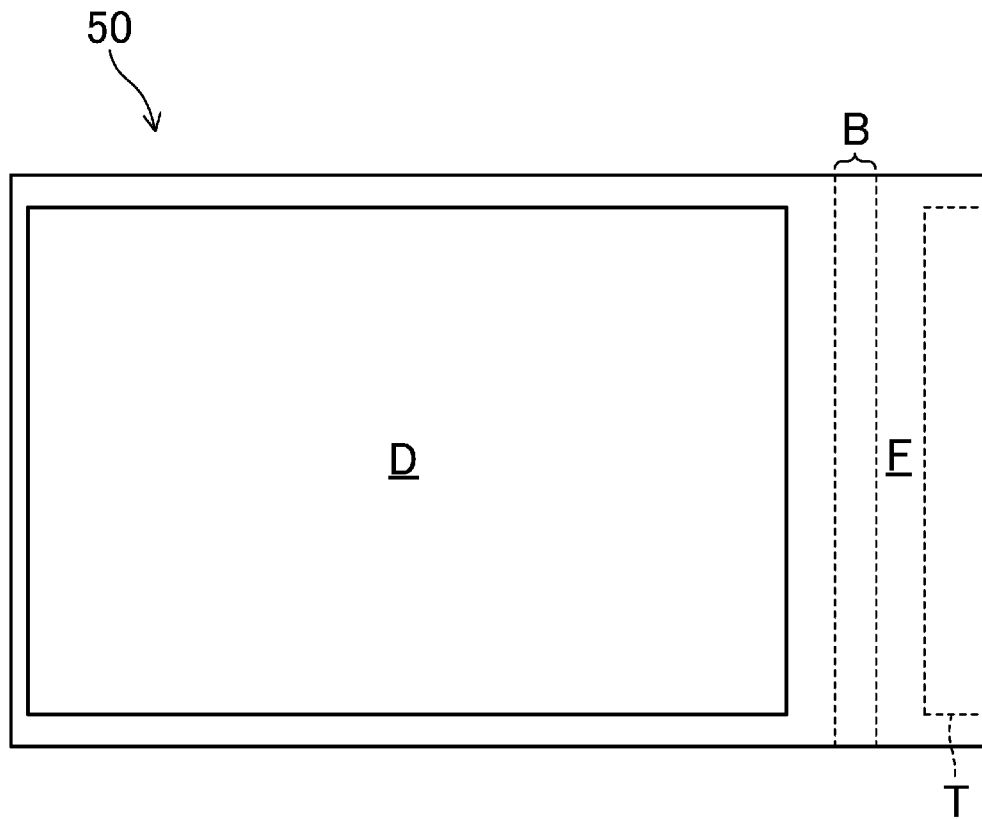
上記修正工程では、上記開口部を介して、上記容量電極から上記ゲート電極と短絡した部分を切り離すことを特徴とする表示装置の製造方法。

[請求項13]

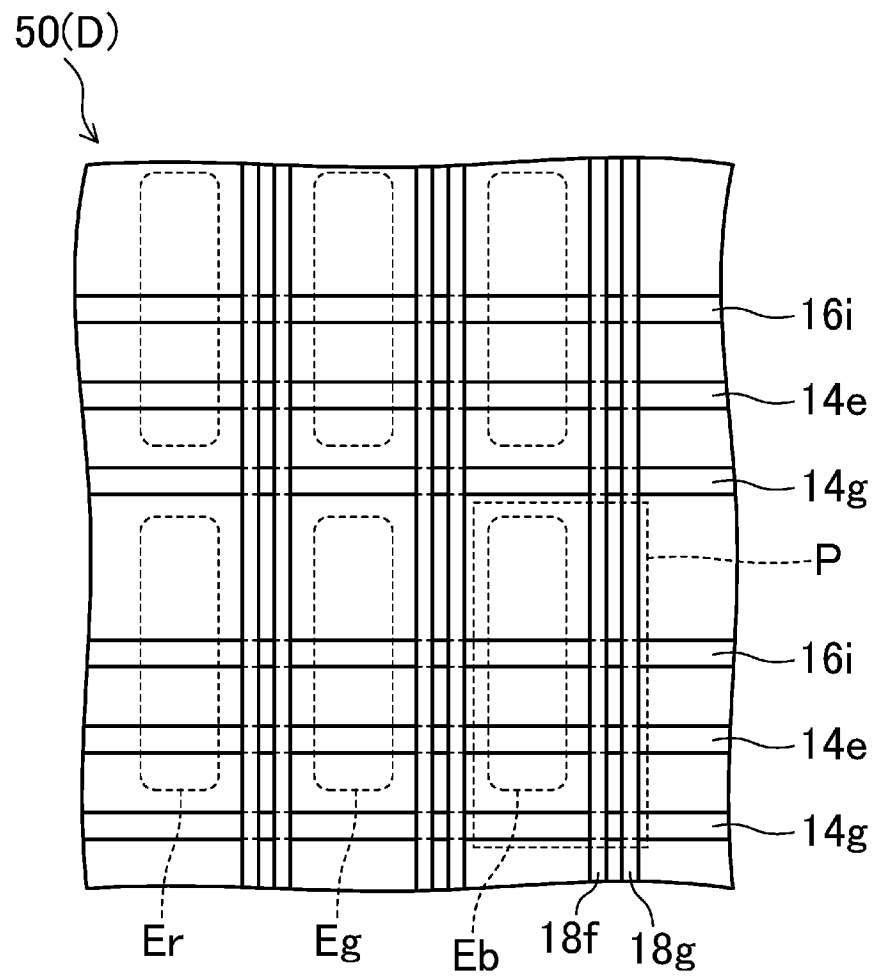
請求項 1 1 又は 1 2 に記載された表示装置の製造方法において、

上記各発光素子は、有機 E L 素子であることを特徴とする表示装置の製造方法。

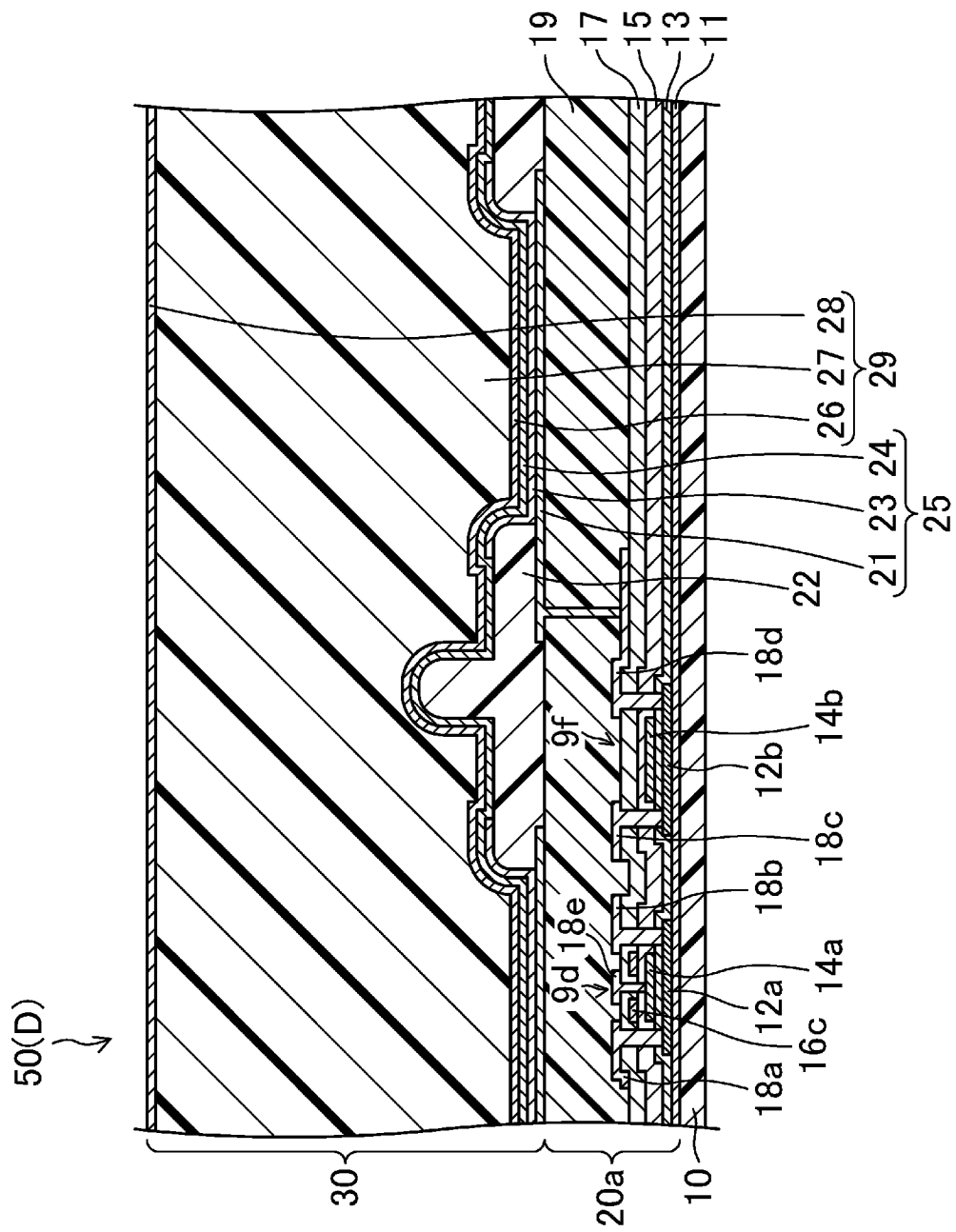
[図1]



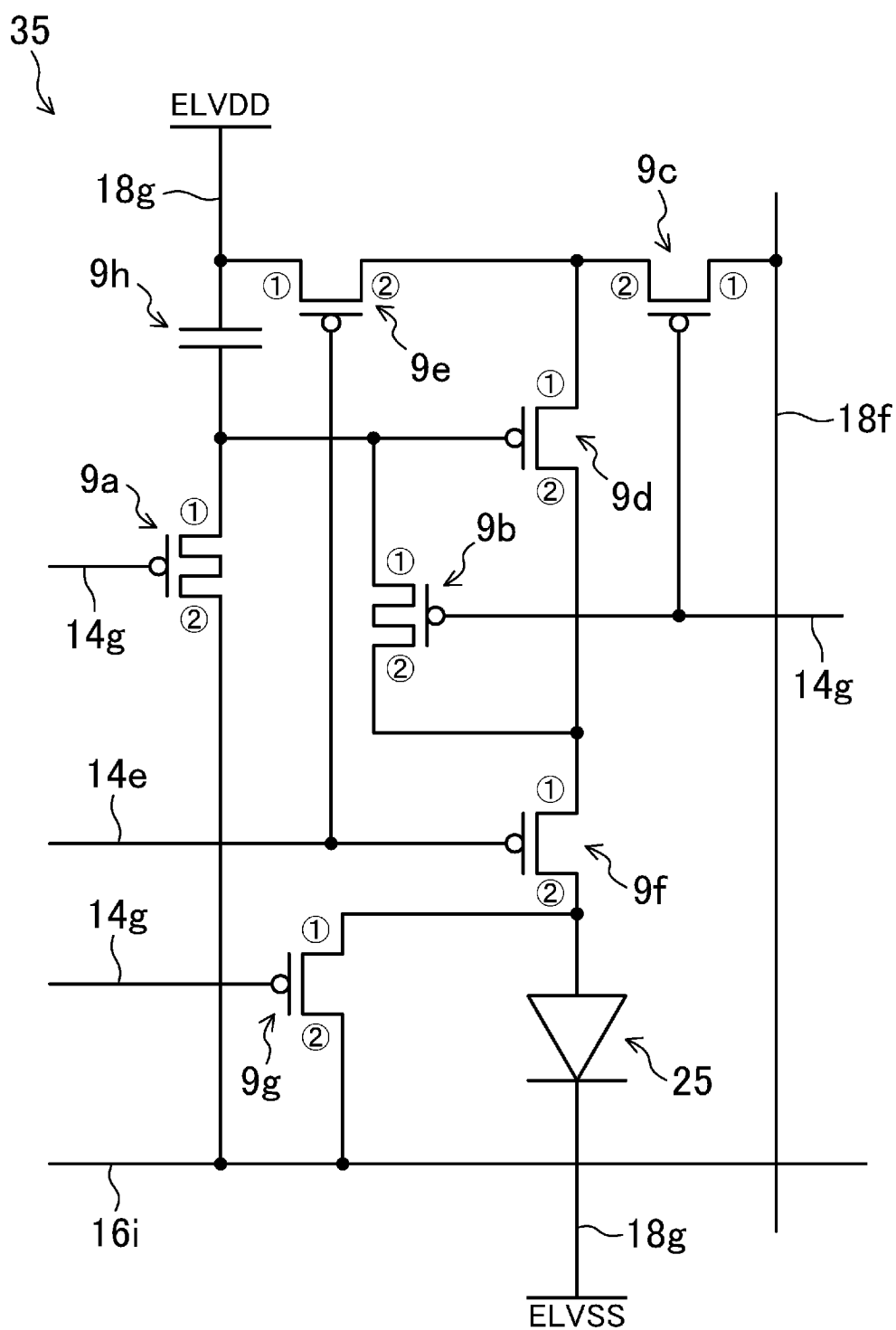
[図2]



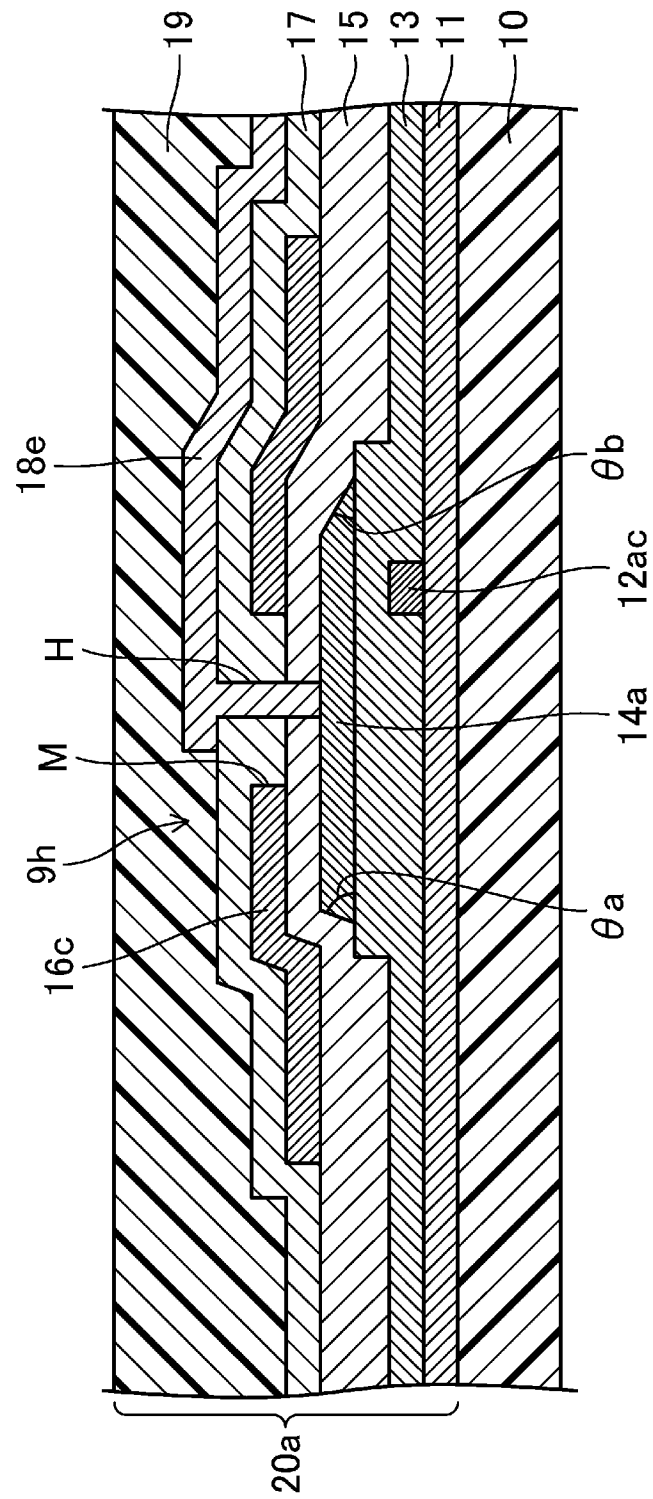
[図3]



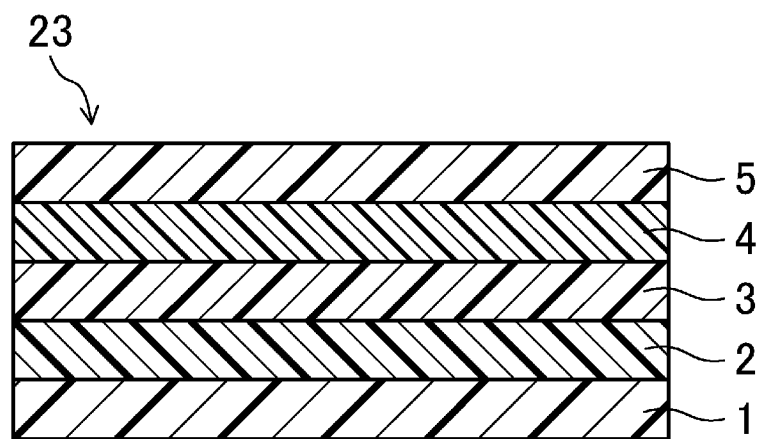
[図4]



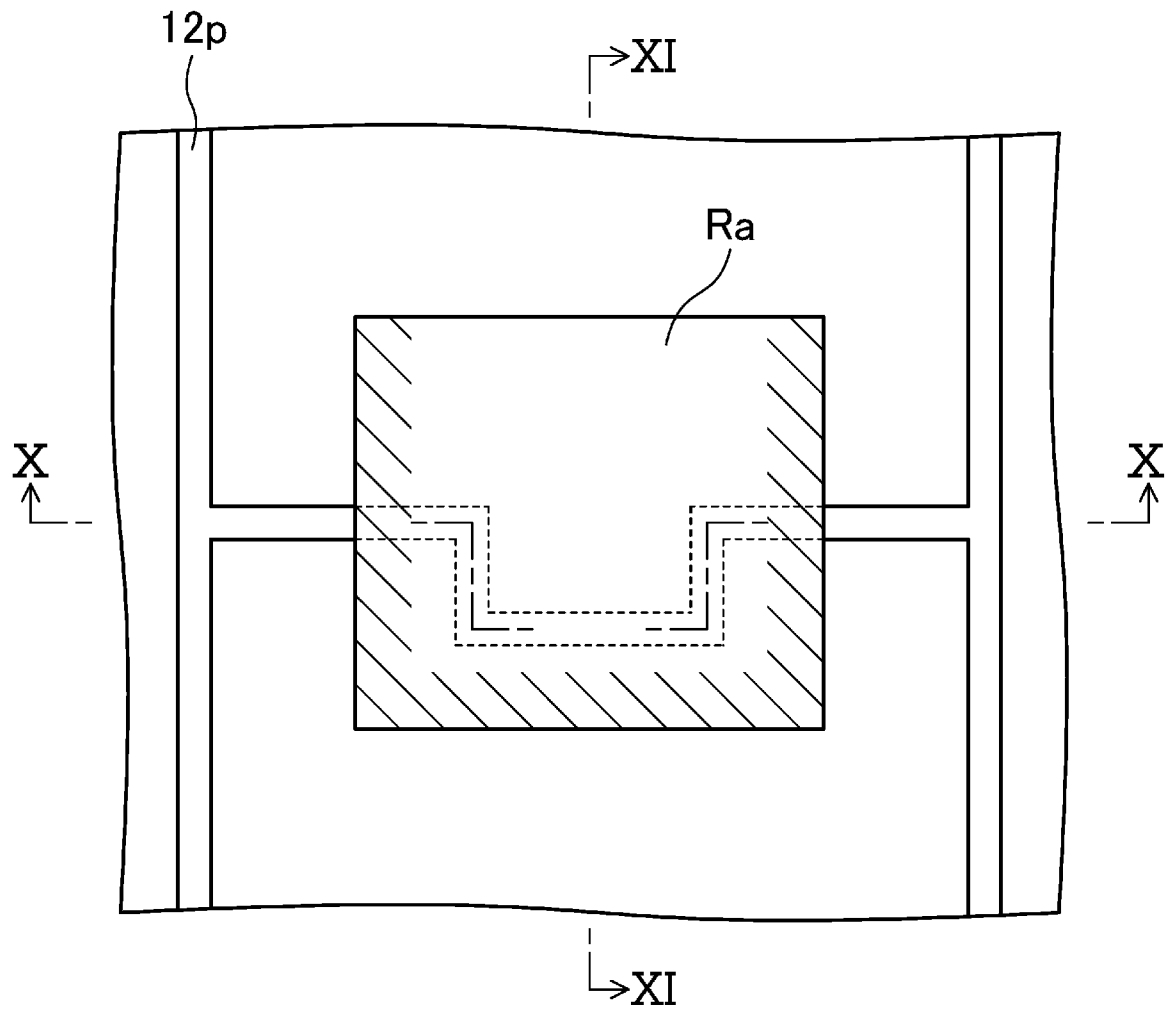
[図7]



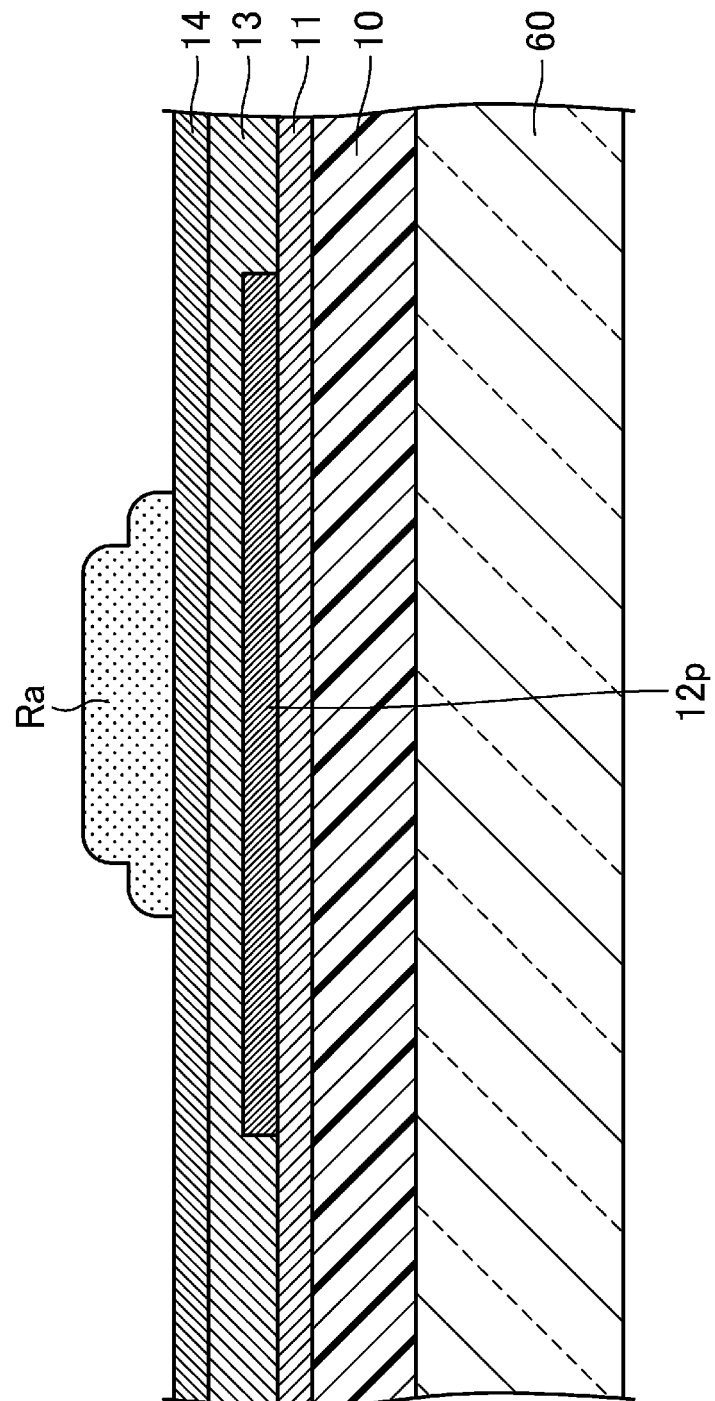
[図8]



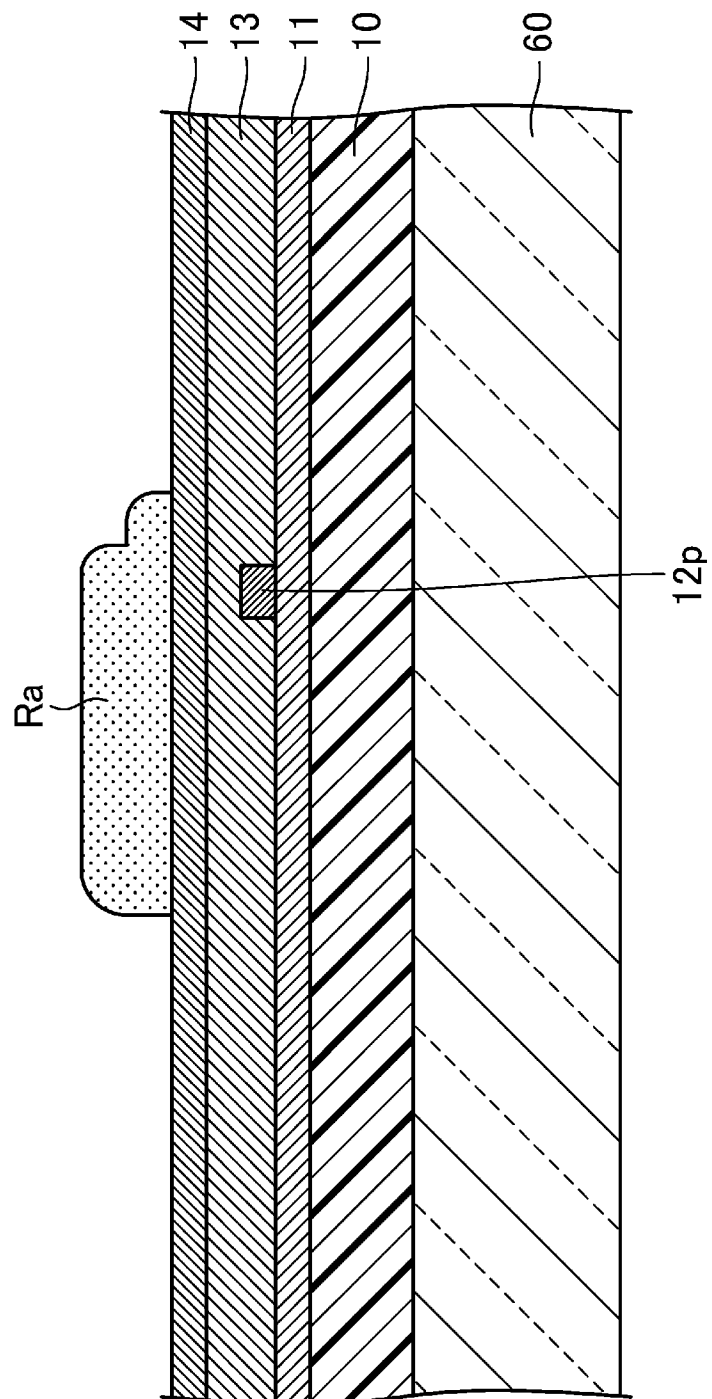
[図9]



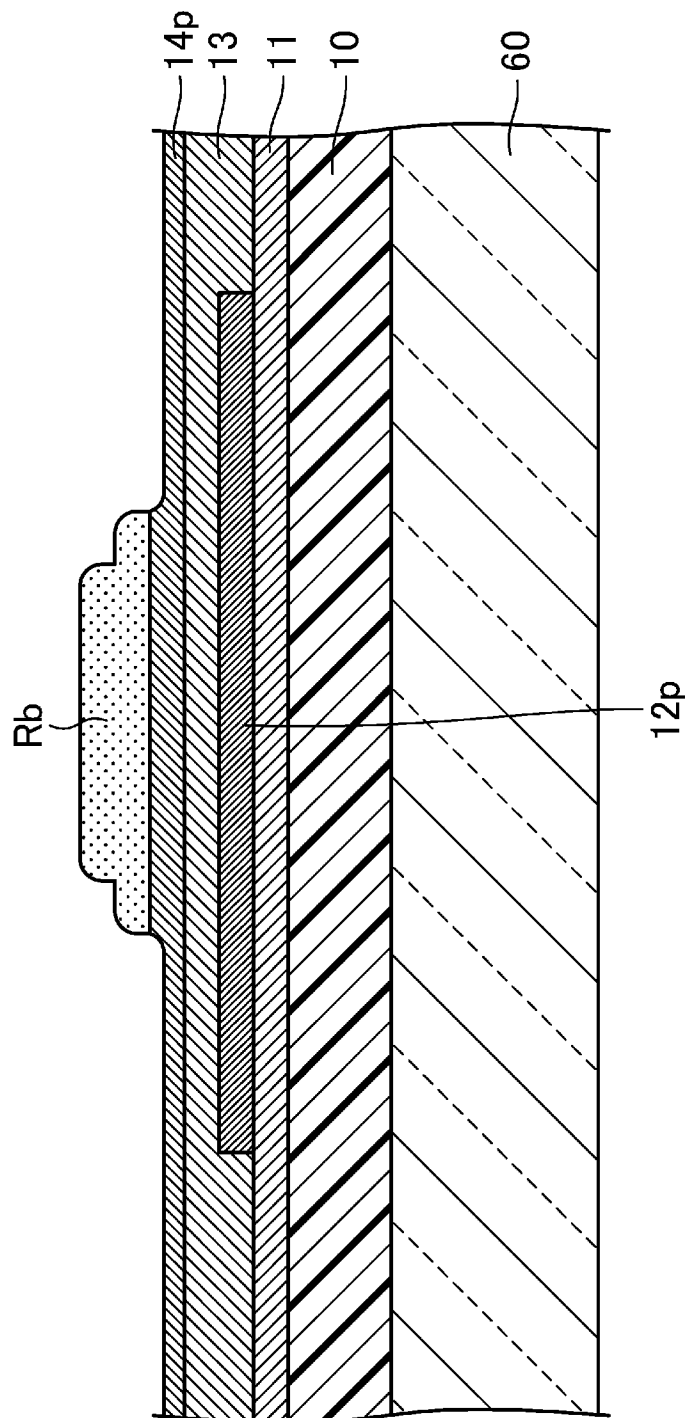
[図10]



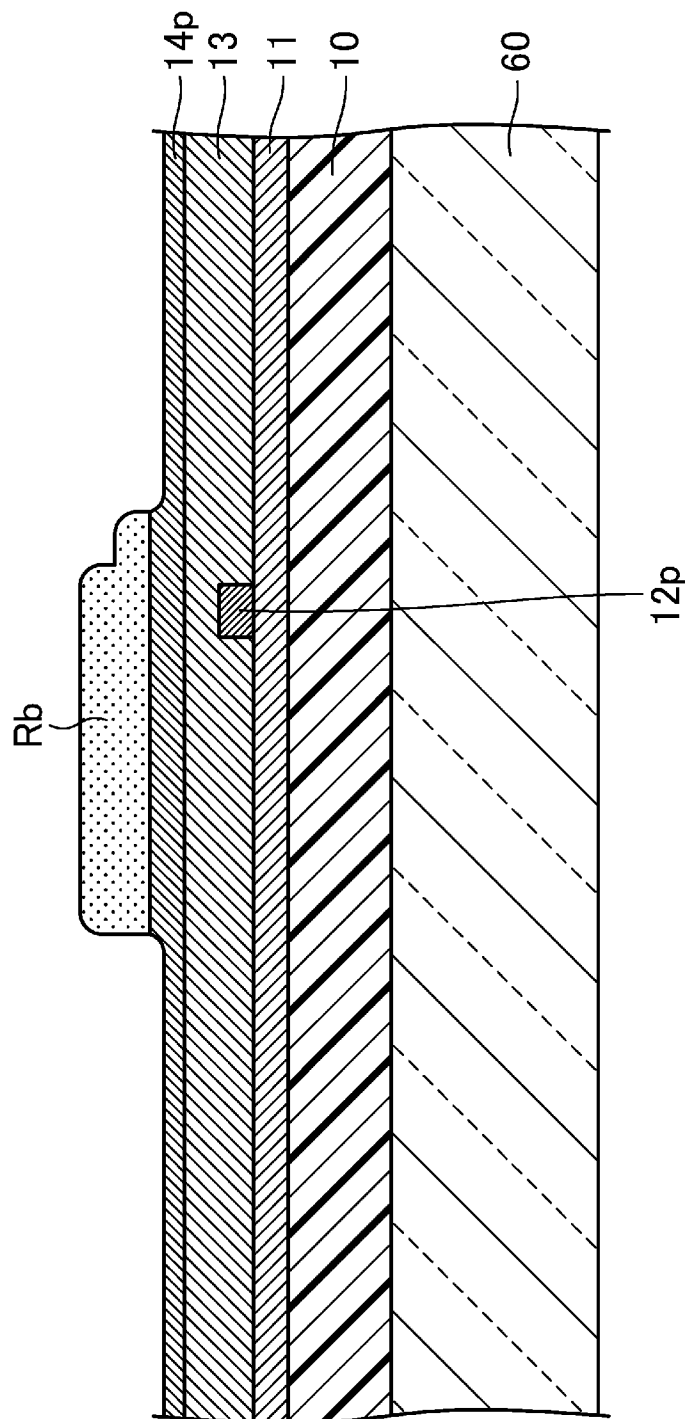
[図11]



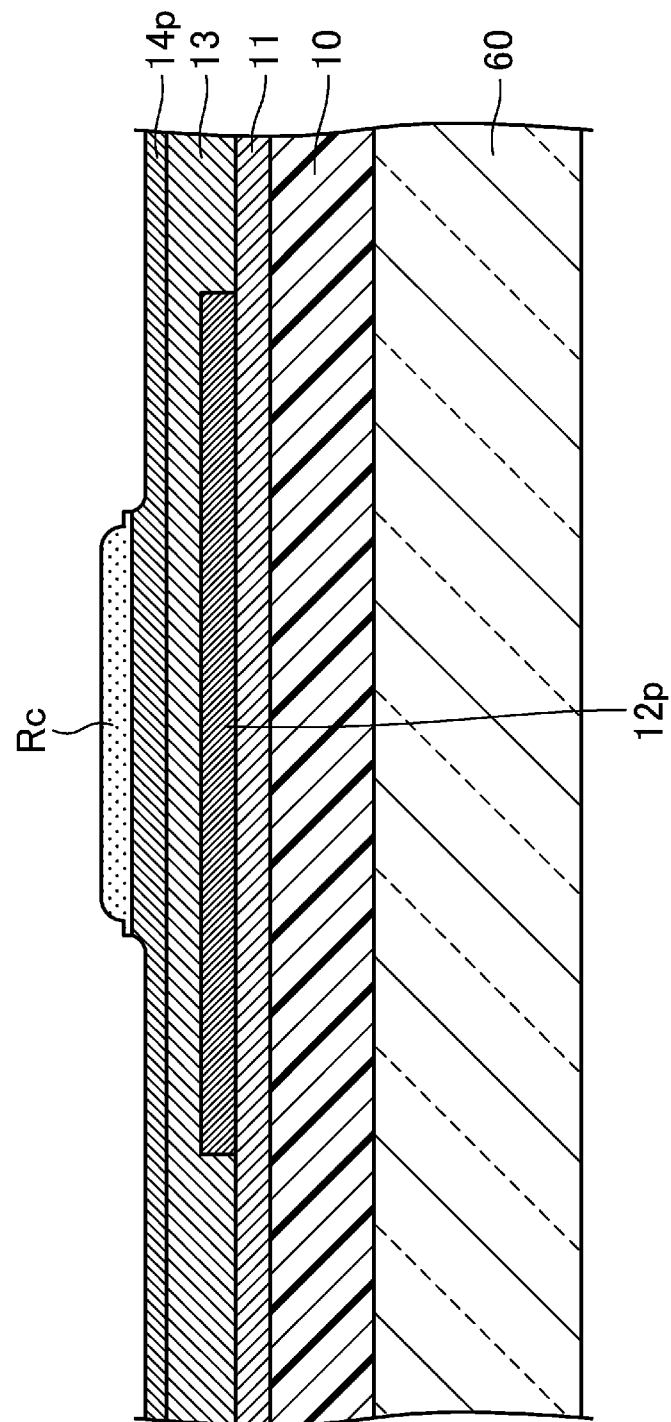
[図12]



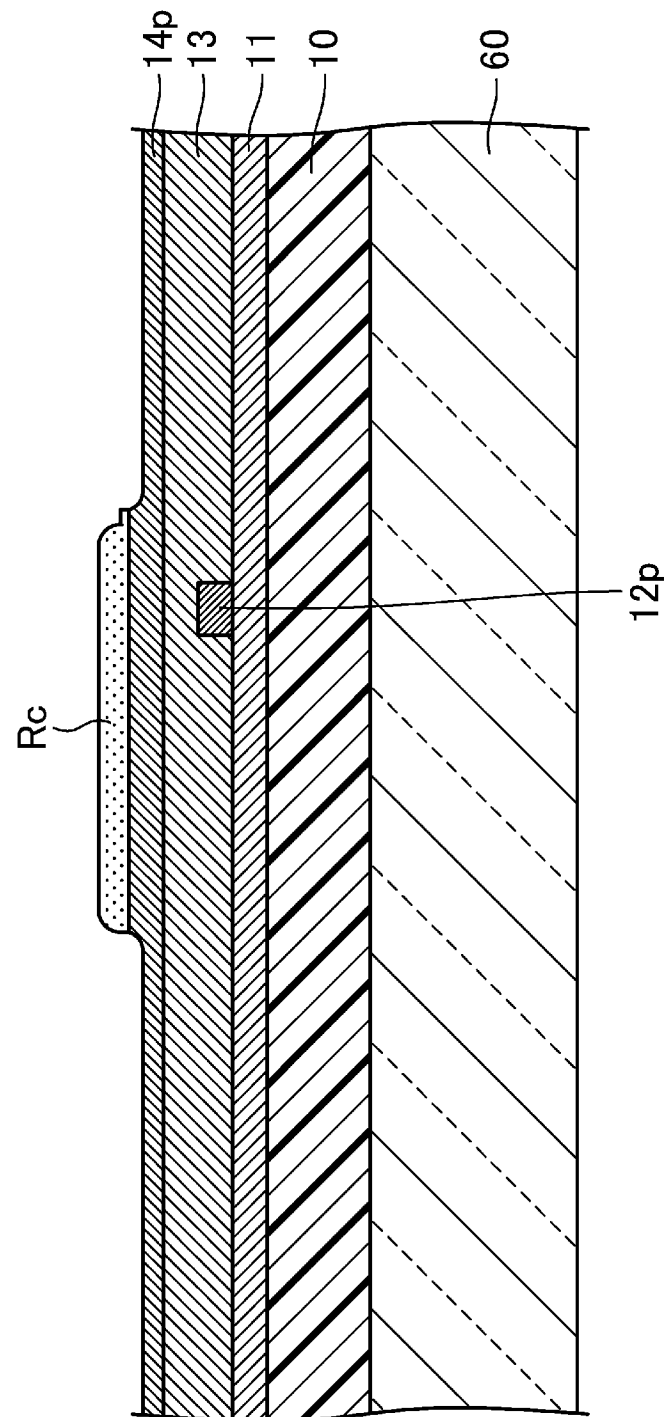
[図13]



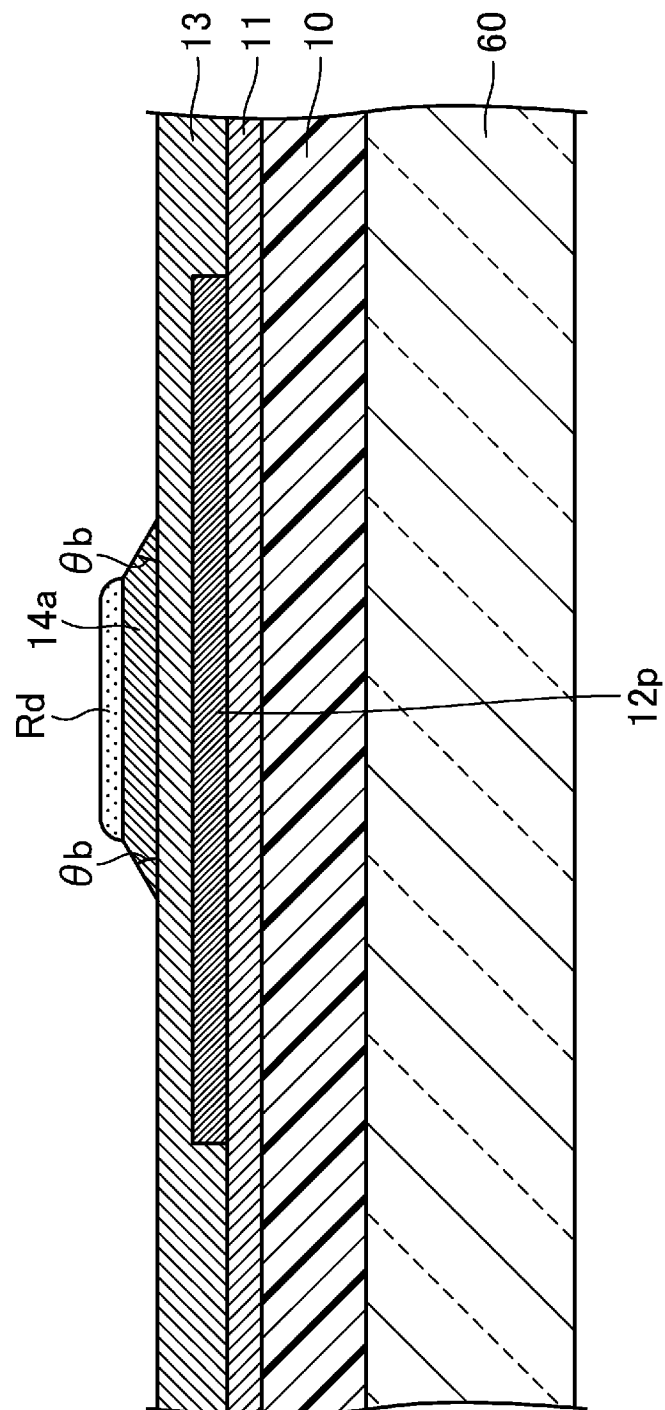
[図14]



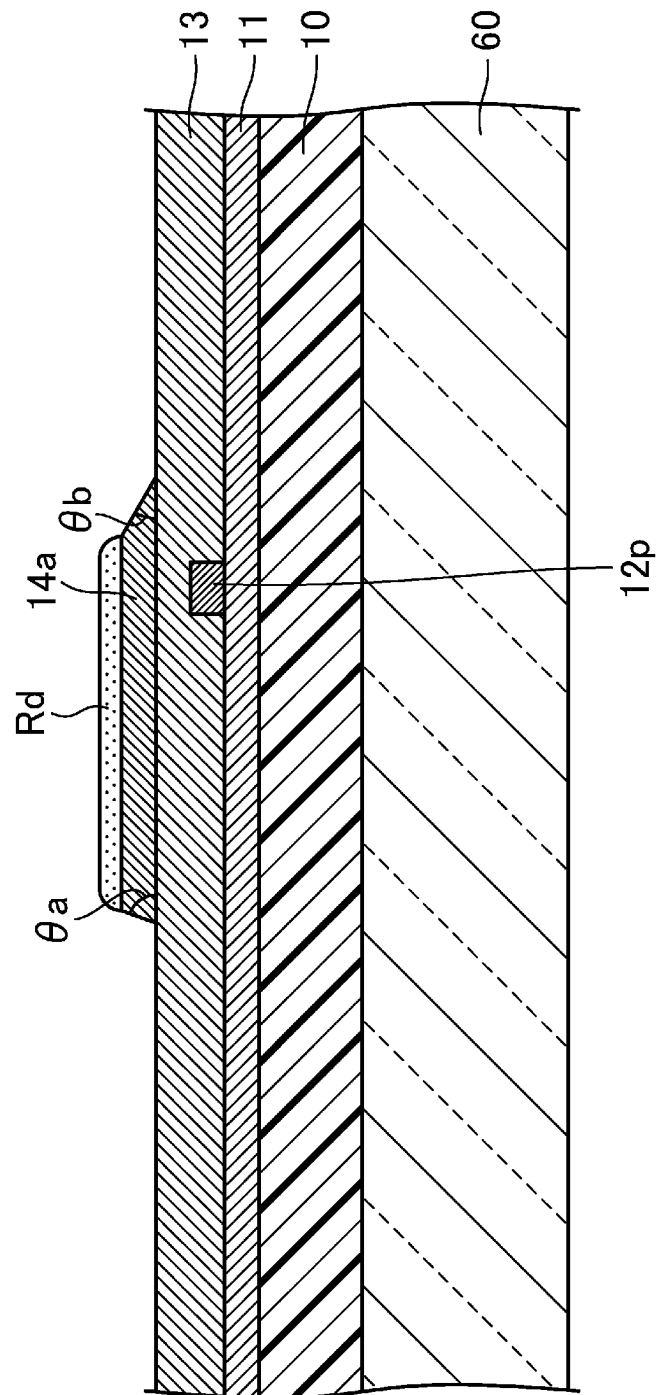
[図15]



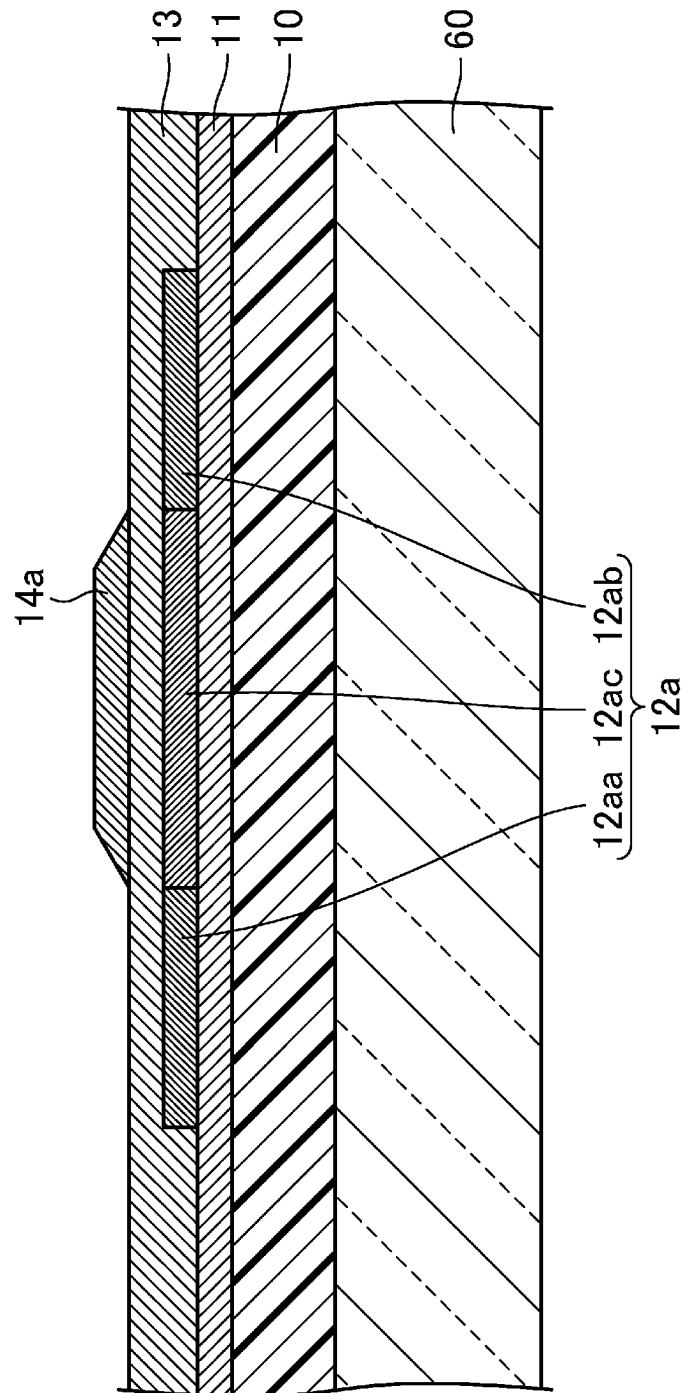
[図16]



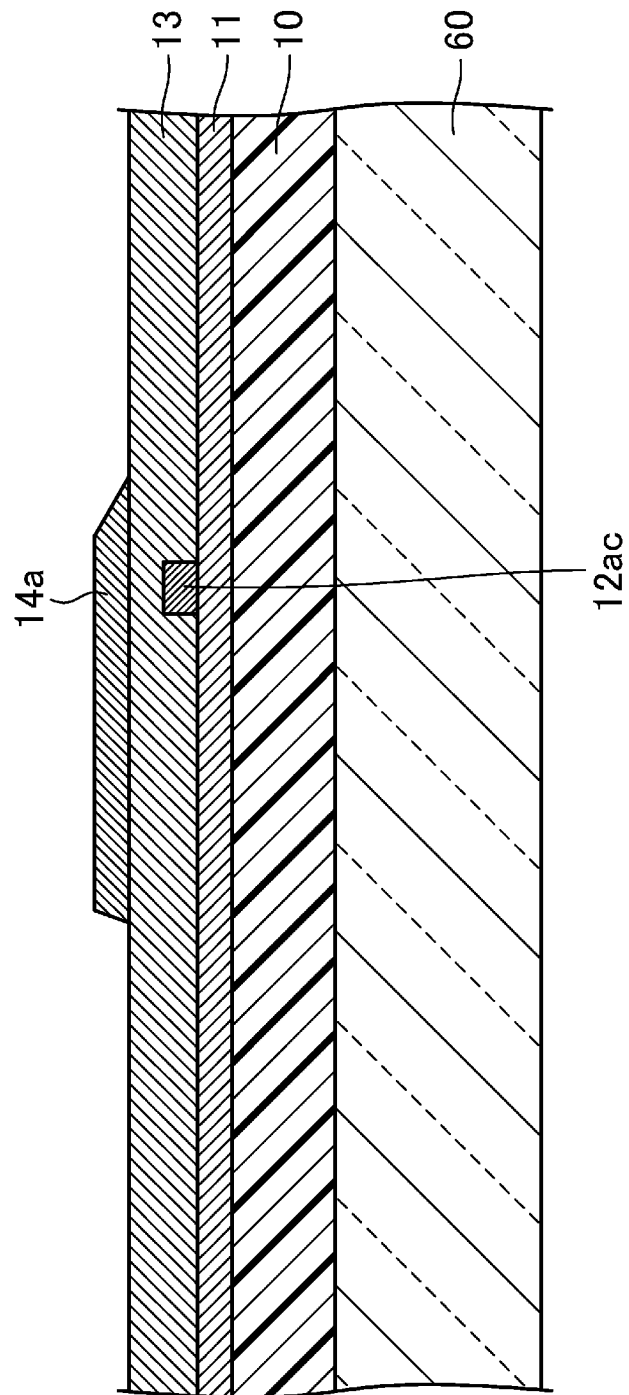
[図17]



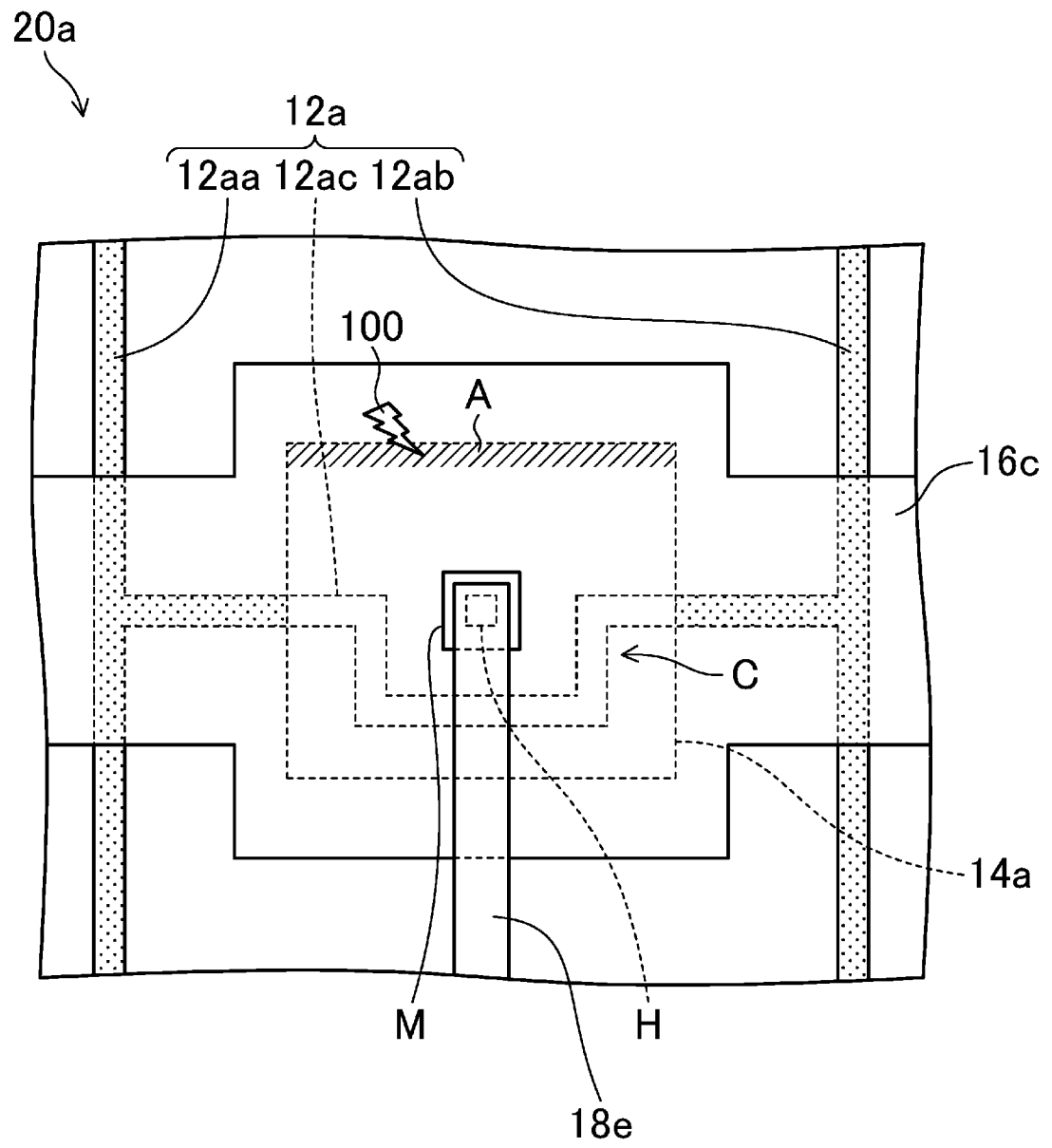
[図18]



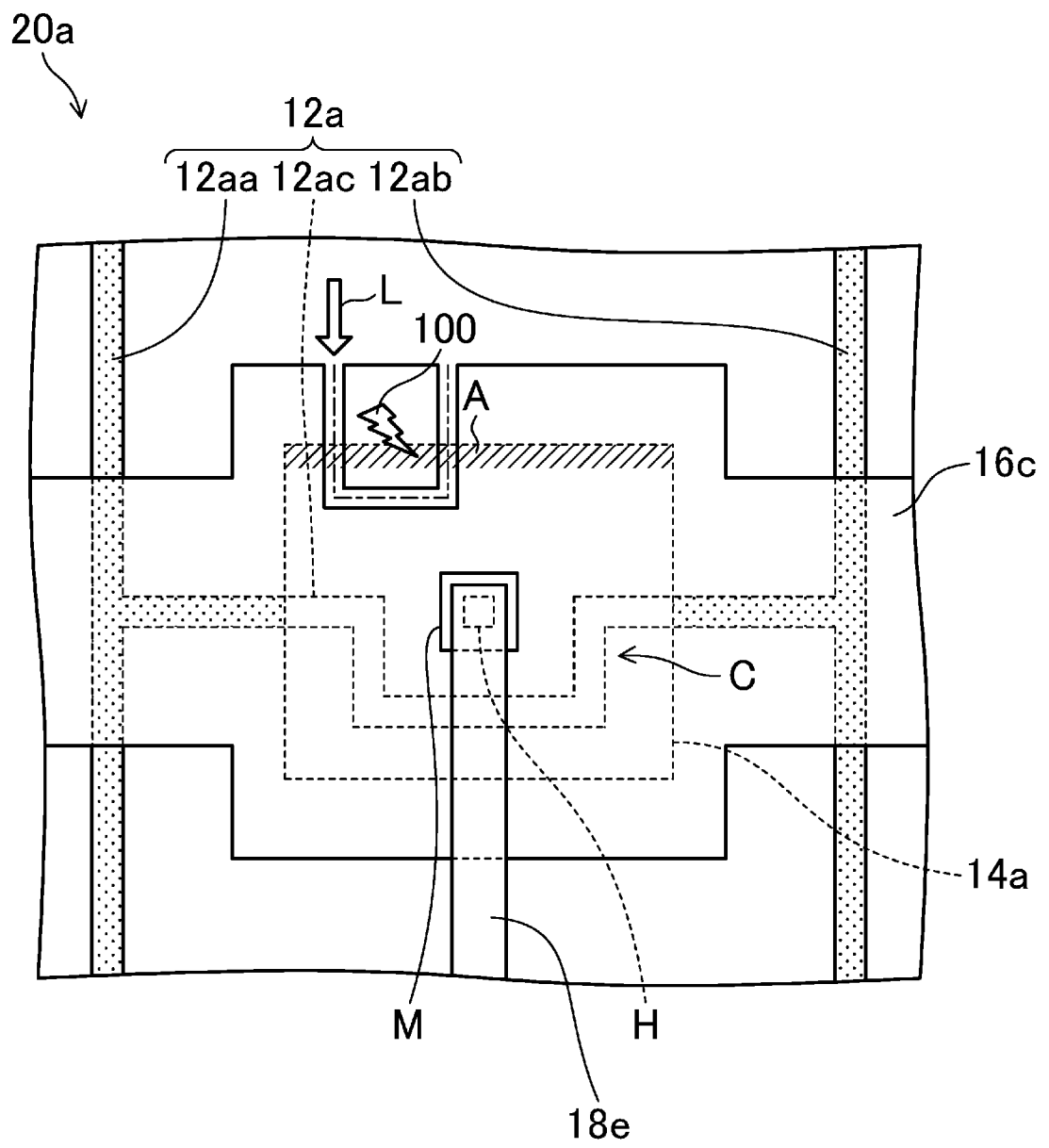
[図19]



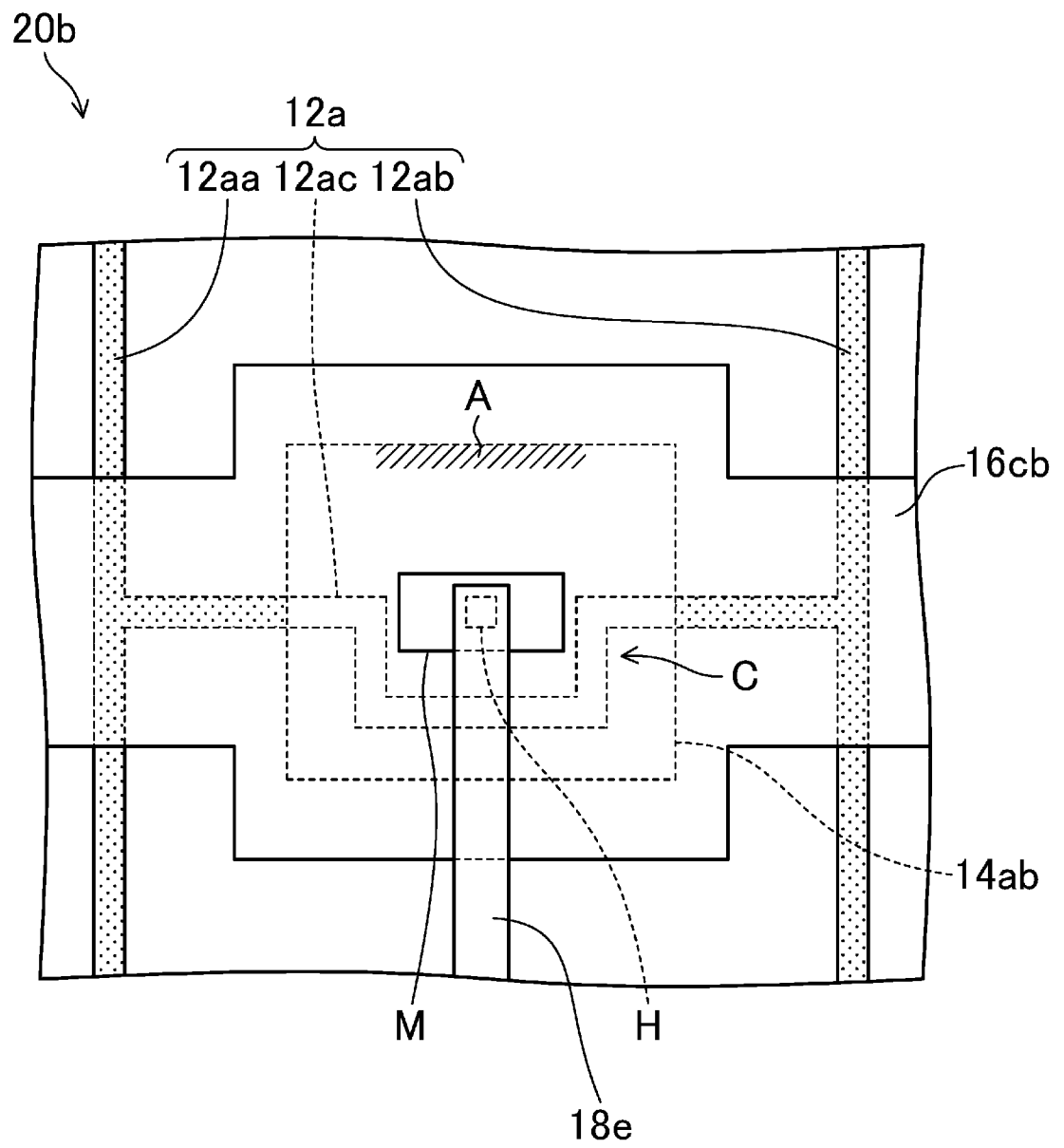
[図20]



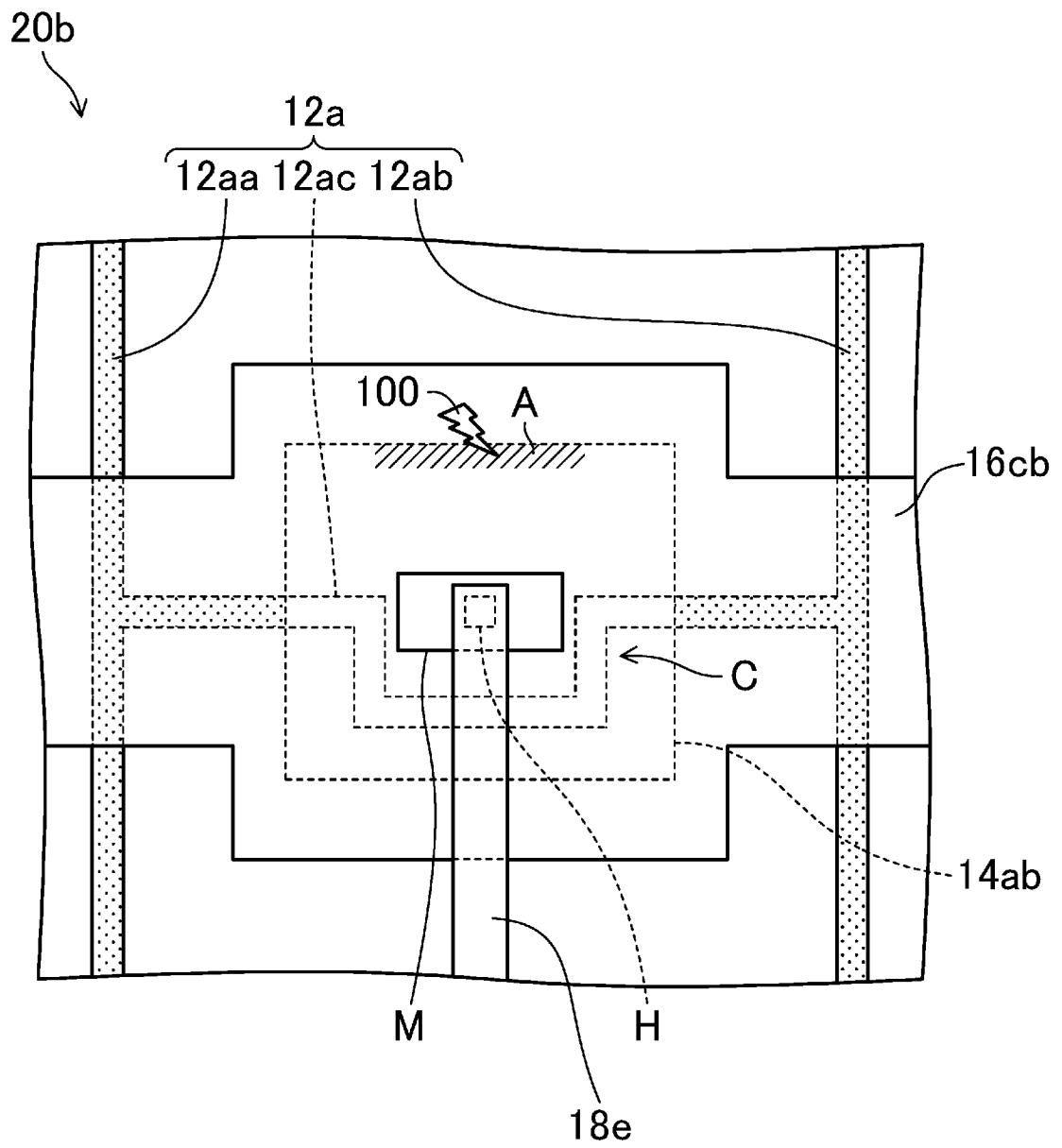
[図21]



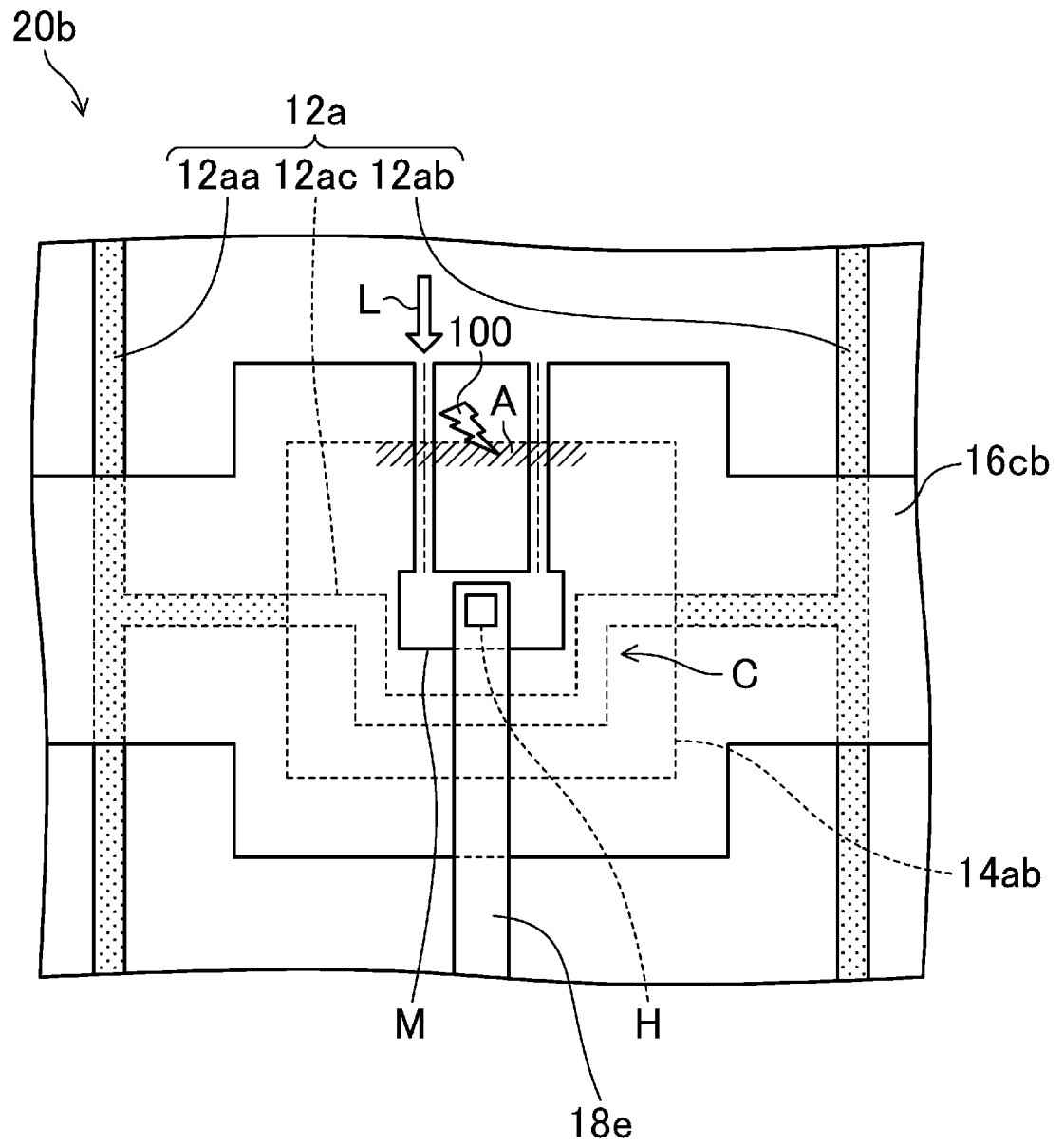
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/045150

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i, H05B33/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/786, G09F9/30, H01L27/32, H01L51/50, H05B33/02, H05B33/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2016/0118452 A1 (SAMSUNG DISPLAY CO., LTD.) 28 April 2016 & KR 10-2016-0049408 A & CN 105551436 A	1-13
A	US 2016/0300864 A1 (SAMSUNG DISPLAY CO., LTD.) 13 October 2016 & KR 10-2016-0121651 A	1-13
A	US 2016/0322442 A1 (SAMSUNG DISPLAY CO., LTD.) 03 November 2016 & KR 10-2016-0129175 A	1-13
A	US 2017/0317159 A1 (SAMSUNG DISPLAY CO., LTD.) 02 November 2017 & KR 10-2017-0124672 A & CN 107342296 A	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18.02.2019

Date of mailing of the international search report
26.02.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/045150

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018/0197475 A1 (SAMSUNG DISPLAY CO., LTD.) 12 July 2018 & KR 10-2018-0082662 A	1-13
A	US 2018/0286938 A1 (SAMSUNG DISPLAY CO., LTD.) 04 October 2018 & EP 3392921 A2 & KR 10-2018-0112203 A & CN 108695367 A	1-13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i, H05B33/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, G09F9/30, H01L27/32, H01L51/50, H05B33/02, H05B33/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2016/0118452 A1 (SAMSUNG DISPLAY CO., LTD.) 2016.04.28 & KR 10-2016-0049408 A & CN 105551436 A	1-13
A	US 2016/0300864 A1 (SAMSUNG DISPLAY CO., LTD.) 2016.10.13 & KR 10-2016-0121651 A	1-13
A	US 2016/0322442 A1 (SAMSUNG DISPLAY CO., LTD.) 2016.11.03 & KR 10-2016-0129175 A	1-13

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.02.2019

国際調査報告の発送日

26.02.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2017/0317159 A1 (SAMSUNG DISPLAY CO., LTD.) 2017.11.02 & KR 10-2017-0124672 A & CN 107342296 A	1-13
A	US 2018/0197475 A1 (SAMSUNG DISPLAY CO., LTD.) 2018.07.12 & KR 10-2018-0082662 A	1-13
A	US 2018/0286938 A1 (SAMSUNG DISPLAY CO., LTD.) 2018.10.04 & EP 3392921 A2 & KR 10-2018-0112203 A & CN 108695367 A	1-13