(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 06 125 958 T1** 2007.11.22

(12) # Veröffentlichung der Patentansprüche

der europäischen Patentanmeldung mit der
(97) Veröffentlichungsnummer: **1 830 241**
in deutscher Übersetzung (Art. II § 2 Abs. 1 IntPatÜG)
(96) Europäisches Aktenzeichen: **06 125 958.6**
(96) Europäischer Anmeldetag: **16.04.1991**
(97) Veröffentlichungstag
der europäischen Anmeldung: **05.09.2007**
(46) Veröffentlichungstag der Patentansprüche
in deutscher Übersetzung: **22.11.2007**

(51) Int Cl.[8]: ***G06F 1/04*** (2006.01)
G06F 1/12 (2006.01)
G06F 13/00 (2006.01)
G06F 13/16 (2006.01)
G06F 13/36 (2006.01)
G06F 13/38 (2006.01)
G11C 7/00 (2006.01)
G11C 8/00 (2006.01)
G11C 8/04 (2006.01)

(30) Unionspriorität:
510898 **18.04.1990** **US**

(71) Anmelder:
Rambus Inc., Los Altos, Calif., US

(74) Vertreter:
derzeit kein Vertreter bestellt

(72) Erfinder:
Farmwald, Michael, Portola Valley, Calif., US;
Horowitz, Mark, Palo Alto, Calif., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Eingang/Ausgang einer integrierten Schaltung mit einer Hochleistungsbusschnittstelle**

(57) Hauptanspruch: System umfassend:
zwei Halbleiter-Vorrichtungen, die parallel an einen Bus gekoppelt sind,
wobei eine erste Halbleiter-Vorrichtung der zwei Halbleiter-Vorrichtungen eine Transceiver-Vorrichtung und eine zweite Halbleiter-Vorrichtung der zwei Halbleiter-Vorrichtungen eine Master-Vorrichtung ist, wobei die Master-Vorrichtung ein Mittel zum Initiieren von Bustransaktionen aufweist, welche Informationen zwischen den Halbleiter-Vorrichtungen an dem Bus übermitteln,
den Bus, welcher eine Mehrzahl von Busleitungen beinhaltet, um im Wesentlichen alle Adress-, Daten- und Steuerinformationen zu führen, die von den Halbleiter-Vorrichtungen benötigt werden, wobei die Steuerinformationen Vorrichtungsauswahlinformationen enthalten, der Bus im Wesentlichen weniger Leitungen als die Anzahl der Bits in einer einzelnen Adresse aufweist und der Bus Vorrichtungsauswahlinformationen überträgt ohne Notwendigkeit nach separaten, direkt mit einzelnen Halbleiter-Vorrichtungen an dem Bus gekoppelten Vorrichtungsauswahlleitungen.

Patentansprüche

1. System umfassend:
zwei Halbleiter-Vorrichtungen, die parallel an einen Bus gekoppelt sind,
wobei eine erste Halbleiter-Vorrichtung der zwei Halbleiter-Vorrichtungen eine Transceiver-Vorrichtung und eine zweite Halbleiter-Vorrichtung der zwei Halbleiter-Vorrichtungen eine Master-Vorrichtung ist, wobei die Master-Vorrichtung ein Mittel zum Initiieren von Bustransaktionen aufweist, welche Informationen zwischen den Halbleiter-Vorrichtungen an dem Bus übermitteln,
den Bus, welcher eine Mehrzahl von Busleitungen beinhaltet, um im Wesentlichen alle Adress-, Daten- und Steuerinformationen zu führen, die von den Halbleiter-Vorrichtungen benötigt werden, wobei die Steuerinformationen Vorrichtungsauswahlinformationen enthalten, der Bus im Wesentlichen weniger Leitungen als die Anzahl der Bits in einer einzelnen Adresse aufweist und der Bus Vorrichtungsauswahlinformationen überträgt ohne Notwendigkeit nach separaten, direkt mit einzelnen Halbleiter-Vorrichtungen an dem Bus gekoppelten Vorrichtungsauswahlleitungen.

2. System nach Anspruch 1, wobei das System zudem mehrere an den Bus über die Transceiver-Vorrichtung gekoppelte Einheiten aufweist, wobei die mehreren Einheiten DRAMs sind.

3. System nach Anspruch 2, wobei jedes der DRAMs aufweist:
eine Taktempfängerschaltung (**101**, **111**) zum Empfangen eines Taktsignals (**53**, **54**),
ein programmierbares Zugriffszeit-Register zum Speichern eines Wertes, welcher repräsentativ für eine Anzahl Taktzyklen des Taktsignals (**53**, **54**) ist, die verstreichen sollen, bevor das DRAM auf eine Leseanforderung antwortet, die synchron bezüglich des Taktsignals von der Transciever-Vorrichtung empfangen wurde, und
eine Mehrzahl von Ausgabe-Treibern (**76**) zum Ausgeben von Daten an die Transceiver-Vorrichtung in Reaktion auf die Leseanforderung, wobei die Ausgabe-Treiber (**76**) die Daten nach Verstreichen der Anzahl von Taktzyklen des Taktsignals und synchron zu dem Taktsignal (**53**, **54**) ausgeben, sodass die Leseanforderung und die korrespondierende Antwort durch die Anzahl von Taktzyklen, wie sie durch den in dem programmierbaren Zugriffszeit-Register gespeicherten Wert bestimmt ist, voneinander beabstandet sind, wobei jeder Ausgabe-Treiber der Mehrzahl von Ausgabe-Treibern (**76**) die Daten mit einer Buszyklus-Datenrate ausgibt, die das Doppelte der Rate des Taktsignals ist.

4. System nach Anspruch 3, wobei für jedes DRAM der Wert in dem programmierbaren Zugriffszeit-Register als Antwort auf einen von der Mastervorrichtung ausgelöste Operation zum Setzen des Registers gespeichert ist.

5. System nach einem der Ansprüche 3 oder 4, wobei, als Antwort auf eine Leseanforderung, die Mehrzahl von Ausgabe-Treibern (**76**) eine Datenmenge ausgibt, wie sie durch eine Blockgrößeninformation definiert ist, die von jedem DRAM synchron bezüglich des Taktsignals (**53**, **54**) empfangen wird.

6. System nach einem der Ansprüche 3, 4 oder 5, weiterhin gekennzeichnet dadurch, dass jedes DRAM umfasst:
eine vorrichtungsinterne Takterzeugungsschaltung, die mit der Taktempfängerschaltung gekoppelt ist, um eins internes Taktsignal zu erzeugen, welches verwendet wird, um Daten als Antwort auf die Leseanforderung auszugeben, wobei die vorrichtungsinterne Takterzeugungsschaltung eine Timingverhältnis zwischen den auszugebenden Daten und dem von dem DRAM empfangen Taktsignal überwacht und steuert.

7. System nach Anspruch 6, wobei die vorrichtungsinterne Takterzeugungsschaltung ein komplementäres internes Taktsignal erzeugt, wobei das interne Taktsignal und das komplementäre interne Taktsignal verwendet werden, um auszuwählen, welche Daten an die Mehrzahl von Ausgabe-Treibern ausgegeben werden.

8. System nach einem der Ansprüche 6 oder 7, wobei die vorrichtungsinterne Takterzeugungsschaltung eine Rückkopplungsleitung verwendet, um eine variable Verzögerungsleitung beim Erzeugen des internen Taktsignals einzustellen.

9. System nach einem der Ansprüche 3 bis 7, wobei jedes DRAM weiterhin Leseverstärker aufweist, die zum Lesen der Daten aus der Speichermatrix verwendet werden, wobei, wenn von einem Controller über den Bus empfangene Voraufladeinformationen anzeigen, dass ein Vorladevorgang ausgeführt werden soll, ein automatisches Voraufladen der Leseverstärker als Teil der Ausführung der Leseanforderung erfolgt.

Es folgt kein Blatt Zeichnungen