

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3717536号

(P3717536)

(45) 発行日 平成17年11月16日(2005.11.16)

(24) 登録日 平成17年9月9日(2005.9.9)

(51) Int.Cl.⁷

F I

H03F 3/68

H03F 3/68

B

G09G 3/36

G09G 3/36

H03F 1/22

H03F 1/22

請求項の数 3 (全 14 頁)

(21) 出願番号 特願平6-119238
 (22) 出願日 平成6年5月31日(1994.5.31)
 (65) 公開番号 特開平7-325555
 (43) 公開日 平成7年12月12日(1995.12.12)
 審査請求日 平成10年1月30日(1998.1.30)
 審判番号 不服2001-13717(P2001-13717/J1)
 審判請求日 平成13年8月2日(2001.8.2)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (74) 代理人 100080034
 弁理士 原 謙三
 (72) 発明者 久保田 靖
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 白木 一郎
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 信号増幅器および画像表示装置

(57) 【特許請求の範囲】

【請求項1】

互いに並列接続され、それぞれ入力信号を線形増幅する第1、第2の増幅回路が設けられており、入力信号のレベルが増大するレベル変化に対する応答速度は、第1の増幅回路の方が第2の増幅回路よりも大きくなるように設定されており、入力信号のレベルが減少するレベル変化に対する応答速度は、第2の増幅回路の方が第1の増幅回路よりも大きくなるように設定されており、

前記の第1の増幅回路は、入力信号を線形増幅するpチャンネル型トランジスタからなる第1の線形回路と、第1の線形回路の出力信号を線形増幅するnチャンネル型トランジスタからなる第2の線形回路とを含んでおり、前記の第2の増幅回路は、入力信号を線形増幅するnチャンネル型トランジスタからなる第3の線形回路と、第3の線形回路の出力信号を線形増幅するpチャンネル型トランジスタからなる第4の線形回路とを含んでいることを特徴とする信号増幅器。

10

【請求項2】

前記の第1、第2の増幅回路が、シリコン薄膜に形成されていることを特徴とする請求項1記載の信号増幅器。

【請求項3】

マトリクス状に配置された複数の表示素子と、映像信号をデータ信号線に出力するデータ信号線駆動回路と、走査信号を走査信号線に出力する走査信号線駆動回路と、表示素子毎に設けられ、データ信号線上の映像信号を走査信号線上の走査信号に応じて表示素子に

20

出力するスイッチング素子とが備えられており、上記のデータ信号線駆動回路は、映像信号を線形増幅しデータ信号線に出力する信号増幅器として、請求項 1 または 2 に記載の信号増幅器を含んでいることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、入力に比例した出力が得られる信号増幅器および、この信号増幅器を使用した画像表示装置に関する。

【0002】

【従来の技術】

入力に比例した出力が得られるという線形特性を有する信号増幅器には、通常、オペレーショナル・アンプが使用されているが、素子数が少なくて済むカスコードアンプもしばしば使用されている。

【0003】

カスコードアンプは、例えば、マグロウヒル・ブック社が昭和 57 年 7 月 10 日に発行した「トランジスタと IC のための電子回路 (II) 第 2 版」の p. 324 に記載されているように、2 個の同種のバイポーラ・トランジスタを直列に接続した構成になっており、出力と入力とは直流レベルが異なるが、交流成分は減衰しないという特徴を有している。

【0004】

カスコードアンプを使用した信号増幅器の一例を図 11 に示す。

【0005】

この信号増幅器は、直列接続された 2 個のカスコードアンプを備えている。前段のカスコードアンプは、電源 VCC と VSS との間に直列に接続された p チャンネル型トランジスタ TRP1、TRP2 からなっており、後段のカスコードアンプは、電源 VCC と VSS との間に直列に接続された n チャンネル型トランジスタ TRN1、TRN2 からなっている。トランジスタ TRP2、TRN2 は、定電流源として働くように、それらのゲートには、それぞれ、所定の電圧 Vbp、Vbn が印加されている。入力信号はトランジスタ TRP1 のゲート電極に印加され、出力信号はトランジスタ TRN1、TRN2 の接続点から取り出される。

【0006】

以上のように、2 個のカスコードアンプを直列に設けることにより、出力レベルの変動が入力レベルに影響を与えないようになっている。

【0007】

上記の信号増幅器は、入力に比例した出力が得られるという特性を有しているため、様々な分野で利用されている。例えば、アクティブ・マトリクス型画像表示装置の分野では、映像信号をデータ信号線に書き込むデータ信号線駆動回路における、信号増幅器に使用されている。

【0008】

【発明が解決しようとする課題】

ところが、上記従来の信号増幅器では、入力信号のレベルが増大するレベル変化があったとき、そのレベル変化に高速応答した出力が得られるが、入力信号のレベルが減少するレベル変化があったとき、そのレベル変化に高速応答した出力が得られないという問題点を有している。

【0009】

このため、上記の信号増幅器をアクティブ・マトリクス型画像表示装置に利用した場合、所定の期間内に、映像信号をデータ信号線に書き込めなくなる恐れがある。特に、多階調表示を行う画像表示装置に利用した場合、表示品位の低下が起きやすくなる。

【0010】

トランジスタ TRN2 の駆動能力を大きくすれば (つまり、トランジスタ TRN2 に

10

20

30

40

50

おける定常電流を大きくすれば)、入力信号のレベルが減少するレベル変化があったときでも、そのレベル変化に高速応答した出力が得られる。しかしながら、トランジスタ-TRN2の駆動能力を大きくすれば、消費電力が増大するという新たな問題を招来する。

【0011】

特に、絶縁基板上的多結晶シリコン薄膜に形成されたトランジスタでは、単結晶シリコン基板上に形成されたトランジスタに比べて、キャリア移動度が低く、閾値電圧が高く、耐圧が低いため、トランジスタ-TRN2の駆動能力をある程度以上に大きくすることは困難である。

【0012】

したがって、大画面化およびコストダウンのため、絶縁基板上的多結晶シリコン薄膜に画素アレイや駆動回路をモノリシックに形成したアクティブ・マトリクス型画像表示装置を実現しようとしても、従来の信号増幅器ではそれを実現することは困難であるという問題点を有している。

【0013】

【課題を解決するための手段】

請求項1の発明に係る信号増幅器は、上記の課題を解決するために、互いに並列接続され、それぞれ入力信号を線形増幅する第1、第2の増幅回路が設けられており、入力信号のレベルが増大するレベル変化に対する応答速度は、第1の増幅回路の方が第2の増幅回路よりも大きくなるように設定されており、入力信号のレベルが減少するレベル変化に対する応答速度は、第2の増幅回路の方が第1の増幅回路よりも大きくなるように設定されており、前記の第1の増幅回路は、入力信号を線形増幅するpチャンネル型トランジスタからなる第1の線形回路と、第1の線形回路の出力信号を線形増幅するnチャンネル型トランジスタからなる第2の線形回路とを含んでおり、前記の第2の増幅回路は、入力信号を線形増幅するnチャンネル型トランジスタからなる第3の線形回路と、第3の線形回路の出力信号を線形増幅するpチャンネル型トランジスタからなる第4の線形回路とを含んでいることを特徴としている。

【0014】

請求項2の発明に係る信号増幅器は、上記の課題を解決するために、請求項1の信号増幅器であって、前記の第1、第2の増幅回路が、シリコン薄膜に形成されていることを特徴としている。

【0015】

請求項3の発明に係る画像表示装置は、上記の課題を解決するために、マトリクス状に配置された複数の表示素子と、映像信号をデータ信号線に出力するデータ信号線駆動回路と、走査信号を走査信号線に出力する走査信号線駆動回路と、表示素子毎に設けられ、データ信号線上の映像信号を走査信号線上の走査信号に応じて表示素子に出力するスイッチング素子とが備えられており、上記のデータ信号線駆動回路は、映像信号を線形増幅しデータ信号線に出力する信号増幅器として、請求項1または2に記載の信号増幅器を含んでいることを特徴としている。

【0016】

【作用】

請求項1の構成によれば、入力信号を線形増幅できる。しかも、入力信号のレベルが増大するレベル変化があったとき、そのレベル変化に高速応答した出力が第1の増幅回路から得られ、入力信号のレベルが減少するレベル変化があったとき、そのレベル変化に高速応答した出力が第2の増幅回路から得られる。つまり、入力信号のレベル変化に関わらず、入力信号に高速応答した出力を得ることができる。

【0017】

これに加え、第1の増幅回路と第2の増幅回路とがトランジスタのチャンネル極性について対称になる。このため、第1の増幅回路で生じるオフセットと第2の増幅回路で生じるオフセットとが同一になる。換言すれば、第1の増幅回路からの出力のレベルと第2の増幅回路からの出力のレベルとを一致させることができる。これにより、第1の増幅回路

10

20

30

40

50

からの出力と第2の増幅回路からの出力とが干渉しにくくなるので、入力信号に対する線形性がより優れた出力を得ることができる。

【0018】

請求項2の構成によれば、請求項1の作用に加え、応答速度の速い信号増幅器をローコストで実現できる。

【0019】

請求項3の構成によれば、データ信号線駆動回路の信号増幅器に上記の応答速度の速い信号増幅器を採用したので、映像信号をデータ信号線に短時間で出力することができる。これにより、動作周波数が高い画像表示装置、つまり、高品位画像を表示できる画像表示装置を実現することが可能になる。

10

【0020】

【実施例】

本発明の一実施例について図1ないし図6に基づいて説明すれば、以下の通りである。

【0021】

本実施例の信号増幅器は、入力信号をほぼ線形増幅するプリアンプ3と、プリアンプ3からの出力をほぼ線形増幅する増幅回路1、2（第1、第2の増幅回路）とを備えており、増幅回路1、2は並列接続されている。

【0022】

増幅回路1における、プリアンプ3からの出力のレベルが増大するレベル変化に対するスルー・レート（応答速度）は、増幅回路2におけるそのスルー・レートよりも大きく設定されており、増幅回路2における、プリアンプ3からの出力のレベルが減少するレベル変化に対するスルー・レートは、増幅回路1におけるそのスルー・レートよりも大きく設定されている。

20

【0023】

上記の構成において、プリアンプ3は入力信号を所定のレベルまで線形増幅する。プリアンプ3からの出力は、増幅回路1、2に入力される。増幅回路1、2は、プリアンプ3からの出力を線形増幅する。そして、信号増幅器は、増幅回路1の出力と増幅回路2の出力との和を出力信号として出力する。

【0024】

プリアンプ3からの出力のレベルが増大するレベル変化があったとき、換言すれば、入力信号のレベルが増大するレベル変化があったとき、増幅回路1は、そのレベル変化に高速応答した出力信号を出力する。一方、プリアンプ3からの出力のレベルが減少するレベル変化があったとき、換言すれば、入力信号のレベルが減少するレベル変化があったとき、増幅回路2は、そのレベル変化に高速応答した出力信号を出力する。つまり、本実施例の信号増幅器によれば、入力信号のレベル変化に関わらず、入力信号に高速応答した出力を得ることができる。

30

【0025】

ところで、入力信号のレベルが減少するレベル変化に対する増幅回路1のスルー・レートおよび、入力信号のレベルが増大するレベル変化に対する増幅回路2のスルー・レートは、原理上、本実施例の信号増幅器のスルー・レートにほとんど影響を与えない。このため、増幅回路1では、入力信号のレベルが減少するレベル変化に対するスルー・レートを小さくすることが可能であり、増幅回路2では、入力信号のレベルが増大するレベル変化に対するスルー・レートを小さくすることが可能である。

40

【0026】

それゆえ、これらのスルー・レートを小さくすることにより定常電流が小さくなる増幅回路1、2を採用すれば、応答速度が速く、しかも、消費電力が小さい信号増幅器を実現できる。

【0027】

増幅回路1、2の一参考例を、それぞれ、図2（a）、（b）に示す。

【0028】

50

図 2 (a) は、2 個の同極性の MOS 型電界効果トランジスタ、すなわち、n チャンネル型トランジスタ $TRN1$ 、 $TRN2$ を電源 VCC と VSS との間に直列に接続したカスコード型線形回路である。電源 VSS 側のトランジスタ $TRN2$ は飽和領域で動作するように、定電圧 Vbn がゲート電極に印加されている。入力信号はトランジスタ $TRN1$ のゲート電極に印加され、出力信号はトランジスタ $TRN1$ 、 $TRN2$ の接続点から取り出される。

【 0 0 2 9 】

図 2 (b) は、2 個の同極性の MOS 型電界効果トランジスタ、すなわち、p チャンネル型トランジスタ $TRP1$ 、 $TRP2$ を電源 VCC と VSS との間に直列に接続したカスコード型線形回路である。電源 VCC 側のトランジスタ $TRP2$ は飽和領域で動作するように、定電圧 Vbp がゲート電極に印加されている。入力信号はトランジスタ $TRP1$ のゲート電極に印加され、出力信号はトランジスタ $TRP1$ 、 $TRN2$ の接続点から取り出される。

10

【 0 0 3 0 】

これらの回路では、いずれも、出力信号は、入力信号に対して線形ではあるが、一定のオフセットを有する。オフセット量は、定電流源として動作するトランジスタ $TRN2$ ($TRP2$) のゲート電極とソース電極との電位差に一致する。

【 0 0 3 1 】

したがって、出力電圧は、n チャンネル型トランジスタ $TRN1$ 、 $TRN2$ を用いた図 2 (a) の回路では、

20

$$V_{out} = V_{in} - (V_{bn} - V_{cc})$$

となり、p チャンネル型トランジスタ $TRP1$ 、 $TRP2$ を用いた図 2 (b) の回路では、

$$V_{out} = V_{in} - (V_{bp} - V_{ss})$$

となる。ここで、 V_{in} 、 V_{out} は、それぞれ、入力電圧、出力電圧であり、 V_{cc} 、 V_{ss} は、それぞれ、電源 VCC 、 VSS の電圧である。

【 0 0 3 2 】

増幅回路 1、2 の他の参考例を、それぞれ、図 3 (a)、(b) に示す。なお、増幅回路 1、2 は、上記の特性を有しておれば、いかなる回路であってもよい。

【 0 0 3 3 】

30

さらに、増幅回路 1、2 の具体例はそれぞれ単独の線形回路からなるのではなく、複数の線形回路の組み合わせからなる。

【 0 0 3 4 】

例えば、図 4 に示すように、増幅回路 1 を 2 個の直列接続した線形回路 1 a、1 b (第 1、第 2 の線形回路) で構成し、増幅回路 2 を 2 個の直列接続した線形回路 2 a、2 b (第 3、第 4 の線形回路) で構成する。

【 0 0 3 5 】

終段の線形回路 1 b における、入力レベルが増大するレベル変化に対するスルー・レートは、終段の線形回路 2 b におけるそのスルー・レートよりも大きく設定されており、線形回路 2 b における、入力のレベルが減少するレベル変化に対するスルー・レートは、線形回路 1 b におけるそのスルー・レートよりも大きく設定されている。

40

【 0 0 3 6 】

プリアンプ 3 からの出力は、増幅回路 1 の線形回路 1 a と、増幅回路 2 の線形回路 2 a とに入力される。そして、線形回路 1 a の出力は線形回路 1 b に入力され、線形回路 2 a の出力は線形回路 2 b に入力される。そして、増幅回路 1 の出力と増幅回路 2 の出力との和が出力信号として出力される。

【 0 0 3 7 】

プリアンプ 3 からの出力のレベルが増大するレベル変化があったとき、換言すれば、入力信号のレベルが増大するレベル変化があったとき、線形回路 1 b は、そのレベル変化に高速応答した出力信号を出力する。一方、プリアンプ 3 からの出力のレベルが減少するレベ

50

ル変化があったとき、換言すれば、入力信号のレベルが減少するレベル変化があったとき、線形回路 2 b は、そのレベル変化に高速応答した出力信号を出力する。つまり、本実施例の信号増幅器によれば、入力信号のレベル変化に関わらず、入力信号に高速応答した出力を得ることができる。

【 0 0 3 8 】

線形回路 1 b、2 b に、それぞれ、上述の n チャンネル型トランジスタからなるカスコード型線形回路 (図 2 (a))、p チャンネル型トランジスタからなるカスコード型線形回路 (図 2 (b)) を使用した場合の信号増幅器の応答性を図 5 に示す。

【 0 0 3 9 】

曲線 A、B は、それぞれ、レベルが階段状に増大、減少するレベル変化を示す信号をプリアンプ 3 に入力したときに得られた出力信号である。いずれのレベル変化に対しても出力電圧が短時間で急激に増大、減少していることが分かる。つまり、いずれのレベル変化に対しても、高速応答している。

10

【 0 0 4 0 】

比較のために、線形回路 1 b、2 b の両方に同一極性のトランジスタからなるカスコード型線形回路を使用したときの信号増幅器の応答性を図 6 に示す。

【 0 0 4 1 】

n チャンネル型トランジスタからなるカスコード型線形回路を使用した場合、同図 (a) に示すように、レベルが階段状に増大するレベル変化を示す入力信号に対して応答速度が速いが、レベルが階段状に減少するレベル変化を示す入力信号に対して応答速度が遅いことが分かる。また、p チャンネル型トランジスタからなるカスコード型線形回路を使用した場合、同図 (b) に示すように、レベルが階段状に減少するレベル変化を示す入力信号に対して応答速度が速いが、レベルが階段状に増大するレベル変化を示す入力信号に対して応答速度が遅いことが分かる。

20

【 0 0 4 2 】

ところで、入力信号のレベルが減少するレベル変化に対する線形回路 1 b のスルー・レートおよび、入力信号のレベルが増大するレベル変化に対する線形回路 2 b のスルー・レートは、原理上、本実施例の信号増幅器のスルー・レートにほとんど影響を与えない。このため、線形回路 1 b では、入力信号のレベルが減少するレベル変化に対するスルー・レートを小さくすることが可能であり、線形回路 2 b では、入力信号のレベルが増大するレベル変化に対するスルー・レートを小さくすることが可能である。

30

【 0 0 4 3 】

それゆえ、これらのスルー・レートを小さくすることにより定常電流が小さくなる線形回路 1 b、2 b を採用すれば、応答速度が速く、しかも、消費電力が小さい信号増幅器を実現できる。

【 0 0 4 4 】

なお、プリアンプ 3 の出力負荷は、線形回路 1 a および 2 a の入力容量だけであり、線形回路 1 a、2 a の出力負荷は、それぞれ、線形回路 1 b、2 b の入力容量だけである。このため、プリアンプ 3 および線形回路 1 a、2 a の駆動力は小さくてもよい。したがって、定常電流が小さいプリアンプ 3 および線形回路 1 a、2 a を採用することが可能であり、これにより、消費電力をさらに抑えることができる。

40

【 0 0 4 5 】

以上のように、本実施例の信号増幅器によれば、消費電力を抑えることが可能であるので、多結晶シリコン薄膜あるいは単結晶シリコン薄膜に形成されたトランジスタのように、駆動能力の小さいトランジスタを採用することが可能である。これにより、応答速度の速い信号増幅器をローコストで実現できる。

【 0 0 4 6 】

さらに、線形回路 1 a、2 a に、それぞれ、線形回路 1 b、2 b とは逆極性のトランジスタからなるカスコード型線形回路、すなわち、線形回路 1 a に p チャンネル型トランジスタからなるカスコード型線形回路、線形回路 2 a に n チャンネル型トランジスタが

50

らなるカスコード型線形回路を使用すれば、増幅回路 1 のオフセットと、増幅回路 2 のオフセットとを一致させることができる。このため、増幅回路 1 の出力レベルと増幅回路 2 の出力レベルとが一致するので、増幅回路 1、2 の出力間の干渉が起こりにくくなる。その結果、入力信号に対する線形性がより優れた出力を得ることができる。

【0047】

本発明の参考例について図 7 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施例の図面に示した部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0048】

本参考例の信号増幅器は、入力信号をほぼ線形増幅するプリアンプ 3 と、プリアンプ 3 (増幅回路) からの出力をほぼ線形増幅し出力する増幅回路 4 とを備えている。プリアンプ 3 および増幅回路 4 には、具体的には例えば、前述のカスコード型線形回路 (図 2) が用いられる。

10

【0049】

増幅回路 4 は、シリコン薄膜に形成された n チャンネル型トランジスタ、p チャンネル型トランジスタの内、チャンネル幅当たりのコンダクタンスが大きい方のトランジスタからなっている。例えば、n チャンネル型トランジスタよりも p チャンネル型トランジスタの方が、チャンネル幅当たりのコンダクタンスが大きい場合、プリアンプ 3 には、n チャンネル型トランジスタからなるカスコード型線形回路を採用し、増幅回路 4 には、p チャンネル型トランジスタからなるカスコード型線形回路を採用する。

20

【0050】

これによれば、増幅回路 4 におけるトランジスタの単位面積当たりの駆動力が大きくなる。したがって、トランジスタの占有面積が同じ場合、従来よりも高速応答が可能となる。つまり、応答速度が速く、しかも、占有面積が小さい信号増幅器を実現できる。

【0051】

なお、増幅回路 4 はそれぞれ単独の線形回路からなる必要はなく、複数の線形回路を組み合わせてもよい。この場合、終段の線形回路にチャンネル幅当たりのコンダクタンスが大きい方のトランジスタを採用すればよい。

【0052】

一般には、p チャンネル型トランジスタよりも n チャンネル型トランジスタの方がキャリア移動度が大きいので、チャンネル幅当たりのコンダクタンスも大きい。トランジスタの構造やトランジスタの製造条件によっては、逆の場合もある。

30

【0053】

例えば、絶縁基板上的多結晶シリコン薄膜に形成したトランジスタの場合、閾値電圧が、n チャンネル型トランジスタと p チャンネル型トランジスタとでは、大きく相違することがある。また、トランジスタの構造が同じであっても、ソース・ドレイン間耐圧が、n チャンネル型トランジスタと p チャンネル型トランジスタとでは、大きく相違することがある。これらの相違をできるだけ小さくするために、オフセット構造、または、LDD (Lightly Doped Drain) 構造を採用した場合、実効的なキャリア移動度が低下するので、チャンネル幅当たりのコンダクタンスは、n チャンネル型トランジスタよりも p チャンネル型トランジスタの方が大きくなる。ことがある。

40

【0054】

このような場合、増幅回路 4 の終段には、n チャンネル型トランジスタで構成されたカスコード型線形回路を採用するよりも、むしろ、チャンネル幅当たりのコンダクタンスが大きい方のトランジスタで構成された線形回路を採用することが有効である。

【0055】

次に、上記の信号増幅器の一応用例として、上記の信号増幅器を使用したアクティブ・マトリクス型画像表示装置について図 8 ないし図 10 に基づいて説明すれば、以下の通りである。

【0056】

50

アクティブ・マトリクス型画像表示装置は、図 8 に示すように、画素アレイ 11 と、データ信号線 SL_1 、 SL_2 ... を駆動するデータ信号線駆動回路 12 と、走査信号線 GL_1 、 GL_2 ... を駆動する走査信号線駆動回路 13 とからなっている。画素アレイ 11 には、画素としてのセル C_{ij} がマトリクス状に設けられている。

【0057】

データ信号線駆動回路 12 は、タイミング信号 TIM_1 に同期して、映像信号をサンプリングし、サンプリングにより得られたデータを必要に応じて増幅して、データ信号線 SL_1 、 SL_2 ... に書き込む働きをする。走査信号線駆動回路 13 は、タイミング信号 TIM_2 に同期して、走査信号線 GL_1 、 GL_2 ... を順次選択する。

【0058】

各セル C_{ij} の等価回路は、液晶表示装置の場合、図 9 に示すように、FET（電界効果トランジスタ）等のスイッチング素子 SW と、液晶容量 C_1 と、必要に応じて液晶容量 C_1 に並列に設けられる補助容量 C_s とからなっている。

【0059】

スイッチング素子 SW のゲート、ドレインは、それぞれ、走査信号線 GL_j 、データ信号線 SL_j に接続されている。液晶容量 C_1 の一方の電極はスイッチング素子 SW のソースに接続されており、液晶容量 C_1 の他方の電極（対向電極）は、全セル C_{ij} に共通の共通電極線に接続されている。

【0060】

走査信号線駆動回路 13 が走査信号線 GL_j を選択すると、スイッチング素子 SW がオンになる。これにより、データ信号線 SL_j のデータが、スイッチング素子 SW のドレイン、ソースを介して液晶容量 C_1 に送られる。液晶容量 C_1 はデータを保持する。そして、液晶容量 C_1 に印加された電圧に応じて、液晶の透過率または反射率が変調され、その結果、画像が表示される。

【0061】

データ信号線駆動回路 12 でデータ信号線 SL_1 、 SL_2 ... を駆動する方式には、アナログ方式とデジタル方式とがある。多階調表示を行う場合、アナログ方式の方が優れている。

【0062】

アナログ方式で線順次駆動方式のデータ信号線駆動回路 12 は、図 10 に示すように、スタートパルス SRT によりトリガーされ、クロック信号 CLK に基づいてパルス N_j を出力するシフトレジスタ SR を備えている。アナログ・スイッチ AS_j は、パルス N_j に同期して開閉する。これにより、映像信号線 SIG の映像信号がサンプリングされ、一旦、データとしてサンプリング容量 C_{saj} に蓄えられる。そして、次の水平帰線期間に、転送信号線 TRF の転送信号によりアナログ・スイッチ BS_j を開閉させる。これにより、サンプリング容量 C_{saj} に蓄えたデータをホールド容量 C_{hj} へ転送すると共に、次の水平走査期間にデータを信号増幅器 AMP_j を介してデータ信号線 SL_j に出力する。

【0063】

ここで、 $j = 1, 2, \dots, m$ であり、 m は横方向の画素数である。なお、必要に応じて、パルス N_j の増幅および位相反転等を行うサンプリング回路 SMP_j が付加される。

【0064】

以上のように、線順次駆動方式の場合、ある水平走査期間にアナログスイッチ AS_j でサンプリングしたデータを、次の水平走査期間にデータ信号線 SL_j に出力しているので、サンプリングしたデータを、同じ水平走査期間内に出力する点順次駆動方式の場合と比較して、データの書き込み時間を十分に確保することができる。その結果、表示品位に優れた画像が得られる。

【0065】

上記の信号増幅器 AMP_j として、高速応答性を有する本実施例の信号増幅器を採用すれば、さらに、データの書き込み時間に余裕が生まれる。このため、データの書き込み時間が少ない高精細の画像表示装置や大画面の画像表示装置にも充分対応できる。

10

20

30

40

50

【 0 0 6 6 】

例えば、パーソナル・コンピュータ等で採用されているVGA（ビデオ・グラフィック・アレイ）規格では、約30μsec以内にデータを書き込む必要がある。また、画像表示装置として、25cm（10型）相当の液晶パネルを使用した場合、負荷は数十pF以上にも達する。このように、短時間で大容量の負荷を駆動する場合でも、本実施例の信号増幅器によれば、充分対応できる。

【 0 0 6 7 】

特に、近年、開発が進められているモノリシック構造（画素アレイと駆動回路とが同一基板上に一体形成された構造）の液晶表示装置においては、駆動回路12の素子として、特性（キャリア移動度や閾値電圧、耐圧など）の劣った薄膜トランジスターを用いることになるが、本実施例の信号増幅器によれば、充分対応できる。

10

【 0 0 6 8 】

また、上記モノリシック構造の液晶表示装置の大型化のために、基板として安価なガラス基板を用いた場合には、その歪み点（約600）以下の温度で素子を製造する必要があるが、そのようなプロセスで製造された素子は、特性がさらに劣っているが、本実施例の信号増幅器によれば、充分対応できる。

【 0 0 6 9 】

さらに、ガラス基板上に前述したようなデータ信号線駆動回路12を形成し、該基板を、画素アレイ11を構成した基板上に実装する場合にも、本実施例の信号増幅器によれば、充分対応できる。

20

【 0 0 7 0 】

上記実施例では、信号増幅器の応用例として、アクティブ・マトリクス型液晶表示装置を中心に記述したが、本発明は、これに限らず、他のアクティブ・マトリクス型画像表示装置、あるいは、その他のシステムにも適用できる。

【 0 0 7 1 】

【 発明の効果 】

請求項1の発明に係る信号増幅器は、以上のように、互いに並列接続され、それぞれ入力信号を線形増幅する第1、第2の増幅回路が設けられており、入力信号のレベルが増大するレベル変化に対する応答速度は、第1の増幅回路の方が第2の増幅回路よりも大きくなるように設定されており、入力信号のレベルが減少するレベル変化に対する応答速度は、第2の増幅回路の方が第1の増幅回路よりも大きくなるように設定されおり、前記の第1の増幅回路は、入力信号を線形増幅するpチャンネル型トランジスターからなる第1の線形回路と、第1の線形回路の出力信号を線形増幅するnチャンネル型トランジスターからなる第2の線形回路とを含んでおり、前記の第2の増幅回路は、入力信号を線形増幅するnチャンネル型トランジスターからなる第3の線形回路と、第3の線形回路の出力信号を線形増幅するpチャンネル型トランジスターからなる第4の線形回路とを含んでいる構成である。

30

【 0 0 7 2 】

これによれば、入力信号を線形増幅できる。しかも、入力信号のレベルが増大するレベル変化があったとき、そのレベル変化に高速応答した出力が第1の増幅回路から得られ、入力信号のレベルが減少するレベル変化があったとき、そのレベル変化に高速応答した出力が第2の増幅回路から得られる。つまり、入力信号のレベル変化に関わらず、入力信号に高速応答した出力を得ることができるという効果を奏する。

40

【 0 0 7 3 】

これに加え、第1の増幅回路と第2の増幅回路とがトランジスターのチャンネル極性について対称になる。このため、第1の増幅回路で生じるオフセットと第2の増幅回路で生じるオフセットとが同一になる。換言すれば、第1の増幅回路からの出力のレベルと第2の増幅回路からの出力のレベルとを一致させることができる。これにより、第1の増幅回路からの出力と第2の増幅回路からの出力とが干渉しにくくなるので、入力信号に対する線形性がより高い出力を得ることができるという効果を奏する。

50

【 0 0 7 4 】

請求項 2 の発明に係る信号増幅器は、以上のように、請求項 1 の信号増幅器であって、前記の第 1、第 2 の増幅回路が、シリコン薄膜に形成されている構成である。

【 0 0 7 5 】

これによれば、請求項 1 の効果に加え、応答速度の速い信号増幅器をローコストで実現できるという効果を奏する。

【 0 0 7 6 】

請求項 3 の発明に係る画像表示装置は、以上のように、マトリクス状に配置された複数の表示素子と、映像信号をデータ信号線に出力するデータ信号線駆動回路と、走査信号を走査信号線に出力する走査信号線駆動回路と、表示素子毎に設けられ、データ信号線上の映像信号を走査信号線上の走査信号に応じて表示素子に出力するスイッチング素子とが備えられており、上記のデータ信号線駆動回路は、映像信号を線形増幅しデータ信号線に出力する信号増幅器として、請求項 1 または 2 に記載の信号増幅器を含んでいる構成である。

10

【 0 0 7 7 】

これによれば、データ信号線駆動回路の信号増幅器に上記の応答速度の速い信号増幅器を採用したので、映像信号をデータ信号線に短時間で出力することができる。これにより、動作周波数が高い画像表示装置、つまり、高品位画像を表示できる画像表示装置を実現することが可能になるという効果を奏する。

【 図面の簡単な説明 】

20

【 図 1 】 本発明に係る信号増幅器の構成を示すブロック図である。

【 図 2 】 図 1 の信号増幅器における増幅回路の参考例を示す回路図である

【 図 3 】 図 1 の信号増幅器における増幅回路の他の参考例を示す回路図である

【 図 4 】 図 1 の信号増幅器の具体例を示すブロック図である。

【 図 5 】 図 1 および図 4 の信号増幅器の応答性を示すグラフである。

【 図 6 】 比較例を示すものであり、信号増幅器の応答性を示すグラフである。

【 図 7 】 参考例の信号増幅器の構成を示すブロック図である。

【 図 8 】 本発明に係る信号増幅器の応用例を示すものであり、アクティブ・マトリクス型画像表示装置の概略の構成を示すブロック図である。

【 図 9 】 図 8 のアクティブ・マトリクス型画像表示装置としての液晶表示装置において、セルの等価回路図である

30

【 図 10 】 図 8 のアクティブ・マトリクス型画像表示装置におけるデータ信号線の駆動回路を示すブロック図である。

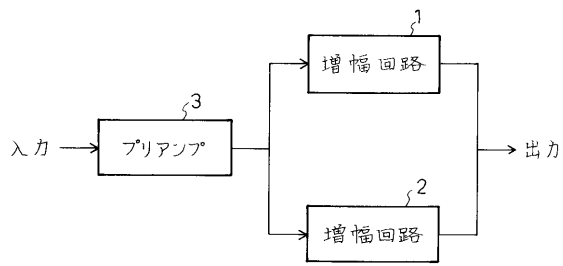
【 図 11 】 従来の信号増幅器を示す回路図である。

【 符号の説明 】

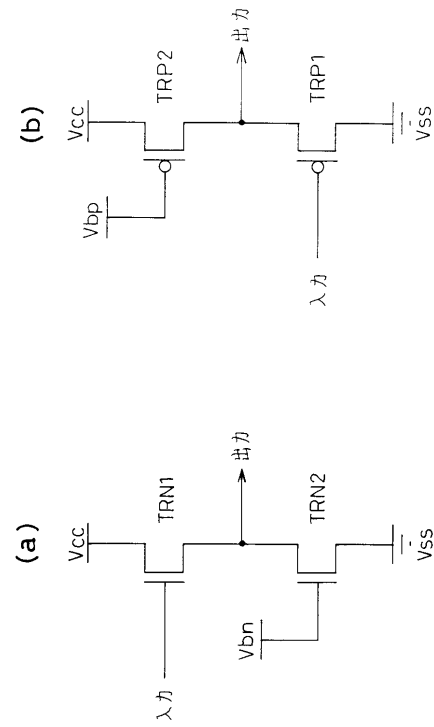
- 1 増幅回路（第 1 の増幅回路）
- 1 a 線形回路（第 1 の線形回路）
- 1 b 線形回路（第 2 の線形回路）
- 2 増幅回路（第 2 の増幅回路）
- 2 a 線形回路（第 3 の線形回路）
- 2 b 線形回路（第 4 の線形回路）
- 3 プリアンプ（増幅回路）
- 4 増幅回路
- 11 画素アレイ
- 12 データ信号線駆動回路
- 13 走査信号線駆動回路
- A M P 信号増幅器

40

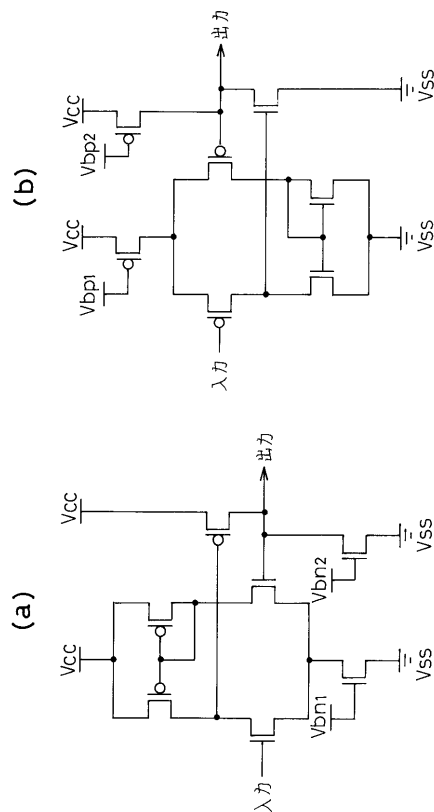
【図 1】



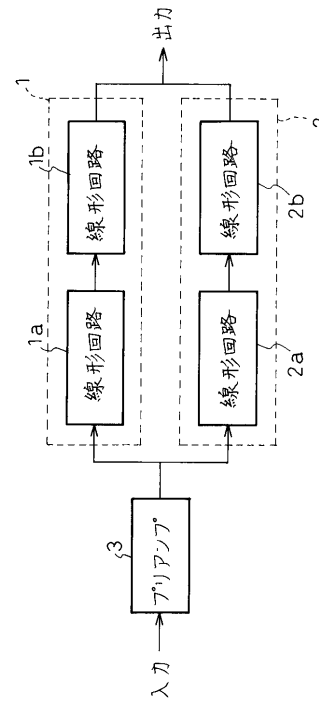
【図 2】



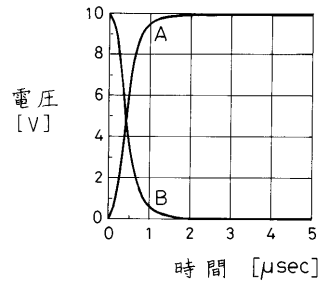
【図 3】



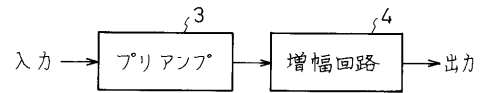
【図 4】



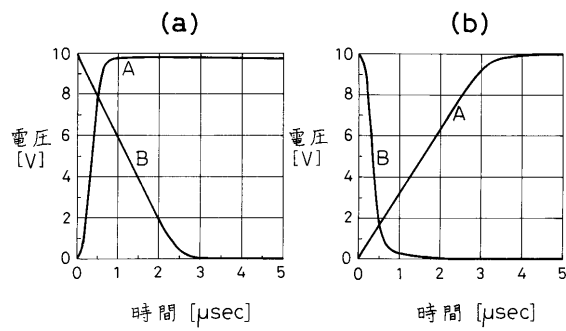
【図 5】



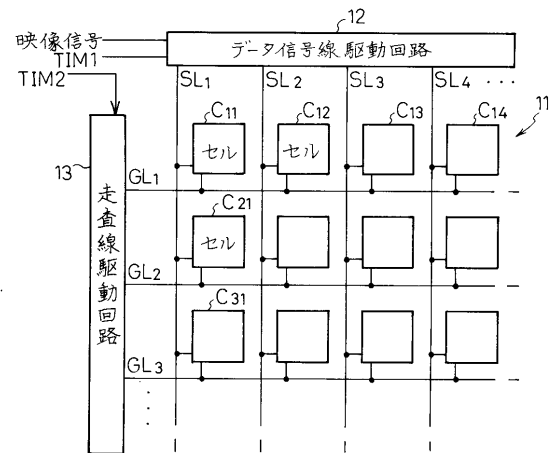
【図 7】



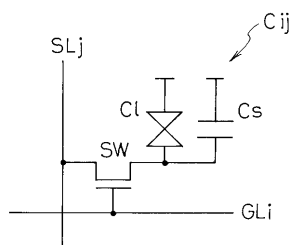
【図 6】



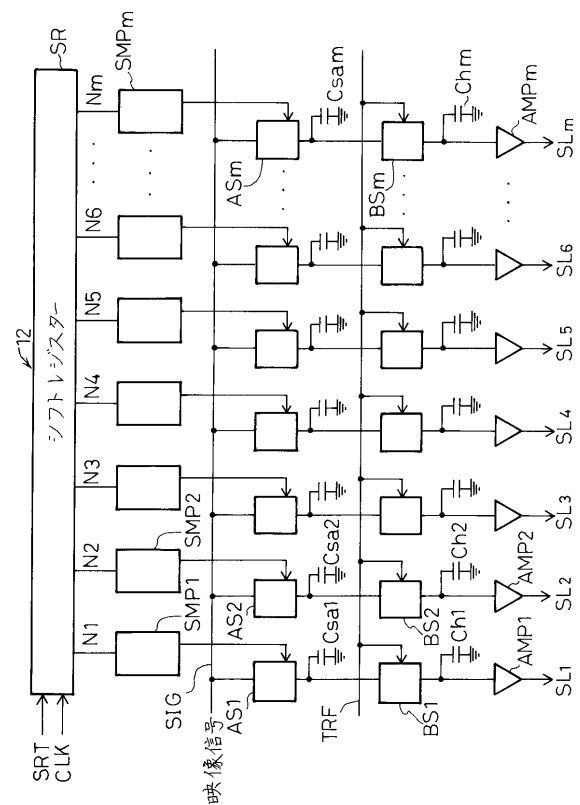
【図 8】



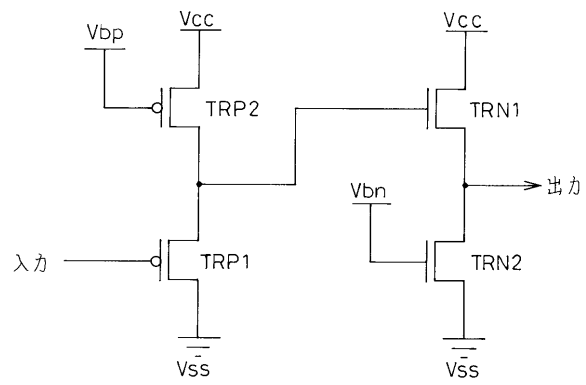
【図 9】



【図 10】



【図 11】



フロントページの続き

合議体
審判長 瀧 廣往
審判官 後藤 時男
審判官 尾崎 淳史

(56)参考文献 実開昭62-85015(JP,U)
特開昭62-29315(JP,A)

(58)調査した分野(Int.Cl.⁷,DB名)
H03F3/68