(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년02월28일
(11) 등록번호 10-2773247
(24) 등록일자 2025년02월21일

(51) 국제특허분류(Int. Cl.)
*G09G 3/32* (2016.01)
(52) CPC특허분류
*G09G 3/32* (2013.01)
*G09G 2300/0809* (2013.01)
(21) 출원번호 10-2020-0091873
(22) 출원일자 2020년07월23일
심사청구일자 2023년06월15일
(65) 공개번호 10-2022-0014367
(43) 공개일자 2022년02월07일
(56) 선행기술조사문헌
KR1020200083803 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
**삼성디스플레이 주식회사**
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
**김윤성**
경기도 용인시 기흥구 삼성로 1 (농서동)
**이승규**
경기도 용인시 기흥구 삼성로 1 (농서동)
*(뒷면에 계속)*
(74) 대리인
**오종한, 문용호**

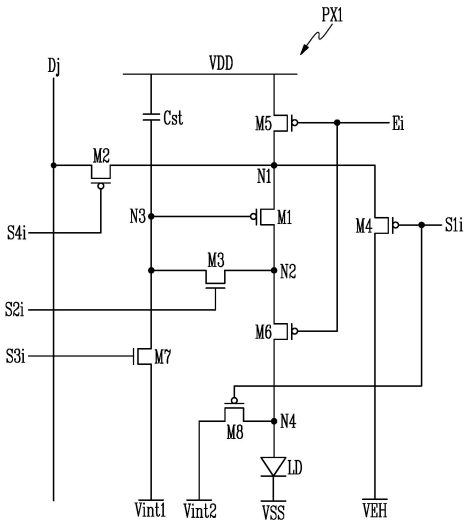
전체 청구항 수 : 총 20 항 심사관 : 이문선

(54) 발명의 명칭 **화소 및 이를 포함하는 표시 장치**

## (57) 요 약

본 발명의 화소는, 발광 소자, 제1 노드와 제2 노드 사이에 접속되며, 게이트 전극에 연결된 제3 노드의 전압에 대응하여 발광 소자로 공급되는 구동 전류를 제어하는 제1 트랜지스터, 데이터선과 제1 노드 사이에 접속되며, 제4 주사 신호에 응답하여 턴-온되는 제2 트랜지스터, 제2 노드와 제3 노드 사이에 접속되며, 제2 주사 신호에 응답하여 턴-온되는 제3 트랜지스터, 제1 주사 신호에 응답하여 턴-온되어 제1 트랜지스터에 제1 전원의 전압을 인가하는 제4 트랜지스터, 구동 전원과 제1 노드 사이에 접속되며, 발광 제어 신호에 응답하여 턴-오프되는 제5 트랜지스터, 제2 노드와 발광 소자의 제1 전극 사이에 접속되며, 발광 제어 신호에 응답하여 턴-오프되는 제6 트랜지스터, 및 제3 노드와 제2 전원 사이에 접속되고, 제3 주사 신호에 응답하여 턴-온되는 제7 트랜지스터를 포함한다. 하나의 프레임 기간에서 제1 전원의 전압 레벨은 가변한다.

*대 표 도* - 도3



(52) CPC특허분류
*G09G 2310/0243* (2013.01)
*G09G 2310/061* (2013.01)
(72) 발명자
**황선준**
경기도 용인시 기흥구 삼성로 1 (농서동)
**손민성**
경기도 용인시 기흥구 삼성로 1 (농서동)
**최연우**
경기도 용인시 기흥구 삼성로 1 (농서동)

# 명 세 서

## 청구범위

### 청구항 1

발광 소자;

제1 노드와 제2 노드 사이에 접속되며, 게이트 전극에 연결된 제3 노드의 전압에 대응하여 상기 발광 소자로 공급되는 구동 전류를 제어하는 제1 트랜지스터;

데이터선과 상기 제1 노드 사이에 접속되며, 제4 주사 신호에 응답하여 턴-온되는 제2 트랜지스터;

상기 제2 노드와 상기 제3 노드 사이에 접속되며, 제2 주사 신호에 응답하여 턴-온되는 제3 트랜지스터;

제1 주사 신호에 응답하여 턴-온되어 상기 제1 트랜지스터에 제1 전원의 전압을 인가하는 제4 트랜지스터;

구동 전원과 상기 제1 노드 사이에 접속되며, 발광 제어 신호에 응답하여 턴-오프되는 제5 트랜지스터;

상기 제2 노드와 상기 발광 소자의 제1 전극 사이에 접속되며, 상기 발광 제어 신호에 응답하여 턴-오프되는 제6 트랜지스터; 및

상기 제3 노드와 제2 전원 사이에 접속되고, 제3 주사 신호에 응답하여 턴-온되는 제7 트랜지스터를 포함하며,

하나의 프레임 기간에서 상기 제1 전원의 전압 레벨은 가변하는, 화소.

### 청구항 2

제1 항에 있어서, 상기 하나의 프레임 기간은,

상기 제2 트랜지스터로 상기 제4 주사 신호가 공급되어 상기 데이터선으로 공급되는 데이터 신호가 상기 제3 노드에 기입되며, 상기 제4 트랜지스터로 상기 제1 주사 신호가 공급되는 표시 주사 기간; 및

상기 제2 트랜지스터로 상기 제4 주사 신호가 공급되지 않으며, 상기 제4 트랜지스터로 상기 제1 주사 신호가 공급되는 적어도 하나의 바이어스 주사 기간을 포함하는, 화소.

### 청구항 3

제2 항에 있어서, 상기 제1 전원은 상기 표시 주사 기간에서 제1 전압 레벨을 가지며, 상기 적어도 하나의 바이어스 주사 기간에서 상기 제1 전압 레벨과 상이한 제2 전압 레벨을 가지는, 화소.

### 청구항 4

제2 항에 있어서, 상기 적어도 하나의 바이어스 주사 기간은 제1 바이어스 주사 기간 및 상기 제1 바이어스 주사 기간 이후의 제2 바이어스 주사 기간을 포함하며,

상기 제1 전원은 상기 표시 주사 기간에서 제1 전압 레벨을 가지며, 상기 제1 바이어스 주사 기간에서 상기 제1 전압 레벨과 상이한 제2 전압 레벨을 가지고, 상기 제2 바이어스 주사 기간에서 상기 제1 전압 레벨 및 상기 제2 전압 레벨과 상이한 제3 전압 레벨을 가지는, 화소.

### 청구항 5

제3 항에 있어서, 상기 데이터선으로 공급되는 상기 데이터 신호는 상기 표시 주사 기간에서 제4 전압 레벨을 가지며, 상기 적어도 하나의 바이어스 주사 기간에서 상기 제4 전압 레벨과 상이한 제5 전압 레벨을 가지는, 화소.

### 청구항 6

제4 항에 있어서, 상기 데이터선으로 공급되는 상기 데이터 신호는 상기 표시 주사 기간에서 제4 전압 레벨을 가지며, 상기 제1 바이어스 주사 기간에서 상기 제4 전압 레벨과 상이한 제5 전압 레벨을 가지고, 상기 제2 바

이어스 주사 기간에서 상기 제4 전압 레벨 및 상기 제5 전압 레벨과 상이한 제6 전압 레벨을 가지는, 화소.

**청구항 7**

제3 항에 있어서,

상기 발광 소자의 상기 제1 전극과 제3 전원 사이에 접속되고, 상기 제1 주사 신호에 응답하여 턴-온되는 제8 트랜지스터를 더 포함하며,

상기 제3 전원은 상기 표시 주사 기간에서 제7 전압 레벨을 가지며, 상기 적어도 하나의 바이어스 주사 기간에서 상기 제7 전압 레벨과 상이한 제8 전압 레벨을 가지는, 화소.

**청구항 8**

제4 항에 있어서,

상기 발광 소자의 상기 제1 전극과 제3 전원 사이에 접속되고, 상기 제1 주사 신호에 응답하여 턴-온되는 제8 트랜지스터를 더 포함하며,

상기 제3 전원은 상기 표시 주사 기간에서 제7 전압 레벨을 가지며, 상기 제1 바이어스 주사 기간에서 상기 제7 전압 레벨과 상이한 제8 전압 레벨을 가지고, 상기 제2 바이어스 주사 기간에서 상기 제7 전압 레벨 및 상기 제8 전압 레벨과 상이한 제9 전압 레벨을 가지는, 화소.

**청구항 9**

제1 항에 있어서, 상기 제4 트랜지스터의 일 전극은 상기 제1 노드에 접속되는, 화소.

**청구항 10**

제1 항에 있어서, 상기 제4 트랜지스터의 일 전극은 상기 제2 노드에 접속되는, 화소.

**청구항 11**

제1 노드와 제2 노드 사이에 접속되어 구동 전류를 생성하는 제1 트랜지스터를 포함하고, 제1 주사선, 제2 주사선, 제3 주사선, 제4 주사선, 발광 제어선, 및 데이터선에 접속되는 화소;

상기 발광 제어선에 발광 제어 신호를 공급하는 발광 구동부;

상기 발광 제어 신호가 공급되는 기간 내에서 상기 제1 내지 제4 주사선들에 제1 내지 제4 주사 신호들을 각각 공급하는 주사 구동부;

상기 데이터선에 데이터 신호를 공급하는 데이터 구동부;

상기 화소에 구동 전원의 전압, 제1 전원의 전압, 제2 전원의 전압, 및 제3 전원의 전압을 공급하는 전원 공급부; 및

상기 주사 구동부, 상기 발광 구동부, 상기 데이터 구동부, 및 상기 전원 공급부의 구동을 제어하는 타이밍 제어부를 포함하고,

상기 제1 주사 신호는 상기 제1 노드 또는 상기 제2 노드로 상기 제1 전원의 전압이 공급되는 타이밍을 제어하며,

상기 전원 공급부는 하나의 프레임 기간에서 상기 제1 전원의 전압 레벨을 가변하는, 표시 장치.

**청구항 12**

제11 항에 있어서, 상기 화소는,

발광 소자;

상기 데이터선과 상기 제1 노드 사이에 접속되며, 상기 제4 주사 신호에 응답하여 턴-온되는 제2 트랜지스터;

상기 제2 노드와 상기 제1 트랜지스터의 게이트 전극에 대응되는 제3 노드 사이에 접속되며, 상기 제2 주사 신호에 응답하여 턴-온되는 제3 트랜지스터;

상기 제1 주사 신호에 응답하여 턴-온되어 상기 제1 트랜지스터에 상기 제1 전원의 전압을 인가하는 제4 트랜지스터;

상기 구동 전원과 상기 제1 노드 사이에 접속되며, 상기 발광 제어 신호에 응답하여 턴-오프되는 제5 트랜지스터;

상기 제2 노드와 상기 발광 소자의 제1 전극 사이에 접속되며, 상기 발광 제어 신호에 응답하여 턴-오프되는 제6 트랜지스터; 및

상기 제3 노드와 상기 제2 전원 사이에 접속되고, 상기 제3 주사 신호에 응답하여 턴-온되는 제7 트랜지스터를 더 포함하는, 표시 장치.

**청구항 13**

제12 항에 있어서, 상기 하나의 프레임 기간은 표시 주사 기간과 적어도 하나의 바이어스 주사 기간을 포함하며,

상기 표시 주사 기간에서, 상기 주사 구동부는 상기 제1 주사선을 통해 상기 제1 주사 신호를 공급하고, 상기 제4 주사선을 통해 상기 제4 주사 신호를 공급하며,

상기 적어도 하나의 바이어스 주사 기간에서, 상기 주사 구동부는 상기 제1 주사선을 통해 상기 제1 주사 신호를 공급하고, 상기 제4 주사 신호를 공급하지 않는, 표시 장치.

**청구항 14**

제13 항에 있어서, 상기 전원 공급부는,

상기 표시 주사 기간에서 제1 전압 레벨의 상기 제1 전원을 공급하고,

상기 적어도 하나의 바이어스 주사 기간에서 상기 제1 전압 레벨과 상이한 제2 전압 레벨의 상기 제1 전원을 공급하는, 표시 장치.

**청구항 15**

제13 항에 있어서, 상기 적어도 하나의 바이어스 주사 기간은 제1 바이어스 주사 기간 및 상기 제1 바이어스 주사 기간 이후의 제2 바이어스 주사 기간을 포함하며,

상기 전원 공급부는,

상기 표시 주사 기간에서 제1 전압 레벨의 상기 제1 전원을 공급하고,

상기 제1 바이어스 주사 기간에서 상기 제1 전압 레벨과 상이한 제2 전압 레벨의 상기 제1 전원을 공급하며,

상기 제2 바이어스 주사 기간에서 상기 제1 전압 레벨 및 상기 제2 전압 레벨과 상이한 제3 전압 레벨의 상기 제1 전원을 공급하는, 표시 장치.

**청구항 16**

제14 항에 있어서, 상기 데이터 구동부는,

상기 표시 주사 기간에서 상기 데이터선으로 제4 전압 레벨의 상기 데이터 신호를 공급하고,

상기 적어도 하나의 바이어스 주사 기간에서 상기 데이터선으로 상기 제4 전압 레벨과 상이한 제5 전압 레벨의 상기 데이터 신호를 공급하는, 표시 장치.

**청구항 17**

제15 항에 있어서, 상기 데이터 구동부는,

상기 표시 주사 기간에서 상기 데이터선으로 제4 전압 레벨의 상기 데이터 신호를 공급하고,

상기 제1 바이어스 주사 기간에서 상기 데이터선으로 상기 제4 전압 레벨과 상이한 제5 전압 레벨의 상기 데이터 신호를 공급하며,

상기 제2 바이어스 주사 기간에서 상기 데이터선으로 상기 제4 전압 레벨 및 상기 제5 전압 레벨과 상이한 제6 전압 레벨의 상기 데이터 신호를 공급하는, 표시 장치.

**청구항 18**

제14 항에 있어서, 상기 화소는,

상기 발광 소자의 상기 제1 전극과 상기 제3 전원 사이에 접속되고, 상기 제1 주사 신호에 응답하여 턴-온되는 제8 트랜지스터를 더 포함하며,

상기 전원 공급부는,

상기 표시 주사 기간에서 제7 전압 레벨의 상기 제3 전원을 공급하고,

상기 적어도 하나의 바이어스 주사 기간에서 상기 제7 전압 레벨과 상이한 제8 전압 레벨의 상기 제3 전원을 공급하는, 표시 장치.

**청구항 19**

제15 항에 있어서, 상기 화소는,

상기 발광 소자의 상기 제1 전극과 상기 제3 전원 사이에 접속되고, 상기 제1 주사 신호에 응답하여 턴-온되는 제8 트랜지스터를 더 포함하며,

상기 전원 공급부는,

상기 표시 주사 기간에서 제7 전압 레벨의 상기 제3 전원을 공급하고,

상기 제1 바이어스 주사 기간에서 상기 제7 전압 레벨과 상이한 제8 전압 레벨의 상기 제3 전원을 공급하며,

상기 제2 바이어스 주사 기간에서 상기 제7 전압 레벨 및 상기 제8 전압 레벨과 상이한 제9 전압 레벨의 상기 제3 전원을 공급하는, 표시 장치.

**청구항 20**

제13 항에 있어서, 상기 발광 구동부는 상기 표시 주사 기간의 제1 비발광 기간과 상기 적어도 하나의 바이어스 주사 기간의 제2 비발광 기간에서 각각 상기 발광 제어 신호를 공급하며,

상기 주사 구동부는,

상기 제1 비발광 기간에서, 상기 제2 주사선을 통해 상기 제2 주사 신호를 공급하고, 상기 제3 주사선을 통해 상기 제3 주사 신호를 공급하며,

상기 제2 비발광 기간에서, 상기 제2 주사 신호와 상기 제3 주사 신호를 공급하지 않는, 표시 장치.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은 화소 및 이를 포함하는 표시 장치에 관한 것이다.

### *배 경 기 술*

[0002] 표시 장치는 외부에서 인가되는 제어 신호들을 이용하여 영상을 표시한다.

[0003] 표시 장치는 복수의 화소들을 포함한다. 화소들 각각은 복수의 트랜지스터들, 트랜지스터들에 전기적으로 연결된 발광 소자 및 커패시터를 포함한다. 트랜지스터들은 신호선들을 통해 제공되는 신호들에 각각 응답하여 턴온되고, 이에 의해 소정의 구동 전류가 생성된다. 발광 소자는 이러한 구동 전류에 대응하여 발광한다.

[0004] 표시 장치의 구동 효율 향상을 위해 저소비 전력의 표시 장치가 요구된다. 예를 들어, 정지 영상 표시 시에 구동 주파수(또는, 데이터 기입 주파수)를 낮춰 표시 장치의 소비 전력이 저감될 수 있다. 또한, 다양한 조건에서의 영상 표시를 위해 표시 장치는 다양한 프레임 주파수(또는, 구동 주파수)로 영상을 표시할 수 있다. 따라서,

프레임 주파수를 가변하여 구동함에 있어, 표시 품질을 향상시킬 수 있는 방법이 요구된다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명의 일 목적은 구동 트랜지스터의 히스테리시스 특성 변화에 따른 표시 품질 저하가 방지(제거)된 화소를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 화소를 포함하는 표시 장치를 제공하는 것이다.

[0007] 다만, 본 발명의 목적은 상술한 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

### 과제의 해결 수단

[0008] 본 발명의 실시예들에 의한 화소는, 발광 소자, 제1 노드와 제2 노드 사이에 접속되며, 게이트 전극에 연결된 제3 노드의 전압에 대응하여 상기 발광 소자로 공급되는 구동 전류를 제어하는 제1 트랜지스터, 데이터선과 상기 제1 노드 사이에 접속되며, 제4 주사 신호에 응답하여 턴-온되는 제2 트랜지스터, 상기 제2 노드와 상기 제3 노드 사이에 접속되며, 제2 주사 신호에 응답하여 턴-온되는 제3 트랜지스터, 제1 주사 신호에 응답하여 턴-온되어 상기 제1 트랜지스터에 제1 전원의 전압을 인가하는 제4 트랜지스터, 구동 전원과 상기 제1 노드 사이에 접속되며, 발광 제어 신호에 응답하여 턴-오프되는 제5 트랜지스터, 상기 제2 노드와 상기 발광 소자의 제1 전극 사이에 접속되며, 상기 발광 제어 신호에 응답하여 턴-오프되는 제6 트랜지스터, 및 상기 제3 노드와 제2 전원 사이에 접속되고, 제3 주사 신호에 응답하여 턴-온되는 제7 트랜지스터를 포함할 수 있다. 하나의 프레임 기간에서 상기 제1 전원의 전압 레벨은 가변할 수 있다.

[0009] 일 실시예에서, 상기 하나의 프레임 기간은, 상기 제2 트랜지스터로 상기 제4 주사 신호가 공급되어 상기 데이터선으로 공급되는 데이터 신호가 상기 제3 노드에 기입되며, 상기 제4 트랜지스터로 상기 제1 주사 신호가 공급되는 표시 주사 기간, 및 상기 제2 트랜지스터로 상기 제4 주사 신호가 공급되지 않으며, 상기 제4 트랜지스터로 상기 제1 주사 신호가 공급되는 적어도 하나의 바이어스 주사 기간을 포함할 수 있다.

[0010] 일 실시예에서, 상기 제1 전원은 상기 표시 주사 기간에서 제1 전압 레벨을 가지며, 상기 적어도 하나의 바이어스 주사 기간에서 상기 제1 전압 레벨과 상이한 제2 전압 레벨을 가질 수 있다.

[0011] 일 실시예에서, 상기 적어도 하나의 바이어스 주사 기간은 제1 바이어스 주사 기간 및 상기 제1 바이어스 주사 기간 이후의 제2 바이어스 주사 기간을 포함할 수 있다. 상기 제1 전원은 상기 표시 주사 기간에서 제1 전압 레벨을 가지며, 상기 제1 바이어스 주사 기간에서 상기 제1 전압 레벨과 상이한 제2 전압 레벨을 가지고, 상기 제2 바이어스 주사 기간에서 상기 제1 전압 레벨 및 상기 제2 전압 레벨과 상이한 제3 전압 레벨을 가질 수 있다.

[0012] 일 실시예에서, 상기 데이터선으로 공급되는 상기 데이터 신호는 상기 표시 주사 기간에서 제4 전압 레벨을 가지며, 상기 적어도 하나의 바이어스 주사 기간에서 상기 제4 전압 레벨과 상이한 제5 전압 레벨을 가질 수 있다.

[0013] 일 실시예에서, 상기 데이터선으로 공급되는 상기 데이터 신호는 상기 표시 주사 기간에서 제4 전압 레벨을 가지며, 상기 제1 바이어스 주사 기간에서 상기 제4 전압 레벨과 상이한 제5 전압 레벨을 가지고, 상기 제2 바이어스 주사 기간에서 상기 제4 전압 레벨 및 상기 제5 전압 레벨과 상이한 제6 전압 레벨을 가질 수 있다.

[0014] 일 실시예에서, 상기 화소는, 상기 발광 소자의 상기 제1 전극과 제3 전원 사이에 접속되고, 상기 제1 주사 신호에 응답하여 턴-온되는 제8 트랜지스터를 더 포함할 수 있다. 상기 제3 전원은 상기 표시 주사 기간에서 제7 전압 레벨을 가지며, 상기 적어도 하나의 바이어스 주사 기간에서 상기 제7 전압 레벨과 상이한 제8 전압 레벨을 가질 수 있다.

[0015] 일 실시예에서, 상기 화소는, 상기 발광 소자의 상기 제1 전극과 제3 전원 사이에 접속되고, 상기 제1 주사 신호에 응답하여 턴-온되는 제8 트랜지스터를 더 포함할 수 있다. 상기 제3 전원은 상기 표시 주사 기간에서 제7 전압 레벨을 가지며, 상기 제1 바이어스 주사 기간에서 상기 제7 전압 레벨과 상이한 제8 전압 레벨을 가지고, 상기 제2 바이어스 주사 기간에서 상기 제7 전압 레벨 및 상기 제8 전압 레벨과 상이한 제9 전압 레벨을 가질 수 있다.

[0016] 일 실시예에서, 상기 제4 트랜지스터의 일 전극은 상기 제1 노드에 접속될 수 있다.

[0017] 일 실시예에서, 상기 제4 트랜지스터의 일 전극은 상기 제2 노드에 접속될 수 있다.

[0018] 본 발명의 실시예들에 의한 표시 장치는, 제1 노드와 제2 노드 사이에 접속되어 구동 전류를 생성하는 제1 트랜지스터를 포함하고, 제1 주사선, 제2 주사선, 제3 주사선, 제4 주사선, 발광 제어선, 및 데이터선에 접속되는 화소, 상기 발광 제어선에 발광 제어 신호를 공급하는 발광 구동부, 상기 발광 제어 신호가 공급되는 기간 내에서 상기 제1 내지 제4 주사선들에 제1 내지 제4 주사 신호들을 각각 공급하는 주사 구동부, 상기 데이터선에 데이터 신호를 공급하는 데이터 구동부, 상기 화소에 구동 전원의 전압, 제1 전원의 전압, 제2 전원의 전압, 및 제3 전원의 전압을 공급하는 전원 공급부, 및 상기 주사 구동부, 상기 발광 구동부, 상기 데이터 구동부, 및 상기 전원 공급부의 구동을 제어하는 타이밍 제어부를 포함할 수 있다. 상기 제1 주사 신호는 상기 제1 노드 또는 상기 제2 노드로 상기 제1 전원의 전압이 공급되는 타이밍을 제어할 수 있다. 상기 전원 공급부는 하나의 프레임 기간에서 상기 제1 전원의 전압 레벨을 가변할 수 있다.

[0019] 일 실시예에서, 상기 화소는, 발광 소자, 상기 데이터선과 상기 제1 노드 사이에 접속되며, 상기 제4 주사 신호에 응답하여 턴-온되는 제2 트랜지스터, 상기 제2 노드와 상기 제1 트랜지스터의 상기 게이트 전극에 대응되는 제3 노드 사이에 접속되며, 상기 제2 주사 신호에 응답하여 턴-온되는 제3 트랜지스터, 상기 제1 주사 신호에 응답하여 턴-온되어 상기 제1 트랜지스터에 상기 제1 전원의 전압을 인가하는 제4 트랜지스터, 상기 구동 전원과 상기 제1 노드 사이에 접속되며, 상기 발광 제어 신호에 응답하여 턴-오프되는 제5 트랜지스터, 상기 제2 노드와 상기 발광 소자의 제1 전극 사이에 접속되며, 상기 발광 제어 신호에 응답하여 턴-오프되는 제6 트랜지스터, 및 상기 제3 노드와 상기 제2 전원 사이에 접속되고, 상기 제3 주사 신호에 응답하여 턴-온되는 제7 트랜지스터를 더 포함할 수 있다.

[0020] 일 실시예에서, 상기 하나의 프레임 기간은 표시 주사 기간과 적어도 하나의 바이어스 주사 기간을 포함할 수 있다. 상기 표시 주사 기간에서, 상기 주사 구동부는 상기 제1 주사선을 통해 상기 제1 주사 신호를 공급하고, 상기 제4 주사선을 통해 상기 제4 주사 신호를 공급할 수 있다. 상기 적어도 하나의 바이어스 주사 기간에서, 상기 주사 구동부는 상기 제1 주사선을 통해 상기 제1 주사 신호를 공급하고, 상기 제4 주사 신호를 공급하지 않을 수 있다.

[0021] 일 실시예에서, 상기 전원 공급부는, 상기 표시 주사 기간에서 제1 전압 레벨의 상기 제1 전원을 공급하고, 상기 적어도 하나의 바이어스 주사 기간에서 상기 제1 전압 레벨과 상이한 제2 전압 레벨의 상기 제1 전원을 공급할 수 있다.

[0022] 일 실시예에서, 상기 적어도 하나의 바이어스 주사 기간은 제1 바이어스 주사 기간 및 상기 제1 바이어스 주사 기간 이후의 제2 바이어스 주사 기간을 포함할 수 있다. 상기 전원 공급부는, 상기 표시 주사 기간에서 제1 전압 레벨의 상기 제1 전원을 공급하고, 상기 제1 바이어스 주사 기간에서 상기 제1 전압 레벨과 상이한 제2 전압 레벨의 상기 제1 전원을 공급하며, 상기 제2 바이어스 주사 기간에서 상기 제1 전압 레벨 및 상기 제2 전압 레벨과 상이한 제3 전압 레벨의 상기 제1 전원을 공급할 수 있다.

[0023] 일 실시예에서, 상기 데이터 구동부는, 상기 표시 주사 기간에서 상기 데이터선으로 제4 전압 레벨의 상기 데이터 신호를 공급하고, 상기 적어도 하나의 바이어스 주사 기간에서 상기 데이터선으로 상기 제4 전압 레벨과 상이한 제5 전압 레벨의 상기 데이터 신호를 공급할 수 있다.

[0024] 일 실시예에서, 상기 데이터 구동부는, 상기 표시 주사 기간에서 상기 데이터선으로 제4 전압 레벨의 상기 데이터 신호를 공급하고, 상기 제1 바이어스 주사 기간에서 상기 데이터선으로 상기 제4 전압 레벨과 상이한 제5 전압 레벨의 상기 데이터 신호를 공급하며, 상기 제2 바이어스 주사 기간에서 상기 데이터선으로 상기 제4 전압 레벨 및 상기 제5 전압 레벨과 상이한 제6 전압 레벨의 상기 데이터 신호를 공급할 수 있다.

[0025] 일 실시예에서, 상기 화소는, 상기 발광 소자의 상기 제1 전극과 상기 제3 전원 사이에 접속되고, 상기 제1 주사 신호에 응답하여 턴-온되는 제8 트랜지스터를 더 포함할 수 있다. 상기 전원 공급부는, 상기 표시 주사 기간에서 제7 전압 레벨의 상기 제3 전원을 공급하고, 상기 적어도 하나의 바이어스 주사 기간에서 상기 제7 전압 레벨과 상이한 제8 전압 레벨의 상기 제3 전원을 공급할 수 있다.

[0026] 일 실시예에서, 상기 화소는, 상기 발광 소자의 상기 제1 전극과 상기 제3 전원 사이에 접속되고, 상기 제1 주사 신호에 응답하여 턴-온되는 제8 트랜지스터를 더 포함할 수 있다. 상기 전원 공급부는, 상기 표시 주사 기간에서 제7 전압 레벨의 상기 제3 전원을 공급하고, 상기 제1 바이어스 주사 기간에서 상기 제7 전압 레벨과 상이

한 제8 전압 레벨의 상기 제3 전원을 공급하며, 상기 제2 바이어스 주사 기간에서 상기 제7 전압 레벨 및 상기 제8 전압 레벨과 상이한 제9 전압 레벨의 상기 제3 전원을 공급할 수 있다.

[0027] 일 실시예에서, 상기 발광 구동부는 상기 표시 주사 기간의 제1 비발광 기간과 상기 적어도 하나의 바이어스 주사 기간의 제2 비발광 기간에서 각각 상기 발광 제어 신호를 공급할 수 있다. 상기 주사 구동부는, 상기 제1 비발광 기간에서, 상기 제2 주사선을 통해 상기 제2 주사 신호를 공급하고, 상기 제3 주사선을 통해 상기 제3 주사 신호를 공급하며, 상기 제2 비발광 기간에서, 상기 제2 주사 신호와 상기 제3 주사 신호를 공급하지 않을 수 있다.

## 발명의 효과

[0028] 본 발명의 실시예들에 따른 화소는, 구동 트랜지스터에 바이어스 전압을 공급하기 위한 제1 전원의 전압과 발광 소자에 초기화 전압을 공급하기 위한 제2 초기화 전원의 전압을 인가받을 수 있다. 이 때, 하나의 프레임 기간 동안 제1 전원의 전압 레벨 및/또는 제2 초기화 전원의 전압 레벨은 가변할 수 있다. 이에 따라, 구동 트랜지스터의 히스테리시스 특성 변화에 따른 표시 품질 저하가 방지(제거)될 수 있다.

[0029] 또한, 본 발명의 실시예들에 따른 화소는 제1 전원 및/또는 제2 초기화 전원의 전압 레벨 가변에 따라, 하나의 프레임 기간 동안 전압 레벨이 가변하는 데이터 신호를 인가받을 수 있다. 이에 따라, 스토리지 커패시터에 저장된 전압의 흔들림이 방지되어, 표시 영상의 휘도는 일정하게 유지될 수 있다.

[0030] 다만, 본 발명의 효과는 상술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

## 도면의 간단한 설명

[0031] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

도 2는 도 1의 표시 장치에 포함되는 주사 구동부의 일 예를 나타내는 도면이다.

도 3은 도 1의 표시 장치에 포함되는 화소의 일 예를 나타내는 회로도이다.

도 4는 도 3의 화소에 공급되는 신호들의 일 예를 나타내는 타이밍도이다.

도 5는 한 프레임 기간 동안 도 3의 화소에 공급되는 신호들의 일 예를 나타내는 타이밍도이다.

도 6a 및 도 6b는 도 3의 화소에 공급되는 제1 전원의 전압과 데이터 신호의 일 예들을 나타내는 타이밍도들이다.

도 7a 및 도 7b는 도 3의 화소에 공급되는 제2 초기화 전원의 전압과 데이터 신호의 일 예들을 나타내는 타이밍도들이다.

도 8a 및 도 8b는 도 3의 화소에 공급되는 제1 전원의 전압, 제2 초기화 전원의 전압, 및 데이터 신호의 일 예들을 나타내는 타이밍도들이다.

도 9a 및 도 9b는 도 3의 화소에 공급되는 제1 전원의 전압, 제2 초기화 전원의 전압, 및 데이터 신호의 일 예들을 나타내는 타이밍도들이다.

도 10은 관련 기술에 따른 표시 장치가 표시하는 영상의 휘도의 일 예를 나타내는 그래프이다.

도 11은 본 발명의 실시예들에 따른 표시 장치가 표시하는 영상의 휘도의 일 예를 나타내는 그래프이다.

도 12는 도 3의 화소에 공급되는 신호들의 다른 일 예를 나타내는 타이밍도이다.

도 13은 도 3의 화소에 공급되는 신호들의 또 다른 일 예를 나타내는 타이밍도이다.

도 14는 도 1의 표시 장치에 포함되는 화소의 다른 일 예를 나타내는 회로도이다.

## 발명을 실시하기 위한 구체적인 내용

[0032] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0033] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0034] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0035] 또한, 어떤 부분이 다른 부분과 "연결된다"고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다.

[0036] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 보다 상세하게 설명한다.

[0038] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

[0039] 도 1을 참조하면, 표시 장치(1000)는 화소부(100), 주사 구동부(200), 발광 구동부(300), 데이터 구동부(400), 전원 공급부(500), 및 타이밍 제어부(600)를 포함할 수 있다.

[0040] 표시 장치(1000)는 구동 조건에 따라 다양한 프레임 주파수(리프레시 레이트, 구동 주파수, 또는, 화면 재생률)로 영상을 표시할 수 있다. 프레임 주파수는 1초 동안 화소(PX)의 구동 트랜지스터에 실질적으로 데이터 전압이 기입되는 빈도수이다. 예를 들어, 프레임 주파수는 화면 주사율, 화면 재생 빈도수라도고 하며, 1초 동안 표시 화면이 재생되는 빈도수를 나타낸다.

[0041] 일 실시예에서, 데이터 구동부(400) 및/또는 데이터 신호 공급을 위해 제4 주사선(S4i)으로 공급되는 제4 주사 신호의 출력 주파수는 프레임 주파수에 대응하여 변경될 수 있다. 예를 들어, 동영상 구동을 위한 프레임 주파수는 약 60Hz 이상(예를 들어, 120Hz)의 주파수일 수 있다. 이 경우, 각각의 수평라인(화소행)에는 1초에 60회의 제4 주사 신호가 공급될 수 있다.

[0042] 일 실시예에서, 표시 장치(1000)는, 구동 조건에 따라 주사 구동부(200) 및 발광 구동부(300)의 출력 주파수 및 이에 대응하는 데이터 구동부(400)의 출력 주파수를 조절할 수 있다. 예를 들어, 표시 장치(1000)는 1Hz 내지 120Hz의 다양한 프레임 주파수들에 대응하여 영상을 표시할 수 있다. 다만, 이는 예시적인 것으로서, 표시 장치(1000)는 120Hz 이상의 프레임 주파수(예를 들어, 240Hz, 480Hz)로도 영상을 표시할 수 있다.

[0043] 한편, 표시 장치(1000)는 다양한 프레임 주파수들로 동작할 수 있다. 저주파수 구동의 경우, 화소 내부의 전류 누설로 인해 플리커 등의 영상 불량이 시인될 수 있다. 또한, 다양한 프레임 주파수로의 구동에 의해 구동 트랜지스터의 바이어스 상태 변화, 히스테리시스 특성 변화에 따른 문턱전압 시프트 등으로 인한 응답 속도 변화에 따라 영상 끌림 등의 잔상이 시인될 수 있다.

[0044] 영상 품질 개선을 위해 화소(PX)의 하나의 프레임 기간은 프레임 주파수에 따라 하나의 표시 주사 기간(display scan period) 및 적어도 하나의 바이어스 주사 기간(bias scan period)을 포함할 수 있다. 표시 주사 기간 및 바이어스 주사 기간의 동작은 도 4 및 도 5를 참조하여 자세히 설명하기로 한다.

[0045] 화소부(100)는 주사선들(S11 내지 S1n, S21 내지 S2n, S31 내지 S3n, S41 내지 S4n), 발광 제어선들(E1 내지 En), 및 데이터선들(D1 내지 Dm)을 포함하고, 주사선들(S11 내지 S1n, S21 내지 S2n, S31 내지 S3n, S41 내지 S4n), 발광 제어선들(E1 내지 En), 및 데이터선들(D1 내지 Dm)에 연결되는 화소(PX)들을 포함할 수 있다(단, m, n은 1보다 큰 정수). 화소(PX)들 각각은 구동 트랜지스터와 복수의 스위칭 트랜지스터들을 포함할 수 있다. 화소(PX)들은 전원 공급부(500)로부터 제1 구동 전원(VDD), 제2 구동 전원(VSS), 제1 전원(VEH), 및 초기화 전원(Vint)의 전압들을 공급받을 수 있다.

[0046] 본 발명의 실시예에서는 화소(PX)의 회로 구조에 대응하여 화소(PX)에 연결되는 신호선들은 다양하게 설정될 수 있다.

[0047] 타이밍 제어부(600)는 소정의 인터페이스를 통해 AP(Application Processor)와 같은 호스트 시스템으로부터 입력 영상 데이터(IRGB) 및 제어 신호들(Sync, DE)을 공급받을 수 있다.

[0048] 타이밍 제어부(600)는 입력 영상 데이터(IRGB), 동기신호(Sync, 예를 들어, 수직 동기신호, 수평 동기신호, 등), 데이터 인에이블 신호(DE) 및 클럭 신호 등에 기초하여 제1 제어 신호(SCS), 제2 제어 신호(ECS), 제3 제어 신호(DCS), 및 제4 제어 신호(PCS)를 생성할 수 있다. 제1 제어 신호(SCS)는 주사 구동부(200)로 공급되고, 제2 제어 신호(ECS)는 발광 구동부(300)로 공급되며, 제3 제어 신호(DCS)는 데이터 구동부(400)로 공급되고, 제4 제어 신호(PCS)는 전원 공급부(500)로 공급될 수 있다. 타이밍 제어부(600)는 입력 영상 데이터(IRGB)를 재정렬하여 데이터 구동부(400)로 공급할 수 있다.

[0049] 주사 구동부(200)는 타이밍 제어부(600)로부터 제1 제어 신호(SCS)를 수신하고, 제1 제어 신호(SCS)에 기초하여 제1 주사선들(S11 내지 S1n), 제2 주사선들(S21 내지 S2n), 제3 주사선들(S31 내지 S3n), 및 제4 주사선들(S41 내지 S4n)로 각각 제1 주사 신호, 제2 주사 신호, 제3 주사 신호, 및 제4 주사 신호를 공급할 수 있다.

[0050] 제1 내지 제4 주사 신호들은 해당 주사 신호들이 공급되는 트랜지스터의 타입에 상응하는 게이트-온 전압(예를 들어, 로우 전압)으로 설정될 수 있다. 주사 신호를 수신하는 트랜지스터는 주사 신호가 공급될 때 턴-온 상태로 설정될 수 있다. 예를 들어, PMOS(P-channel metal oxide semiconductor) 트랜지스터에 공급되는 주사 신호의 게이트-온 전압은 논리 로우 레벨이고, NMOS(N-channel metal oxide semiconductor) 트랜지스터에 공급되는 주사 신호의 게이트-온 전압은 논리 하이 레벨일 수 있다. 이하, "주사 신호가 공급된다"는 의미는, 주사 신호가 이에 의해 제어되는 트랜지스터를 턴-온시키는 논리 레벨로 공급되는 것으로 이해될 수 있다.

[0051] 발광 구동부(300)는 제2 제어 신호(ECS)에 기초하여 발광 제어선들(E1 내지 En)로 발광 제어 신호를 공급할 수 있다. 예를 들어, 발광 제어 신호는 발광 제어선들(E1 내지 En)로 순차적으로 공급될 수 있다.

[0052] 발광 제어 신호는 게이트 오프 전압(예를 들어, 하이 전압)으로 설정될 수 있다. 발광 제어 신호를 수신하는 트랜지스터는 발광 제어 신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온 상태로 설정될 수 있다. 이하, "발광 제어 신호가 공급된다"는 의미는, 발광 제어 신호가 이에 의해 제어되는 트랜지스터를 턴-오프시키는 논리 레벨로 공급되는 것으로 이해될 수 있다.

[0053] 도 1에는 설명의 편의를 위해 주사 구동부(200) 및 발광 구동부(300)가 각각 단일 구성인 것으로 도시되었으나, 본 발명이 이에 한정되는 것은 아니다. 설계에 따라 주사 구동부(200)는 제1 내지 제4 주사 신호들 중 적어도 하나를 각각 공급하는 복수의 주사 구동부들을 포함할 수 있다. 또한, 주사 구동부(200) 및 발광 구동부(300)의 적어도 일부는 하나의 구동 회로, 모듈 등으로 통합될 수도 있다.

[0054] 데이터 구동부(400)는 타이밍 제어부(600)로부터 제3 제어 신호(DCS) 및 영상 데이터(RGB)를 수신할 수 있다. 데이터 구동부(400)는 디지털 형식의 영상 데이터(RGB)를 아날로그 데이터 신호(데이터 전압)로 변환할 수 있다. 데이터 구동부(400)는 제3 제어 신호(DCS)에 대응하여 데이터선들(D1 내지 Dm)로 데이터 신호를 공급할 수 있다. 이때, 데이터선들(D1 내지 Dm)로 공급되는 데이터 신호는 제4 주사선들(S41 내지 S4n)로 공급되는 제4 주사 신호와 동기되도록 공급될 수 있다.

[0055] 전원 공급부(500)는 화소(PX)의 구동을 위한 제1 구동 전원(VDD)의 전압 및 제2 구동 전원(VSS)의 전압을 화소부(100)에 공급할 수 있다. 제2 구동 전원(VSS)의 전압 레벨은 제1 구동 전원(VDD)의 전압 레벨보다 낮을 수 있다. 예를 들어, 제1 구동 전원(VDD)의 전압은 양(positive)의 전압이고, 제2 구동 전원(VSS)의 전압은 음(negative)의 전압일 수 있다.

[0056] 전원 공급부(500)는 제1 전원(VEH, 또는, 바이어스 전원)의 전압 및 초기화 전원(Vint)의 전압을 화소부(100)에 공급할 수 있다. 초기화 전원(Vint)은 서로 다른 전압 레벨들로 출력되는 초기화 전원들(예를 들어, 도 3의 Vint1, Vint2)을 포함할 수도 있다.

[0057] 제1 전원(VEH)은 화소(PX)에 포함되는 구동 트랜지스터의 소스 전극 및/또는 드레인 전극에 소정의 바이어스 전압을 공급하기 위한 전원일 수 있다. 제1 전원(VEH)은 양의 전압일 수 있다. 다만, 제1 전원(VEH)의 전압 레벨이 이에 한정되는 것은 아니며, 제1 전원(VEH)의 전압 레벨은 음의 전압일 수도 있다.

[0058] 초기화 전원(Vint)은 화소(PX)를 초기화하는 전원일 수 있다. 예를 들어, 초기화 전원(Vint)의 전압에 의해 화소(PX)에 포함되는 구동 트랜지스터 및/또는 발광 소자가 초기화될 수 있다. 초기화 전원(Vint)은 음의 전압일 수 있다.

[0059] 일 실시예에서, 전원 공급부(500)는 하나의 프레임 기간 내에서 제1 전원(VEH)의 전압과 초기화 전원(Vint)의 전압 중 적어도 하나의 전압 레벨을 가변하여 화소부(100)에 공급할 수 있다. 이에 따라, 화소(PX)에 포함되는 구동 트랜지스터의 바이어스 상태가 제어될 수 있다.

[0061] 도 2는 도 1의 표시 장치에 포함되는 주사 구동부의 일 예를 나타내는 도면이다.

[0062] 도 1 및 도 2를 참조하면, 주사 구동부(200)는 제1 주사 구동부(220), 제2 주사 구동부(240), 제3 주사 구동부(260), 및 제4 주사 구동부(280)를 포함할 수 있다.

[0063] 제1 제어 신호(SCS)는 제1 내지 제4 주사 시작 신호들(FLM1 내지 FLM4)을 포함할 수 있다. 제1 내지 제4 주사 시작 신호들(FLM1 내지 FLM4)은 제1 내지 제4 주사 구동부들(220, 240, 260, 280)에 각각 공급될 수 있다.

[0064] 제1 내지 제4 주사 시작 신호들(FLM1 내지 FLM4)의 폭, 공급 타이밍 등은 화소(PX)의 구동 조건 및 프레임 주파수에 따라 결정될 수 있다. 제1 내지 제4 주사 신호들은 각각 제1 내지 제4 주사 시작 신호들(FLM1 내지 FLM4)에 기초하여 출력될 수 있다. 예를 들어, 제1 내지 제4 주사 신호들 중 적어도 하나의 신호 폭은 나머지의 신호 폭과 다를 수 있다.

[0065] 제1 주사 구동부(220)는 제1 주사 시작 신호(FLM1)에 응답하여 제1 주사선들(S11 내지 S1n)로 제1 주사 신호를 순차적으로 공급할 수 있다. 제2 주사 구동부(240)는 제2 주사 시작 신호(FLM2)에 응답하여 제2 주사선들(S21 내지 S2n)로 제2 주사 신호를 순차적으로 공급할 수 있다. 제3 주사 구동부(260)는 제3 주사 시작 신호(FLM3)에 응답하여 제3 주사선들(S31 내지 S3n)로 제3 주사 신호를 순차적으로 공급할 수 있다. 제4 주사 구동부(280)는 제4 주사 시작 신호(FLM4)에 응답하여 제4 주사선들(S41 내지 S4n)로 제4 주사 신호를 순차적으로 공급할 수 있다.

[0067] 도 3은 도 1의 표시 장치에 포함되는 화소의 일 예를 나타내는 회로도이다.

[0068] 도 3에서는 설명의 편의를 위하여 i번째 수평라인(또는 i번째 화소행)에 위치되며 j번째 데이터선(Dj)과 접속된 화소(PX1)를 도시하기로 한다(단, i, j는 자연수). 도 3에 도시된 화소(PX1)는 도 1의 화소(PX)와 실질적으로 동일할 수 있다.

[0069] 도 1 및 도 3을 참조하면, 화소(PX1)는 발광 소자(LD), 제1 내지 제8 트랜지스터들(M1 내지 M8), 및 스토리지 커패시터(Cst)를 포함할 수 있다.

[0070] 발광 소자(LD)의 제1 전극(애노드 전극 또는 캐소드 전극)은 제6 트랜지스터(T6)(또는, 제4 노드(N4))에 접속되고 제2 전극(캐소드 전극 또는 애노드 전극)은 제2 구동 전원(VSS)에 접속될 수 있다. 발광 소자(LD)는 제1 트랜지스터(M1)로부터 공급되는 전류량(구동 전류)에 대응하여 소정 휘도의 빛을 생성할 수 있다.

[0071] 일 실시예에서, 발광 소자(LD)는 유기 발광층을 포함하는 유기 발광 다이오드일 수 있다. 다른 실시예에서, 발광 소자(LD)는 무기 물질로 형성되는 무기 발광 소자일 수 있다. 다른 실시예에서, 발광 소자(LD)는 무기 물질 및 유기 물질이 복합적으로 구성된 발광 소자일 수도 있다. 또는 발광 소자(LD)는 복수의 무기 발광 소자들이 제2 구동 전원(VSS)과 제6 트랜지스터(M6) 사이에 병렬 및/또는 직렬로 연결된 형태를 가질 수도 있다.

[0072] 제1 트랜지스터(M1)(또는, 구동 트랜지스터)의 제1 전극은 제1 노드(N1)에 접속되고, 제2 전극은 제2 노드(N2)에 접속될 수 있다. 제1 트랜지스터(M1)의 게이트 전극은 제3 노드(N3)에 접속될 수 있다. 제1 트랜지스터(M1)는 제3 노드(N3)의 전압에 대응하여 제1 구동 전원(VDD)으로부터 발광 소자(LD)를 경유하여 제2 구동 전원(VSS)으로 흐르는 전류량을 제어할 수 있다. 이를 위하여, 제1 구동 전원(VDD)은 제2 구동 전원(VSS)보다 높은 전압으로 설정될 수 있다.

[0073] 제2 트랜지스터(M2)는 j번째 데이터선(Dj, 이하, 데이터선이라 함)과 제1 노드(N1) 사이에 접속될 수 있다. 제2 트랜지스터(M2)의 게이트 전극은 i번째 제4 주사선(S4i, 이하, 제4 주사선이라 함)에 접속될 수 있다. 제2 트랜지스터(M2)는 제4 주사선(S4i)으로 제4 주사 신호가 공급될 때 턴-온되어 데이터선(Dj)과 제1 노드(N1)를 전기적으로 접속시킬 수 있다.

[0074] 제3 트랜지스터(M3)는 제1 트랜지스터(M1)의 제2 전극(즉, 제2 노드)(N2))과 게이트 전극(즉, 제3 노드(N3)) 사이에 접속될 수 있다. 제3 트랜지스터(M3)의 게이트 전극은 i번째 제2 주사선(S2i, 이하, 제2 주사선)에 접속될 수 있다. 제3 트랜지스터(M3)는 제2 주사선(S2i)으로 제2 주사 신호가 공급될 때 턴-온되어 제1 트랜지스터(M1)의 제2 전극과 게이트 전극(또는, 제2 노드(N2)와 제3 노드(N3))을 전기적으로 접속시킬 수 있다. 즉, 제2 주사 신호에 의해 제1 트랜지스터(M1)의 제2 전극(예를 들어, 드레인 전극)과 제1 트랜지스터(M1)의 게이트 전극이 연결되는 타이밍이 제어될 수 있다. 제3 트랜지스터(M3)가 턴-온되면 제1 트랜지스터(M1)는 다이오드 형태로 접속될 수 있다.

[0075] 제4 트랜지스터(M4)는 i번째 제1 주사선(S1i, 이하, 제1 주사선이라 함)으로 공급되는 제1 주사 신호에 응답하

여 턴-온되어 제1 트랜지스터(M1)에 제1 전원(VEH)의 전압을 공급할 수 있다. 일 실시예에서, 제4 트랜지스터(M4)는 제1 노드(N1)(또는, 제1 트랜지스터(M1)의 제1 전극)와 제1 전원(VEH) 사이에 접속될 수 있다. 여기서, 제1 주사 신호에 의해 제1 노드(N1)로 제1 전원(VEH)의 전압이 공급되는 타이밍이 제어될 수 있다.

[0076] 제4 트랜지스터(M4)의 게이트 전극은 제1 주사선에 접속될 수 있다. 제4 트랜지스터(M4)가 턴-온되면, 제1 전원(VEH)의 전압이 제1 노드(N1)로 공급될 수 있다. 일 실시예에서, 제1 전원(VEH)의 전압은 블랙 계조의 데이터 전압과 유사한 수준일 수 있다. 예를 들어, 제1 전원(VEH)의 전압은 약 5~7V 수준일 수 있다.

[0077] 제4 트랜지스터(M4)가 턴-온되는 경우, 제1 트랜지스터(M1)의 제1 전극(예를 들어, 소스 전극)에 소정의 고전압이 인가될 수 있다. 이 때, 제3 트랜지스터(M3)가 턴-오프 상태라면, 제1 트랜지스터(M1)는 온-바이어스(on-bias) 상태(턴-온될 수 있는 상태)를 가질 수 있다(즉, 온-바이어스됨).

[0078] 일 실시예에서, 하나의 프레임 기간 내에서 제1 전원(VEH)의 전압 레벨은 가변할 수 있다. 예를 들어, 제1 전원(VEH)은 하나의 프레임 기간 중 표시 주사 기간에서 제1 전압 레벨을 가지며, 바이어스 주사 기간에서 제2 전압 레벨을 가질 수 있다. 즉, 제1 전원(VEH)은 표시 주사 기간과 바이어스 주사 기간에서 다른 전압 레벨을 가질 수 있다. 여기서, 제2 전압 레벨은 제1 전압 레벨 보다 높을 수 있다. 다른 예로, 하나의 프레임 기간이 하나의 표시 주사 기간과 복수의 바이어스 주사 기간들을 포함하는 경우, 제1 전원(VEH)은 하나의 표시 주사 기간에서 제1 전압 레벨을 가지며, 바이어스 주사 기간들 중 제1 바이어스 주사 기간에서 제2 전압 레벨을 가지고, 바이어스 주사 기간들 중 제2 바이어스 주사 기간에서 제3 전압 레벨을 가질 수 있다. 즉, 제1 전원(VEH)은 표시 주사 기간과 바이어스 주사 기간에서 다른 전압 레벨을 가질 뿐만 아니라, 바이어스 주사 기간에서도 제1 바이어스 주사 기간과 제2 바이어스 주사 기간에서 다른 전압 레벨을 가질 수 있다. 여기서, 제3 전압 레벨은 제2 전압 레벨 보다 높을 수 있다. 이에 따라, 한 프레임 기간의 길이가 길어지는 저주파수 구동에서, 제1 트랜지스터(M1)의 제1 전극(예를 들어, 소스 전극)에 온-바이어스 전압을 인가하는 제1 전원(VEH)의 전압 레벨이 가변됨으로써 제1 트랜지스터(M1)의 히스테리시스 특성 변화에 따른 표시 품질 저하가 보다 더 개선될 수 있다.

[0079] 제5 트랜지스터(M5)는 제1 구동 전원(VDD)과 제1 노드(N1) 사이에 접속될 수 있다. 제5 트랜지스터(M5)의 게이트 전극은 i번째 발광 제어선(Ei, 이하, 발광 제어선이라 함)에 접속될 수 있다. 제5 트랜지스터(M5)는 발광 제어선(Ei)으로 발광 제어 신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온된다.

[0080] 제6 트랜지스터(M6)는 제1 트랜지스터(M1)의 제2 전극(즉, 제2 노드(N2))과 발광 소자(LD)의 제1 전극(즉, 제4 노드(N4)) 사이에 접속될 수 있다. 제6 트랜지스터(M6)의 게이트 전극은 발광 제어선(Ei)에 접속될 수 있다. 제6 트랜지스터(M6)는 제5 트랜지스터(M5)와 실질적으로 동일하게 제어될 수 있다.

[0081] 도 3에서는 제5 트랜지스터(M5)와 제6 트랜지스터(M6)가 동일한 발광 제어선(Ei)에 접속된 것으로 도시되어 있으나, 이는 예시적인 것으로, 제5 트랜지스터(M5)와 제6 트랜지스터(M6)는 서로 다른 발광 제어 신호가 공급되는 별도의 발광 제어선들에 각각 접속될 수도 있다.

[0082] 제7 트랜지스터(M7)는 제3 노드(N3)와 제2 전원(Vint1, 이하, 제1 초기화 전원이라 함) 사이에 접속될 수 있다. 제7 트랜지스터(M7)의 게이트 전극은 i번째 제3 주사선(S3i)(이하, 제3 주사선이라 함)에 접속될 수 있다. 제7 트랜지스터(M7)는 제3 주사선(S3i)으로 제3 주사 신호가 공급될 때 턴-온되어 제1 초기화 전원(Vint1)의 전압을 제3 노드(N3)로 공급할 수 있다. 여기서, 제1 초기화 전원(Vint1)의 전압은 데이터선(Dj)으로 공급되는 데이터 신호보다 낮은 전압으로 설정될 수 있다.

[0083] 이에 따라, 제7 트랜지스터(M7)의 턴-온에 의해 제1 트랜지스터(M1)의 게이트 전압이 제1 초기화 전원(Vint1)의 전압으로 초기화될 수 있다.

[0084] 제8 트랜지스터(M8)는 발광 소자(LD)의 제1 전극(즉, 제4 노드(N4))과 제3 전원(Vint2, 이하, 제2 초기화 전원이라 함) 사이에 접속될 수 있다. 일 실시예에서, 제8 트랜지스터(M8)의 게이트 전극은 제1 주사선(S1i)에 접속될 수 있다. 제8 트랜지스터(M8)는 제1 주사선(S1i)으로 제1 주사 신호가 공급될 때 턴-온되어 제2 초기화 전원(Vint2)의 전압을 발광 소자(LD)의 제1 전극으로 공급할 수 있다.

[0085] 발광 소자(LD)의 제1 전극으로 제2 초기화 전원(Vint2)의 전압이 공급되면, 발광 소자(LD)의 기생 커패시터가 방전될 수 있다. 기생 커패시터에 충전된 잔류 전압이 방전(제거)됨에 따라 의도치 않은 미세 발광이 방지될 수 있다. 따라서, 화소(PX1)의 블랙 표현 능력이 향상될 수 있다.

[0086] 일 실시예에서, 하나의 프레임 기간 내에서 제2 초기화 전원(Vint2)의 전압 레벨은 가변할 수 있다. 예를 들어, 제2 초기화 전원(Vint2)은 하나의 프레임 기간 중 표시 주사 기간에서 제7 전압 레벨을 가지며, 바이어스 주사

기간에서 제8 전압 레벨을 가질 수 있다. 즉, 제2 초기화 전원(Vint2)은 표시 주사 기간과 바이어스 주사 기간에서 다른 전압 레벨을 가질 수 있다. 여기서, 제8 전압 레벨은 제7 전압 레벨 보다 낮을 수 있다. 다른 예로, 하나의 프레임 기간이 하나의 표시 주사 기간과 복수의 바이어스 주사 기간들을 포함하는 경우, 제2 초기화 전원(Vint2)은 하나의 표시 주사 기간에서 제7 전압 레벨을 가지며, 바이어스 주사 기간들 중 제1 바이어스 주사 기간에서 제8 전압 레벨을 가지고, 바이어스 주사 기간들 중 제2 바이어스 주사 기간에서 제9 전압 레벨을 가질 수 있다. 즉, 제2 초기화 전원(Vint2)은 표시 주사 기간과 바이어스 주사 기간에서 다른 전압 레벨을 가질 뿐만 아니라, 바이어스 주사 기간에서도 제1 바이어스 주사 기간과 제2 바이어스 주사 기간에서 다른 전압 레벨을 가질 수 있다. 여기서, 제9 전압 레벨은 제8 전압 레벨 보다 낮을 수 있다. 이에 따라, 한 프레임 기간의 길이가 길어지는 저주파수 구동에서, 발광 소자(LD)의 제1 전극(예를 들어, 애노드 전극)에 인가되는 제2 초기화 전원(Vint2)의 전압 레벨이 가변되어 발광 소자(LD)의 기생 커패시터에 대한 초기화량이 가변됨으로써 제1 트랜지스터(M1)의 히스테리시스 특성 변화에 따른 휘도 흔들림이 방지되고, 이에 따라 표시 품질 저하가 보다 더 개선될 수 있다.

[0087] 한편, 제1 초기화 전원(Vint1)과 제2 초기화 전원(Vint2)은 서로 다른 전압을 가질 수 있다. 즉, 제3 노드(N3)를 초기화하는 전압과 제4 노드(N4)를 초기화하는 전압은 서로 다르게 설정될 수 있다.

[0088] 한 프레임 기간의 길이가 길어지는 저주파수 구동에서, 제3 노드(N3)로 공급되는 제1 초기화 전원(Vint1)의 전압이 지나치게 낮은 경우, 제1 트랜지스터(M1)에 강한 온-바이어스가 인가되므로 해당 프레임 기간에서의 제1 트랜지스터(M1)의 문턱 전압이 시프트된다. 이러한 히스테리시스 특성은 저주파수 구동에서 플리커 현상을 야기할 수 있다. 따라서, 저주파수 구동의 표시 장치에서는 제2 구동 전원(VSS)의 전압보다 높은 제1 초기화 전원(Vint1)의 전압이 요구될 수 있다.

[0089] 그러나, 제4 노드(N4)에 공급되는 제2 초기화 전원(Vint2)의 전압이 소정의 기준보다 높아지는 경우, 발광 소자(LD)의 기생 커패시터의 전압이 방전되지 않고 오히려 충전될 수 있다. 따라서, 제2 초기화 전원(Vint2)의 전압은 발광 소자(LD)의 기생 커패시터의 전압을 방전시킬 수 있을 만큼 충분히 낮아야 한다. 예를 들어, 발광 소자(LD)의 문턱 전압을 고려하여, 제2 초기화 전원(Vint2)의 전압이 발광 소자(LD)의 문턱 전압과 제2 구동 전원(VSS)의 전압을 합한 값보다 낮도록, 제2 초기화 전원(Vint2)의 전압이 설정될 수 있다.

[0090] 다만, 이는 예시적인 것으로서, 제1 초기화 전원(Vint1)의 전압과 제2 초기화 전원(Vint2)의 전압은 다양하게 설정될 수 있으며, 일 예로 제1 초기화 전원(Vint1)의 전압과 제2 초기화 전원(Vint2)의 전압은 실질적으로 동일할 수도 있다.

[0091] 스토리지 커패시터(Cst)는 제1 구동 전원(VDD)과 제3 노드(N3) 사이에 접속된다. 스토리지 커패시터(Cst)는 제3 노드(N3)에 인가된 전압을 저장할 수 있다.

[0092] 한편, 하나의 프레임 기간에서 가변하는 제1 전원(VEH)의 전압 레벨에 대응하여, 데이터선(Dj)으로 공급되는 데이터 신호의 전압 레벨이 가변될 수 있다. 이 경우, 제2 트랜지스터(M2)와 제1 트랜지스터(M1) 사이의 기생 커패시터의 커플링(coupling)에 의해, 제1 전원(VEH)의 전압 레벨이 가변하는 경우에도, 제1 트랜지스터(M1)의 게이트 전극(즉, 제3 노드(N3))에 인가된 전압(또는, 스토리지 커패시터(Cst)에 저장된 전압)의 전압 레벨이 변하는 현상이 방지될 수 있다. 이에 따라, 한 프레임 기간의 길이가 길어지는 저주파수 구동에서도 하나의 프레임 기간 동안 스토리지 커패시터(Cst)에 저장된 전압이 일정하게 유지됨으로써, 하나의 프레임 기간 동안 화소(PX1)는 해당 프레임 기간의 데이터 신호에 대응하는 휘도로 일정하게 발광할 수 있다.

[0093] 또한, 하나의 프레임 기간에서 가변하는 제2 초기화 전원(Vint2)의 전압 레벨에 대응하여, 데이터선(Dj)으로 공급되는 데이터 신호의 전압 레벨이 가변할 수 있다. 이 경우, 제2 트랜지스터(M2)와 제1 트랜지스터(M1) 사이의 기생 커패시터의 커플링에 의해, 제2 초기화 전원(Vint2)의 전압 레벨이 가변하는 경우에도, 제1 트랜지스터(M1)의 게이트 전극(즉, 제3 노드(N3))에 인가된 전압(또는, 스토리지 커패시터(Cst)에 저장된 전압)의 전압 레벨이 변하는 현상이 방지될 수 있다. 이에 따라, 한 프레임 기간의 길이가 길어지는 저주파수 구동에서도 하나의 프레임 기간 동안 스토리지 커패시터(Cst)에 저장된 전압이 일정하게 유지됨으로써, 하나의 프레임 기간 동안 화소(PX1)는 해당 프레임 기간의 데이터 신호에 대응하는 휘도로 일정하게 발광할 수 있다.

[0094] 한편, 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제6 트랜지스터(M6), 및 제8 트랜지스터(M8)는 폴리실리콘 반도체 트랜지스터로 형성될 수 있다. 예를 들어, 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제6 트랜지스터(M6), 및 제8 트랜지스터(M8)는 액티브층(채널)로서 LTPS(low temperature poly-silicon) 공정을 통해 형성된 폴리실리콘 반도체층을

포함할 수 있다. 또한, 제 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제6 트랜지스터(M6), 및 제8 트랜지스터(M8)는 P형 트랜지스터(예를 들어, PMOS 트랜지스터)일 수 있다. 이에 따라, 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제6 트랜지스터(M6), 및 제8 트랜지스터(M8)를 턴-온시키는 게이트-온 전압은 논리 로우 레벨일 수 있다.

[0095] 폴리실리콘 반도체 트랜지스터는 빠른 응답 속도의 장점이 있으므로, 빠른 스위칭이 요구되는 스위칭 소자에 적용될 수 있다.

[0096] 제3 트랜지스터(M3) 및 제7 트랜지스터(M7)는 산화물 반도체 트랜지스터로 형성될 수 있다. 예를 들어, 제3 트랜지스터(M3) 및 제7 트랜지스터(M7)는 N형 산화물 반도체 트랜지스터(예를 들어, NMOS 트랜지스터)일 수 있고, 액티브층으로서 산화물 반도체층을 포함할 수 있다. 이에 따라, 제 제3 트랜지스터(M3) 및 제7 트랜지스터(M7)를 턴-온시키는 게이트-온 전압은 논리 하이 레벨일 수 있다.

[0097] 산화물 반도체 트랜지스터는 저온 공정이 가능하며, 폴리실리콘 반도체 트랜지스터에 비하여 낮은 전하 이동도를 갖는다. 즉, 산화물 반도체 트랜지스터는 오프 전류 특성이 우수하다. 따라서, 제3 트랜지스터(M3) 및 제7 트랜지스터(M7)를 산화물 반도체 트랜지스터로 형성하면 저주파수 구동에 따른 제2 노드(N2)로부터의 누설전류를 최소화할 수 있고, 이에 따라 표시품질을 향상시킬 수 있다.

[0098] 다만, 제1 내지 제8 트랜지스터들(M1 내지 M8)이 이에 제한되는 것은 아니며, 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제6 트랜지스터(M6), 및 제8 트랜지스터(M8) 중 적어도 하나가 산화물 반도체 트랜지스터로 형성되거나, 제3 트랜지스터(M3) 및 제7 트랜지스터(M7) 중 적어도 하나가 폴리실리콘 반도체 트랜지스터로 형성될 수도 있다.

[0100] 도 4는 도 3의 화소에 공급되는 신호들의 일 예를 나타내는 타이밍도이고, 도 5는 한 프레임 기간 동안 도 3의 화소에 공급되는 신호들의 일 예를 나타내는 타이밍도이다.

[0101] 도 3 내지 도 5를 참조하면, 프레임 주파수를 제어하는 가변 주파수 구동에서, 하나의 프레임 기간(FP)은 표시 주사 기간(DSP) 및 적어도 하나의 바이어스 주사 기간(BSP)을 포함할 수 있다.

[0102] 표시 주사 기간(DSP)은 제1 비발광 기간(NEP1) 및 제1 발광 기간(EP1)을 포함할 수 있다. 바이어스 주사 기간(BSP)은 제2 비발광 기간(NEP2) 및 제2 발광 기간(EP2)을 포함할 수 있다. 도 4의 비발광 기간(NEP) 및 발광 기간(EP)은 각각 도 5의 제1 비발광 기간(NEP1) 및 제1 발광 기간(EP1)일 수 있다.

[0103] 표시 주사 기간(DSP)은 출력 영상에 실제로 대응하는 데이터 신호가 기입되는 기간을 포함할 수 있다. 예를 들어, 저주파수 구동으로 정지 영상이 표시되는 경우, 표시 주사 기간(DSP)마다 데이터 신호가 기입될 수 있다.

[0104] 도 5에 도시된 바와 같이, 발광 제어 신호(EMi)는 프레임 주파수보다 큰 제1 주파수로 발광 제어선(Ei)에 공급될 수 있다. 제3 주사 신호(GIi) 및 제4 주사 신호(GWi)는 제1 주파수보다 낮은 제2 주파수로 공급될 수 있다. 예를 들어, 제1 주파수는 240Hz이고, 제2 주파수는 60Hz일 수 있다. 이 때, 제3 주사 신호(GIi) 및 제4 주사 신호(GWi)의 주파수는 프레임 주파수와 실질적으로 동일할 수 있다.

[0105] 다만, 이는 예시적인 것으로서, 제2 주파수는 60Hz 이하일 수 있다. 제2 주파수가 낮아질수록, 또는 제1 주파수와 제2 주파수의 차이가 클수록, 프레임 기간(FP)에서 바이어스 주사 기간(BSP)이 반복되는 횟수(즉, 바이어스 주사 기간(BSP)의 개수)가 증가할 수 있다. 예를 들어, 프레임 주파수에 따라 프레임 기간(FP)은 하나의 표시 주사 기간(DSP)과 복수의 연속된 바이어스 주사 기간(BSP)들을 포함할 수 있다.

[0106] 일 실시예에서, 제2 주사 신호(GCi)는 제1 비발광 기간(NEP1)에만 공급될 수 있다. 제2 주사 신호(GCi)는 제1 비발광 기간(NEP1)에 제2 주사선(S2i)으로 복수회 공급될 수 있다.

[0107] 일 실시예에서, 제1 주사 신호(GBi)는 제1 비발광 기간(NEP1) 및 제2 비발광 기간(NEP2)에 공급될 수 있다. 제1 주사 신호(GBi)는 제1 비발광 기간(NEP1)에 제1 주사선(S1i)으로 복수회 공급될 수 있다. 또한, 제1 주사 신호(GBi)는 제2 비발광 기간(NEP2)에 제1 주사선(S1i)으로 복수회 공급될 수 있다.

[0108] 제1 주사 신호(GBi)는 제1 트랜지스터(M1)를 온-바이어스 상태로 제어하기 위한 신호일 수 있다. 예를 들어, 제1 주사 신호(GBi)에 의해 제4 트랜지스터(M4)가 턴-온되면, 제1 전원(VEH)의 전압이 제1 노드(N1)로 공급될 수 있다. 또한, 제1 주사 신호(GBi)는 발광 소자(LD)를 초기화시키기 위한 신호일 수 있다. 예를 들어, 제1 주사 신호(GBi)에 의해 제8 트랜지스터(M8)가 턴-온되면, 제2 초기화 전원(Vint2)의 전압이 제4 노드(N4)로 공급될 수 있다.

[0109] 본 발명의 실시예들에 따른 표시 장치는, 제4 트랜지스터(M4)를 이용하여 주기적으로 제1 트랜지스터(M1)의 제1 전극(또는, 소스 전극)에 제1 전원(VEH)의 전압을 인가할 수 있다. 제1 트랜지스터(M1)의 소스 전극에 제1 전원(VEH)의 전압이 공급되면, 제1 트랜지스터(M1)는 온-바이어스 상태가 되고, 제1 트랜지스터(M1)의 문턱전압 특성이 변경될 수 있다. 따라서, 저주파수 구동에서 제1 트랜지스터(M1)의 특성이 특정 상태로 고정되어 열화되는 것이 방지될 수 있다.

[0110] 일 실시예에서, 하나의 프레임 기간(FP)에서 제1 전원(VEH)의 전압 레벨은 가변할 수 있다. 이에 따라, 제1 트랜지스터(M1)의 히스테리시스 특성 변화에 따른 표시 품질 저하가 보다 더 개선될 수 있다. 제1 전원(VEH)의 전압 레벨 가변에 따른 화소(PX1)의 동작은 도 6a, 도 6b, 및 도 8a 내지 도 11을 참조하여 구체적으로 설명하기로 한다.

[0111] 본 발명의 실시예들에 따른 표시 장치는, 제8 트랜지스터(M8)를 이용하여 주기적으로 발광 소자(LD)의 제1 전극(또는, 애노드 전극)에 제2 초기화 전원(Vint2)의 전압을 인가할 수 있다. 발광 소자(LD)의 제1 전극에 제2 초기화 전원(Vint2)의 전압이 공급되면, 발광 소자(LD)의 기생 커패시터에 충전된 잔류 전압이 방전(제거)되어, 의도치 않은 미세 발광이 방지될 수 있다.

[0112] 일 실시예에서, 하나의 프레임 기간(FP)에서 제2 초기화 전원(Vint2)의 전압 레벨은 가변할 수 있다. 이에 따라, 발광 소자(LD)의 기생 커패시터에 충전된 잔류 전압에 따른 표시 품질 저하가 보다 더 개선될 수 있다. 제2 초기화 전원(Vint2)의 전압 레벨 가변에 따른 화소(PX1)의 동작은 도 7a 내지 도 11을 참조하여 구체적으로 설명하기로 한다.

[0113] 도 5에는 제1 주사 신호(GBi)가 모든 비발광 기간들(NEP1, NEP2)에 공급되는 것으로 도시되었으나, 이에 한정되는 것은 아니다. 제1 주사 신호(GBi)는 제2 비발광 기간(NEP2)들 중 일부에만 공급될 수도 있다. 예를 들어, 제1 주사 신호(GBi)는 표시 주사 기간(DSP) 및 도 5의 두 번째 바이어스 주사 기간(BSP)에만 제1 주사선(S1i)으로 공급될 수도 있다.

[0114] 발광 제어 신호(EMi)가 논리 로우 레벨을 갖는 기간은 발광 기간(EP, EP1, EP2)일 수 있고, 발광 기간(EP, EP1, EP2) 이외의 기간은 비발광 기간(NEP, NEP1, NEP2)일 수 있다.

[0115] N형 트랜지스터인 제3 트랜지스터(M3) 및 제7 트랜지스터(M7)에 각각 공급되는 제2 주사 신호(GCi) 및 제3 주사 신호(GIi)의 게이트-온 전압은 논리 하이 레벨이다. P형 트랜지스터인 제2 트랜지스터(M2), 제4 트랜지스터(M4), 및 제8 트랜지스터(M8)로 각각 공급되는 제4 주사 신호(GWi) 및 제1 주사 신호(GBi)의 게이트-온 전압은 논리 로우 레벨이다.

[0116] 도 5에 도시된 바와 같이, 바이어스 주사 기간(BSP)의 비발광 기간인 제2 비발광 기간(NEP2)에는 제1 주사선(S1i)으로 제1 주사 신호(GBi)가 공급될 수 있다. 따라서, 제2 비발광 기간(NEP2)에 제1 트랜지스터(M1)의 제1 전극으로 제1 전원(VEH)의 전압이 공급될 수 있다. 즉, 프레임 주파수와 무관하게 주기적으로 제1 트랜지스터(M1)로 온-바이어스가 인가될 수 있다. 또한, 안정적인 온-바이어스 상태를 유지하기 위해 제2 비발광 기간(NEP2)에 제1 주사선(S1i)으로 제1 주사 신호(GBi)가 복수회 공급될 수 있다. 이에 따라, 저주파수 구동의 프레임 기간(FP)에서의 제1 트랜지스터(M1)의 휘도 변화가 최소화될 수 있다. 한편, 제1 주사 신호(GBi)는 주사 구동부(200)의 구동 및 표시 장치(1000)의 구성의 단순화를 위해 표시 주사 기간(DSP)에도 제1 주사선(Si1)으로 복수회 공급될 수 있다.

[0117] 이하, 도 3 및 도 4를 참조하여 표시 주사 기간(DSP)에 공급되는 주사 신호들(GBi, GCi, GIi, GWi) 및 화소(PX1)의 동작을 구체적으로 설명하기로 한다.

[0118] 비발광 기간(NEP) 동안 발광 제어선(Ei)으로 발광 제어 신호(EMi)가 공급될 수 있다. 이에 따라, 비발광 기간(NEP) 동안 제5 트랜지스터(M5) 및 제6 트랜지스터(M6)는 턴-오프될 수 있다. 비발광 기간(NEP)은 제1 내지 제5 기간들(P1 내지 P5)을 포함할 수 있다.

[0119] 제1 기간(P1)에 주사 구동부(200)는 제2 주사선(S2i)으로 제2 주사 신호(GCi)를 공급하고, 제1 주사선(S1i)으로 제1 주사 신호(GBi)를 공급할 수 있다. 일 실시예에서, 제2 주사 신호(GCi)가 공급된 후에 제1 주사 신호(GBi)가 공급될 수 있다. 따라서, 제1 기간(P1)에서 제3 트랜지스터(M3)가 턴-온된 후에 제4 트랜지스터(M4)가 턴-온될 수 있다.

[0120] 제2 주사 신호(GCi)의 공급 없이 제4 트랜지스터(M4)만이 턴-온되면, 제1 노드(N1, 즉, 제1 트랜지스터(M1)의 소스 전극)로 제1 전원(VEH)의 전압이 공급될 수 있다. 이때, 고전압의 제1 전원(VEH)의 전압이 제1 노드(N1)로

인가되어, 제1 트랜지스터(M1)가 온-바이어스 상태를 가질 수 있다. 예를 들어, 제1 전원(VEH)의 전압이 약 5V 이상인 경우, 제1 트랜지스터(M1)는 약 5V 이상의 소스 전압 및 드레인 전압을 가지며, 제1 트랜지스터(M1)의 게이트-소스 전압의 절대값이 증가할 수 있다.

[0121] 이러한 상태에서 제4 주사 신호(GWi)의 공급에 의한 데이터 신호가 공급되면, 제1 트랜지스터(M1)의 바이어스 상태의 영향에 의해 구동 전류가 의도치 않게 변하며, 영상 휘도가 흔들릴 수 있다(예를 들어, 휘도가 상승함).

[0122] 이러한 문제점을 해결하기 위해, 제1 기간(P1)에서 주사 구동부(200)는 제2 주사 신호(GCi)를 제1 주사 신호(GBi)보다 먼저 공급할 수 있다. 따라서, 제3 트랜지스터(M3)가 제4 트랜지스터(M4)보다 먼저 턴-온될 수 있다. 제3 트랜지스터(M3)의 턴-온에 의해 제2 노드(N2)와 제3 노드(N3)가 도통될 수 있다. 이후, 제4 트랜지스터(M4)가 턴-온되면 제1 전원(VEH)의 전압이 제1 노드(N1)를 통해 제3 노드(N3)까지 전달될 수 있다. 예를 들어, 제1 노드(N1)와 제3 노드(N3)의 전압차는 제1 트랜지스터(M1)의 문턱 전압 수준으로 감소될 수 있다. 따라서, 제1 기간(P1)에서 제1 트랜지스터(M1)의 게이트-소스 전압의 크기가 매우 낮아질 수 있다. 예를 들어, 제1 트랜지스터(M1)는 오프-바이어스 상태로 설정될 수 있다.

[0123] 이와 같이, 제1 기간(P1)에서의 데이터 신호 기입 전의 제1 전원(VEH)의 전압 공급에 의한 의도치 않은 휘도 상승을 방지하기 위해, 제3 트랜지스터(M3)가 턴-온된 상태에서 제4 트랜지스터(M4)가 턴-온되도록 제1 주사 신호(GBi) 및 제2 주사 신호(GCi)의 공급이 제어될 수 있다.

[0124] 일 실시예에서, 제1 기간(P1)에서 제2 주사 신호(GCi)의 폭(W1)은 제1 주사 신호(GBi)의 폭(W2)보다 클 수 있다. 예를 들어, 제1 기간(P1)에서 제3 트랜지스터(M3)는 제4 트랜지스터(M4)보다 먼저 턴-온되고, 제4 트랜지스터(M4)가 턴-오프된 후에 제3 트랜지스터(M3)가 턴-오프될 수 있다.

[0125] 다만, 이는 예시적인 것으로서, 제3 트랜지스터(M3)는 제4 트랜지스터(M4)보다 먼저 턴-오프될 수도 있다.

[0126] 한편, 제1 주사 신호(GBi)에 응답하여 제8 트랜지스터(M8)가 턴-온되고, 발광 소자(LD)의 제1 전극(즉, 제4 노드(N4))으로 제2 초기화 전원(Vint2)의 전압이 공급될 수 있다.

[0127] 이후, 제2 기간(P2)에 주사 구동부(200)는 제3 주사선(S3i)으로 제3 주사 신호(GIi)를 공급할 수 있다. 제3 주사 신호(GIi)에 의해 제7 트랜지스터(M7)가 턴-온될 수 있다. 제7 트랜지스터(M7)가 턴-온되면 제1 트랜지스터(M1)의 게이트 전극으로 제1 초기화 전원(Vint1)의 전압이 공급될 수 있다. 즉, 제2 기간(P2)에는 제1 트랜지스터(M1)의 게이트 전압이 제1 초기화 전원(Vint1)의 전압에 기초하여 초기화될 수 있다. 따라서, 제1 트랜지스터(M1)에 강한 온-바이어스가 인가되며, 히스테리시스 특성이 변할 수 있다(문턱 전압이 시프트됨).

[0128] 이후, 제3 기간(P3)에 주사 구동부(200)는 제2 주사선(S2i)으로 제2 주사 신호(GCi)를 공급할 수 있다. 제2 주사 신호(GCi)에 응답하여 제3 트랜지스터(M3)가 다시 턴-온될 수 있다. 제3 기간(P3)에서 주사 구동부(200)는 제2 주사 신호(GCi)의 일부에 중첩하여 제4 주사선(S4i)으로 제4 주사 신호(GWi)를 공급할 수 있다. 제4 주사 신호(GWi)에 의해 제2 트랜지스터(M2)가 턴-온되고, 데이터 신호가 제1 노드(N1)로 제공될 수 있다.

[0129] 이때, 턴-온된 제3 트랜지스터(M3)에 의해 제1 트랜지스터(M1)는 다이오드 형태로 접속되며, 데이터 신호 기입 및 문턱 전압 보상이 수행될 수 있다. 제4 주사 신호(GWi)의 공급이 중단된 후에도 제2 주사 신호(GCi)의 공급이 유지되므로, 충분한 시간 동안 제1 트랜지스터(M1)의 문턱 전압이 보상될 수 있다.

[0130] 이후 제4 기간(P4)에 주사 구동부(200)는 제1 주사선(S1i)으로 제1 주사 신호(GBi)를 다시 공급할 수 있다. 따라서, 제4 트랜지스터(M4) 및 제8 트랜지스터(M8)가 턴-온될 수 있다. 제4 트랜지스터(M4)의 턴-온에 의해 제1 노드(N1)로 제1 전원(VEH)의 전압이 공급될 수 있다.

[0131] 제2 기간(P2)에 인가된 강한 온-바이어스의 영향은 데이터 신호의 기입 및 문턱 전압 보상 동작에 의해 제거될 수 있다. 예를 들어, 제3 기간(P3)에서의 문턱 전압 보상에 의해 제1 트랜지스터(M1)의 게이트 전압과 소스 전압(및 드레인 전압)의 전압차가 크게 감소될 수 있다. 그러면 제1 트랜지스터(M1)의 특성이 다시 변화하고, 발광 기간(EP)의 구동 전류가 증가하거나 블랙 계조의 들뜸이 시인될 수 있다.

[0132] 이러한 특성 변화를 방지하기 위해, 제4 기간(P4)에 제4 트랜지스터(M4)가 턴-온될 수 있다. 따라서, 제4 기간(P4)에 제1 트랜지스터(M1)의 소스 전극으로 제1 전원(VEH)의 전압이 공급됨으로써 제1 트랜지스터(M1)가 온-바이어스 상태로 설정될 수 있다.

[0133] 제4 기간(P4)의 동작에 의해 제1 트랜지스터(M1)를 발광 전에 안정적인 온-바이어스 상태로 설정하기 위해 제4 기간(P4)과 발광 기간(EP) 사이에 충분한 여유 시간이 필요하다. 따라서, 제4 기간(P4)과 발광 기간(EP) 사이에

주사 신호들(GBi, GCi, GIi, GWi)이 공급되지 않는 제5 기간(P5)이 삽입될 수 있다.

[0134] 일 실시예에서, 제5 기간(P5)은 4 수평주기 이상일 수 있다. 예를 들어, 제5 기간(P5)의 길이는 약 10um 이상일 수 있다. 이에 따라, 발광 기간(EP) 전 제1 트랜지스터(M1)는 안정적인 온-바이어스 상태를 가질 수 있다. 따라서, 도 5와 같은 프레임 기간(FP)이 반복되어도 발광 휘도가 안정적으로 유지될 수 있다.

[0135] 일 실시예에서, 제1 내지 제4 주사 신호들(GBi, GCi, GIi, GWi)은 각각 도 2의 제1 내지 제4 주사 구동부들(220, 240, 260, 280)로부터 공급될 수 있다.

[0137] 도 6a 및 도 6b는 도 3의 화소에 공급되는 제1 전원의 전압과 데이터 신호의 일 예들을 나타내는 타이밍도들이다.

[0138] 도 3, 도 5, 도 6a를 참조하면, 하나의 프레임 기간(FP) 내에서 제1 전원(VEH)의 전압 레벨은 가변할 수 있다. 예를 들어, 제1 전원(VEH)은 표시 주사 기간(DSP)에서 제1 전압 레벨(VE1)을 가지며, 적어도 하나의 바이어스 주사 기간(BSP1, BSP2)에서 제2 전압 레벨(VE2)을 가질 수 있다. 여기서 제2 전압 레벨(VE2)은 제1 전압 레벨(VE1) 보다 높을 수 있다.

[0139] 저주파수 구동의 경우 하나의 프레임 기간(FP)의 길이가 길어지며, 특히, 구동 주파수가 낮을수록 하나의 프레임 기간(FP)의 길이는 더 길어진다. 이 경우, 제1 트랜지스터(M1)의 바이어스 상태의 영향에 의해 구동 전류가 의도치 않게 변하는 정도는 더 심해질 수 있다. 이에 따라, 표시되는 영상의 휘도가 흔들릴 수 있다(예를 들어, 휘도가 상승함).

[0140] 본 발명의 실시예들에 따른 표시 장치는, 하나의 프레임 기간(FP) 내에서 제1 전원(VEH)의 전압 레벨을 가변함으로써 제1 트랜지스터(M1)의 바이어스 상태의 영향에 의한 영상 휘도의 흔들림을 보다 효과적으로 방지(제거)할 수 있다.

[0141] 구체적으로, 저주파수 구동에 있어서, 하나의 프레임 기간(FP) 내에서 표시 기간이 길어질수록 구동 전류가 변하는 정도는 심해질 수 있다. 즉, 표시 주사 기간(DSP)에서보다 바이어스 주사 기간들(BSP1, BSP2)에서 구동 전류가 변하는 정도가 더 심해질 수 있다. 이에 따라, 바이어스 주사 기간(BSP1, BSP2)에서 표시 주사 기간(DSP)과 동일한 전압 레벨(즉, 제1 전압 레벨(VE1))의 제1 전원(VEH)의 전압이 제1 노드(N1)로 공급되더라도, 여전히 제1 트랜지스터(M1)의 바이어스 상태의 영향에 의한 영상 휘도의 흔들림이 발생할 수 있다.

[0142] 이에 따라, 본 발명의 실시예들에 따른 표시 장치는, 도 6a에 도시된 바와 같이, 적어도 하나의 바이어스 주사 기간(BSP1, BSP2)에서 표시 주사 기간(DSP)에서보다 높은 전압 레벨(즉, 제2 전압 레벨(VE2))의 제1 전원(VEH)을 화소(PX1)에 공급함으로써, 바이어스 주사 기간(BSP1, BSP2)에서의 영상 휘도의 흔들림을 보다 효과적으로 방지(제거)할 수 있다.

[0143] 도 6b를 참조하면, 일 실시예에서, 바이어스 주사 기간들(BSP1, BSP2) 내에서 제1 전원(VEH)의 전압 레벨이 가변할 수 있다. 예를 들어, 제1 전원(VEH)은 바이어스 주사 기간들(BSP1, BSP2) 중 제1 바이어스 주사 기간(BSP1)에서 제2 전압 레벨(VE2)을 가지며, 제2 바이어스 주사 기간(BSP2)에서 제3 전압 레벨(VE3)을 가질 수 있다. 여기서, 제3 전압 레벨(VE3)은 제2 전압 레벨(VE2) 보다 높을 수 있다.

[0144] 도 6a를 참조하여 설명한 바와 유사하게, 바이어스 주사 기간들(BSP1, BSP2) 내에서도 표시 기간이 길어질수록 구동 전류가 변하는 정도는 심해질 수 있다. 즉, 제1 바이어스 주사 기간(BSP1)에서보다 제2 바이어스 주사 기간(BSP2)에서 구동 전류가 변하는 정도가 더 심해질 수 있다. 이에 따라, 제2 바이어스 주사 기간(BSP2)에서 제1 바이어스 주사 기간(BSP1)과 동일한 전압 레벨(즉, 제2 전압 레벨(VE2))의 제1 전원(VEH)의 전압이 제1 노드(N1)로 공급되더라도, 여전히 제1 트랜지스터(M1)의 바이어스 상태의 영향에 의한 영상 휘도의 흔들림이 발생할 수 있다.

[0145] 이에 따라, 본 발명의 실시예들에 따른 표시 장치는, 도 6b에 도시된 바와 같이, 제2 바이어스 주사 기간(BSP2)에서 제1 바이어스 주사 기간(BSP1)에서보다 높은 전압 레벨(즉, 제3 전압 레벨(VE3))의 제1 전원(VEH)을 화소(PX1)에 공급함으로써, 바이어스 주사 기간들(BSP1, BSP2)(또는, 제2 바이어스 주사 기간(BSP2))에서의 영상 휘도의 흔들림을 보다 효과적으로 방지(제거)할 수 있다.

[0146] 한편, 제1 전원(VEH)의 전압 레벨이 가변함에 따라, 즉, 바이어스 주사 기간들(BSP1, BSP2) 내에서 제1 노드(N1)에 인가되는 제1 전원(VEH)의 전압 레벨이 상승함에 따라, 제1 노드(N1)와 제3 노드(N3)(또는, 제1 트랜지스터(M1)의 소스 전극과 게이트 전극) 사이의 기생 커패시터의 영향에 의해, 제1 트랜지스터(M1)의 게이트 전극(즉, 제3 노드(N3))에 인가된 전압(또는, 스토리지 커패시터(Cst)에 저장된 전압)이 흔들릴 수 있다(예를 들어,

데이터 신호(Vdata)에 대응하여 제3 노드(N3)에 인가된 전압의 전압 레벨이 변화(상승)함).

[0147] 본 발명의 실시예들에 따른 표시 장치는, 하나의 프레임 기간(FP)내에서 가변하는 제1 전원(VEH)의 전압 레벨에 대응하여, 데이터선(Dj)으로 공급되는 데이터 신호(Vdata)의 전압 레벨을 가변할 수 있다.

[0148] 예를 들어, 도 6a에 도시된 바와 같이, 제1 전압 레벨(VE1)에서 제2 전압 레벨(VE2)로 가변하는 제1 전원(VEH)에 대응하여 제1 트랜지스터(M1)의 게이트 전극에 인가된 전압이 상승하지 않도록, 표시 장치는 표시 주사 기간(DSP)에서 제4 전압 레벨(VD1)의 데이터 신호(Vdata)를 공급하고, 바이어스 주사 기간(BSP1, BSP2)에서 제5 전압 레벨(VD2)의 데이터 신호(Vdata)를 공급할 수 있다. 여기서, 제5 전압 레벨(VD2)은 제4 전압 레벨(VD1) 보다 낮을 수 있다.

[0149] 이 경우, 제1 전원(VEH)의 전압 레벨이 가변하는 경우에도, 제2 트랜지스터(M2)와 제1 트랜지스터(M1) 사이의 기생 커패시터의 커플링에 의해 제1 전원(VEH)의 전압 레벨 상승에 따른 제3 노드(N3)의 전압 상승과 데이터 신호(Vdata)의 전압 레벨 하강에 따른 제3 노드(N3)의 전압 하강이 서로 상쇄되어, 스토리지 커패시터(Cst)에 저장된 전압이 안정적으로 유지됨으로써, 하나의 프레임 기간(FP) 동안 화소(PX1)는 해당 프레임 기간(FP)의 표시 주사 기간(DSP)에서 공급된 데이터 신호에 대응하는 휘도로 일정하게 발광할 수 있다.

[0150] 이와 유사하게, 제1 전원(VEH)의 전압 레벨이 제2 바이어스 주사 기간(BSP2)에서 다시 한번 가변되는 경우(즉, 제2 바이어스 주사 기간(BSP2)에서 제3 전압 레벨(VE3)의 제1 전원(VEH)이 공급되는 경우), 제2 바이어스 주사 기간(BSP2)에서 제1 전원(VEH)의 전압 레벨이 상승함에 따라, 스토리지 커패시터(Cst)에 저장된 전압이 흔들릴 수 있다.

[0151] 이에 따라, 본 발명의 실시예들에 따른 표시 장치는, 바이어스 주사 기간들(BSP1, BSP2) 내에서 가변하는 제1 전원(VEH)의 전압 레벨에 대응하여, 데이터선(Dj)으로 공급되는 데이터 신호(Vdata)의 전압 레벨을 가변할 수 있다.

[0152] 예를 들어, 도 6b에 도시된 바와 같이, 제2 전압 레벨(VE2)에서 제3 전압 레벨(VE3)로 가변하는 제1 전원(VEH)에 대응하여, 제1 트랜지스터(M1)의 게이트 전극에 인가된 전압이 상승하지 않도록, 표시 장치는 제1 바이어스 주사 기간(BSP1)에서 제5 전압 레벨(VD2)의 데이터 신호(Vdata)를 공급하고, 제2 바이어스 주사 기간(BSP2)에서 제6 전압 레벨(VD3)의 데이터 신호(Vdata)를 공급할 수 있다. 여기서, 제6 전압 레벨(VD3)은 제5 전압 레벨(VD2) 보다 낮을 수 있다.

[0153] 이 경우, 제1 전원(VEH)의 전압 레벨 상승에 따른 제3 노드(N3)의 전압 상승과 데이터 신호(Vdata)의 전압 레벨 하강에 따른 제3 노드(N3)의 전압 하강이 서로 상쇄되어, 스토리지 커패시터(Cst)에 저장된 전압이 안정적으로 유지됨으로써, 하나의 프레임 기간(FP) 동안 화소(PX1)는 해당 프레임 기간(FP)의 표시 주사 기간(DSP)에서 공급된 데이터 신호에 대응하는 휘도로 일정하게 발광할 수 있다.

[0154] 한편, 바이어스 주사 기간(BSP1, BSP2)에서 가변하는 데이터 신호(Vdata)의 전압 레벨(예를 들어, 제5 전압 레벨(VD1) 및/또는 제6 전압 레벨(VD2))은, 바이어스 주사 기간(BSP1, BSP2)에서 가변하는 제1 전원(VEH)의 전압 레벨(예를 들어, 제2 전압 레벨(VE2) 및/또는 제3 전압 레벨(VE3))에 대응하여, 제2 트랜지스터(M2)와 제1 트랜지스터(M1) 사이의 기생 커패시터의 커플링에 의해 스토리지 커패시터(Cst)에 저장된 전압이 일정하게 유지될 수 있도록, 화소(PX1)의 회로 설계 등(예를 들어, 트랜지스터들 간의 배치 관계 등)을 고려하여 실험적으로 결정될 수 있다.

[0155] 한편, 도 6a 및 도 6b에서는, 바이어스 주사 기간이 2개의 바이어스 주사 기간들(BSP1, BSP2)을 포함하는 경우를 예시적으로 설명하였으나, 바이어스 주사 기간들의 개수는 이에 제한되는 것은 아니며, 예를 들어 바이어스 주사 기간들의 개수는 1개 또는 3개 이상일 수 있다.

[0156] 한편, 바이어스 주사 기간들의 개수가 3개 이상인 경우에, 도 6b에서 설명한 바와 같이, 하나의 프레임 기간(FP)의 길이가 길어짐에 따라, 표시 장치는 바이어스 주사 기간 마다 제1 전원(VEH)의 전압 레벨을 가변할 수 있다. 일 예로, 바이어스 주사 기간들의 개수가 3개인 경우, 표시 장치는 제1 바이어스 주사 기간(예를 들어, 도 6b의 BSP1)에서 제2 전압 레벨(예를 들어, 도 6b의 VE2)의 제1 전원(VEH)을 공급하고, 제1 바이어스 주사 기간 이후의 제2 바이어스 주사 기간(예를 들어, 도 6b의 BSP2)에서 제2 전압 레벨보다 높은 제3 전압 레벨(예를 들어, 도 6b의 VE3)의 제1 전원(VEH)을 공급하며, 제2 바이어스 주사 기간 이후의 제3 바이어스 주사 기간에서 제2 전압 레벨보다 높은 전압 레벨의 제1 전원(VEH)을 공급할 수 있다.

[0157] 한편, 표시 장치(예를 들어, 도 1의 표시 장치(1000))는 하나의 프레임 기간(FP) 내 바이어스 주사 기간들

(BSP1, BSP2)이 끝난 후, 다음 프레임 기간(FP)에서의 표시 주사 기간(DSP)에서 다시 제1 전압 레벨(VE1)의 제1 전원(VEH)을 화소(PX1)에 공급할 수 있다.

[0159] 도 7a 및 도 7b는 도 3의 화소에 공급되는 제2 초기화 전원의 전압과 데이터 신호의 일 예들을 나타내는 타이밍 도들이다.

[0160] 도 3, 도 5, 도 7a를 참조하면, 하나의 프레임 기간(FP) 내에서 제2 초기화 전원(Vint2)의 전압 레벨은 가변할 수 있다. 예를 들어, 제2 초기화 전원(Vint2)은 표시 주사 기간(DSP)에서 제7 전압 레벨(VI1)을 가지며, 적어도 하나의 바이어스 주사 기간(BSP1, BSP2)에서 제8 전압 레벨(VI2)을 가질 수 있다. 여기서 제8 전압 레벨(VI2)은 제7 전압 레벨(VI1) 보다 낮을 수 있다.

[0161] 구동 주파수가 낮을수록 하나의 프레임 기간(FP)의 길이가 더 길어진다. 이 경우, 제1 트랜지스터(M1)의 바이어스 상태의 영향에 의해 구동 전류가 의도치 않게 변하는 정도는 더 심해질 수 있다. 이에 따라, 표시되는 영상의 휘도가 흔들릴 수 있다(예를 들어, 휘도가 상승함).

[0162] 본 발명의 실시예들에 따른 표시 장치는, 표시되는 영상의 휘도가 상승하는 것을 방지하기 위하여, 하나의 프레임 기간(FP) 내에서 제2 초기화 전원(Vint2)의 전압 레벨을 가변함으로써 제1 트랜지스터(M1)의 바이어스 상태의 영향에 의한 영상 휘도의 흔들림을 보다 효과적으로 방지(제거)할 수 있다. 예를 들어, 발광 소자(LD)에 인가되는 제2 초기화 전원(Vint2)의 전압 레벨이 감소되는 경우 발광 소자(LD)의 기생 커패시터에 대한 초기화량이 증가함으로써 영상 휘도의 증가가 제어되므로, 표시되는 영상의 휘도가 낮아짐으로써 영상 휘도의 흔들림이 보다 개선될 수 있다.

[0163] 이에 따라, 본 발명의 실시예들에 따른 표시 장치는, 도 7a에 도시된 바와 같이, 바이어스 주사 기간들(BSP1, BSP2)에서 표시 주사 기간(DSP)에서보다 낮은 전압 레벨(즉, 제8 전압 레벨(VI2))의 제2 초기화 전원(Vint2)을 화소(PX1)에 포함되는 발광 소자(LD)에 공급함으로써, 바이어스 주사 기간(BSP1, BSP2)에서의 영상 휘도의 흔들림을 보다 효과적으로 방지(제거)할 수 있다.

[0164] 도 7b를 참조하면, 일 실시예에서, 바이어스 주사 기간들(BSP1, BSP2) 내에서 제2 초기화 전원(Vint2)의 전압 레벨이 가변할 수 있다. 예를 들어, 제2 초기화 전원(Vint2)은 바이어스 주사 기간들(BSP1, BSP2) 중 제1 바이어스 주사 기간(BSP1)에서 제8 전압 레벨(VI2)을 가지며, 제2 바이어스 주사 기간(BSP2)에서 제9 전압 레벨(VI3)을 가질 수 있다. 여기서, 제9 전압 레벨(VI3)은 제8 전압 레벨(VI2) 보다 낮을 수 있다.

[0165] 도 7a를 참조하여 설명한 바와 유사하게, 바이어스 주사 기간들(BSP1, BSP2) 내에서도 표시 기간이 길어질수록 구동 전류가 변하는 정도는 심해질 수 있다. 즉, 제1 바이어스 주사 기간(BSP1)에서보다 제2 바이어스 주사 기간(BSP2)에서 구동 전류가 변하는 정도가 더 심해질 수 있다.

[0166] 이에 따라, 본 발명의 실시예들에 따른 표시 장치는, 도 7b에 도시된 바와 같이, 제2 바이어스 주사 기간(BSP2)에서 제1 바이어스 주사 기간(BSP1)에서보다 낮은 전압 레벨(즉, 제9 전압 레벨(VI3))의 제2 초기화 전원(Vint2)을 화소(PX1)에 공급함으로써, 바이어스 주사 기간들(BSP1, BSP2)(또는, 제2 바이어스 주사 기간(BSP2))에서의 영상 휘도의 흔들림을 보다 효과적으로 방지(제거)할 수 있다.

[0167] 한편, 제2 초기화 전원(Vint2)의 전압 레벨이 가변함에 따라, 즉, 바이어스 주사 기간들(BSP1, BSP2) 내에서 제2 초기화 전원(Vint2)의 전압 레벨이 하강함에 따라, 제4 노드(N4)와 제3 노드(N3) 사이의 기생 커패시터의 영향에 의해, 제1 트랜지스터(M1)의 게이트 전극(즉, 제3 노드(N3))에 인가된 전압(또는, 스토리지 커패시터(Cst)에 저장된 전압)이 흔들릴 수 있다(예를 들어, 데이터 신호(Vdata)에 대응하여 제3 노드(N3)에 인가된 전압의 전압 레벨이 변화(하강)함).

[0168] 본 발명의 실시예들에 따른 표시 장치는, 하나의 프레임 기간(FP)내에서 가변하는 제2 초기화 전원(Vint2)의 전압 레벨에 대응하여, 데이터선(Dj)으로 공급되는 데이터 신호(Vdata)의 전압 레벨을 가변할 수 있다.

[0169] 예를 들어, 도 7a에 도시된 바와 같이, 제7 전압 레벨(VI1)에서 제8 전압 레벨(VI2)로 가변하는 제2 초기화 전원(Vint2)에 대응하여, 제1 트랜지스터(M1)의 게이트 전극에 인가된 전압이 하강하지 않도록, 표시 장치는 표시 주사 기간(DSP)에서 제10 전압 레벨(VD4)의 데이터 신호(Vdata)를 공급하고, 바이어스 주사 기간(BSP1, BSP2)에서 제11 전압 레벨(VD5)의 데이터 신호(Vdata)를 공급할 수 있다. 여기서, 제11 전압 레벨(VD5)은 제10 전압 레벨(VD4) 보다 높을 수 있다.

[0170] 이 경우, 제2 초기화 전원(Vint2)의 전압 레벨이 가변하는 경우에도, 제2 트랜지스터(M2)와 제1 트랜지스터(M1) 사이의 기생 커패시터의 커플링에 의해, 제2 초기화 전원(Vint2)의 전압 레벨 하강에 따른 제3 노드(N3)의 전압

하강과 데이터 신호(Vdata)의 전압 레벨 상승에 따른 제3 노드(N3)의 전압 상승이 서로 상쇄되어, 스토리지 커패시터(Cst)에 저장된 전압이 안정적으로 유지됨으로써, 하나의 프레임 기간(FP) 동안 화소(PX1)는 해당 프레임 기간(FP)의 표시 주사 기간(DSP)에서 공급된 데이터 신호에 대응하는 휘도로 일정하게 발광할 수 있다.

[0171] 이와 유사하게, 제2 초기화 전원(Vint2)의 전압 레벨이 제2 바이어스 주사 기간(BSP2)에서 다시 한번 가변되는 경우(즉, 제2 바이어스 주사 기간(BSP2)에서 제9 전압 레벨(VI3)의 제2 초기화 전원(Vint2)이 공급되는 경우), 제2 바이어스 주사 기간(BSP2)에서 제2 초기화 전원(Vint2)의 전압 레벨이 하강함에 따라, 스토리지 커패시터(Cst)에 저장된 전압이 흔들릴 수 있다.

[0172] 이에 따라, 본 발명의 실시예들에 따른 표시 장치는, 바이어스 주사 기간들(BSP1, BSP2) 내에서 가변하는 제2 초기화 전원(Vint2)의 전압 레벨에 대응하여, 데이터선(Dj)으로 공급되는 데이터 신호(Vdata)에 대응하는 전압 레벨을 가변할 수 있다.

[0173] 예를 들어, 도 7b에 도시된 바와 같이, 제8 전압 레벨(VI2)에서 제9 전압 레벨(VI3)로 가변하는 제2 초기화 전원(Vint2)에 대응하여, 제1 트랜지스터(M1)의 게이트 전극에 인가된 전압이 하강하지 않도록, 표시 장치는 제1 바이어스 주사 기간(BSP1)에서 제11 전압 레벨(VD5)의 데이터 신호(Vdata)를 공급하고, 제2 바이어스 주사 기간(BSP2)에서 제12 전압 레벨(VD6)의 데이터 신호(Vdata)를 공급할 수 있다. 여기서, 제12 전압 레벨(VD6)은 제11 전압 레벨(VD5) 보다 높을 수 있다.

[0174] 이 경우, 제2 초기화 전원(Vint2)의 전압 레벨 하강에 따른 제3 노드(N3)의 전압 하강과 데이터 신호(Vdata)의 전압 레벨 상승에 따른 제3 노드(N3)의 전압 상승이 서로 상쇄되어, 스토리지 커패시터(Cst)에 저장된 전압이 안정적으로 유지됨으로써, 하나의 프레임 기간(FP) 동안 화소(PX1)는 해당 프레임 기간(FP)의 표시 주사 기간(DSP)에서 공급된 데이터 신호에 대응하는 휘도로 일정하게 발광할 수 있다.

[0175] 한편, 바이어스 주사 기간(BSP1, BSP2)에서 가변하는 데이터 신호(Vdata)의 전압 레벨(예를 들어, 제11 전압 레벨(VD5) 및/또는 제12 전압 레벨(VD6))은, 바이어스 주사 기간(BSP1, BSP2)에서 가변하는 제2 초기화 전원(Vint2)의 전압 레벨(예를 들어, 제8 전압 레벨(VI2) 및/또는 제9 전압 레벨(VI3))에 대응하여, 제2 트랜지스터(M2)와 제1 트랜지스터(M1) 사이의 기생 커패시터의 커플링에 의해 스토리지 커패시터(Cst)에 저장된 전압이 일정하게 유지될 수 있도록, 화소(PX1)의 회로 설계 등(예를 들어, 트랜지스터들 간의 배치 관계 등)을 고려하여 실험적으로 결정될 수 있다.

[0176] 한편, 바이어스 주사 기간들의 개수가 3개 이상인 경우에, 도 6b에서 설명한 바와 유사하게, 하나의 프레임 기간(FP)의 길이가 길어짐에 따라, 표시 장치는 바이어스 주사 기간 마다 제2 초기화 전원(Vint3)의 전압 레벨을 가변할 수 있다. 일 예로, 바이어스 주사 기간들의 개수가 3개인 경우, 표시 장치는 제1 바이어스 주사 기간(예를 들어, 도 7b의 BSP1)에서 제8 전압 레벨(예를 들어, 도 7b의 VI2)의 제2 초기화 전원(Vint2)을 공급하고, 제1 바이어스 주사 기간 이후의 제2 바이어스 주사 기간(예를 들어, 도 7b의 BSP2)에서 제8 전압 레벨보다 낮은 제9 전압 레벨(예를 들어, 도 7b의 VI3)의 제2 초기화 전원(Vint2)을 공급하며, 제2 바이어스 주사 기간 이후의 제3 바이어스 주사 기간에서 제9 전압 레벨보다 낮은 전압 레벨의 제2 초기화 전원(Vint2)을 공급할 수 있다.

[0178] 도 8a 및 도 8b는 도 3의 화소에 공급되는 제1 전원의 전압, 제2 초기화 전원의 전압, 및 데이터 신호의 일 예들을 나타내는 타이밍도들이고, 도 9a 및 도 9b는 도 3의 화소에 공급되는 제1 전원의 전압, 제2 초기화 전원의 전압, 및 데이터 신호의 일 예들을 나타내는 타이밍도들이다.

[0179] 도 3, 도 5, 도 8a 내지 도 9b를 참조하면, 하나의 프레임 기간(FP) 내에서 제1 전원(VEH)의 전압 레벨과 제2 초기화 전원(Vint2)의 전압 레벨이 가변할 수 있다.

[0180] 예를 들어, 도 8a 및 도 9a에 도시된 바와 같이, 제1 전원(VEH)은 표시 주사 기간(DSP)에서 제1 전압 레벨(VE4, VE7)을 가지며, 적어도 하나의 바이어스 주사 기간(BSP1, BSP2)에서 제1 전압 레벨(VE4, VE7) 보다 높은 제2 전압 레벨(VE5, VE8)을 가질 수 있다. 또한, 제2 초기화 전원(Vint2)은 표시 주사 기간(DSP)에서 제7 전압 레벨(VI4, VI7)을 가지며, 적어도 하나의 바이어스 주사 기간(BSP1, BSP2)에서 제7 전압 레벨(VI4, VI7) 보다 낮은 제8 전압 레벨(VI5, VI8)을 가질 수 있다.

[0181] 다른 예로, 도 8b 및 도 9b 도시된 바와 같이, 제1 전원(VEH)은 표시 주사 기간(DSP)에서 제1 전압 레벨(VE4, VE7)을 가지며, 제1 바이어스 주사 기간(BSP1)에서 제1 전압 레벨(VE4, VE7) 보다 높은 제2 전압 레벨(VE5, VE8)을 가지며, 제2 바이어스 주사 기간(BSP2)에서 제2 전압 레벨(VE5, VE8) 보다 높은 제3 전압 레벨(VE6, VE9)을 가질 수 있다. 또한, 제2 초기화 전원(Vint2)은 표시 주사 기간(DSP)에서 제7 전압 레벨(VI4, VI7)을 가지며, 제1 바이어스 주사 기간(BSP1)에서 제7 전압 레벨(VI4, VI7) 보다 낮은 제8 전압 레벨(VI5, VI8)을 가지

며, 제2 바이어스 주사 기간(BSP2)에서 제8 전압 레벨(VI5, VI8) 보다 낮은 제9 전압 레벨(VI6, VI9)을 가질 수 있다.

[0182] 이 경우, 도 6a 내지 도 7b를 참조하여 설명한 바와 같이, 제1 전원(VEH)의 전압 레벨 가변 및/또는 제2 초기화 전원(Vint2)의 전압 레벨 가변에 의해, 제1 트랜지스터(M1)의 바이어스 상태의 영향에 의한 영상 휘도의 흔들림이 보다 효과적으로 방지(제거)될 수 있다.

[0183] 도 3 및 도 8a를 참조하여 구체적으로 설명하면, 바이어스 주사 기간들(BSP1, BSP2)에서 제1 전원(VEH)의 전압 레벨이 제1 전압 레벨(VE4)에서 제2 전압 레벨(VE5)로 상승하면, 제1 노드(N1)와 제3 노드(N3)(또는, 제1 트랜지스터(M1)의 소스 전극과 게이트 전극) 사이의 기생 커패시터의 영향에 의해, 제1 트랜지스터(M1)의 게이트 전극(즉, 제3 노드(N3))에 인가된 전압이 상승할 수 있다. 또한, 바이어스 주사 기간들(BSP1, BSP2)에서 제2 초기화 전원(Vint2)의 전압 레벨이 제7 전압 레벨(VI4)에서 제8 전압 레벨(VI5)로 하강하므로, 제4 노드(N4)와 제3 노드(N3) 사이의 기생 커패시터의 영향에 의해, 제1 트랜지스터(M1)의 게이트 전극(즉, 제3 노드(N3))에 인가된 전압 하강할 수 있다. 이에 따라, 본 발명의 실시예들에 있어서, 제1 전원(VEH)의 전압 레벨 상승에 따른 제3 노드(N3)의 전압 상승과 제2 초기화 전원(Vint2)의 전압 레벨 하강에 따른 제3 노드(N3)의 전압 하강이 서로 상쇄되여, 최종적으로 제3 노드(N3)의 전압은 안정적으로 유지될 수 있다. 이에 따라, 본 발명의 실시예들에 따른 표시 장치가 데이터 신호(Vdata)의 전압 레벨을 가변하지 않더라도, 하나의 프레임 기간(FP) 동안 화소(PX1)는 해당 프레임 기간(FP)의 표시 주사 기간(DSP)에서 공급된 데이터 신호에 대응하는 휘도로 일정하게 발광할 수 있다.

[0184] 다만, 본 발명이 이에 제한되는 것은 아니며, 도 6a 내지 도 7b를 참조하여 설명한 바와 같이, 본 발명의 실시예들에 따른 표시 장치는, 제1 전원(VEH)의 전압 레벨과 제2 초기화 전원(Vint2)의 전압 레벨을 가변하여 제1 트랜지스터(T1)의 히스테리시스 특성 변화에 따른 휘도 흔들림을 방지함과 동시에, 제1 전원(VEH)과 제2 초기화 전원(Vint2)의 전압 레벨 가변 동작에 따라 제3 노드(N3)의 전압이 흔들리는 것을 방지하기 위하여 바이어스 주사 기간들(BSP1, BSP2)에서 데이터 신호(Vdata)의 전압 레벨을 가변할 수 있다.

[0185] 예를 들어, 도 9a에 도시된 바와 같이, 데이터 신호(Vdata)는 표시 주사 기간(DSP)에서 제4 전압 레벨(VD7)을 가지며, 적어도 하나의 바이어스 주사 기간(BSP1, BSP2)에서 제4 전압 레벨(VD7) 보다 높은 제5 전압 레벨(VD8)을 가질 수 있다. 다른 예로, 도 9b에 도시된 바와 같이, 데이터 신호(Vdata)는 표시 주사 기간(DSP)에서 제4 전압 레벨(VD7)을 가지며, 제1 바이어스 주사 기간(BSP1)에서 제4 전압 레벨(VD7) 보다 높은 제5 전압 레벨(VD8)을 가지며, 제2 바이어스 주사 기간(BSP2)에서 제5 전압 레벨(VD8) 보다 높은 제6 전압 레벨(VD9)을 가질 수 있다. 이에 따라, 제3 노드(N3)의 전압 흔들림에 따른 휘도 편차가 보다 효과적으로 방지(제거)될 수 있다.

[0187] 도 10은 관련 기술에 따른 표시 장치가 표시하는 영상의 휘도의 일 예를 나타내는 그래프이고, 도 11은 본 발명의 실시예들에 따른 표시 장치가 표시하는 영상의 휘도의 일 예를 나타내는 그래프이다.

[0188] 도 10 및 도 11을 참조하면, 도 3, 도 6a 내지 도 9b를 참조하여 설명한 바와 같이, 관련 기술에 따른 표시 장치는 하나의 프레임 기간(FP)에서 표시 기간이 길어질수록, 즉, 표시 주사 기간(DSP)에서 바이어스 주사 기간(BSP)으로 갈수록 제1 트랜지스터(T1)의 히스테리시스 특성 변화(도 10에 T1 Hysteresis로 도시됨)에 의하여 휘도가 변할 수 있다(예를 들어, 휘도가 상승함)(도 10 참조). 이에 반해, 본 발명의 실시예들에 따른 표시 장치는 하나의 프레임 기간(FP)에서 제1 전원(VEH)의 전압 레벨 및/또는 제2 초기화 전원(Vint2)의 전압 레벨을 가변함으로써, 제1 트랜지스터(T1)의 히스테리시스 특성 변화에 따른 휘도 흔들림이 방지되고 이에 따라 하나의 프레임 기간(FP) 동안 휘도가 일정하게 유지될 수 있다(도 11 참조).

[0190] 도 12는 도 3의 화소에 공급되는 신호들의 다른 일 예를 나타내는 타이밍도이고, 도 13은 도 3의 화소에 공급되는 신호들의 또 다른 일 예를 나타내는 타이밍도이다.

[0191] 도 12 및 도 13의 타이밍도들은 일부 주사 신호들의 폭 및 공급 타이밍을 제외하면, 도 4의 타이밍도와 동일 또는 유사하므로, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조 번호를 이용하고, 중복되는 설명은 생략한다.

[0192] 도 3, 도 12 및 도 13을 참조하면, 표시 주사 기간의 비발광 기간(NEP)은 제1 내지 제5 기간들(P1 내지 P5)을 포함할 수 있다.

[0193] 일 실시예에서, 도 12에 도시된 바와 같이, 제2 기간(P2)과 제3 기간(P3)은 일부 중첩할 수 있다. 즉, 제3 주사 신호(GIi)에 응답하여 제7 트랜지스터(M7)가 턴-온된 상태에서, 제3 트랜지스터(M3)가 제2 주사 신호(GCi)에 응답하여 턴-온될 수 있다. 제3 노드(N3)에 이미 제1 초기화 전원(Vint1)의 전압이 공급된 상태이며, 제1 트랜지

스터(M1)는 온-바이어스 되었으므로, 도 12의 신호 공급에 따른 제1 트랜지스터(M1)의 특성은 도 4의 제2 기간(P2) 및 제3 기간(P3)의 구동에 의한 제1 트랜지스터(M1)의 특성과 유사할 수 있다.

[0194] 일 실시예에서, 도 13에 도시된 바와 같이, 제1 기간(P1)에서 제2 주사 신호(GCi)의 공급이 중단된 후 제1 주사 신호(GBi)의 공급이 중단될 수 있다. 제1 기간(P1)에서 제3 트랜지스터(M3)가 턴-온된 후에 제4 트랜지스터(M4)가 턴-온되고, 제3 트랜지스터(M3)가 턴-오프된 후에 제4 트랜지스터(M4)가 턴-오프될 수 있다. 이 경우, 제2 노드(N2)로 제1 전원(VEH)의 전압과 유사한 수준의 전압이 공급되므로, 도 13의 제1 기간(P1)과 도 4의 제1 기간(P1)에서의 제1 트랜지스터(M1)의 특성은 유사할 수 있다.

[0195] 이와 같이, 주사 구동부(도 1의 200)에 공급되는 클럭 신호들의 파형, 주사 구동부(도 1의 200)에 포함되는 회로의 출력 특성 등에 따라 일부 주사 신호들은 소정의 마진을 갖고 출력될 수 있다.

[0197] 도 14는 도 1의 표시 장치에 포함되는 화소의 다른 일 예를 나타내는 회로도이다.

[0198] 도 14의 화소(PX2)는 제4 트랜지스터(M4)를 제외하면, 도 3을 참조하여 설명된 화소(PX1)의 구성 및 동작과 동일하므로, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조 번호를 이용하고, 중복되는 설명은 생략한다.

[0199] 도 14를 참조하면, 화소(PX2)는 발광 소자(LD), 제1 내지 제8 트랜지스터들(M1 내지 M8), 및 스토리지 커패시터(Cst)를 포함할 수 있다.

[0200] 일 실시예에서, 제4 트랜지스터(M4)의 일 전극은 제2 노드(N2)에 접속되고, 타 전극은 제1 전원(VEH)에 접속될 수 있다. 제4 트랜지스터(M4)는 제1 주사선(S1i)으로 공급되는 제1 주사 신호에 응답하여 제2 노드(N2)에 제1 전원(VEH)의 전압을 공급할 수 있다. 이와 같이, 제1 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 어느 하나에 온-바이어스를 위한 전압을 공급하여도 무방하다(예를 들어, 도 3의 화소(PX1)는 제1 트랜지스터(T1)의 소스 전극에 온-바이어스를 위한 전압을 공급하며, 도 14의 화소(PX2)는 제1 트랜지스터(T1)의 드레인 전극에 온-바이어스를 위한 전압을 공급함).

[0202] 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한, 전술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 전술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한, 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

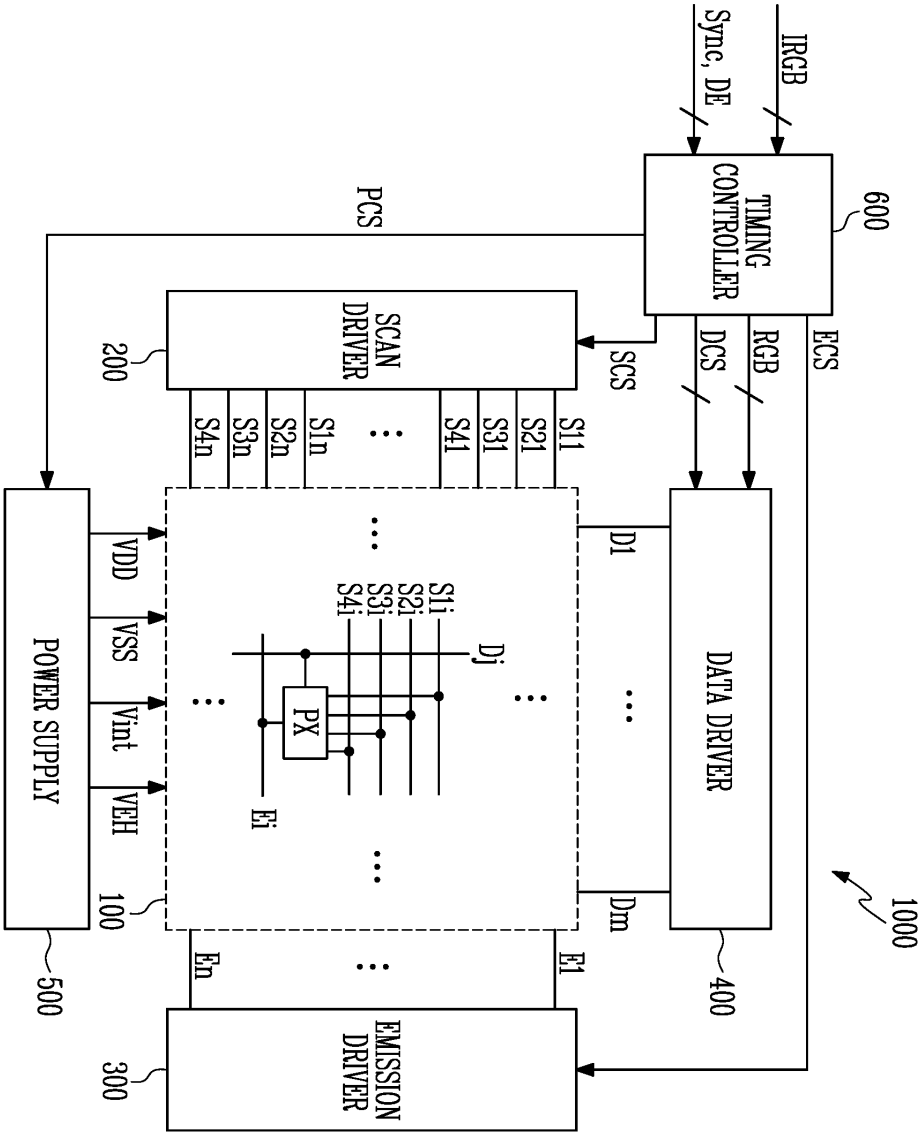
## *부호의 설명*

[0203]

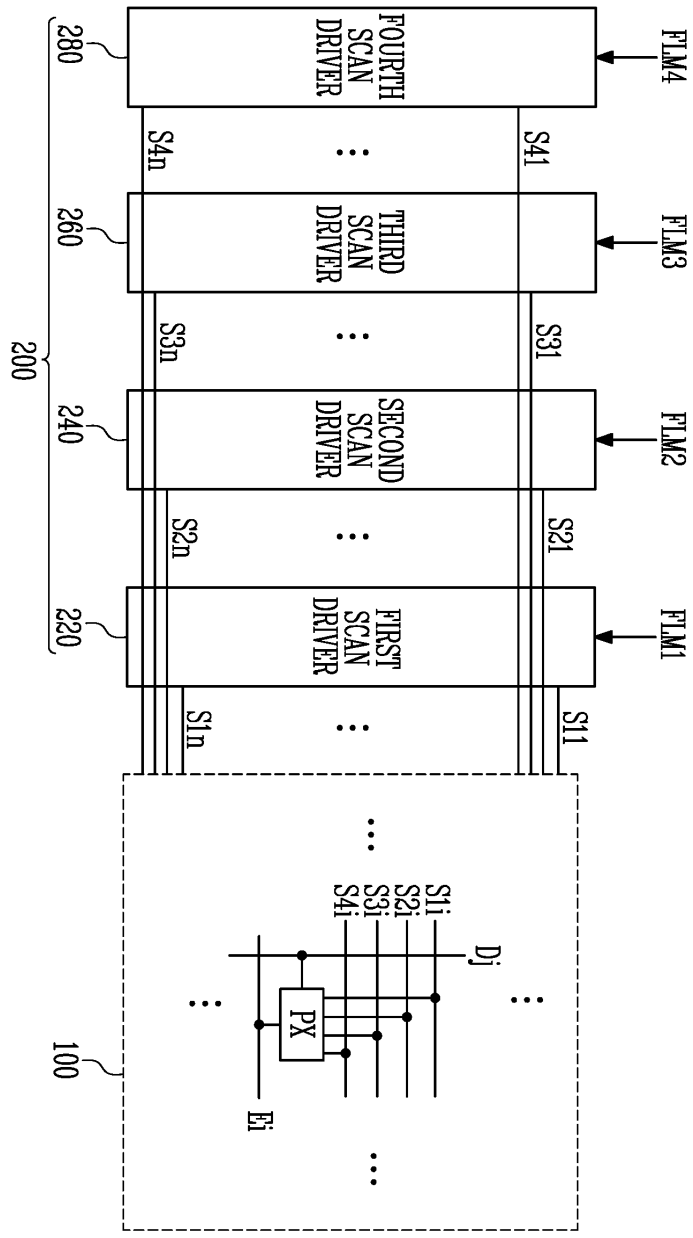
| | |
|---|---|
| 100: 화소부 | 200: 주사 구동부 |
| 220: 제1 주사 구동부 | 240: 제2 주사 구동부 |
| 260: 제3 주사 구동부 | 280: 제4 주사 구동부 |
| 300: 발광 구동부 | 400: 데이터 구동부 |
| 500: 전원 공급부 | 600: 타이밍 제어부 |
| Cst: 스토리지 커패시터 | LD: 발광 소자 |
| PX, PX1, PX2: 화소 | T1~T8: 트랜지스터들 |

도면

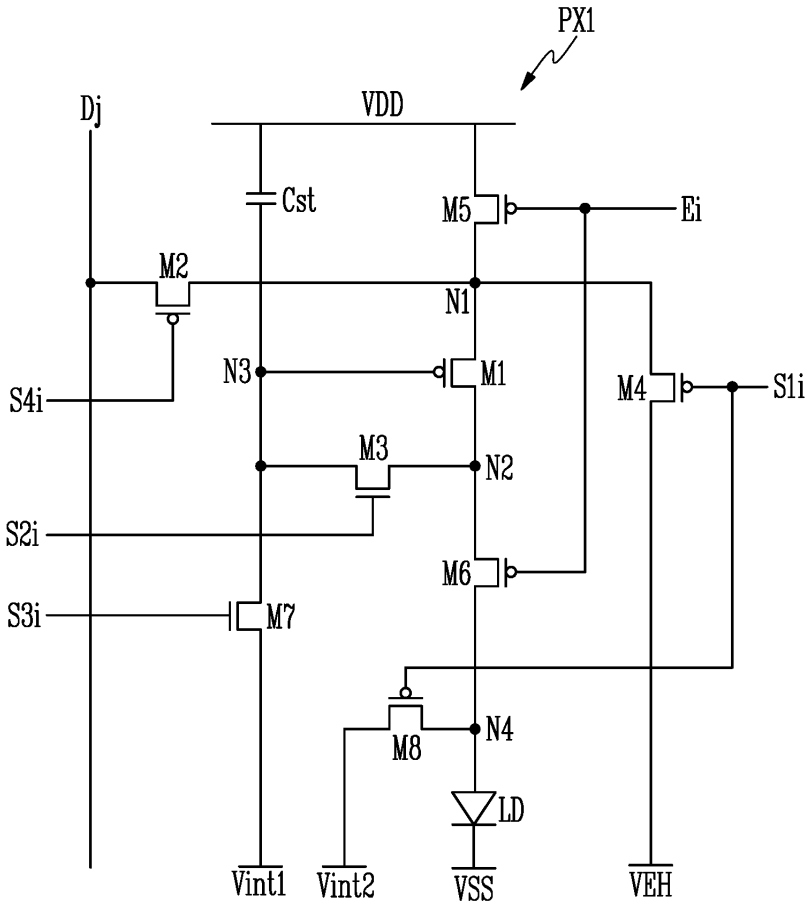
도면1


Sync, DE
IRGB
TIMING CONTROLLER
600
PCS
SCAN DRIVER
200
SCS
DCS
RGB
ECS
S4n
S3n
S2n
S1n
S41
S31
S21
S11
D1
Dm
DATA DRIVER
400
POWER SUPPLY
500
VDD
VSS
Vint
VEH
100
S1i
S2i
S3i
S4i
Dj
PX
Ei
En
E1
EMISSION DRIVER
300
1000

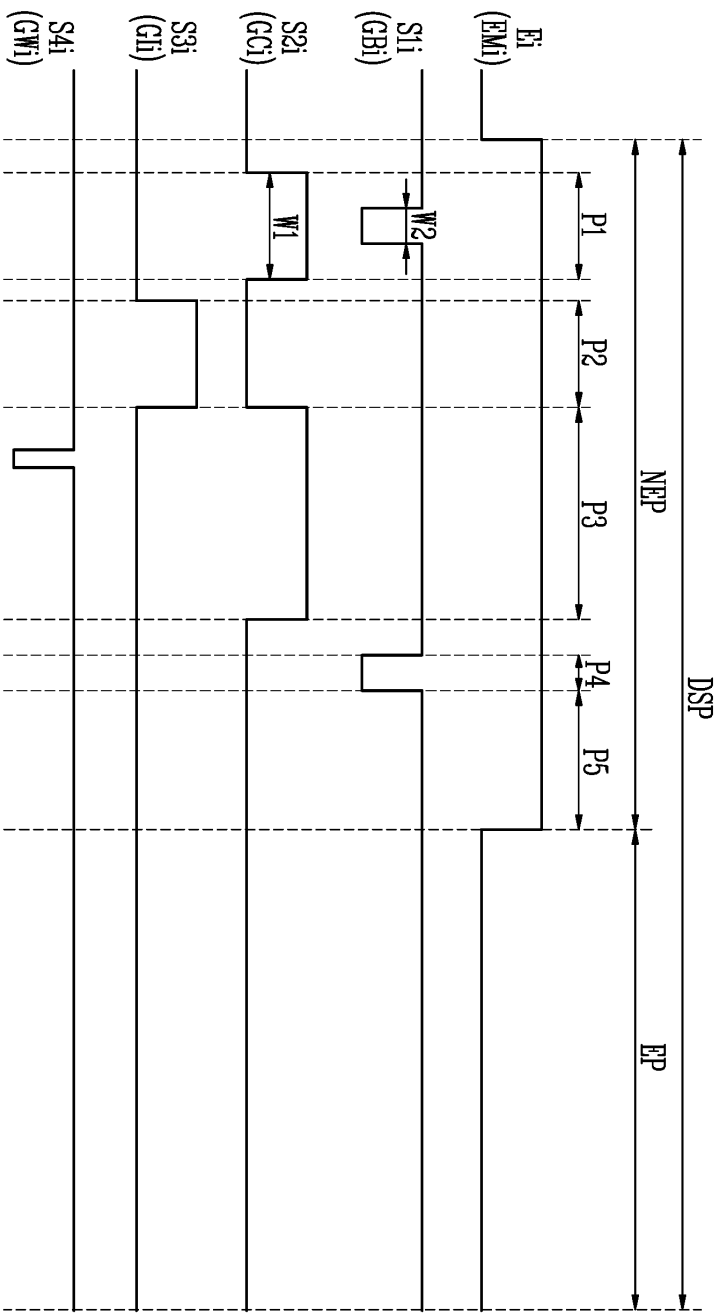
도면2


FOURTH SCAN DRIVER
THIRD SCAN DRIVER
SECOND SCAN DRIVER
FIRST SCAN DRIVER
280
260
240
220
200
100
FLM4
FLM3
FLM2
FLM1
S4n
S41
S3n
S31
S2n
S21
S1n
S11
S1i
S2i
S3i
S4i
Dj
PX
Ei

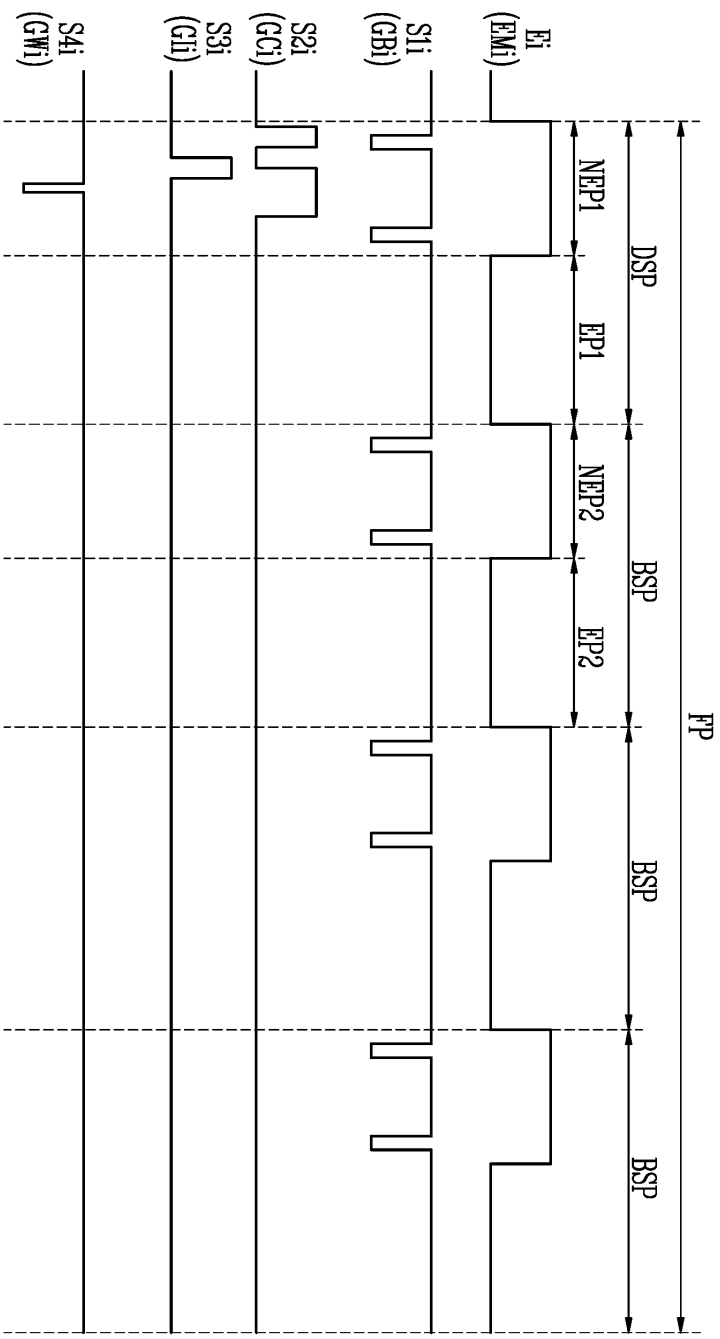
도면3


PX1
Dj
VDD
Cst
M5
Ei
M2
N1
N3
M1
M4
S1i
S4i
M3
N2
S2i
M6
S3i
M7
M8
N4
LD
Vint1
Vint2
VSS
VEH

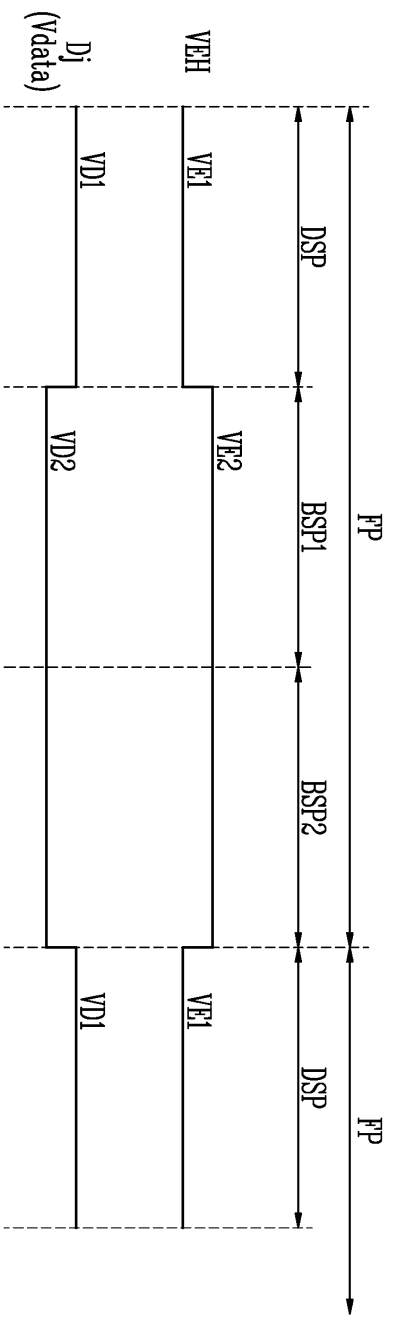
도면4


S4i
(GWi)
S3i
(Gli)
S2i
(GCi)
S1i
(GBi)
Ei
(EMi)
W1
W2
P1
P2
P3
P4
P5
NEP
EP
DSP

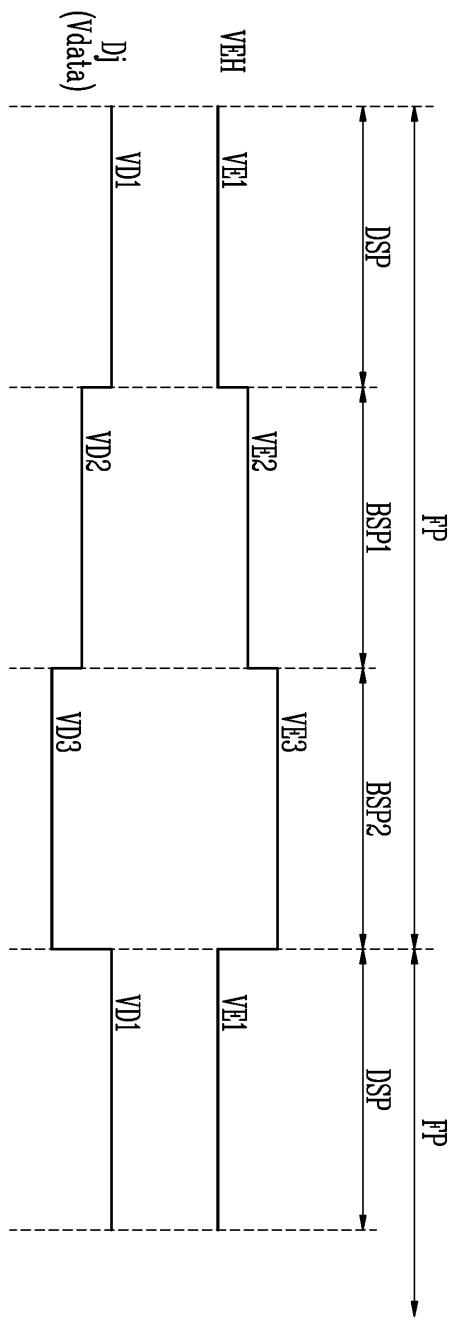
도면5


S4i
(GWi)
S3i
(GIi)
S2i
(GCi)
S1i
(GBi)
Ei
(EMi)
NEP1
EP1
NEP2
EP2
DSP
BSP
BSP
BSP
FP

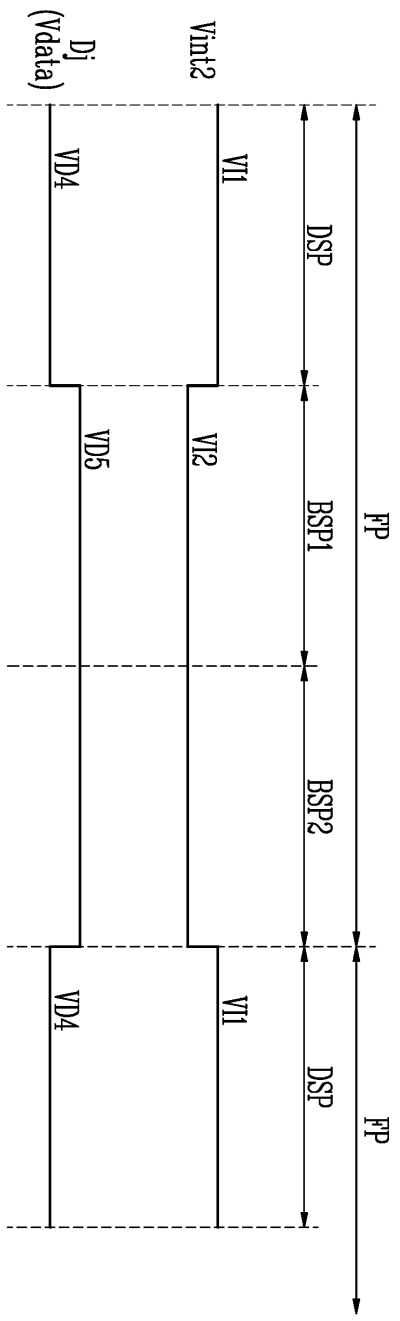
도면6a



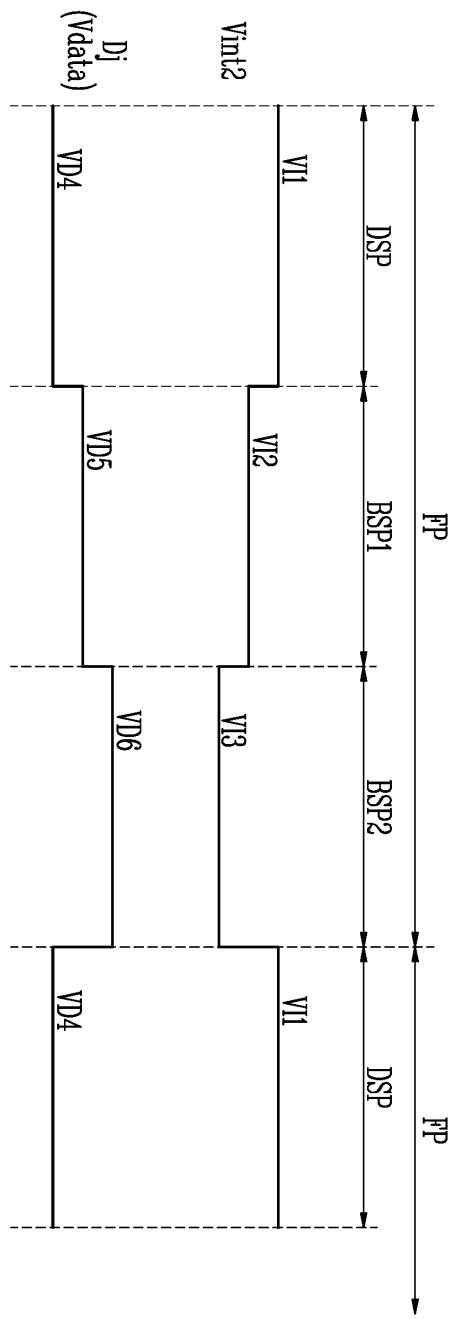
도면6b


Dj
(Vdata)
VEH
VD1
VE1
DSP
VD2
VE2
BSP1
FP
VD3
VE3
BSP2
VD1
VE1
DSP
FP

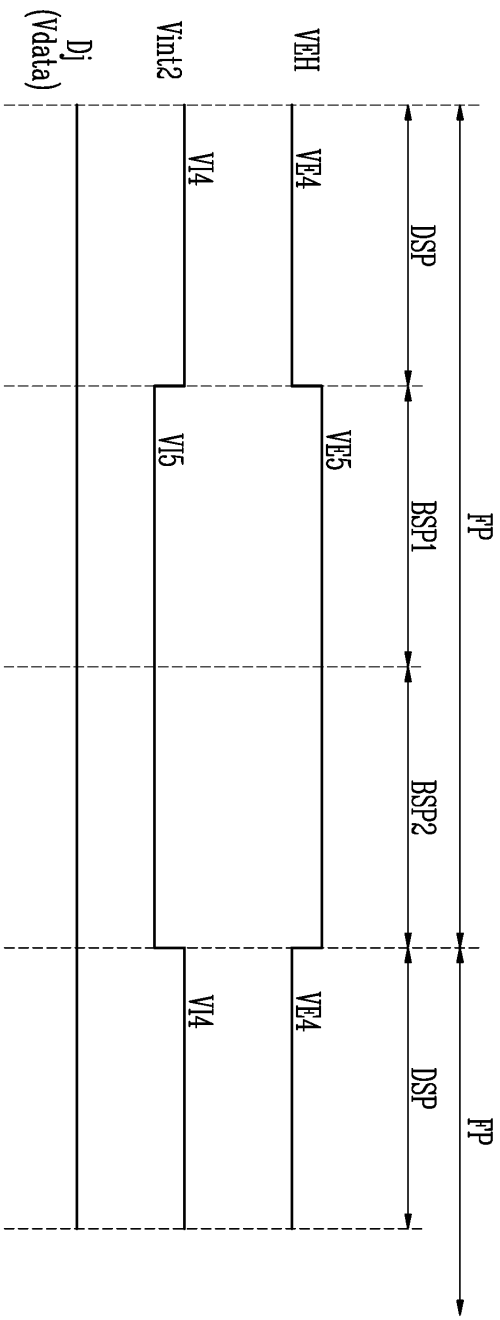
도면7a



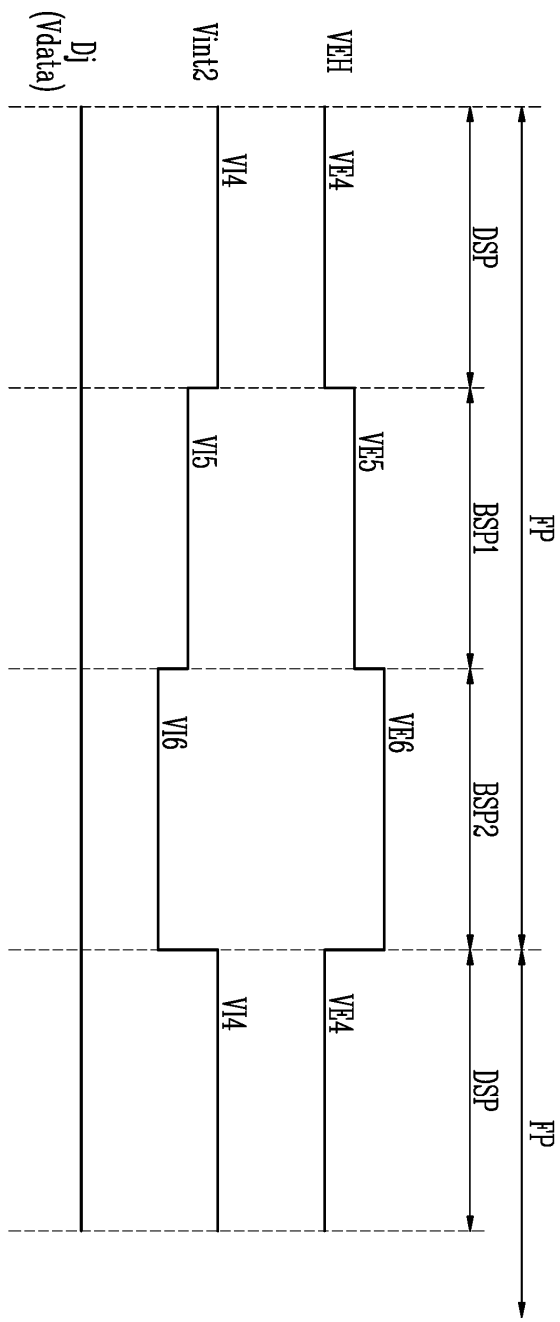
도면7b


Dj
(Vdata)
Vint2
VD4
VI1
DSP
VD5
VI2
BSP1
FP
VD6
VI3
BSP2
VD4
VI1
DSP
FP

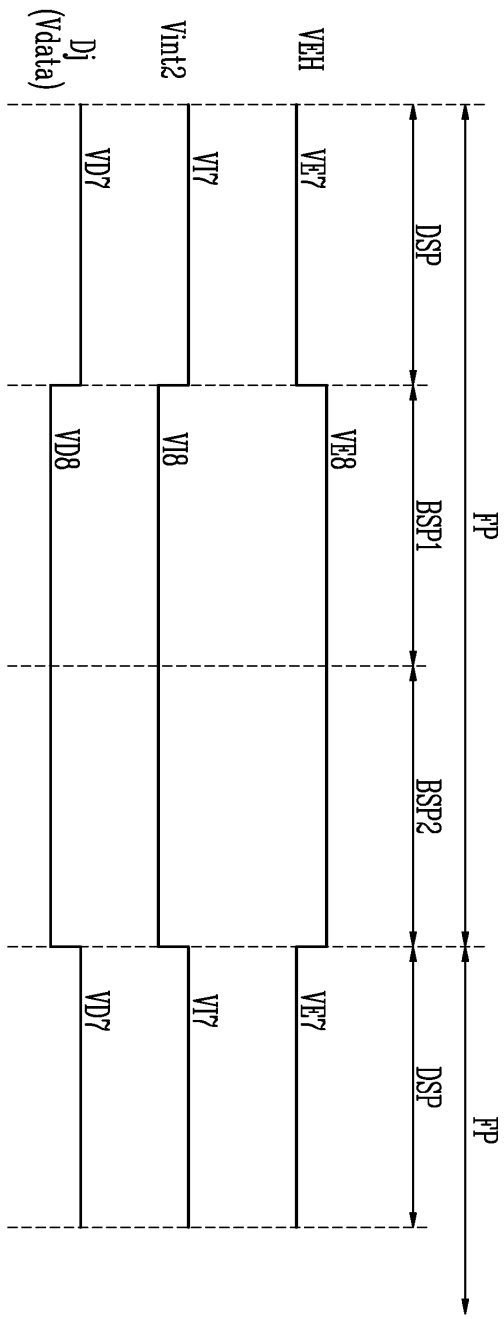
도면8a


Dj
(Vdata)
Vint2
VEH
VI4
VE4
DSP
VI5
VE5
BSP1
FP
BSP2
VI4
VE4
DSP
FP

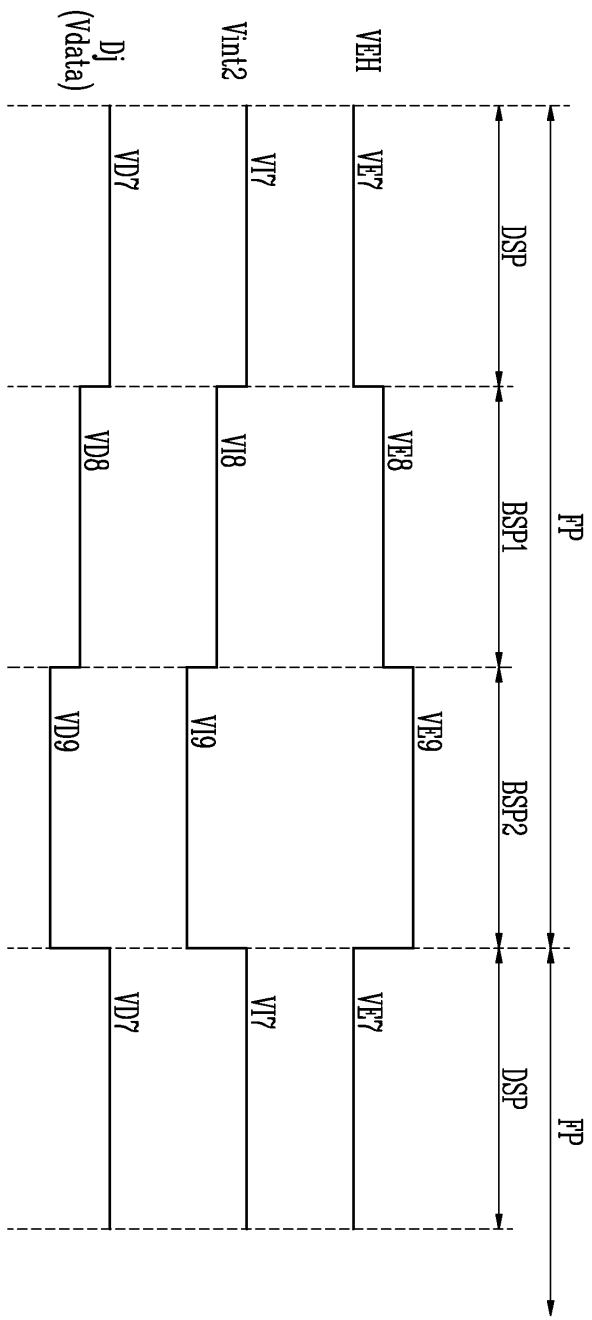
도면8b


Dj
(Vdata)
Vint2
VEH
VI4
VE4
DSP
VI5
VE5
BSP1
FP
VI6
VE6
BSP2
VI4
VE4
DSP
FP

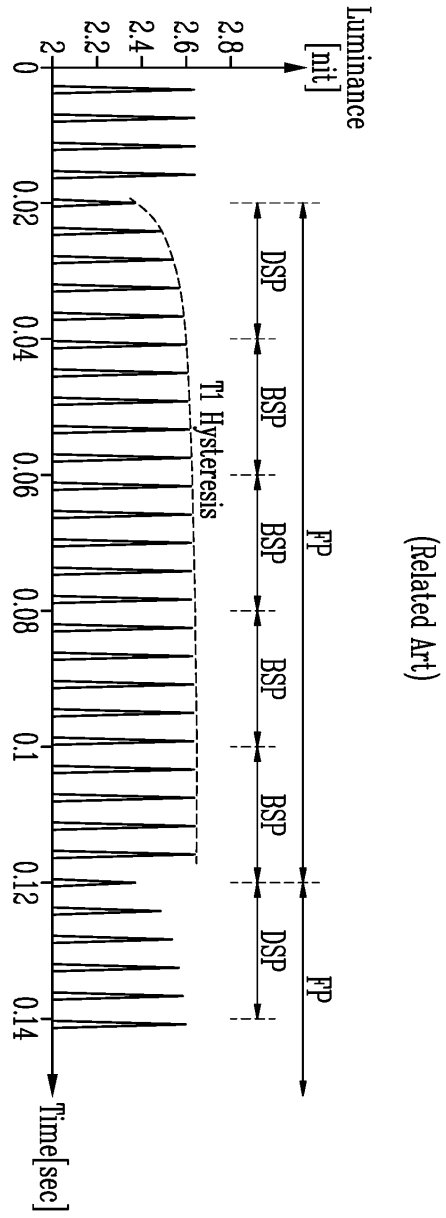
도면9a


Dj
(Vdata)
Vint2
VEH
VD7
VI7
VE7
DSP
VD8
VI8
VE8
BSP1
FP
BSP2
VD7
VI7
VE7
DSP
FP

도면9b

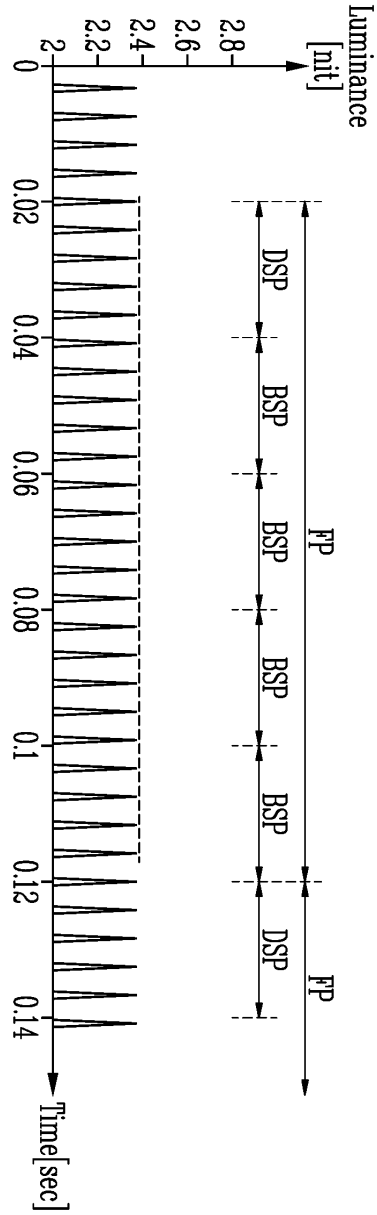

Dj
(Vdata)
Vint2
VEH
VD7
VI7
VE7
DSP
VD8
VI8
VE8
BSP1
FP
VD9
VI9
VE9
BSP2
VD7
VI7
VE7
DSP
FP

도면10

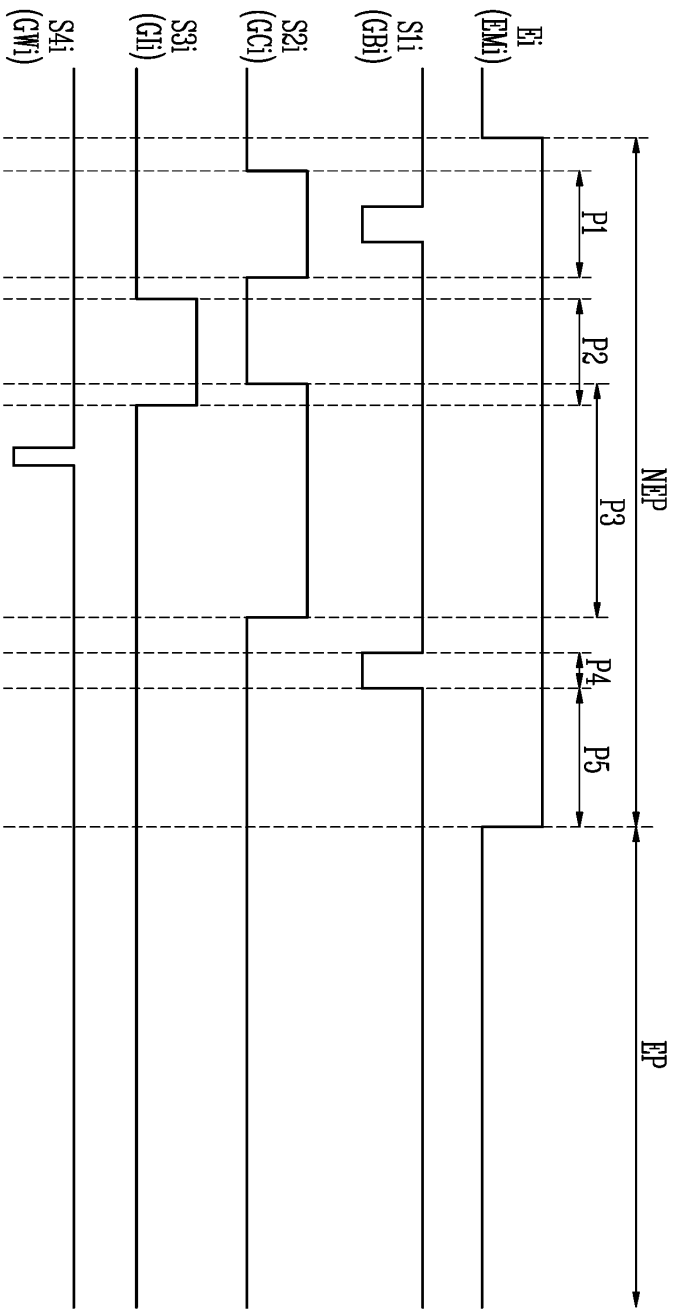



(Related Art)

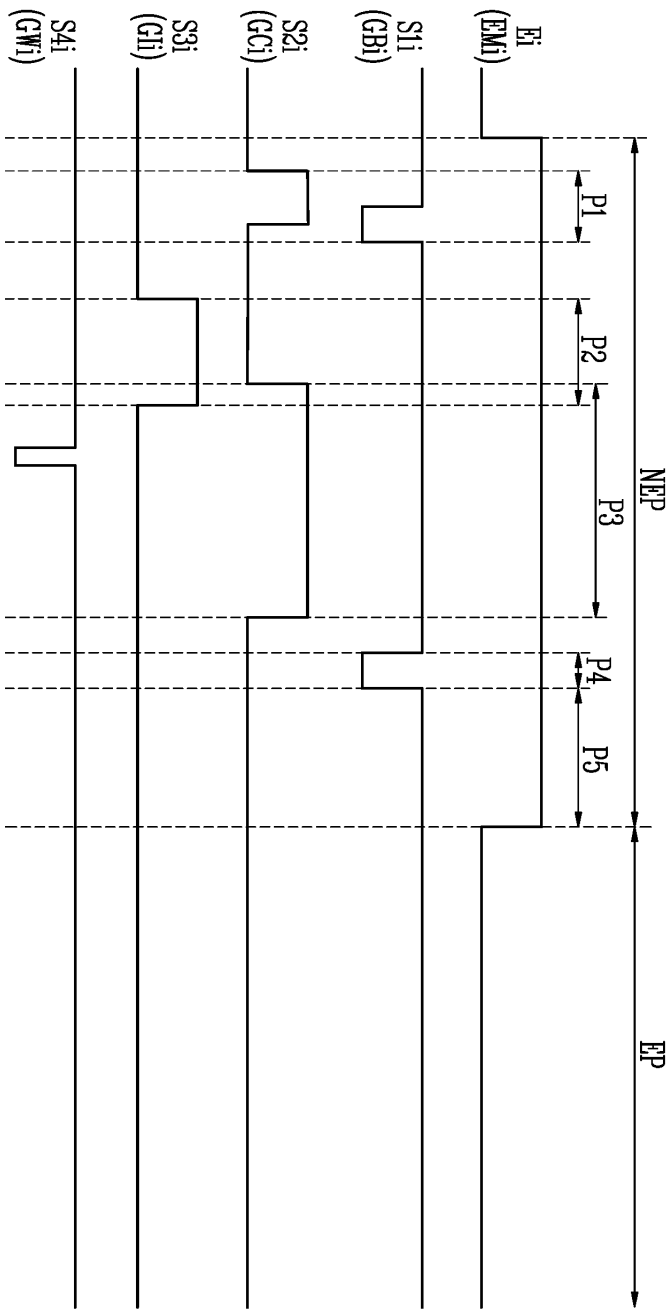
도면11


Luminance [nit]
2
2.2
2.4
2.6
2.8
0
0.02
0.04
0.06
0.08
0.1
0.12
0.14
Time[sec]
DSP
BSP
BSP
BSP
BSP
DSP
FP
FP

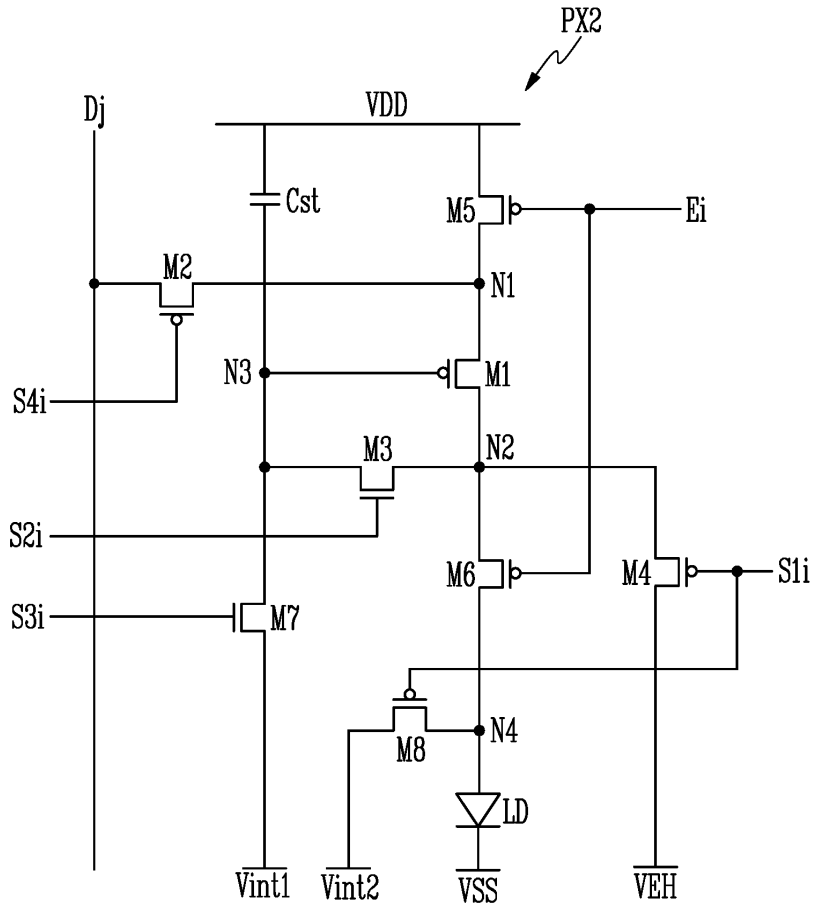
도면12



도면13



도면14


PX2
Dj
VDD
Cst
M5
Ei
M2
N1
N3
M1
S4i
M3
N2
S2i
M6
M4
S1i
S3i
M7
M8
N4
LD
Vint1
Vint2
VSS
VEH