

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成23年6月30日(2011.6.30)

【公表番号】特表2010-531001(P2010-531001A)

【公表日】平成22年9月16日(2010.9.16)

【年通号数】公開・登録公報2010-037

【出願番号】特願2010-507480(P2010-507480)

【国際特許分類】

G 0 6 F 17/50 (2006.01)

【 F I 】

G 0 6 F 17/50 6 6 4 A

【手続補正書】

【提出日】平成23年5月9日(2011.5.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

レジスタ入力信号を受信するために設計レジスタを含む設計回路の記述を受け取るステップと、

設計レジスタからのコンテンツのスナップショットを受け取るために付加的なレジスタの記述を含む少なくとも 1 つのコンピュータプログラムを通して付加的な記述を発生するステップであって、前記付加的なレジスタは、前記設計回路の少なくとも一部分のシミュレーションに使用するためのレジスタ初期条件信号を与えるものであるステップと、を備えた方法。

【請求項 2】

前記設計回路は、更に、メモリ入力信号を受信するための設計メモリを含み、前記付加的な記述は、前記メモリ入力信号の少なくとも幾つかを、それらが遅延された後に、受信するために複製メモリの記述を含み、そしてその複製メモリは、シミュレーションに使用するためのメモリ初期条件信号を与える、請求項 1 に記載の方法。

【請求項 3】

前記付加的な記述は、メモリコンテンツにアクセスするためのアクセス回路の記述を含む、請求項 2 に記載の方法。

【請求項 4】

前記付加的な記述は、メモリ及びレジスタ入力信号を記憶すると共に、その記憶された信号の少なくとも幾つかを、シミュレーションのための入力信号として与えるために入力信号記憶回路の記述を含む、請求項 2 に記載の方法。

【請求項 5】

前記入力信号記憶回路は、先入れ先出し回路を含む、請求項 4 に記載の方法。

【請求項 6】

前記付加的な記述は、前記付加的なレジスタの少なくとも 1 つをクロックするクロック信号のクロックサイクルをカウントするカウンタ、及び特定数のクロックサイクルの後に前記付加的なレジスタの少なくとも幾つかへの書き込みをイネーブルするイネーブル回路の記述を含む、請求項 2 に記載の方法。

【請求項 7】

前記付加的な記述は、トリガー信号の受信時に前記カウンタのカウントを読み取るカウ

ンタ読み取り回路、及び前記トリガー信号及びカウント値の受信に応答して前記複製メモリのコンテンツを変化させる制御回路の記述を含む、請求項 6 に記載の方法。

【請求項 8】

前記付加的な記述は、前記メモリ入力信号を受信して遅延し且つ複製メモリに対してそれらを与えるための遅延回路の記述を含む、請求項 2 に記載の方法。

【請求項 9】

前記付加的な記述は、トリガー条件を感知し、それに応答してトリガー信号を発生し、前記遅延回路の動作と、前記複製メモリ及び付加的なレジスタへの入力信号の付与とを凍結するためにトリガーロジックの記述を含む、請求項 8 に記載の方法。

【請求項 10】

前記設計回路は、付加的なメモリ入力信号を受信するための付加的な設計メモリ、及び付加的なレジスタ入力信号を受信するための付加的な設計レジスタを備え、前記付加的な記述は、前記付加的なメモリ入力信号の少なくとも幾つかを受信するための付加的な複製メモリ、及び前記付加的なレジスタ入力信号のスナップショットを受け取るための付加的な追加レジスタの記述を含み、そして前記付加的な複製メモリ及び付加的な追加レジスタは、シミュレーションに使用するための付加的な初期条件信号を与える、請求項 2 に記載の方法。

【請求項 11】

設計レジスタコンテンツのスナップショットを受け取るための前記付加的なレジスタは、1 つ以上のレベル深さを形成するレジスタを含む、請求項 1 に記載の方法。

【請求項 12】

1 レベル深さを形成するスナップショットレジスタは、前記設計レジスタからスナップショットを受け取るための付加的なレジスタのグループを含む、請求項 1 に記載の方法。

【請求項 13】

2 つ以上のレベル深さを形成するスナップショットレジスタは、前記設計レジスタからスナップショットを受け取る付加的なレジスタの第 1 レベルグループと、付加的なレジスタの手前のレベルグループからスナップショットを受け取る付加的なレジスタの 1 つ以上のレベルグループとを含む、請求項 1 に記載の方法。

【請求項 14】

前記設計回路は、更に、メモリ入力信号を受信するための設計メモリを備え、前記付加的な記述は、前記メモリ入力信号の少なくとも幾つかを、それらが遅延された後に、受信するために複製メモリの記述を含み、更に、前記付加的な記述は、前記付加的なレジスタの第 1 レベルグループのスナップショットタイミングに一致するように前記複製メモリのコンテンツを前方にクロックさせるために制御回路の記述を含む、請求項 13 に記載の方法。

【請求項 15】

前記付加的な記述の発生は、少なくとも 1 つのプログラムを実行するコンピュータのユーザにより与えられるコマンドに応答して行われる、請求項 1 に記載の方法。

【請求項 16】

実行時に、コンピュータが、

レジスタ入力信号を受信するために設計レジスタを含む設計回路の記述を受け取るようにさせ、

設計レジスタからのコンテンツのスナップショットを受け取るために付加的なレジスタの記述を含む少なくとも 1 つのコンピュータプログラムを通して付加的な記述を発生するようにさせ、前記付加的なレジスタは、前記設計回路の少なくとも一部分のシミュレーションに使用するためのレジスタ初期条件信号を与えるようにさせる、
インストラクションを含むマシン読み取り可能な媒体を備えた装置。

【請求項 17】

遅延されたメモリ入力信号を受信する複製メモリと、回路の動作のシミュレーションに使用する初期条件信号を与えるために設計レジスタのコンテンツのスナップショットを受

け取る付加的なレジスタと、メモリ入力信号及び設計レジスタ入力信号を記憶するための入力信号記憶回路とを含むチップを動作するステップと、

前記与えられた初期条件と、前記メモリ及び設計レジスタ入力信号の少なくとも幾つかを、少なくとも1つのシミュレーションプログラムに与えるステップと、

前記少なくとも1つのシミュレーションプログラムを通してシミュレーションを遂行するステップと、
を備えた方法。

【請求項18】

前記与えられた初期条件と、前記メモリ及びレジスタ入力信号の少なくとも幾つかを、少なくとも1つのシミュレーションプログラムに与える前記ステップと、シミュレーションを遂行する前記ステップは、シミュレーションを遂行する少なくとも1つのプログラムを実行するコンピュータのユーザにより与えられるコマンドに応答して行われる、請求項17に記載の方法。

【請求項19】

レジスタ入力信号を受信する設計レジスタ、及びこの設計レジスタのコンテンツのスナップショットを受け取る付加的なレジスタと、

前記レジスタ入力信号を受信する入力信号記憶回路と、
を備え、トリガー条件に応答して、前記付加的なレジスタは初期条件信号を与え、そして前記入力信号記憶回路はレジスタ入力信号を与える、装置。

【請求項20】

メモリ入力信号を受信する設計メモリと、メモリ入力信号の少なくとも幾つかを、それが遅延回路により遅延された後に、受信する複製メモリとを更に備え、前記入力信号記憶回路は、メモリ入力信号を受信するものであり、そしてトリガー条件に応答して、前記複製メモリは、付加的な初期条件信号を与えると共に、前記入力信号記憶回路は、メモリ入力信号を与える、請求項19に記載の装置。

【請求項21】

前記設計メモリ及び複製メモリは、単一の集積回路チップの一部である、請求項20に記載の装置。

【請求項22】

前記複製メモリ及びレジスタは、構成されたフィールドプログラマブルロジックアレイ(FPGA)にあり、そして前記初期条件及び入力信号は、JTAGインターフェイスを通して与えられる、請求項19に記載の装置。