(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 9/00

(45) 공고일자 2002년11월27일
(11) 등록번호 10-0340469
(24) 등록일자 2002년05월30일

(21) 출원번호 10-1994-0021134
(22) 출원일자 1994년08월26일

(65) 공개번호 특1995-0009421
(43) 공개일자 1995년04월24일

(30) 우선권주장 93-231250 1993년09월17일 일본(JP)

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
무라바야시후미오
일본국이바라끼껭나까군우리즈라마찌히라노1800-507
가마우찌다쯔미
일본국이바라끼껭히다찌시오오따시하따죠1906-5
고바야시유따까
일본국이바라끼껭가쯔따시마와따리2773-6

(74) 대리인
송재련
한규환

심사관 : 조영갑

(54) 자기동기형반도체집적회로장치

요약

데이터 통과의 유무를 자기검지하고, 그 검지결과에 기초하여 데이터 전송을 행하는 반도체 집적회로장치이다.

이 반도체 집적회로장치는 적어도 둘 이상의 논리회로블록으로 이루어지는 데이터패스를 복수개 가지고, 적어도 하나의 데이터 패스는 데이터의 도착을 검출하는 데이터 도착검출기를 가지며, 다른 데이터패스는 상기 데이터 도착검출기를 가지는 데이터패스와 같은 시기에 동작하는 것을 특징으로 한다.

이렇게 함으로서 칩회로에 의한 지연 및 클록스큐에 의한 지연의 영향을 받지 않으므로 복잡한 클록설계를 해야할 필요가 없어진다.

대표도
도 1

명세서

도면의 간단한 설명

제1도는 본 발명의 일실시예의 구성도.

제2도는 본 발명의 다른 실시예의 구성도.

제3도는 제2도에 나타낸 구성의 타임차트.

제4도는 데이터 패스가 합류하는 경우의 실시예의 설명도.

제5도는 데이터 패스가 분기하는 경우의 실시예의 설명도.

제6도는 본 발명의 다른 실시예의 구성도.

제7도는 본 발명의 다른 실시예의 구성도.

제8도는 본 발명의 다른 실시예의 구성도.

제9도는 제1도에 나타낸 구성을 다이나믹회로로 구성한 일예를 설명하는 도.

제10도는 제2 종래 기술의 설명도.

제11도는 본 발명의 적용분야의 설명도.

제12도는 제1 종래 기술의 설명도.

제13도는 제1 종래 기술의 문제점의 설명도.

제14도는 부동소수점 연산기의 설명도.

제15도는 제6도 구성의 구체적인 일예를 설명하는 도.

제16도는 시스템 구성의 설명도.

제17도는 제1도에 나타낸 구성의 타임차트.

제18도는 제12도에 나타낸 구성의 타임차트.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 마이크로프로세서와 같은 데이터처리장치 또는 메모리와 같은 데이터 기억장치인 반도체 집적회로장치에 관한 것으로서 특히 데이터 전송시에 데이터의 통과의 유무를 자기검지하여 자기동기를 취하면서 전송동작을 행하는 것을 특징으로 하는 반도체집적회로장치에 관한 것이다.

제12도에 제1의 종래 기술을 나타낸다. 제1의 종래 기술은 클록신호에 의하여 복수의 논리기능블록을 제어하는 반도체 집적회로장치에 관하여 기재되어 있다.

데이터패스는 각 비트별로 구분된 구성으로 되어 있다. 예를 들면, 1비트째의 각 기능블록(F_{11}, F_{12}, F_{13})의 전후는 래치로 칸막이되고, 각 기능블록은 클록에 동기하여 동작한다. 2비트째, n비트째도 마찬가지의 구성이다. 동작의 타이밍차트를 제18도에서 설명한다. 1비트째에서 착안하면, 논리기능블록(F_{11})은 클록(a)의 시작타이밍에서 래치(150)로부터 데이터를 받아들여 클록주기(T)보다도 짧은 시간 내에 데이터 처리를 종료하고, 래치(151)의 입력데이터를 확정시켜야만 한다. 다음의 논리블록(F_{12})도 마찬가지로 클록의 시작타이밍에서 래치(151)로부터 데이터를 받아들여 클록주기(T)보다도 짧은 시간내에 데이터 처리를 종료하고, 래치(152)의 입력데이터를 확정하지 않고서는 안된다. 2비트째, n비트째도 도시한 바와같이 동일한 타이밍에서 동작한다. 그런데 실제로는 클록의 분배는 2차원적으로 금속배선으로 행하여지기 때문에 다른 위치의 클록에는 타이밍의 어긋남이 생긴다. 이 어긋남폭을 스큐 t_{sk} 라 하고, 래치(150)의 클록이 시작되고 나서 래치(151)의 입력이 확정되기까지의 시간을 t_{F11} 라 하면

$t_{F11} < T - t_{sk}$ (식 1)

를 만족할 필요가 있다. 각 단 및 각 비트의 논리블록도 동일한 관계

$t_{Fnn} < T - t_{sk}$

를 만족할 필요가 있다.

따라서, 클록주기(T)는 모든 논리클록 중 가장 큰 데이터 처리시간에 의하여 결정된다. 따라서, 각 논리블록의 데이터 처리시간을 대략 같게 하면 클록주기(T)를 가장 짧게 할 수 있다. 클록신호에 의하여 연산기내의 동기를 취하는 것으로 바꾸어 자기동기형의 연산기가, 예를 들면, 테윌리엄즈 저 " 셀프타임드 링즈 앤드 제이어 어플리케이션 투 디비젼" 스탠포드 테크니컬 레포트 CLS-TR-91-482, May 1991에 제안되어 있다(제10도).

어느 프리차지 기능블록(F2)은 후단의 블록(F3)의 리세트가 완료했다고 하는 정보를 받으면 연산을 개시한다. 블록(F3)은 리세트의 완료를 자기검출하여 전단의 블록에 검출신호를 전달한다. 이와 같은 자기동기 시스템을 이용함으로서 클록스큐에 의한 지연을 없애는 것이 가능하게 된다.

제1 종래예에 있어서는 각 논리기능블록이 클록에 동기하여 동작한다. 이것에 의하면, 클록주기(T)는 상기 (식1)에 따라 각 기능블록의 데이터 처리시간과 클록스큐의 합이 된다. 따라서, 클록 주기(T)의 역수로 나타내는 동작주파수는 클록스큐 만큼 낮아진다.

시스템 성능은 일반적으로 클록동작 주파수에 비례하기 때문에 즉 클록스큐에 의하여 성능이 저하한다고 하는 문제가 있다. (식 1)에서 명백한 바와 같이 클록주기(T)가 클록스큐(t_{sk}) 만큼 커져버리기 때문이다.

또한, 각 기능블록의 데이터처리에 요하는 시간을 대략 같게 설계하지 않으면 안되기 때문에 설계가 복잡하게 된다.

한편, 클록에 동기하지 않고 동작하는 제2 종래예는 1개의 데이터패스에 관하여 프리차지 기능블록을 데이터 통과의 유무에 의하여 프리차지 또는 디스차지장태인 것밖에 설명되어 있기 않다. 즉, 복수의 데이터패스, 예를 들면 n비트의 데이터패스의 동기를 취한다고 하는 것에 관해서는 아무것도 설명되어 있지 않다.

본 발명의 목적은 복수의 데이터 패스가 동기하여 동작하고, 또한 이들 데이터패스가 클록스큐의 영향을 받지 않는 구성을 제공하는 것이다.

본 발명은 논리 연산을 행하는 적어도 2개 이상의 논리회로블록을 가지고, 상기 논리회로블록 사이는 데이터 패스에 의하여 접속되고, 상기 데이터패스 또는 상기 논리회로블록의 데이터입력부 또는 출력부에는 데이터의 통과를 검출하는 데이터통과검출부를 가지고 제n(n은 1이상의 정수)번째의 논리회로블록에서 상기 데이터 패스를 거쳐 상기 데이터가

출력되고, 상기 데이터 패스를 데이터가 통과하면 제n번째의 상기 데이터 통과검출부는 데이터가 통과한 정보를 나타낸 제n번째의 데이터 통과신호를 생성하고, 생성된 상기 제n번째의 데이터 통과신호는 제n+1번째의 상기 논리회로블록에 입력되고, 상기 제n+1번째의 논리회로블록의 제어에 이용되는 것을 특징으로 한다.

상기 구성에 의하여 데이터 통과의 유무에 의하여 다른 데이터 패스의 논리기능블록을 제어할 수 있기 때문에 클록신호에 의존하지 않는 데이터처리를 실행하는 자기동기형의 회로장치를 달성할 수 있다.

제1도에 제1 실시예를 나타낸다.

1비트째의 논리기능블록(F_{11} , F_{12} , F_{13})이 직렬로 접속되어 있다. 데이터는 먼저 논리기능블록(F_{11})에 입력되어 순서(F_{11} , F_{13})대로 흘러간다. 1비트째의 각 논리 기능블록의 출력에는 데이터 통과검출기가 설치되어 있다. 이 데이터 통과검출기는 1비트째의 각 논리기능블록의 출력에 새로운 데이터가 통과한 것을 검출하고, 데이터가 통과한 것을 나타내는 신호를 출력한다고 하는 기능을 가진다. 2비트째 이후의 다른 비트의 각 논리기능블록의 사이에는 래치가 설치되어 있다.

그리고, 각 래치의 제어단자는 상기 1비트째의 데이터 통과신호가 전달하는 신호선에 접속된다. 예를 들면, 2비트째의 논리기능블록(F_{21})의 출력에 접속되는 래치(150)의 제어단자는 1비트째의 논리기능블록(F_{11})의 출력을 검지하여 데이터 통과신호가 출력되는 제어선(b)에 접속되고, 2비트째의 다음단의 논리기능블록(F_{22})의 출력에 접속되는 래치(151)의 제어단자는 1비트째의 논리기능블록(F_{12})의 출력을 검지하여 데이터 통과신호가 출력되는 제어선(C)에 접속된다. 이 구성이 비트열의 수만큼 반복된다. 즉, 2비트째 이후의 동일행의 각 논리기능블록의 출력에 접속되는 래치의 제어선은 1비트째가 출력하는 동일한 제어선에 접속된다. 예를 들면, 논리기능블록(F_{21} … F_{n1} …)의 출력에 접속되는 래치의 제어단자는 모두 제어선(b)에 접속되고, F_{22} … F_{n2} …의 출력에 접속되는 래치의 제어단자는 모두 제어선(C)에 접속된다. 이와 같은 구성에 의하여 2비트째 이후의 각 논리기능블록이 1비트째가 출력하는 데이터 통과신호에 동기하여 동작하는 것이 가능하게 된다. 또, 1비트째의 각 논리기능블록의 사이에는 클록에 동기하여 동작하는 래치가 존재하지 않기 때문에 즉 클록스큐의 영향을 받지 않는다.

다음에 본 실시예의 동작을 제17도의 타임차트를 이용하여 설명한다. 1비트째의 각 논리기능블록(F_{11} , F_{12} , F_{13} , …)은 클록에 동기하는 래치에 의하여 칸막이되어 있지 않기 때문에 데이터가 각 논리기능에 의존하는 지연시간을 가지고 흘러간다. 예를 들면 제17도에 나타낸 바와 같이 F_{11} 을 데이터가 통과하는 시간은 길고, F_{12} , F_{13} 을 통과하는 시간은 F_{11} 보다도 짧다고 하는 상태이다. 1비트째에 설치된 데이터 통과검출기는 논리기능블록(F_{11})의 전단의 논리기능블록의 출력에 데이터가 통과한 것을 검지하여 통과신호(a)를 출력한다. 마찬가지로 논리기능블록(F_{11})의 출력에 데이터가 통과한 것을 검지하여 통과신호(b)을 출력하고, 논리기능블록(F_{12})의 출력에 데이터가 통과한 것을 검지하여 통과신호(c)를 출력한다. 따라서, 통과신호(a)가 시작되고 나서 통과신호(b)가 시작되기까지의 시간(T_{ab}) 보다도 통과신호(b)가 시작되고 나서 통과신호(c)가 시작되기 까지의 시간(T_{bc})쪽이 짧다. 이와 같이 2비트째 이후의 데이터 타이밍을 제어하는 신호(a, b, c)는 클록주기와 같이 일정간격이 아니라 1비트째의 각 논리블록의 데이터 처리시간에 의존하여 변화한다. 다음에 2비트째 이후의 각 논리블록은 1비트째에서 출력되는 데이터 통과신호에 동기하여 동작한다. 즉 2비트째의 논리기능블록(F_{21})은 통과신호(a)의 시작에 동기하여 데이터를 입력하고, 논리블록(F_{22})은 데이터 통과신호(b)의 시작에 동기하여 데이터를 입력한다. 따라서 2비트째의 논리기능블록(F_{21})의 데이터 처리에 요하는 시간을 t_{F21} 이라 하면

$t_{F21} < T_{ab}$ (식 2)

의 관계를 만족하도록 설계하면 좋다. 마찬가지로 2비트째의 논리기능블록은

$t_{F22} < T_{bc}$ (식 3)

의 관계를 만족하도록 설계하면 좋다. (식2), (식3)을 상기한 종래 기술에 의한 관계식(식1)($t_{F11} < T - t_{sk}$)과 비교하면 명확한 바와 같이 본 지령에 의하면 어느 논리기능블록에 요하는 처리시간을 클록스큐(t_{sk})와는 무관계로 설계할 수 있는 것, 또 일정한 클록주기(T)에 무관하기 때문에 각 논리블록에 요하는 처리시간이 각 스테이지별로 변화할 수 있는 것을 알 수 있다. 즉, 종래예에서는 관계식(식 1) 보다 데이터 처리시간이 긴 논리블록의 데이터 지연시간과 클록스큐의 합에 의하여 클록주기가 결정되고, 이 클록주기의 역수에 성능이 비례되고 있었으나, 본 발명에서는 데이터 처리시간이 가장 긴 논리블록에 의하여 전체의 데이터 처리시간이 율속(律速)되는 것이 아니라, 성능은 각 비트의 각 논리블록에 요하는 처리시간의 합인 전체 데이터 처리시간에만 의존하는 것, 나아가서는 클록스큐에는 무관하여 클록스큐에 의하여 성능이 저하하는 경우는 없다는 것을 알 수 있다.

제2도에 제2의 실시예를 나타낸다. 1비트째는 논리기능블록(F_{10}, F_{11}, F_{l2}, F_{l3}) 및 데이터 검출기(102, 103, 104)에 의하여 구성된다. 각 논리기능블록(F_{10} F_{13})은 각각 직렬로 접속되고, 논리기능블록(F_{l0})의 입력에 래치(100)가 접속되고, 논리기능블록(F_{l3})의 출력에 래치(101)가 접속된다. 논리기능블록(F_{10}, F_{11}, F_{l2})의 출력에는 각각 데이터 통과검출기(102, 103, 104)가 접속된다. 이들 데이터 통과검출기의 출력신호는 제어선(a, b, c)에 각각 접속된다. 래치(100, 101)의 제어단자는 클록선에 접속된다. 2비트째는 논리기능블록(F_{20}, F_{21}, F_{22}, F_{23}) 및 래치(105, 106, 150, 151, 152)에 의하여 구성된다. 논리기능블록(F_{20})의 입력에 래치 105가 접속되고, F_{20}의 출력에 래치 106, F_{21}의 출력에 래치 150, F_{22}의 출력에 래치 151, F_{23}의 출력에 래치 152가 각각 직렬 접속된다. 래치(105, 152)의 제어단자는 클록선에 접속되고, 래치(106, 150, 151)의 제어단자는 각각 제어선(a, b, c)에 접속된다. n비트째의 구성은 2비트째와 마찬가지이고, 2비트째의 구성이 비트수만큼 반복된다.

다음에 본 실시예의 동작을 제3도의 타임차트를 이용하여 설명한다. 1비트째의 데이터는 래치 100으로부터 입력되고, 래치 101로부터 출력된다. 래치 100은 클록의 시작에 동기하여 데이터를 입력한다. 입력된 데이터는 논리블록(F_{10}, F_{11}, F_{12}, F_{l3})을 통하여 래치 101에 입력된다. 래치 101은 클록의 시작에 동기하여 데이터를 출력한다. 1비트째의 각 논리기능블록(F_{10}, F_{11}, F_{l2}, F_{l3})에 요하는 지연시간을 각각 t_{F10}, t_{F11}, t_{F12}, t_{F13} 이라 하고, 클록스큐를 t_{sk}, 클록주기를 T_{ck} 라 하면

$$t_{F10} + t_{F11} + t_{F12} + t_{F13} < 4t_{ck} - t_{sk} \quad \text{(식 4)}$$

를 만족하도록 설계한다. 데이터 통과검출기(102)는 논리기능블록(F_{10})의 출력에 데이터가 통과한 것을 검출하여 데이터 통과신호(a)를 제어선(a)에 출력한다. 마찬가지로 데이터 통과검출기(103, 104)는 각각 데이터 통과신호(b, c)를 제어선(b, c)에 출력한다. 다음에 2비트째에서는 클록의 시작타이밍에서 래치 105로부터 데이터를 입력하고, 래치 152로부터 출력한다. 입력데이터는 각 논리 기능블록과 래치를 각각 F_{20}, 래치 106, F_{21}, 래치 150, F_{22}, 래치 151, F_{23}, 래치 152 순으로 통과하여 간다. 래치106은 제어신호(a) 시작타이밍에서 데이터를 입력하고, 래치 150, 151은 각각 제어신호(b, c)의 시작타이밍에서 데이터를 입력한다. 따라서, 2비트째의 각 논리기능블록은 1비트째의 대응하는 스테이지의 각 논리기능블록에 동기하여 동작하게 된다. 또, 각 논리기능블록의 지연시간을 각각 t_{F20}, t_{F21}, t_{F22}, t_{F23} 이라 하고, 클록 및 각 통과신호의 시작 시간 간격을 순차 T_0, T_1, T_2, T_3 이라 하면

$$t_{F20} < T_0 \quad \text{(식 5)}$$

$$t_{F21} < T_1 \quad \text{(식 6)}$$

$$t_{F22} < T_2 \quad \text{(식 7)}$$

$$t_{F23} < T_3 \quad \text{(식 8)}$$

을 만족하도록 설계한다. 3비트째 이후도 2비트째의 동작과 마찬가지이다.

결국, 본 실시예에서는 1비트째에서 (식4), 2비트째 이후에서는 (식5) (식8)을 만족하면 된다. 이 조건식을 상기 제1 종래 기술과 비교하여 본다. 종래 기술에서는 전비트의 각 논리기능블록이 1클록주기 이내에 받아들여져 있지 않으면 안된다. 따라서, 예를 들어 1비트째를 예로 취하면,

$$t_{F10} < T_{ck} - t_{sk} \quad (식\ 9)$$

$$t_{F11} < T_{ck} - t_{sk} \quad (식\ 10)$$

$$t_{F12} < T_{ck} - t_{sk} \quad (식\ 11)$$

$$t_{F13} < T_{ck} - t_{sk} \quad (식\ 12)$$

를 만족할 필요가 있다. (식 9) (식 12)에 의하여

$t_{F10} + t_{F11} + t_{F12} + t_{F13} < 4T_{ck} - 4t_{sk}$ (식 13)

이 된다.

본 실시예의 설계조건식 (식4)와 (식13)을 비교하면 분명한 바와 같이

$$성능 \propto \frac{1}{t_{F10}+t_{F11}+t_{F12}+t_{F13}} \quad (식\ 14)$$

라 하면, 성능에 미치는 클록스큐의 영향이 본 실시예와 제1 종래 기술과는 4배나 다르다. 본 실시예의 2비트째 이후는 (식5) (식8)을 만족하면 1비트째에 동기하여 동작한다. 전비트가 1비트째에 동기하여 동작함으로서 비트간의 데이터의 분기, 합류가 있는 경우에도 용이하게 파이프라인을 짜는 것이 가능하게 된다. 상기 제2종래 기술에서는 비트간의 동기에 관하여 아무것도 설명되어 있지 않다.

본 실시예의 대표적인 응용장치예의 하나를 제11도에 나타낸다. 130은 프로세서, 131은 2차 캐시메모리, 132는 메인메모리이다. 프로세서(130)은 1차 명령 캐시(135), 1차 데이터 캐시(137), 부동소수점 연산기(134), 정수연산기(136), 제어논리유니트(133), 인터페이스 유니트(138)등을 내장하고 있다. 본 발명을 적용함으로서 장치 전체가 클록신호를 전혀 이용하지 않는 회로를 제공할 수도 있으나, 장치 또는 회로의 일부분, 예를 들면, 프로세서(130), 2차 캐시메모리(131), 메인메모리(132) 상호의 데이터 전송에 관한 회로나, 각각의 내부데이터 처리에 관한 회로를 이용하여 클록스큐의 영향을 받기 쉬운 부분을 줄이거나 없앨 수 있다.

다음에 1비트째의 데이터 패스에 있어서 데이터 패스가 합류하는 경우의 실시예를 제4도에 나타낸다.

논리회로블록(A)의 출력 및 논리회로블록(D)의 출력이 동시에 논리회로블록(B)에 입력되고, 데이터가 합류한다. 이 경우는 논리회로블록(A)의 출력 및 논리회로블록(D)의 출력 중 느린 쪽에서 데이터 통과신호를 검출하고, 2비트째 이후에 스테이지 개시신호를 보낼 필요가 있다.

그러나, 논리회로블록(A)의 출력이 확정하는 시간 및 논리회로블록(D)의 출력이 확정하는 시간 중 어느 쪽이 느린가를 미리 특정할 수 있다고는 한정하지 않는다.

따라서, 제4도의 102, 107에 나타낸 바와 같이 논리회로블록(A)의 출력과 논리회로블록(D)의 출력 쌍방에서 데이터 통과를 검출하고, 그 합신호를 생성함으로서 어느 쪽인지 느린 쪽의 출력타이밍에서 스테이지(F) 개시신호가 생성된다.

이로써 2비트째의 논리블록(F)은 논리회로블록(A)의 출력이 확정하는 시간 및 논리회로블록(D)의 출력이 확정하는 시간 중 느린 쪽에 동기하여 동작한다.

제5도는 1비트째의 데이터패스로 데이터패스가 분기하는 경우의 실시예를 나타낸다.

논리회로블록(A)의 출력은 논리회로블록(B) 및 논리회로블록(D)으로 분기한다. 이 경우는 논리회로블록(B)의 출력이 확정하는 시간과 논리회로블록(D)의 출력이 확정하는 시간 중 어느 쪽이 느린지를 미리 특정할 수 있다고는 한정하지 않는다.

따라서, 제5도의 108, 109에 나타낸 바와 같이 논리회로블록(B)의 출력과 논리회로블록(D)의 출력 쌍방에서 데이터 통과를 검출하고, 그 합신호를 생성함으로서 어느 쪽인지 느린 쪽의 출력타이밍에서 스테이지(H) 개시신호가 생성된다. 이로써 2비트째의 논리블록(H)은 논리회로블록(B)의 출력이 확정하는 시간 및 논리회로블록(D)의 출력이 확정하는 시간의 느린 쪽에 동기하여 동작한다.

이상의 실시예는 데이터 패스 내부의 국소적인 부분의 제어에 이용되는 외에 데이터패스 전체의 제어에도 적용 가능하다.

제14도는 부동소수점 연산기의 일예이다. 레지스터 파일(139), 가산기(140), 승산기(141), 제산기(142)가 소스버스(143)와 타게트버스(144)로 결합되어 있다. 레지스터파일(139)로부터 독출한 데이터는 소스버스(143)를 통하여 각 연산기(140 142)에 읽어 넣는다. 각 연산기(140 142)에서 연산을 종료한 데이터는 타게트버스(144)를 통하여 레지스터파일(139)에 기입된다. 각 연산기(140 142)는 소스버스(143)에 데이터가 통과한 것을 데이터 통과검출기(145)로 검출하고, 검출타이밍에 동기하여 동작을 개시한다. 각 연산기(140 142)는 1개만이 동작하는 경우도 있으나, 복수의 연산기가 동시에 동작하는 경우도 있다.

제6도는 본 발명의 다른 실시예이다. 1칩으로 구성되는 반도체 집적회로장치(112)중에는 위치적으로 분리된 적어도 2개 이상의 논리블록군 영역A(113)와 영역B(114)가 있다. 영역A(113)와 영역B(114)는 분리된 위치에 있고, 긴 신호선(115)으로 접속되어 있으며 영역 사이에서 정확한 클록동기를 취하는 것은 곤란하다. 또, 분리된 위치에 있기 때문에 영역A(113)로부터 영역B(114)에의 데이터 전송에 요하는 지연시간이 크다.

따라서, 클록동기의 방식으로 고속의 데이터 전송을 행하는 것은 곤란하다.

제6도의 실시예는 클록동기를 필요로 하지 않는 자기동기방식에 의한 데이터 수신의 일예이다. 영역A(113)로부터는 클록에 동기하여 데이터전송이 개시된다. 데이터는 긴 신호선(115)을 통하여 영역B(114)에 전송된다. 영역B(114)에 데이터가 도착하면 이것을 검출하고 동기신호(Bl)를 생성한다. 데이터는 논리블록(Bl) 및 논리블록(B2)을 통하여 래치에 입력된다. 그 사이 논리블록(Bl) 및 논리블록(B2)의 출력으로부터 데이터 도착을 검출하고, 각각 동기신호(B2) 및 동기신호(B3)를 생성한다. 영역B(114)내에서 이 데이터패스와 관련하는 다른 논리블록(155, 156)은 이들 동기신호(Bl, B2, B3)에 동기하여 동작한다.

이와 같은 구성으로 함으로서 영역A(113)내에 있는 시점래치(116)로부터 영역B(114)내에 있는 종점래치(117)까지의 토탈지연시간 만을 주의하면 클록스큐나 타이밍의 제약은 작다.

제15도는 제6도의 더욱 구체적인 일예이다. 마이크로프로세서(130)에는 데이터캐시(137), 명령캐시(135), 부동소수

점 연산기(134), 정수연산기(136), 제어유니트(133), 인터페이스유니트(138) 등이 내장되어 있고, 각각이 신호선으로 결합되어 있다. 정수연산기(136)으로부터 데이터캐시(137)에 어드레스가 보내지면, 어드레스가 도착한 것을 신호도착검출기(146)가 검출하고, 이 타이밍에 동기하여 데이터캐시(137)는 데이터를 출력한다. 즉, 데이터캐시(137)에 포함되는 적어도 1개 이상의 래치가 신호도착검출기(146)가 출력하는 도착신호에 의하여 제어된다. 출력된 데이터는 정수연산기(136)나 부동소수점 연산기(134)에 보내진다. 또, 자기동기의 제어는 본 실시예의 데이터캐시만에 한하지 않고 프로세서(130)에 포함되는 다른 유니트에도 적용할 수 있다.

제7도는 칩간의 데이터 전송에 본 발명을 적용한 일실시예이다. 칩A(118)는 예를 들면 마이크로프로세서이고, 칩B(119)는 메모리이다. 칩A(118)로부터 칩B(119)에 어드레스를 전송한다. 칩B(119)에 어드레스가 도착하면 이것을 검출하여 동기신호(Bl)를 생성한다. 어드레스는 논리블록(Bl), 논리블록(B2) 및 논리블록(B3)을 통하여 래치(121)에 입력된다. 그동안 논리블록(Bl), 논리블록(B2) 및 논리블록(B3)의 출력으로부터 데이터 도착을 검출하고, 각각 동기신호(B2), 동기신호(B3) 및 동기신호(B4)를 생성한다. 칩B(119)내의 논리블록(Bl, B2, B3)은 동기신호(B2), 동기신호(B3) 및 동기신호(B4)에 동기하여 각각 동작한다.

다음에 칩B(119)로부터 칩A(118)에 어드레스에 대응하는 데이터를 전송한다. 어드레스를 출력하는 래치(120)와 데이터를 입력하는 래치(121)를 제어하는 클록은 제6도에 실시예와 마찬가지로 제어신호에 의하여 제어되어 원하는 데이터만을 래치한다.

제8도는 칩간의 데이터 전송에 본 발명을 적용한 다른 실시예이다. 칩A(118)로부터 칩B(119)에 어드레스를 전송한다. 칩B(119)에 어드레스가 도착하면 그것을 검출하여 동기신호(123)를 생성한다. 칩B(119)의 클록은 위상조정회로(122)에 의하여 위상조정되고, 동기신호(123)와 동기한 클록(B)을 생성한다. 칩B(119)는 클록B를 소스클록으로서 동작한다. 위상조정회로(122)는 예를 들면 PLL(Phase Locked Loop)에 의하여 구성된다.

제9도는 제1도의 실시예를 다이나믹회로로 구성한 일예이다. 논리블록(Al) 및 논리블록(Bl)은 데이터 도착검출기능을 가지는 1비트째의 구성요소이고, 논리블록(A2) 및 논리블록(B2)은 2비트째의 구성요소이다.

논리블록(Al)이 리세트상태에 있고, 상보출력이 쌍방 모두 낮은 경우에는 스테이지B 개시신호는 낮고, 논리블록(B2)의 연산은 개시되지 않는다. 논리블록(Al)의 출력이 확정되어 있는 경우는 상보출력의 한쪽이 높기 때문에 스테이지B 개시신호는 높게 되고, 논리블록(B2)의 연산이 개시된다.

이상의 발명은 예를 들면 제16도에 나타낸 시스템에 적용된다. 본 발명을 적용한 복수의 LSI를 가지는 워크스테이션(147, 148)과 프린터(149)가 복수개 네트워크 결합되어 있다. 본 발명은 워크스테이션(147)을 구성하는 LSI 내부의 회로에 이용되는 외에 이들 복수의 LSI 간의 인터페이스에 적용할 수 있다. 또, 워크스테이션(147)과 워크스테이션(148)간의 인터페이스에도 적용할 수 있다. 예를 들면, 워크스테이션(147)로부터 워크스테이션(148)에 데이터가 전송되는 경우, 워크스테이션(148)은 워크스테이션(147)로부터의 데이터가 도착한 것을 검지하고 데이터 도착신호를 내부발생한다. 워크스테이션(148)은 검지한 데이터 도착신호에 동기하여 데이터 처리를 개시한다.

본 발명에 의하면 복수의 데이터 패스가 동기하여 동작하고, 또한 이들 데이터패스가 클록스큐의 영향을 받지 않기 때문에 고성능화가 도모된다. 제2도에 나타낸 제2 실시예에서는 1비트째의 4개의 논리기능블록이 클록 동기하는 2개의 래치 사이에 직렬 접속되어 있다. 이 경우 데이터패스 지연설계 조건식은 상기 (식4)에서 나타낸다. 한편, 종래 기술에 의한 조건식은 (식13)에서 나타낸다. 양 식을 비교하면 명확한 바와 같이 클록스큐의 영향이 본 실시예에서는 1/4로 저감되는 것을 알 수 있다. 또, 다른 실시예에서는 클록에 동기하는 2개의 래치 사이에 직렬접속 또는 병렬 접속되는 논리기능블록의 수는 한정되는 것은 아니다. 각각의 케이스에 대응하여 스큐 영향 저감의 정도도 변화한다. 또, 여기에서 1비트째에 설치한 구성은 다른 비트라도 좋고, 복수 비트이어도 좋다. 비트간에서 데이터의 분기나 합류도 있을 수 있

다. 여기에서 비트열로 표현한 구성은 비트에 대응하는 것에 한정하지 않고 어느 논리기능열로 표현되는 구성이어도 좋다. 어느 경우나 클록스큐의 지연시간에 대한 영향을 작게 할 수 있다. 또, 예를 들면 상기 제 1 실시예의 경우에는 1비트째에 데이터 도착검출기능을 설치하는 것만으로 2비트째 이후에는 데이터 도착검출기능을 설정하지 않기 때문에 트랜지스터 수를 거의 늘리는 일 없이 본 실시예를 실현하는 것이 가능하다.

(57) 청구의 범위

청구항 1.

직렬로 연속적으로 배열되어 상기 직렬을 따라 순차적으로 데이터를 처리하는 복수의 데이터 스테이지를 포함하는 반도체 집적회로 장치에 있어서,

상기 스테이지 중 적어도 하나는,

병렬로 배열되는 복수의 기능 블록;

상기 기능 블록과 이어지는 데이터 처리 스테이지 내의 기능 블록간을 접속시키고, 상기 스테이지 내의 기능 블록 중 하나로부터 데이터 흐름을 각각 처리하는 복수의 접속부를 포함하는 접속수단; 및,

상기 접속부 중 선택된 하나를 따라 데이터 흐름을 검출하는 검출수단을 포함하고, 선택된 접속부를 따라 데이터 흐름을 검출하는 검출수단에 근거하여 상기 접속부 중 적어도 또 다른 하나를 통과하는 데이터 흐름을 제어하는 제어수단을 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 2.

제1항에 있어서,

상기 제어수단이, 상기 데이터 흐름을 검출하는 상기 검출수단에 근거한 상기 적어도 하나의 스테이지에 이어지는 상기 스테이지가 동기하여 동작하는 신호를 생성하도록 배열되는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 3.

제1항에 있어서,

상기 적어도 하나의 스테이지는 상기 직렬로 데이터 입력을 제어하는 입력제어수단, 상기 직렬로부터 데이터 출력을 제어하는 출력제어수단, 및 상기 입력수단과 상기 출력수단을 제어하는 클록을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 4.

제1항에 있어서,

상기 접속수단은 복수의 래치를 포함하고, 각 래치는 대응 기능 블록으로부터 데이터를 받는 데이터 흐름 입력과 상기 제어수단으로부터의 신호를 받고 상기 신호에 대한 상기 대응 기능 블릭으로부터 받은 데이터를 전송하는 제어입력을 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 5.

직렬로 연속적으로 배열되어 상기 직렬을 따라 순차적으로 데이터를 처리하는 복수의 데이터 스테이지를 포함하는 반도체 집적회로 장치에 있어서,

상기 복수의 데이터 처리 스테이지 중 적어도 하나는,

병렬로 배열되는 복수의 기능 블록;

상기 적어도 하나의 데이터 처리 스테이지에 이어지는 상기 직렬의 상기 데이터 처리 스테이지에 상기 복수의 기능 블록 중 해당하는 하나와 접속하는 복수의 접속부;

상기 접속부 중 첫 번째에 상기 데이터의 흐름을 검출하는 제1 검출수단;

상기 접속부 중 두 번째에 상기 데이터의 흐름을 검출하는 제2 검출수단; 및

상기 제1, 제2 검출수단에 의한 상기 데이터 흐름의 상기 검출에 근거하여 상기 접속부 중 적어도 다른 하나에서 데이터 흐름을 제어하기 위한 제어수단을 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 6.

연속적인 직렬로 배열된 복수의 데이터 처리 스테이지를 가지고, 상기 직렬에 따라 순차적으로 데이터 처리되는 반도체 집적회로 장치에 있어서,

상기 복수의 데이터 처리 스테이지 중 적어도 하나는,

병렬로 배열되는 복수의 기능 블록;

각각의 복수의 접속부는 상기 적어도 하나의 데이터 처리 스테이지 이후 상기 직렬의 상기 데이터 처리 스테이지를 위한 상기 복수의 기능 블록 중 해당하는 하나와 접속하는 복수의 접속부; 및

상기 접속부 중 적어도 다른 하나에서의 상기 데이터 흐름을 검출하고 상기 접속부 중 적어도 다른 하나에서 데이터의 흐름을 제어하는 흐름 제어수단을 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 7.

직렬로 연속적으로 배열되어 상기 직렬을 따라 순차적으로 데이터를 처리하는 복수의 데이터 스테이지를 포함하는 반도체 집적회로를 동작하는 방법에 있어서,

상기 복수의 데이터 처리 스테이지 중 적어도 하나는,

병렬로 배열되는 복수의 기능 블록; 및,

상기 적어도 하나의 데이터 처리 스테이지에 이어지는 상기 직렬의 상기 데이터 처리 스테이지에 상기 복수의 기능 블록 중 대응하는 하나와 접속하는 복수의 접속부를 포함하며,

상기 방법은,

상기 복수의 데이터 처리 스테이지 중 상기 적어도 하나에서 데이터를 처리하는 단계;

상기 접속부를 경유하여 상기 데이터 처리 스테이지 중 상기 적어도 하나로부터 상기 데이터를 전송하는 단계;

상기 접속 수단 중 하나에서 데이터의 흐름을 검출 단계; 및,

상기 접속부 중 상기 하나에서 데이터 흐름의 상기 검출에 기초하여 상기 접속부 중 적어도 다른 하나에서의 데이터 흐름을 제어하는 단계로 구성된 것을 특징으로 하는 반도체 집적회로 장치의 처리 방법.

청구항 8.

반도체 집적회로 장치에 있어서,

직렬로 배열되어 상기 직렬을 따라 순차적으로 데이터를 처리하는 복수의 기능논리 블록;

상기 기능 블록들을 접속하는 복수의 접속부를 포함하고, 상기 기능논리 블록 중 적어도 두 개 사이의 데이터 흐름을 처리하는 접속수단; 및,

상기 접속부 중 적어도 하나를 따라 데이터 흐름을 검출하고, 상기 적어도 하나의 접속부를 따라 데이터 흐름을 검출하는 상기 검출수단에 근거한 상기 접속부 중 적어도 또 다른 하나를 따라 데이터 흐름을 제어하는 데이터 검출수단을 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 9.

제8항에 있어서,

상기 복수의 기능블록은 제1, 제2 영역으로 나누어지는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 10.

제9항에 있어서,

제1 칩과 제2 칩을 더 포함하여, 상기 제1 영역은 제1 칩 내에 존재하고, 상기 제2 영역은 제2 칩 내에 존재하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 11.

반도체 집적회로 장치에 있어서,

서로 직렬로 접속되어 있으며, n개의 제 1 기능회로 블록의 첫 번째는 입력된 신호의 논리적 연산을 실행하고 결과로서 출력신호를 출력하며, n개의 제 1 기능회로 블록 중 이전 하나로부터 입력된 신호에 응답하는 제 1의 기능회로 블록의 2번째에서 n번째에서 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 1 기능회로 블록; 및

서로 직렬로 접속되어 있으며, 제2 기능회로 블록의 첫 번째 것은 입력된 신호의 논리 연산을 실행하고 결과로서 출력신호를 출력하며, n개의 제 2 기능회로 블록의 이전 하나로부터 입력된 신호에 응답하는 제 2의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 2 기능회로 블록을 포함하며,

상기 n개의 제 1 기능회로 블록은 상기 n개의 제 2 기능회로 블록의 출력 타이밍을 제어하여 상기 n개의 제 2 기능회로 블록이 상기 n개의 제 1 기능회로 블록과 동기하여 연산하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 12.

제11항에 있어서,

상기 n개의 제 2 기능회로블록은 상기 n개의 제1 기능회로블록과 병렬로 접속된 것을 특징으로 하는 반도체 집적회로 장치.

청구항 13.

반도체 집적회로 장치에 있어서,

서로 직렬로 접속되어 있으며, n개의 제 1 기능회로 블록의 첫 번째는 입력된 신호의 논리적 연산을 실행하고 결과로서 출력신호를 출력하며, n개의 제 1 기능회로 블록의 이전 하나로부터 입력된 신호에 응답하는 제 1 의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제1 기능회로 블록; 및

서로 직렬로 접속되어 있으며, 제2 기능회로 블록의 첫 번째 것은 입력된 신호의 논리 연산을 실행하고 결과로서 출력신호를 출력하며, n개의 제2 기능회로 블록 중 이전 하나로부터 입력된 신호에 응답하는 제 2의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제2 기능회로 블록을 포함하며,

상기 n개의 제 1 기능회로 블록에서 출력된 신호는 대응 상기 n개의 제 2 기능회로 블록의 출력 타이밍을 제어하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 14.

제13항에 있어서,

상기 n개의 제2 기능회로블록 각각은 대응되는, 상기 n개의 제 1 기능회로 블록에 접속되어 대응되는 상기 n개의 제 1 기능회로 블록에서 출력된 상기 신호를 받아 대응되는 상기 n개의 제 2 기능회로 블록의 출력 타이밍을 제어하는 래치를 가지고 있는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 15.

제13항에 있어서,

상기 n개의 제 2 기능회로 블록은 상기 n개의 제 1 기능회로 블록과 병렬로 접속된 것을 특징으로 하는 반도체 집적회로 장치.

청구항 16.

반도체 집적회로 장치에 있어서,

서로 직렬로 접속되어 있으며, n개의 제 1 기능회로 블록의 첫 번째는 입력된 신호의 논리적 연산을 실행하고 결과로서 출력신호를 출력하며, n개의 제 1 기능회로 블록의 이전 하나로부터 입력된 신호에 응답하는 제 1의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 1 기능회로 블록; 및

서로 직렬로 접속되어 있으며, 제 2 기능회로 블록의 첫 번째 것은 입력된 신호의 논리 연산을 실행하고 결과로서 출력신호를 출력하며, n개의 제 2 기능회로 블록 중 이전 하나로부터 입력된 신호에 응답하는 제 2의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 2 기능회로 블록을 포함하며,

상기 제 1의 기능회로 블록으로부터 출력된 신호는 상기 n개의 제 2의 기능회로 블록 중 상기 해당하는 것의 이전 기능회로 블록으로부터 상기 n개의 제 2의 기능회로 블록 중 상기 해당하는 것에 입력신호의 입력 타이밍을 제어하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 17.

제16항에 있어서,

상기 n개의 제 2 기능회로 블록 각각은 대응되는, 상기 n개의 제 1 기능회로 블록에 접속되어 대응되는 상기 n개의 제 1 기능회로 블록에서 출력된 상기 신호를 받아 대응되는 상기 n개의 제 2 기능회로 블록의 출력 타이밍을 제어하는 래치를 가지고 있는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 18.

제16항에 있어서,

상기 n개의 제 2 기능회로 블록은 상기 n개의 제 1 기능회로 블록과 병렬로 접속된 것을 특징으로 하는 반도체 집적회로 장치.

청구항 19.

메모리, 제어유닛 및 실행유닛을 포함하는, 마이크로프로세서에 있어서, 상기 메모리 중 적어도 하나, 상기 제어유닛 및 실행유닛은,

서로 직렬로 접속되어 있으며, 제 1 기능회로 블록의 첫 번째는 입력된 신호의 논리적 연산을 실행하고 결과로서 출력신호를 출력하며, n개의 제 1 기능회로 블록 중 이전 하나로부터 입력된 신호에 응답하는 제 1의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 1 기능회로 블록; 및

서로 직렬로 접속되어 있으며, 제 2 기능회로 블록의 첫 번째는 입력된 신호의 논리 연산을 실행하고 결과로서 출력신호를 출력하며, n개의 제 2 기능회로 블록 중 이전 하나로부터 입력된 신호에 응답하는 제 2의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 2 기능회로 블록; 및

상기 n개의 제 1 기능회로 블록은 상기 n개의 제 2 기능회로 블록의 출력 타이밍을 제어하여 상기 n개의 제 2 기능회로 블록이 상기 n개의 제 1 기능회로 블록으로부터 출력신호에 응답하여 동기적으로 입출력 동작을 시작하는 것을 특징으로 하는 마이크로프로세서.

청구항 20.

제19항에 있어서,

상기 n개의 제 2 기능회로 블록 각각은 대응되는, 상기 n개의 제 1 기능회로 블록에 접속되어 대응되는 상기 n개의 제 1 기능회로 블록에서 출력된 상기 신호를 받아 대응되는 상기 n개의 제 2 기능회로 블록의 출력 타이밍을 제어하는 래치를 가지고 있는 것을 특징으로 하는 마이크로프로세서.

청구항 21.

제19항에 있어서,

상기 n개의 제 2 기능회로 블록은 상기 n개의 제 1 기능회로 블록과 병렬로 접속된 것을 특징으로 하는 마이크로프로세서.

청구항 22.

메모리, 제어유닛 및 실행유닛을 포함하는, 마이크로프로세서에 있어서,

상기 메모리 중 적어도 하나, 상기 제어유닛 및 실행유닛은,

서로 직렬로 접속되어 있으며, 제 1 기능회로 블록의 첫 번째는 입력된 신호의 논리적 연산을 실행하고 결과로서 출력 신호를 출력하며, n개의 제 1 기능회로 블록 중 이전 하나로부터 입력된 신호에 응답하는 제 1의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 1 기능회로 블록; 및

서로 직렬로 접속되어 있으며, 제 2 기능회로 블록의 첫 번째 것은 입력된 신호의 논리 연산을 실행하고 결과로서 출력 신호를 출력하며, n개의 제 2 기능회로 블록 중 이전 하나로부터 입력된 신호에 응답하는 제 2의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 2 기능회로 블록을 포함하며,

상기 n개의 제 1 기능회로 블록은 상기 n개의 제 2 기능회로 블록의 출력 타이밍을 제어하여 n개의 제 1 기능회로 블록에 대응하는 것으로부터 출력된 신호에 응답하는 상기 n개의 제 2 기능회로 블록 중 적어도 하나는 상기 직렬 연결된 n개의 제 2 기능회로 블록 중 다음 기능회로 블록에 상기 논리연산 결과로서 그 출력 신호를 출력하는 것을 특징으로 하는 마이크로 프로세서.

청구항 23.

상기 n개의 제 2 기능회로 블록의 적어도 하나는 상기 n개의 제 1 기능회로 블록의 상기 대응하는 것과의 접속된 래치를 가지고 있으며, 상기 래치는 상기 n개의 제 1 기능회로 블록 중 대응하는 것으로부터 출력된 신호에 응답하여, 상기 n개의 제 2 기능회로 블록 중 대응하는 것의 출력신호의 출력 타이밍을 제어하는 것을 특징으로 하는 마이크로 프로세서.

청구항 24.

제22항에 있어서,

상기 n개의 제 2 기능회로 블록은 상기 n개의 제 1 기능회로 블록과 병렬로 접속된 것을 특징으로 하는 마이크로프로세서.

청구항 25.

메모리, 제어유닛 및 실행유닛을 포함하는, 마이크로프로세서에 있어서, 상기 메모리 중 적어도 하나, 상기 제어유닛 및 실행유닛은,

서로 직렬로 접속되어 있으며, 제 1 기능회로 블록의 첫 번째는 입력된 신호의 논리적 연산을 실행하고 결과로서 출력 신호를 출력하며, n개의 제 1 기능회로 블록 중 이전 하나로부터 입력된 신호에 응답하는 제 1의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 1 기능회로 블록; 및

서로 직렬로 접속되어 있으며, 제 2 기능회로 블록의 첫 번째 것은 입력된 신호의 논리 연산을 실행하고 결과로서 출력 신호를 출력하며, n개의 제 2 기능회로 블록 중 이전 하나로부터 입력된 신호에 응답하는 제 2의 기능회로 블록의 2번째에서 n번째까지의 각각은 논리 연산을 실행하고 결과로서 출력신호를 출력하는 n개의 제 2 기능회로 블록을 포함하며,

상기 n개의 제 1 기능회로 블록은 상기 n개의 제 2 기능회로 블록의 출력 타이밍을 제어하여 n개의 제 1 기능회로 블록에 대응하는 것으로부터 출력된 신호에 응답하는 상기 n개의 제 2 기능회로 블록 중 적어도 하나는 상기 직렬 연결된 n개의 제 2 기능회로 블록의 앞 기능회로블록으로부터 입력신호를 받는 것을 특징으로 하는 마이크로프로세서.

청구항 26.

제25항에 있어서,

상기 n개의 제 2 기능회로 블록의 적어도 하나는 상기 n개의 제 1 기능회로 블록의 상기 대응하는 것과의 접속된 래치를 가지고 있으며, 상기 래치는 상기 n개의 제 1 기능회로 블록 중 대응하는 것으로부터 출력된 신호에 응답하여, 상기 앞 기능회로 블록으로부터 입력신호를 수신하는 타이밍을 제어하는 것을 특징으로 하는 마이크로 프로세서.

청구항 27.

제25항에 있어서,

상기 n개의 제 2 기능회로 블록은 상기 n개의 제 1 기능회로 블록과 병렬로 접속된 것을 특징으로 하는 마이크로프로세서.

청구항 28.

반도체 집적회로 장치에 있어서,

입력신호에 응답하여, 논리연산을 실행하고 결과로서 출력 신호를 출력하는 적어도 하나 이상의 제 1 기능회로 블록; 및,

상기 제 1 기능회로 블록과 병렬 접속되어, 상기 제 1 기능회로블록 외의 입력소스로부터 입력된 신호에 응답하여 논리연산을 실행하고 결과로서 출력 신호를 출력하는 적어도 하나 이상의 제 2 기능회로 블록을 포함하며,

상기 제 1 기능회로 블록은 상기 제 2 기능회로 블록의 출력 타이밍을 제어하여 상기 제 2 기능회로 블록이 상기 제 1 기능회로 블록과 동기하여 연산하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 29.

제28항에 있어서,

상기 n개의 제 2 기능회로 블록은 상기 제 1 기능회로 블록에 접속하여 상기 제 1 기능회로 블록의 출력신호에 응답하여 상기 제 2 기능회로 블록의 출력 타이밍을 제어하는 것을 특징으로 하는 마이크로 프로세서.

청구항 30.

제28항에 있어서,

상기 제 2 기능회로 블록이 상기 제 1 기능회로 블록으로부터 출력된 신호에 응답하여 동기적으로 입출력 연산을 시작하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 31.

반도체 집적회로 장치에 있어서,

각각 복수의 기능회로 블록을 포함하고 서로 직렬로 접속되어 신호를 전송하는 n개의 기능회로 그룹을 포함하며,

상기 기능회로 블록 각각은 입력된 신호의 논리연산을 실행하고, 그 결과로서 출력 신호를 생성하며, 각 기능회로 그룹의 출력 타이밍은 상기 기능회로 그룹내의 상기 복수의 기능회로 블록 중 하나에 의해 제어되는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 32.

제31항에 있어서,

각 기능회로 그룹은 m개의 기능회로 블록을 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 33.

반도체 집적회로 장치에 있어서,

각각 복수의 기능회로 블록을 포함하고 서로 직렬로 접속되어 신호를 전송하는 n개의 기능회로 그룹을 포함하며,

상기 기능회로 블록 각각은 입력된 신호의 논리연산을 실행하고, 그 결과로서 출력 신호를 생성하며,

각 기능회로 그룹내의 상기 복수의 기능회로 블록 중 하나는 상기 기능회로 그룹내의 나머지 기능회로블록의 출력 타이밍을 제어하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 34.

제33항에 있어서,

각 기능회로 그룹은 m개의 기능회로블록을 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 35.

반도체 집적회로 장치에 있어서,

각각 복수의 기능회로블록을 포함하고 서로 직렬로 접속되어 신호를 전송하는 n개의 기능회로 그룹을 포함하며,

상기 기능회로 블록 각각은 입력된 신호의 논리연산을 실행하고, 그 결과로서 출력 신호를 생성하며, 첫 번째와 n 번째 기능회로 그룹의 출력 타이밍은 외부 클락에 의해 제어되며,

나머지 기능회로 그룹의 출력 타이밍은 각각의 상기 나머지 기능회로 그룹 내에 상기 복수의 기능회로 블록 중 하나에 의해 제어되는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 36.

반도체 집적회로 장치에 있어서,

입력 신호에 응답하여 논리연산을 실행하고, 결과로서 출력 신호를 생성하는, 적어도 하나의 제 1 기능회로 블록; 및

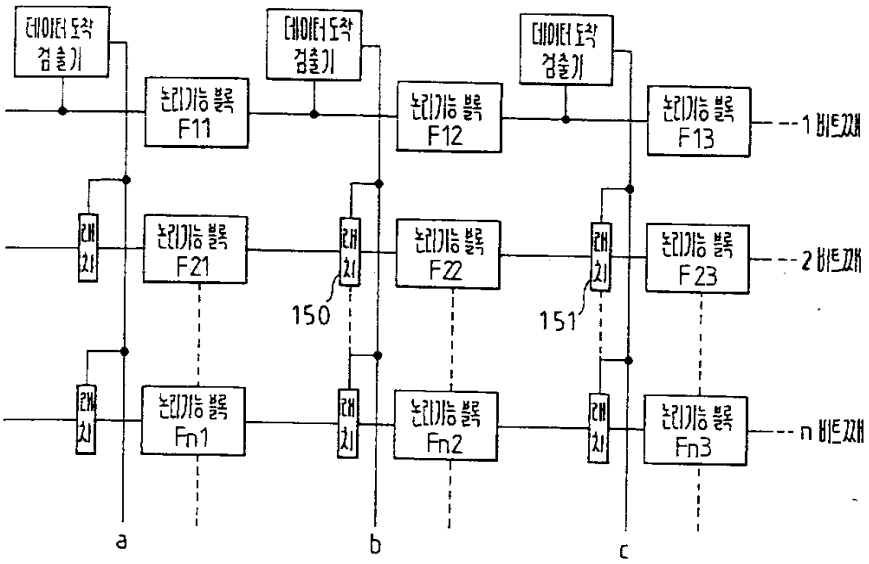
제1 기능회로 블록과 평행하게 접속된 복수의 제 2 기능회로 블록을 포함하고,

상기 복수의 제 2 기능회로 블록은 상기 제 1 기능회로 블록외의 입력 소스로부터의 입력신호에 응답하여 논리연산을 실행하고 결과로서 출력 신호를 생성하며,

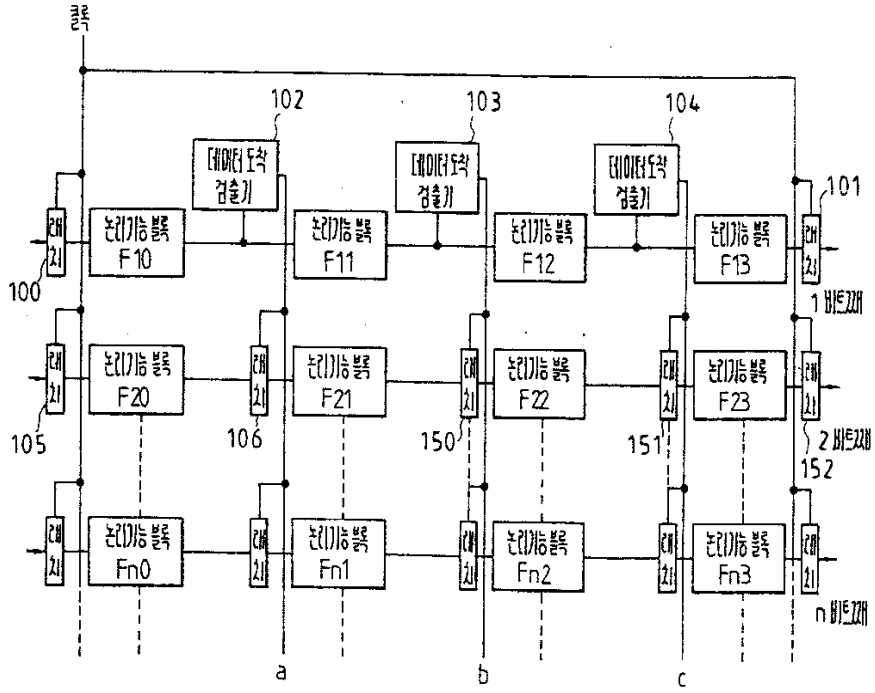
상기 제 1 기능회로 블록은 상기 제 2 기능회로 블록의 출력 타이밍을 제어하여 상기 n개의 제 2 기능회로 블록이 상기 제 1 기능회로 블록과 동기하여 연산하는 것을 특징으로 하는 반도체 집적회로 장치.

도면

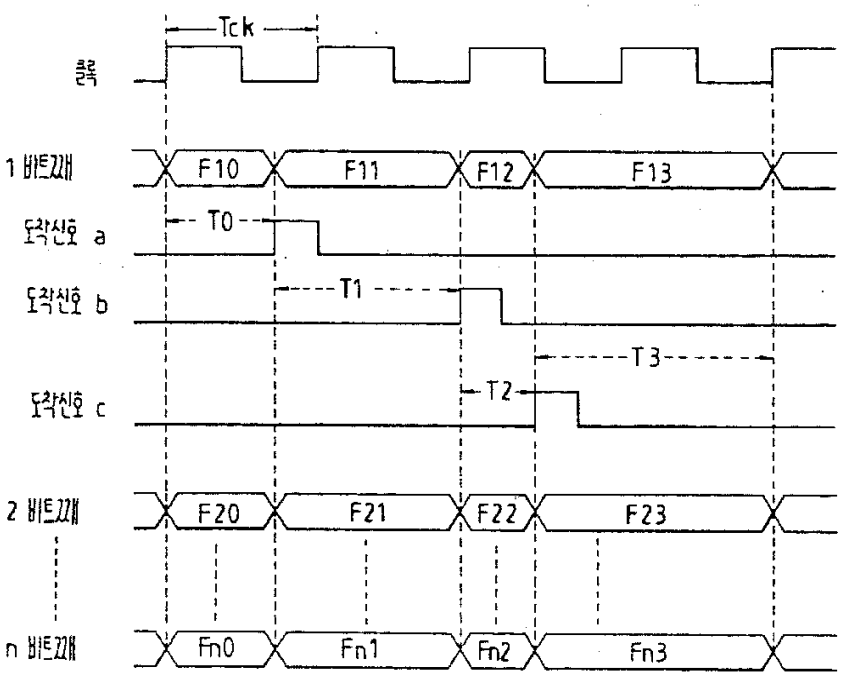
도면 1


데이터 도착 검출기
논리기능 블록 F11
데이터 도착 검출기
논리기능 블록 F12
데이터 도착 검출기
논리기능 블록 F13
1 비트레지
래치
논리기능 블록 F21
래치
논리기능 블록 F22
래치
논리기능 블록 F23
2 비트레지
150
151
래치
논리기능 블록 Fn1
래치
논리기능 블록 Fn2
래치
논리기능 블록 Fn3
n 비트레지
a
b
c

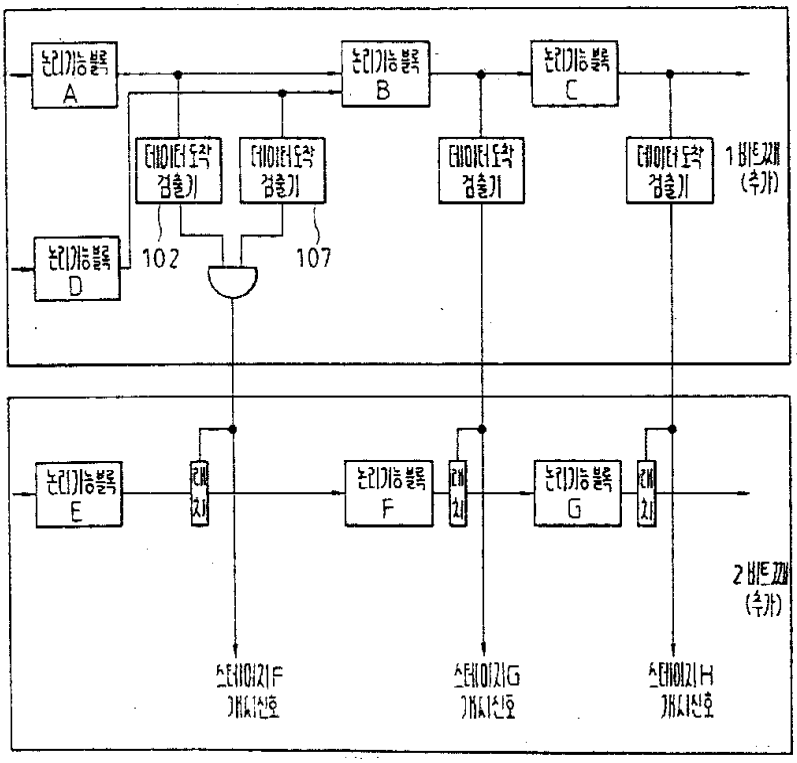
도면 2


클록
102
103
104
데이터 도착 검출기
데이터 도착 검출기
데이터 도착 검출기
101
래치
논리기능 블록 F10
논리기능 블록 F11
논리기능 블록 F12
논리기능 블록 F13
100
1 비트레지
래치
논리기능 블록 F20
래치
논리기능 블록 F21
래치
논리기능 블록 F22
래치
논리기능 블록 F23
래치
105
106
150
151
152
2 비트레지
래치
논리기능 블록 Fn0
래치
논리기능 블록 Fn1
래치
논리기능 블록 Fn2
래치
논리기능 블록 Fn3
래치
n 비트레지
a
b
c

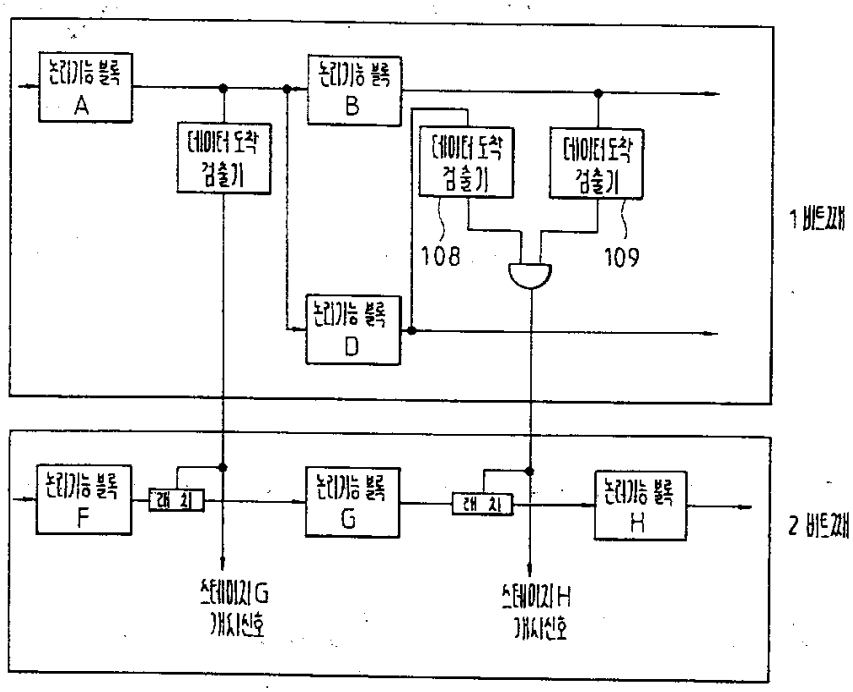
도면 3


Tck
클록
1 비트째
F10
F11
F12
F13
도착신호 a
T0
도착신호 b
T1
T3
도착신호 c
T2
2 비트째
F20
F21
F22
F23
n 비트째
Fn0
Fn1
Fn2
Fn3

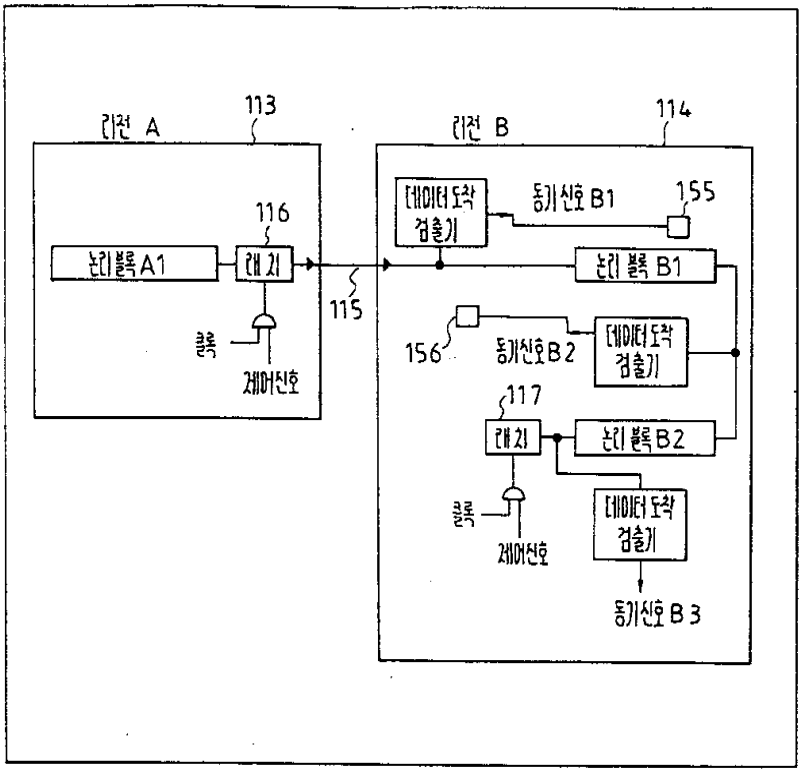
도면 4


논리기능블록 A
논리기능블록 B
논리기능블록 C
데이터도착 검출기
데이터도착 검출기
데이터도착 검출기
1 비트 레지스터 (추가)
논리기능블록 D
102
107
논리기능블록 E
레지스터
논리기능블록 F
레지스터
논리기능블록 G
레지스터
2 비트 레지스터 (추가)
스테이지 F 개시신호
스테이지 G 개시신호
스테이지 H 개시신호

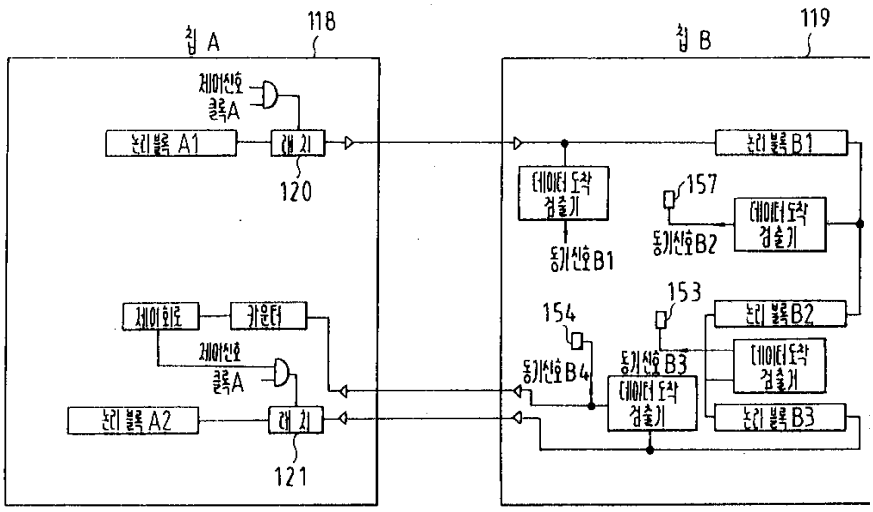
도면 5


논리기능 블록
A
데이터 도착
검출기
논리기능 블록
B
데이터 도착
검출기
데이터 도착
검출기
108
109
논리기능 블록
D
1 바이트
논리기능 블록
F
래 치
논리기능 블록
G
래 치
논리기능 블록
H
2 바이트
스테이지 G
개시신호
스테이지 H
개시신호

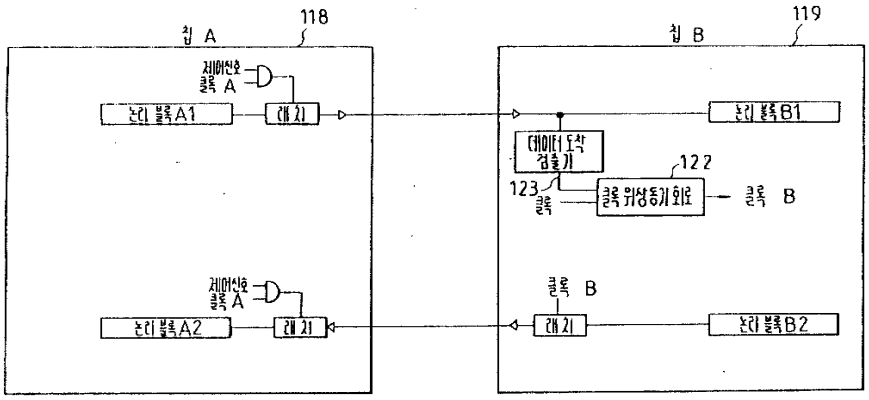
도면 6


칩 A
113
칩 B
114
데이터 도착 검출기
동기신호 B1
155
116
논리 블록 A1
래 치
논리 블록 B1
115
클록
제어신호
156
동기신호 B2
데이터 도착 검출기
117
래 치
논리 블록 B2
클록
데이터 도착 검출기
제어신호
동기신호 B3

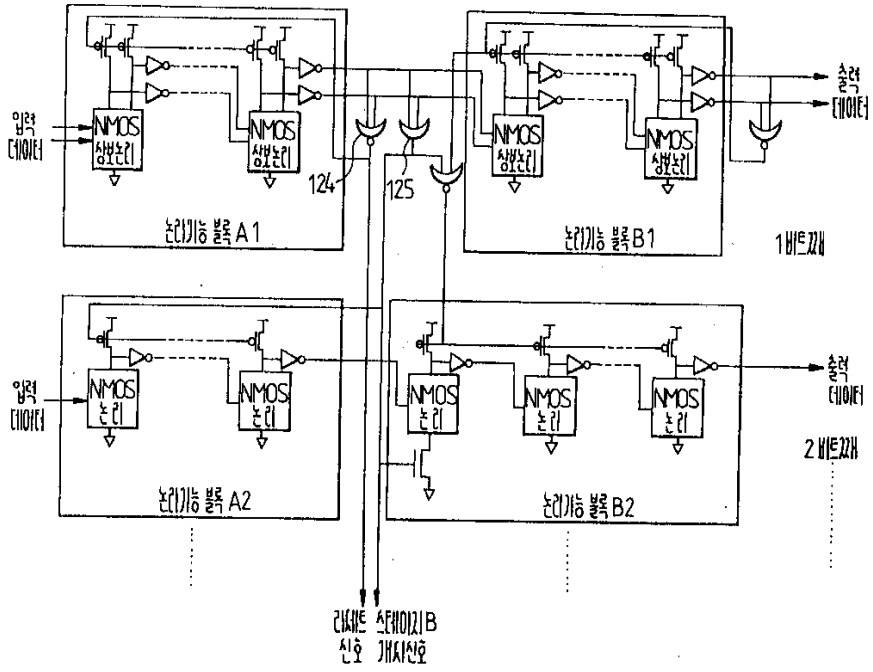
도면 7


칩 A
118
칩 B
119
제어신호
클록A
논리 블록 A1
래 치
120
데이터 도착 검출기
157
동기신호 B2
동기신호 B1
논리 블록 B1
제어회로
카운터
154
153
논리 블록 B2
제어신호
클록A
동기신호 B4
동기신호 B3
데이터 도착 검출기
논리 블록 A2
래 치
121
논리 블록 B3

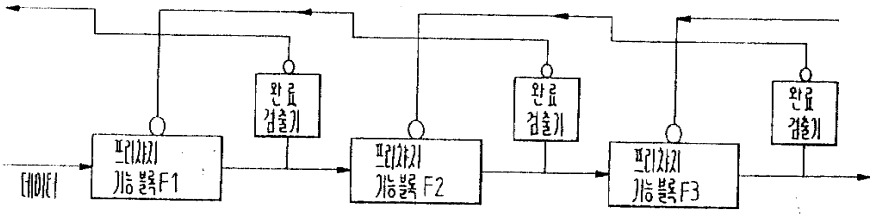
도면 8


칩 A
118
제어신호
클록 A
논리 블록A1
래치
칩 B
119
논리 블록B1
데이터 도착
검출기
122
123
클록 위상동기 회로
클록 B
클록
제어신호
클록 A
논리 블록A2
래치
클록 B
래치
논리 블록B2

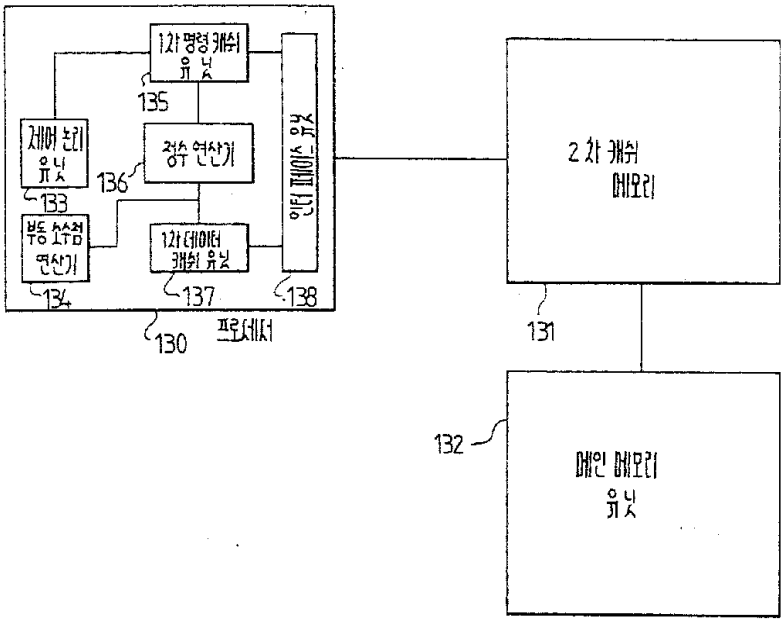
도면 9


입력
데이터
NMOS
샘논리
NMOS
샘논리
124
125
NMOS
샘논리
NMOS
샘논리
출력
데이터
논리기능 블록A1
논리기능 블록B1
1비트갯수
입력
데이터
NMOS
논리
NMOS
논리
NMOS
논리
NMOS
논리
NMOS
논리
출력
데이터
2비트갯수
논리기능 블록A2
논리기능 블록B2
리셋트 스테이지B
신호 개시신호

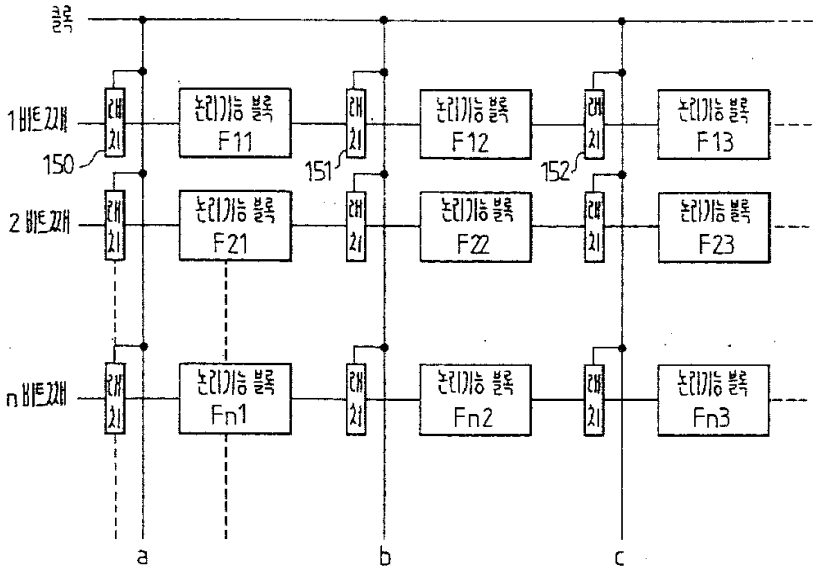
도면 10


데이터
프리프로세서 기능 블록 F1
완료 검출기
프리프로세서 기능 블록 F2
완료 검출기
프리프로세서 기능 블록 F3
완료 검출기

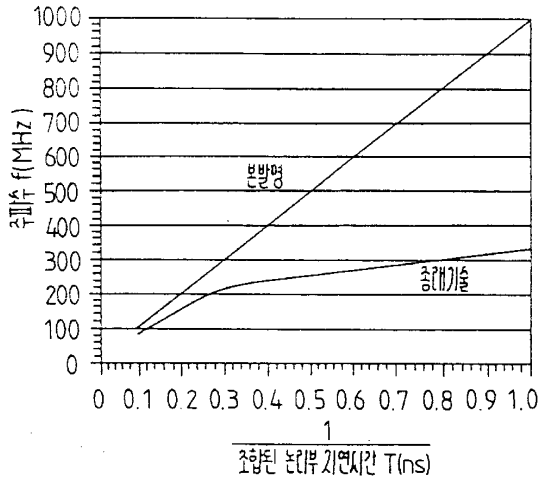
도면 11


1차 명령 캐쉬 유닛
135
제어 논리 유닛
133
정수 연산기
136
부동 소수점 연산기
134
1차 데이터 캐쉬 유닛
137
인터 페이스 유닛
138
130
프로세서
2 차 캐쉬 메모리
131
132
메인 메모리 유닛

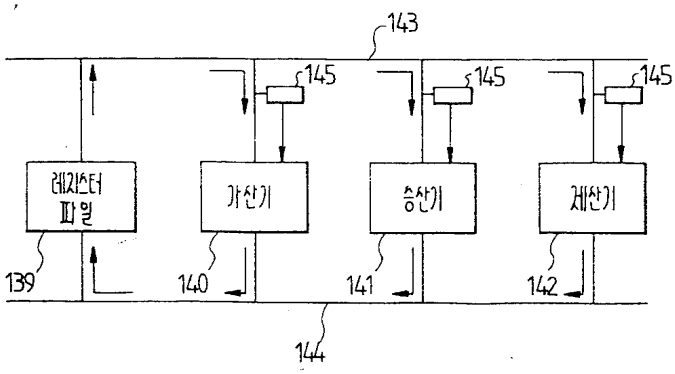
도면 12


클록
1 비트 고재
2 비트 고재
n 비트 고재
150
151
152
레지스터
논리기능 블록
F11
F12
F13
F21
F22
F23
Fn1
Fn2
Fn3
a
b
c

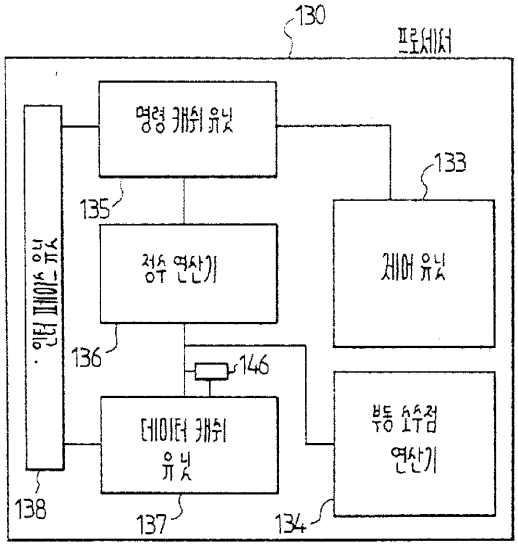
도면 13


1000
900
800
700
600
500
400
300
200
100
0
주파수 f(MHz)
분할형
종래기술
0 0.1 0.2 0.3 0.4 0.5 0.6 0.7 0.8 0.9 1.0
1
조합된 논리부 지연시간 T(ns)

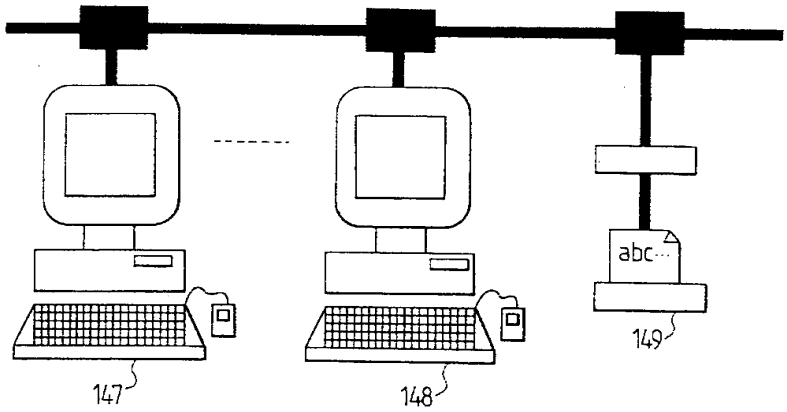
도면 14


143
145
145
145
레지스터 파일
가산기
승산기
제산기
139
140
141
142
144

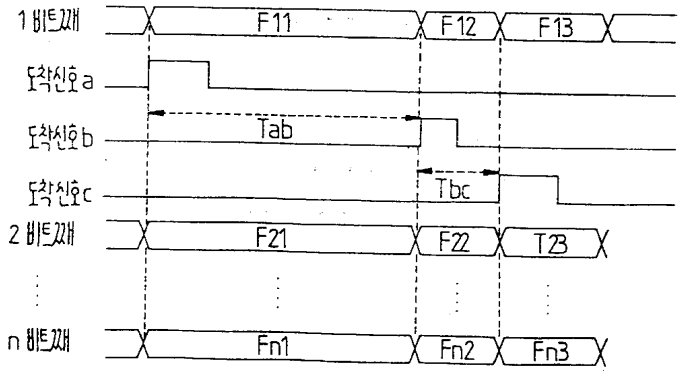
도면 15


130
프로세서
명령 캐쉬 유닛
133
135
정수 연산기
제어 유닛
136
146
데이터 캐쉬 유닛
부동 소수점 연산기
인터 페이스 유닛
138
137
134

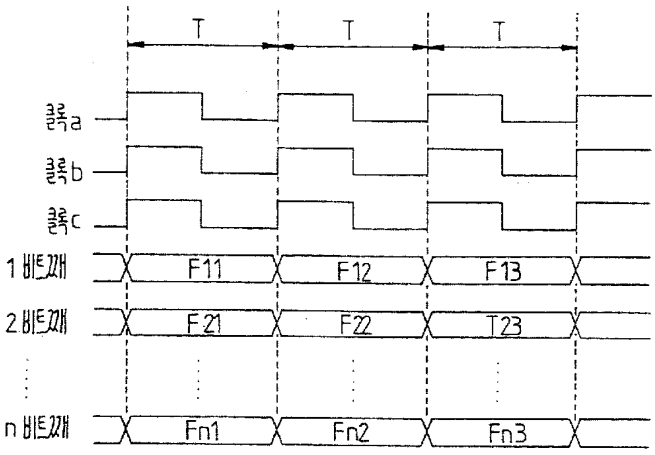
도면 16


abc
147
148
149

도면 17


1 비트째
F11
F12
F13
도착신호 a
도착신호 b
Tab
도착신호 c
Tbc
2 비트째
F21
F22
T23
n 비트째
Fn1
Fn2
Fn3

도면 18


T
T
T
클록a
클록b
클록c
1 비트째
2 비트째
n 비트째
F11
F12
F13
F21
F22
T23
Fn1
Fn2
Fn3